



(12) 发明专利申请

(10) 申请公布号 CN 116830257 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202280014374.1

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

(22) 申请日 2022.01.24

专利代理师 柯瑞京

(30) 优先权数据

2021-021737 2021.02.15 JP

(51) Int.Cl.

H01L 21/82 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.08.10

(86) PCT国际申请的申请数据

PCT/JP2022/002398 2022.01.24

(87) PCT国际申请的公布数据

W02022/172737 JA 2022.08.18

(71) 申请人 株式会社索思未来

地址 日本神奈川县

(72) 发明人 小室秀幸

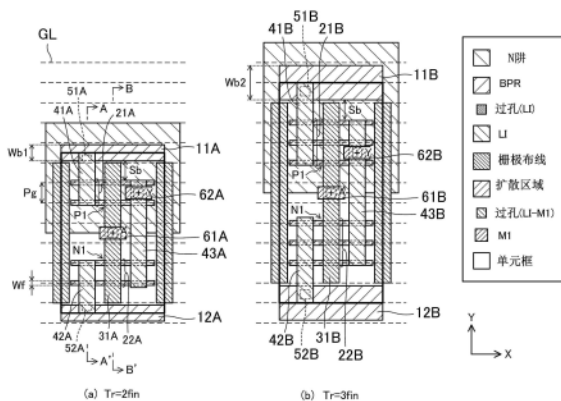
权利要求书2页 说明书7页 附图7页

(54) 发明名称

半导体集成电路装置

(57) 摘要

半导体集成电路装置包括具有鳍式FET的多个单元。构成鳍式FET的多个鳍(21A、21B、22A、22B)沿X方向延伸,并且布置于在Y方向上等间距分布的假想网格线(GL)上。单元包括埋入式电源布线(11A、11B、12A、12B)。Y方向上的尺寸较大的单元包括宽度较大的埋入式电源布线(11B、12B)。埋入式电源布线(11A、11B、12A、12B)在Y方向上的中央位置位于假想网格线(GL)上,或者,位于相邻的假想网格线之间的中央位置上。



1. 一种半导体集成电路装置,其包括具有鳍式场效应晶体管的多个标准单元,其特征在于:

构成所述鳍式场效应晶体管的多个鳍分别沿第一方向延伸,并且布置于在第二方向上等间距分布的假想网格线上,该第二方向垂直于所述第一方向,

多个所述标准单元包括第一标准单元和第二标准单元,该第二标准单元在所述第二方向上的尺寸比所述第一标准单元在所述第二方向上的尺寸大,

所述第一标准单元包括沿所述第一方向延伸的第一埋入式电源布线,

所述第二标准单元包括第二埋入式电源布线,该第二埋入式电源布线沿所述第一方向延伸,该第二埋入式电源布线在所述第二方向上的尺寸比所述第一埋入式电源布线在所述第二方向上的尺寸大,

所述第一埋入式电源布线及所述第二埋入式电源布线在所述第二方向上的中央位置位于所述假想网格线上,或者,位于相邻的所述假想网格线之间的中央位置上。

2. 根据权利要求1所述的半导体集成电路装置,其特征在于:

所述第一标准单元包括包含N个鳍的第一鳍式场效应晶体管,N为1以上的整数,

所述第二标准单元包括包含M个鳍的第二鳍式场效应晶体管,M为比N大的整数。

3. 根据权利要求1所述的半导体集成电路装置,其特征在于:

所述第一标准单元包括第一局部布线,该第一局部布线沿所述第二方向延伸,经由第一过孔与所述第一埋入式电源布线相连接,

所述第二标准单元包括第二局部布线,该第二局部布线沿所述第二方向延伸,经由第二过孔与所述第二埋入式电源布线相连接,

所述第二过孔的尺寸比所述第一过孔的尺寸大,或者,所述第二过孔的个数比所述第一过孔的个数多。

4. 根据权利要求1所述的半导体集成电路装置,其特征在于:

所述第一标准单元及所述第二标准单元实现相同的电路功能。

5. 根据权利要求1所述的半导体集成电路装置,其特征在于:

多个所述标准单元包括第三标准单元,该第三标准单元在所述第二方向上的尺寸比所述第二标准单元在所述第二方向上的尺寸大,

所述第三标准单元包括第三埋入式电源布线,该第三埋入式电源布线沿所述第一方向延伸,该第三埋入式电源布线在所述第二方向上的尺寸比所述第二埋入式电源布线在所述第二方向上的尺寸大。

6. 根据权利要求5所述的半导体集成电路装置,其特征在于:

所述第一标准单元包括包含N个鳍的第一鳍式场效应晶体管,N为1以上的整数,

所述第二标准单元包括包含M个鳍的第二鳍式场效应晶体管,M为比N大的整数,

所述第三标准单元包括包含L个鳍的第三鳍式场效应晶体管,L为比M大的整数。

7. 根据权利要求5所述的半导体集成电路装置,其特征在于:

所述第一标准单元包括第一局部布线,该第一局部布线沿所述第二方向延伸,经由第一过孔与所述第一埋入式电源布线相连接,

所述第二标准单元包括第二局部布线,该第二局部布线沿所述第二方向延伸,经由第二过孔与所述第二埋入式电源布线相连接,

所述第三标准单元包括第三局部布线,该第三局部布线沿所述第二方向延伸,经由第三过孔与所述第三埋入式电源布线相连接,

所述第二过孔的尺寸比所述第一过孔的尺寸大,或者,所述第二过孔的个数比所述第一过孔的个数多,

所述第三过孔的尺寸比所述第二过孔的尺寸大,或者,所述第三过孔的个数比所述第二过孔的个数多。

半导体集成电路装置

技术领域

[0001] 本公开涉及一种包括标准单元的半导体集成电路装置。

背景技术

[0002] 作为将半导体集成电路形成在半导体衬底上的方法,已知有标准单元方式。标准单元方式是指:通过事先将具有特定逻辑功能的基本单元(例如反相器、锁存器、触发器、全加器等)作为标准单元准备好,将多个标准单元布置在半导体衬底上,再用布线将这些标准单元连接起来,来设计LSI(大规模集成电路)芯片。

[0003] 为了实现半导体集成电路装置的高度集成化,提出了以下技术方案:在标准单元中使用设置于埋入式布线(Buried Interconnect)层的电源布线即埋入式电源布线(BPR: Buried Power Rail),而不使用像现有那样的设置在形成于晶体管的上层的金属布线层的电源布线。

[0004] 在专利文献1中公开了以下结构:在由标准单元构成的块中,由埋入式电源布线构成电源布线,将晶体管的源极与该埋入式电源布线连接起来,进而将它们与设置于上层布线层的电源布线连接起来。

[0005] 专利文献1:美国专利申请公开第2019/0080969号说明书(图1E)

发明内容

[0006] -发明要解决的技术问题-

[0007] 埋入式电源布线是将电源布线埋入衬底中而形成的,所以不能在有晶体管的源极、漏极以及沟道存在的区域形成埋入式电源布线。另一方面,埋入式电源布线必须具备充分的对晶体管电流供给能力。此外,有时,为了抑制制造偏差,微细工艺中的鳍式FET(Field Effect Transistor:场效应晶体管)、纳米片FET等晶体管的尺寸或布置位置会受到限制。

[0008] 本公开的目的在于:在使用埋入式电源布线的半导体集成电路装置中,在不妨碍有规律地布置鳍式FET的情况下,便能够布置具有充分的布线宽度的埋入式电源布线。

[0009] -用于解决技术问题的技术方案-

[0010] 在本公开的各方面以一种半导体集成电路装置为对象,该半导体集成电路装置包括具有鳍式FET(Field Effect Transistor)的多个标准单元,构成所述鳍式场效应晶体管的多个鳍分别沿第一方向延伸,并且布置于在第二方向上等间距分布的假想网格线上,该第二方向垂直于所述第一方向,多个所述标准单元包括第一标准单元和第二标准单元,该第二标准单元在所述第二方向上的尺寸比所述第一标准单元在所述第二方向上的尺寸大,所述第一标准单元包括沿所述第一方向延伸的第一埋入式电源布线,所述第二标准单元包括第二埋入式电源布线,该第二埋入式电源布线沿所述第一方向延伸,该第二埋入式电源布线在所述第二方向上的尺寸比所述第一埋入式电源布线在所述第二方向上的尺寸大,所述第一埋入式电源布线及所述第二埋入式电源布线在所述第二方向上的中央的位置位于所述假想网格线上,或者,相邻的所述假想网格线之间的中央位置上。

[0011] 根据上述方面,在半导体集成电路装置中,构成鳍式FET的多个鳍沿第一方向延伸,并且布置于在第二方向上等间距分布的假想网格线上。第一标准单元及第二标准单元包括埋入式电源布线,在第二方向上的尺寸较大的第二标准单元包括在第二方向上的尺寸较大的埋入式电源布线。由此而能够充分地得到对鳍式FET的电流供给能力。并且,第一标准单元及第二标准单元所包括的埋入式电源布线在第二方向上的中央位置位于假想网格线上,或者,相邻的假想网格线之间的中央位置上。这样一来,在不妨碍有规律地布置鳍式FET的情况下,便能够布置具有充分的布线宽度的埋入式电源布线。

[0012] -发明的效果-

[0013] 根据本公开,在半导体集成电路装置中,在不妨碍有规律地布置鳍式FET的情况下,便能够布置具有充分的布线宽度的埋入式电源布线。

附图说明

[0014] 图1(a)、(b)是俯视图,示出构成实施方式所涉及的半导体集成电路装置的反相器单元的版图结构;

[0015] 图2(a)、(b)是图1所示的反相器单元的剖面构造;

[0016] 图3(a)、(b)是俯视图,示出构成实施方式所涉及的半导体集成电路装置的二输入NAND单元的版图结构;

[0017] 图4(a)是反相器单元的电路图,(b)是二输入NAND单元的电路图;

[0018] 图5是实施方式所涉及的半导体集成电路装置的电路块的构成例;

[0019] 图6是图5的局部放大图;

[0020] 图7是俯视图,示出构成实施方式所涉及的半导体集成电路装置的反相器单元的另一版图结构。

具体实施方式

[0021] 下面,参照附图对实施方式进行说明。在以下实施方式中,半导体集成电路装置包括多个标准单元(在本说明书中也适当地简称为单元),该多个标准单元中的至少一部分标准单元包括鳍式FET(Field Effect Transistor)。

[0022] 在本公开中,“VDD”和“VSS”表示电源电压或电源本身。在以下说明中,在图1等俯视图中,将图面横向设为X方向(相当于第一方向),将图面纵向设为Y方向(相当于第二方向),将垂直于衬底面的方向设为Z方向。

[0023] (第一实施方式)

[0024] 图1是俯视图,示出构成本实施方式所涉及的半导体集成电路装置的标准单元的版图结构之例。图1(a)、(b)都是反相器单元。图2是示出图1所示的单元的剖面结构的图,图2(a)是沿图1(a)的线A-A'剖开的剖视图,图2(b)是沿图1(a)的线B-B'剖开的剖视图。

[0025] 图3是俯视图,示出构成本实施方式所涉及的半导体集成电路装置的另一标准单元的版图结构之例。图3(a)、(b)都是二输入NAND单元。

[0026] 图4表示单元的电路图,图4(a)是图1所示的反相器单元的电路图,图4(b)是图3所示的二输入NAND单元的电路图。

[0027] 图1所示的反相器单元和图3所示的二输入NAND单元都具有鳍式FET,构成鳍式FET

的多个鳍分别沿X方向延伸。多个鳍的宽度即Y方向上的尺寸相同(设为 W_f)，布置于在Y方向上等间距分布的假想网格线GL(用细虚线图示)上。假想网格线GL的间距为 P_g 。也就是说，多个鳍以间距 P_g 布置。

[0028] 在图1(a)所示的反相器单元和图3(a)所示的二输入NAND单元中，构成鳍式FET的鳍的个数为二，单元高度为 $P_g \times 8$ 。在图1(b)所示的反相器单元和图3(b)所示的二输入NAND单元中，构成鳍式FET的鳍的个数为三，单元高度为 $P_g \times 11$ 。鳍式FET的驱动能力根据构成鳍式FET的鳍的个数而变化。

[0029] 对图1和图2所示的反相器单元的版图结构进行说明。

[0030] 在图1(a)所示的反相器单元中，在Y方向的两端分别设置有沿X方向延伸的电源布线11A、12A。电源布线11A、12A均为形成于埋入式布线层的埋入式电源布线(BPR)。电源布线11A供给电源电压VDD，电源布线12A供给电源电压VSS。电源布线11A、12A在Y方向上的中央位置与假想网格线GL彼此之间的中央一致。电源布线11A、12A的宽度即Y方向上的尺寸为 W_{b1} 。

[0031] 在N阱上的P型晶体管区域设置有沿X方向延伸的两个鳍21A。在P型衬底上的N型晶体管区域设置有沿X方向延伸的两个鳍22A。栅极布线31A沿Y方向从P型晶体管区域延伸到N型晶体管区域。如图2(b)所示，栅极布线31A形成为从三个方向包围鳍21A、22A。由两个鳍21A和栅极布线31A构成鳍式FET P1。由两个鳍22A和栅极布线31A构成鳍式FET N1。需要说明的是，由于制造上的原因，需要使埋入式电源布线和与其最接近的鳍之间具有一个距离 S_b 。

[0032] 在鳍21A的图面左侧的端部设置有沿Y方向延伸的局部布线41A。鳍21A的图面左侧的端部经由局部布线41A和过孔51A与电源布线11A相连接。在鳍22A的图面左侧的端部设置有沿Y方向延伸的局部布线42A。鳍22A的图面左侧的端部经由局部布线42A和过孔52A与电源布线12A相连接。在鳍21A、22A的图面右侧的端部设置有沿Y方向延伸的局部布线43A。鳍21A的图面右侧的端部和鳍22A的图面右侧的端部经由局部布线43A相互连接在一起。

[0033] 接收输入A的金属布线61A经由过孔与栅极布线31A相连接。将输出Y输出的金属布线62A经由过孔与局部布线43A相连接。

[0034] 在图1(b)所示的反相器单元中，由三个鳍构成鳍式FET。除此之外的版图结构与图1(a)的反相器单元相同。

[0035] 在图1(b)所示的反相器单元中，在Y方向的两端分别设置有沿X方向延伸的电源布线11B、12B。电源布线11B、12B均为形成于埋入式布线层的埋入式电源布线(BPR)。电源布线11B供给电源电压VDD，电源布线12B供给电源电压VSS。电源布线11B、12B在Y方向上的中央位置与假想网格线GL一致。电源布线11B、12B的宽度即Y方向上的尺寸为 W_{b2} 。需要说明的是， $W_{b2} > W_{b1}$ 。

[0036] 在N阱上的P型晶体管区域设置有沿X方向延伸的三个鳍21B。在P型衬底上的N型晶体管区域设置有沿X方向延伸的三个鳍22B。栅极布线31B沿Y方向从P型晶体管区域延伸到N型晶体管区域。栅极布线31B形成为从三个方向包围鳍21B、22B。由三个鳍21B和栅极布线31B构成鳍式FET P1。由三个鳍22B和栅极布线31B构成鳍式FET N1。

[0037] 在鳍21B的图面左侧的端部设置有沿Y方向延伸的局部布线41B。鳍21B的图面左侧的端部经由局部布线41B和过孔51B与电源布线11B相连接。在鳍22B的图面左侧的端部设置

有沿Y方向延伸的局部布线42B。鳍22B的图面左侧的端部经由局部布线42B和过孔52B与电源布线12B相连接。在鳍21B、22B的图面右侧的端部设置有沿Y方向延伸的局部布线43B。鳍21B、22B的图面右侧的端部经由局部布线43B相互连接在一起。

[0038] 接收输入A的金属布线61B经由过孔与栅极布线31B相连接。将输出Y输出的金属布线62B经由过孔与局部布线43B相连接。

[0039] 对图3所示的二输入NAND单元的版图结构进行说明。需要说明的是,有时省略对能够根据图1和图2所示的反相器单元的版图结构推测出的结构进行说明。

[0040] 在图3(a)所示的二输入NAND单元中,在Y方向的两端分别设置有沿X方向延伸的电源布线13A、14A。电源布线13A、14A均为形成于埋入式布线层的埋入式电源布线(BPR)。电源布线13A供给电源电压VDD,电源布线14A供给电源电压VSS。电源布线13A、14A在Y方向上的中央位置与假想网格线GL彼此之间的中央一致。电源布线13A、14A的宽度即Y方向上的尺寸为Wb1。

[0041] 在N阱上的P型晶体管区域设置有沿X方向延伸的两个鳍23A。在P型衬底上的N型晶体管区域设置有沿X方向延伸的两个鳍24A。栅极布线32A、33A沿Y方向从P型晶体管区域延伸到N型晶体管区域。由两个鳍23A和栅极布线32A构成鳍式FET P11,由两个鳍23A和栅极布线33A构成鳍式FET P12。由两个鳍24A和栅极布线32A构成鳍式FET N11,由两个鳍24A和栅极布线33A构成鳍式FET N12。

[0042] 在图3(b)所示的二输入NAND单元中,由三个鳍构成鳍式FET。除此之外的版图结构与图3(a)的二输入NAND单元相同。

[0043] 在图3(b)所示的二输入NAND单元中,在Y方向的两端分别设置有沿X方向延伸的电源布线13B、14B。电源布线13B、14B均为形成于埋入式布线层的埋入式电源布线(BPR)。电源布线13B供给电源电压VDD,电源布线14B供给电源电压VSS。电源布线13B、14B在Y方向上的中央位置与假想网格线GL一致。电源布线13B、14B的宽度即Y方向上的尺寸为Wb2。需要说明的是,Wb2>Wb1。

[0044] 在N阱上的P型晶体管区域设置有沿X方向延伸的三个鳍23B。在P型衬底上的N型晶体管区域设置有沿X方向延伸的三个鳍24B。栅极布线32B、33B沿Y方向从P型晶体管区域延伸到N型晶体管区域。由三个鳍23B和栅极布线32B构成鳍式FET P11,由三个鳍23B和栅极布线33B构成鳍式FET P12。由两个鳍24B和栅极布线32B构成鳍式FET N11,由两个鳍24B和栅极布线33B构成鳍式FET N12。

[0045] 此处,图1(a)的反相器单元和图3(a)的二输入NAND单元与具有相同单元高度(=Pg_x8)的其它单元一起构成单一电路块。在该电路块中,通过沿X方向排列单元而构成单元行,供给电源电压VDD的电源布线11A、13A等与该单元行相连接,并且供给电源电压VSS的电源布线12A、14A等与该单元行相连接。并且,单元行沿Y方向排列着布置。各单元行每隔一行便颠倒过来,这样布置在Y方向上。这样一来,在Y方向上相邻的单元行便会共同拥有电源布线。

[0046] 相同地,图1(b)的反相器单元和图3(b)的二输入NAND单元与具有相同单元高度(=Pg_x11)的其它单元一起构成单一电路块。在该电路块中,通过沿X方向排列单元而构成单元行,供给电源电压VDD的电源布线11B、13B等与该单元行连接,并且供给电源电压VSS的电源布线12B、14B等与该单元行连接。并且,单元行沿Y方向排列着布置。各单元行每隔一行

便颠倒过来,这样布置在Y方向上。这样一来,在Y方向上相邻的单元行便会共同拥有电源布线。

[0047] 图5是本实施方式所涉及的半导体集成电路装置的电路块的构成例。在图5中,省略对比鳍和栅极布线更上层的结构的记载。在图5中,块A由单元高度为 $P_g \times 8$ 的单元构成,块B由单元高度为 $P_g \times 11$ 的单元构成。块A、B均由三行单元行构成,假想网格线GL由块A、B共用。

[0048] 在块A中,单元C1A是图1(a)的反相器单元,而单元C2A是图3(a)的二输入NAND单元。根据图面可知,在第一行中,从图面左侧开始依次布置有单元C2A、C2A、C1A,在第二行中,从图面左侧开始依次布置有单元C1A、C1A、C1A、C1A,在第三行中,从图面左侧开始依次布置有单元C2A、C1A、C2A。电源布线1A用于供给电源电压VDD,且是将单元C1A的电源布线11A和单元C2A的电源布线13A连结起来而构成的。电源布线2A用于供给电源电压VSS,且是将单元C1A的电源布线12A和单元C2A的电源布线14A连结起来而构成的。

[0049] 在块B中,单元C1B是图1(b)的反相器单元,而单元C2B是图3(b)的二输入NAND单元。根据图面可知,在第一行中,从图面左侧开始依次布置有单元C2B、C2B、C1B,在第二行中,从图面左侧开始依次布置有单元C1B、C1B、C1B、C1B,在第三行中,从图面左侧开始依次布置有单元C2B、C1B、C2B。电源布线1B用于供给电源电压VDD,且是将单元C1B的电源布线11B和单元C2B的电源布线13B连结起来而构成的。电源布线2B用于供给电源电压VSS,且是将单元C1B的电源布线12B和单元C2B的电源布线14B连结起来而构成的。

[0050] 在块A中,沿Y方向相邻的单元之间,最接近的鳍的各中心之间的距离为 $3 \times P_g$ 。而且,电源布线1A、2A的中央位置位于假想网格线GL之间的中央。因此,能够最大限度地确保电源布线1A、2A的宽度 W_{b1} 。电源布线1A、2A的宽度 W_{b1} 为 $W_{b1} = 3 \times P_g - 2 \times S_b - W_f$ 。

[0051] 在块B中,沿Y方向相邻的单元之间,最接近的鳍的各中心之间的距离为 $4 \times P_g$ 。而且,电源布线1B、2B的中央位置位于假想网格线GL之上。因此,能够最大限度地确保电源布线1B、2B的宽度 W_{b2} 。电源布线1B、2B的宽度 W_{b2} 为 $W_{b2} = 4 \times P_g - 2 \times S_b - W_f$ 。也就是说,电源布线1B、2B的宽度 W_{b2} 比电源布线1A、2A的宽度 W_{b1} 大 P_g 。

[0052] 构成块B的单元与构成块A的单元相比,构成鳍式FET的鳍的个数多。因此,构成块B的单元与构成块A的单元相比,工作速度高,但功耗也大。相对于此,如上所述,由于电源布线1B、2B的宽度比电源布线1A、2A的宽度大,所以能够对构成块B的单元供给足够的电流。

[0053] 例如,图1(b)的反相器单元中的对应于电源布线11B、12B的过孔51B、52B与图1(a)的反相器单元中的对应于电源布线11A、12A的过孔51A、52A相比,尺寸大且电阻小。因此,在图1(b)的反相器单元中,能够实现更大的电流供给能力。需要说明的是,也可以增加过孔的个数来代替增大过孔的尺寸。例如,在图1(b)的反相器单元中,也可以对电源布线11B、12B分别设置两个过孔。

[0054] 在图5的版图中,让块A、B共用用于布置鳍的假想网格线GL,将单元布置成块A、B所包含的鳍分别被布置在假想网格线GL上。这样一来,在整个版图中,鳍就被布置得有规律。因此,半导体集成电路装置的制造容易性提高,且能够抑制制造偏差,因此而能够提高成品率。

[0055] 如上所述,根据本实施方式,在半导体集成电路装置中,构成鳍式FET的多个鳍沿X方向延伸,并且布置于在Y方向上等间距分布的假想网格线GL上。标准单元包括埋入式电源

布线, Y方向上的尺寸较大的标准单元包括Y方向上的尺寸较大的埋入式电源布线。由此而能够充分地得到对鳍式FET的电流供给能力。并且, 标准单元所包括的埋入式电源布线在Y方向上的中央位置位于假想网格线GL上, 或者, 位于相邻的假想网格线GL之间的中央位置上。这样一来, 在不妨碍有规律地布置鳍式FET的情况下, 便能够布置具有充分的布线宽度的埋入式电源布线。

[0056] 图6是图5的块A中的上两行右端的单元C1A的局部放大图。图6示出将图1(a)的反相器单元沿Y方向相邻着布置而得到的版图结构。在图6中, 在图1(a)的反相器单元的过孔52A相邻着布置的部位(用虚线表示), 布置有比过孔52A大的过孔53。

[0057] (变形例)

[0058] 图7示出反相器单元的另一版图结构。在图7所示的反相器单元中, 构成鳍式FET的鳍的个数为四, 单元高度为 $P_g \times 14$ 。除此之外的版图结构与图1的反相器单元相同。

[0059] 在图7所示的反相器单元中, 在Y方向的两端分别设置有沿X方向延伸的电源布线11C、12C。电源布线11C、12C均为形成于埋入式布线层的埋入式电源布线(BPR)。电源布线11C供给电源电压VDD, 电源布线12C供给电源电压VSS。电源布线11C、12C在Y方向上的中央位置与假想网格线GL彼此之间的中央一致。电源布线11C、12C的宽度即Y方向上的尺寸为 W_b3 。需要说明的是, $W_b3 > W_b2$ 。

[0060] 在N阱上的P型晶体管区域设置有沿X方向延伸的四个鳍21C。在P型衬底上的N型晶体管区域设置有沿X方向延伸的四个鳍22C。栅极布线31C沿Y方向从P型晶体管区域延伸到N型晶体管区域。栅极布线31C形成为从三个方向包围鳍21C、22C。由四个鳍21C和栅极布线31C构成鳍式FET P1。由四个鳍22C和栅极布线31C构成鳍式FET N1。

[0061] 在鳍21C的图面左侧的端部设置有沿Y方向延伸的局部布线41C。鳍21C的图面左侧的端部经由局部布线41C和过孔51C与电源布线11C相连接。在鳍22C的图面左侧的端部设置有沿Y方向延伸的局部布线42C。鳍22C的图面左侧的端部经由局部布线42C和过孔52C与电源布线12C相连接。在鳍21C、22C的图面右侧的端部设置有沿Y方向延伸的局部布线43C。鳍21C、22C的图面右侧的端部经由局部布线43C相互连接在一起。

[0062] 接收输入A的金属布线61C经由过孔与栅极布线31C相连接。将输出Y输出的金属布线62C经由过孔与局部布线43C相连接。

[0063] 图7中的反相器单元与具有相同单元高度(= $P_g \times 14$)的其它单元一起构成单一电路块。也可以与例如图5所示的块A、B一起按照共用的假想网格线GL布置该电路块。

[0064] 电源布线11C、12C的宽度 W_b3 如下。

[0065] $W_b3 = 5 \times P_g - 2 \times S_b - W_f$

[0066] 也就是说, W_b3 比 W_b2 大 P_g 。

[0067] 对应于电源布线11C、12C的过孔51C、52B的尺寸比图1(b)的反相器单元中的对应于电源布线11B、12B的过孔51B、52B的尺寸更大。因此, 在图7的反相器单元中, 能够实现更大的电流供给能力。需要说明的是, 也可以增加过孔的个数来代替增大过孔的尺寸。例如, 如果在图1(b)的反相器单元中, 对电源布线11B、12B分别设置两个过孔的话, 那么在图7的反相器单元中, 就可以对电源布线11C、12C分别设置三个过孔。

[0068] 需要说明的是, 在以上说明中, 说明的是包括具有鳍式FET的标准单元的半导体集成电路装置, 但标准单元所具有的晶体管不限于鳍式FET。例如, 本公开也能够应用于包括

具有纳米片FET的标准单元的半导体集成电路装置中。

[0069] -产业实用性-

[0070] 在本公开中,在使用埋入式电源布线的半导体集成电路装置中,在妨碍有规律地布置鳍式FET的情况下,布置具有充分的布线宽度的埋入式电源布线,因此在提高系统LSI的集成度、性能等方面是有用的。

[0071] -符号说明-

[0072] 1A、1B、2A、2B埋入式电源布线

[0073] 11A、11B、11C、12A、12B、12C、13A、13B、14A、14B 埋入式电源布线

[0074] 21A、21B、21C、22A、22B、22C、23A、23B、24A、24B 鳍

[0075] 41A、41B、41C、42A、42B、42C 局部布线

[0076] 51A、51B、51C、52A、52B、52C 过孔

[0077] C1A、C1B、C2A、C2B 标准单元

[0078] P1、P11、P12、N1、N11、N12 鳍式FET

[0079] GL 假想网格线

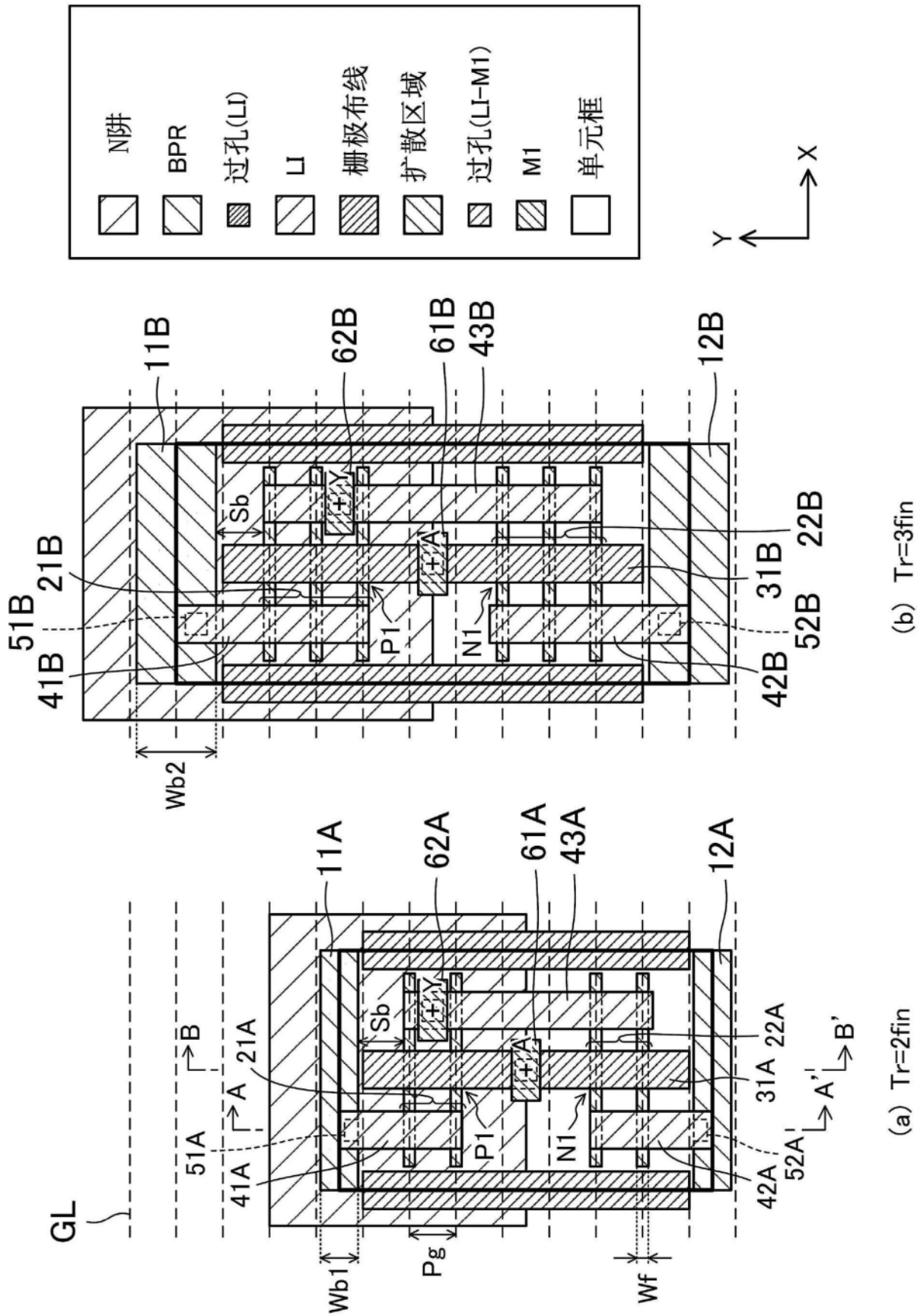


图1

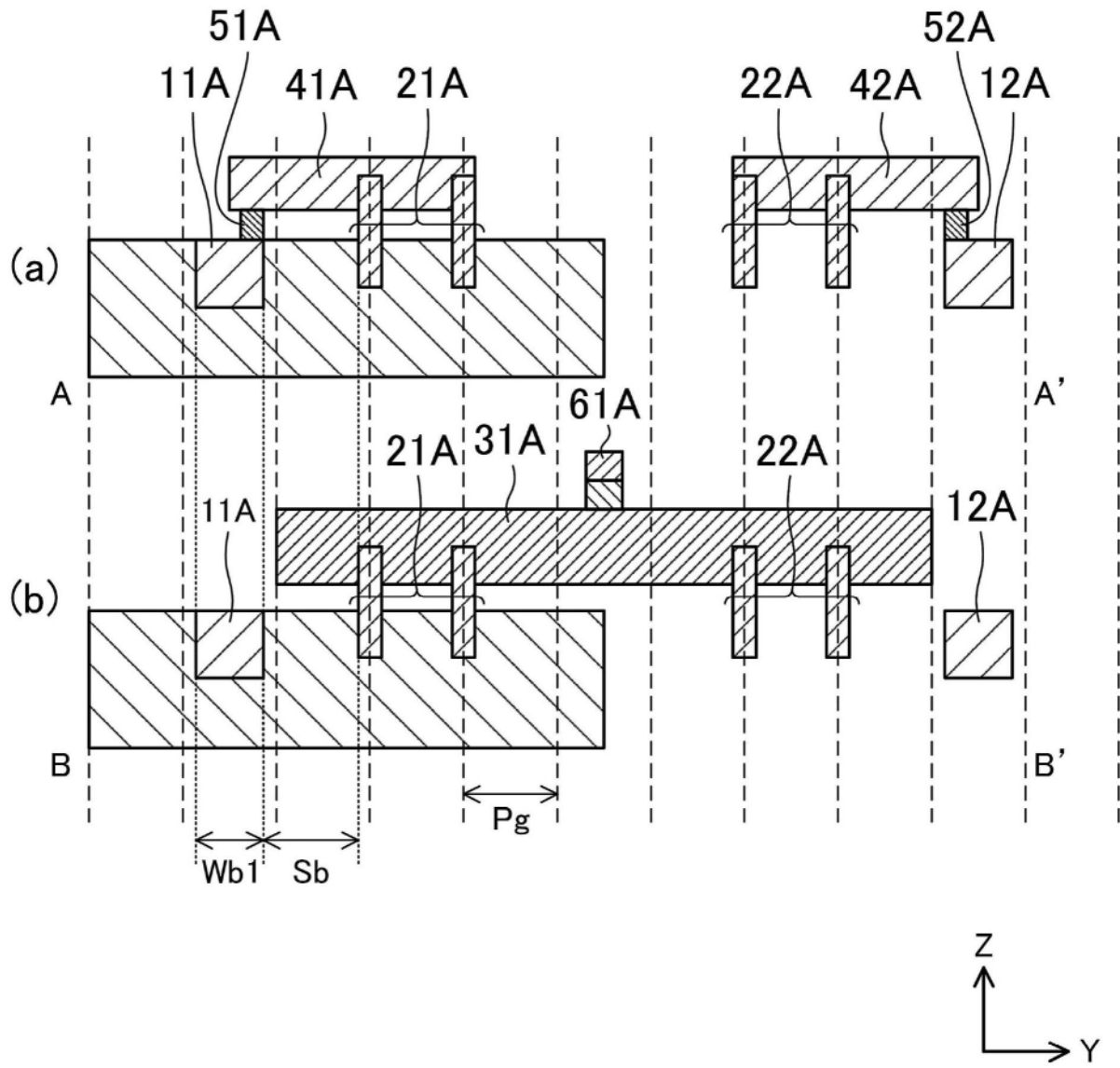


图2

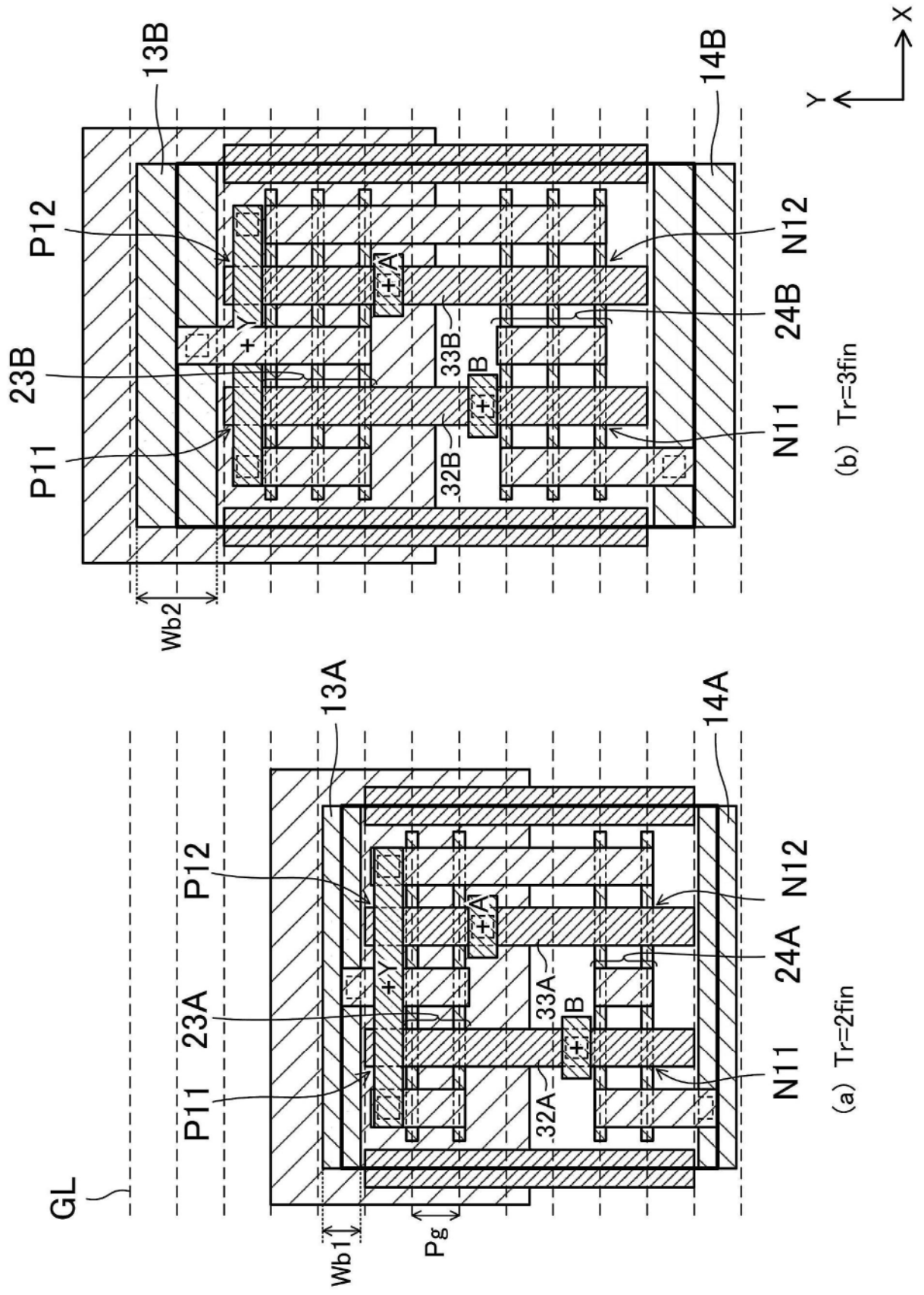


图3

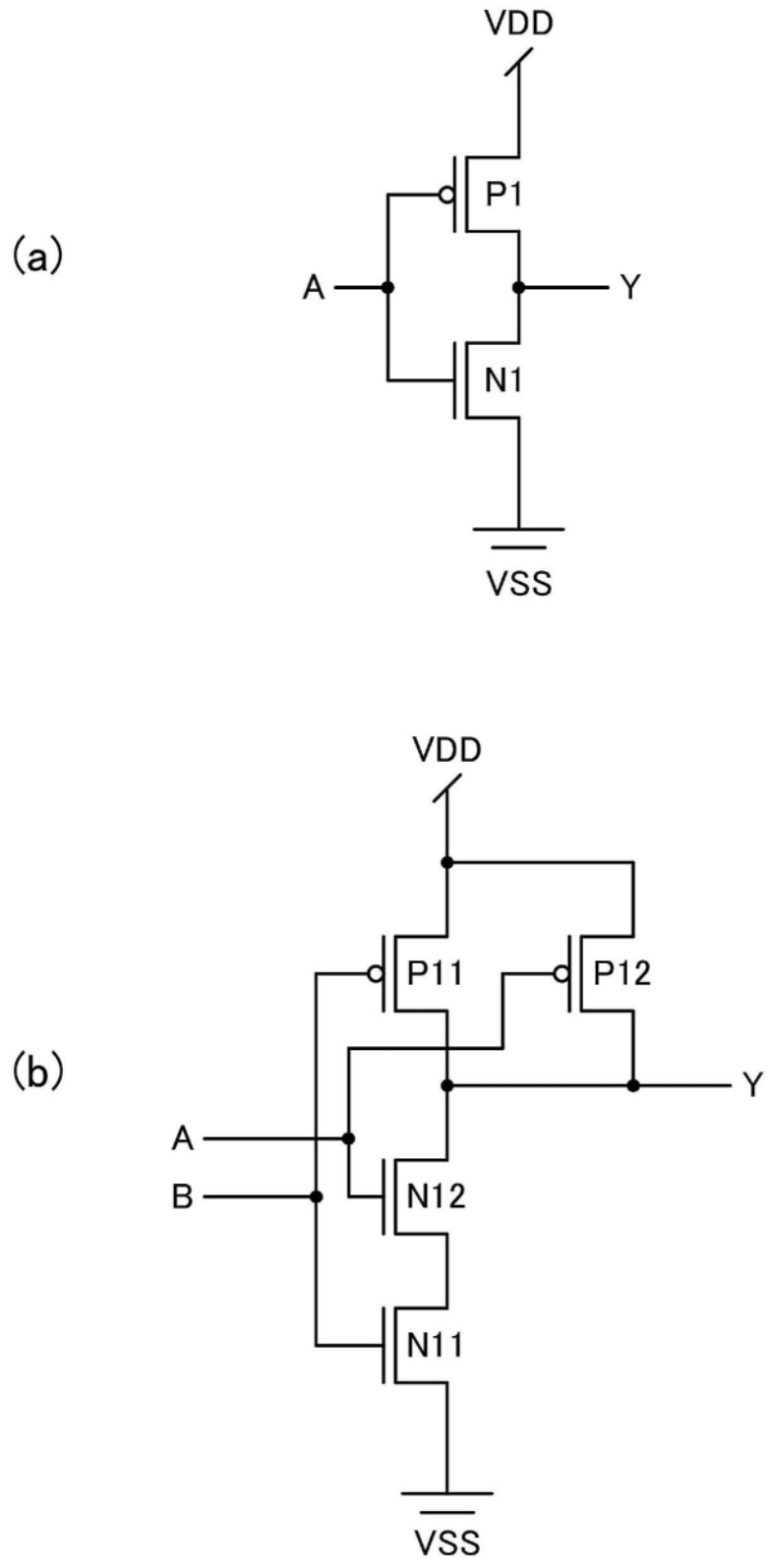


图4

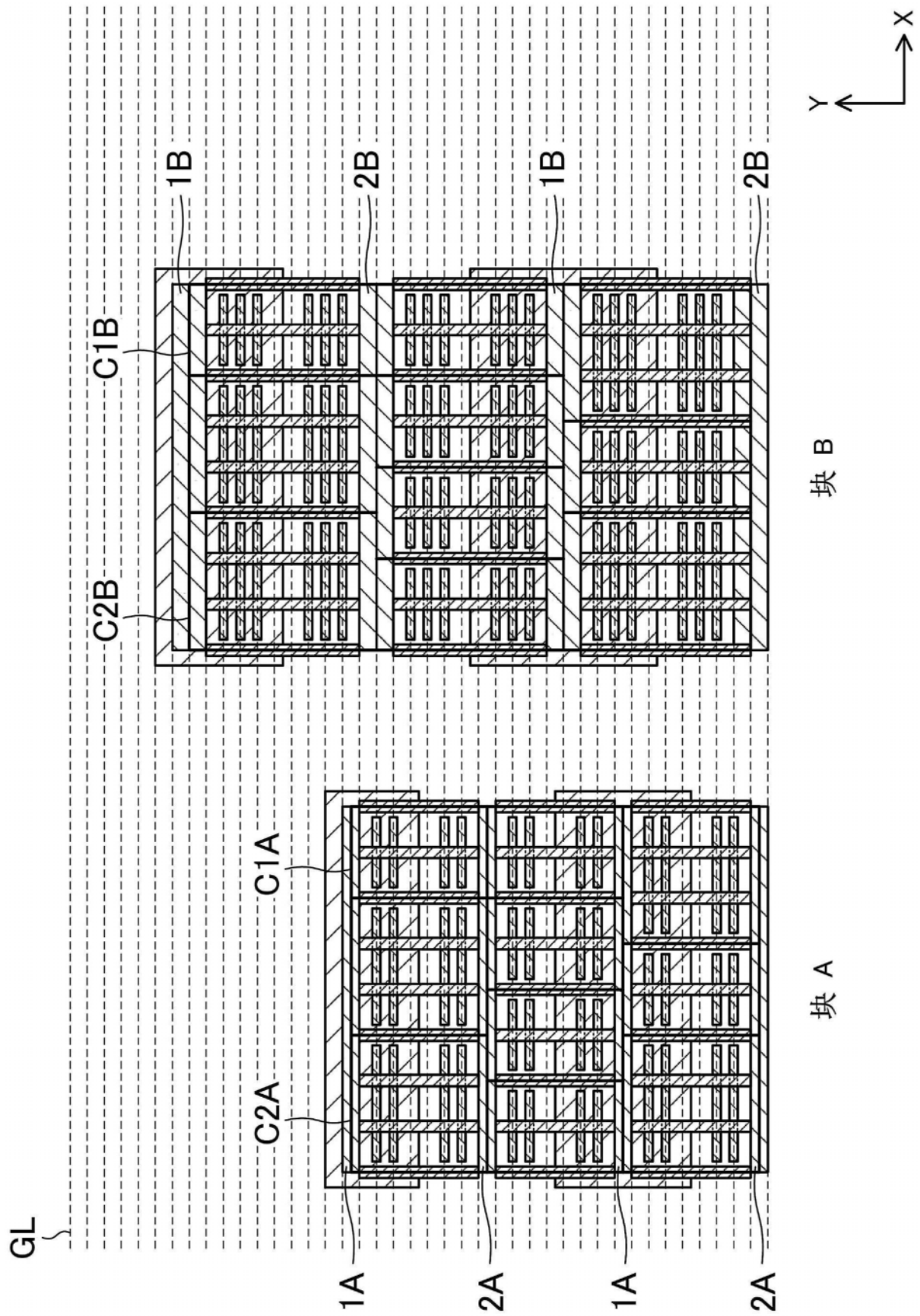


图5

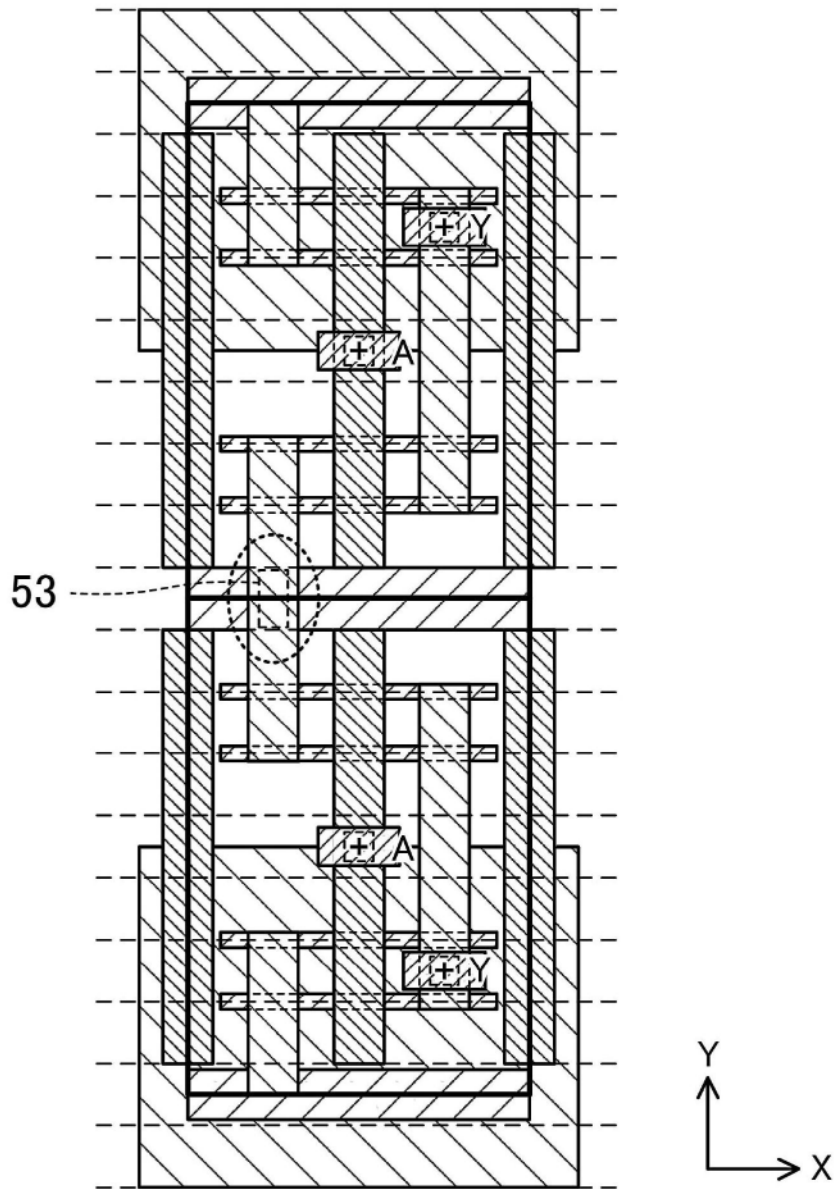


图6

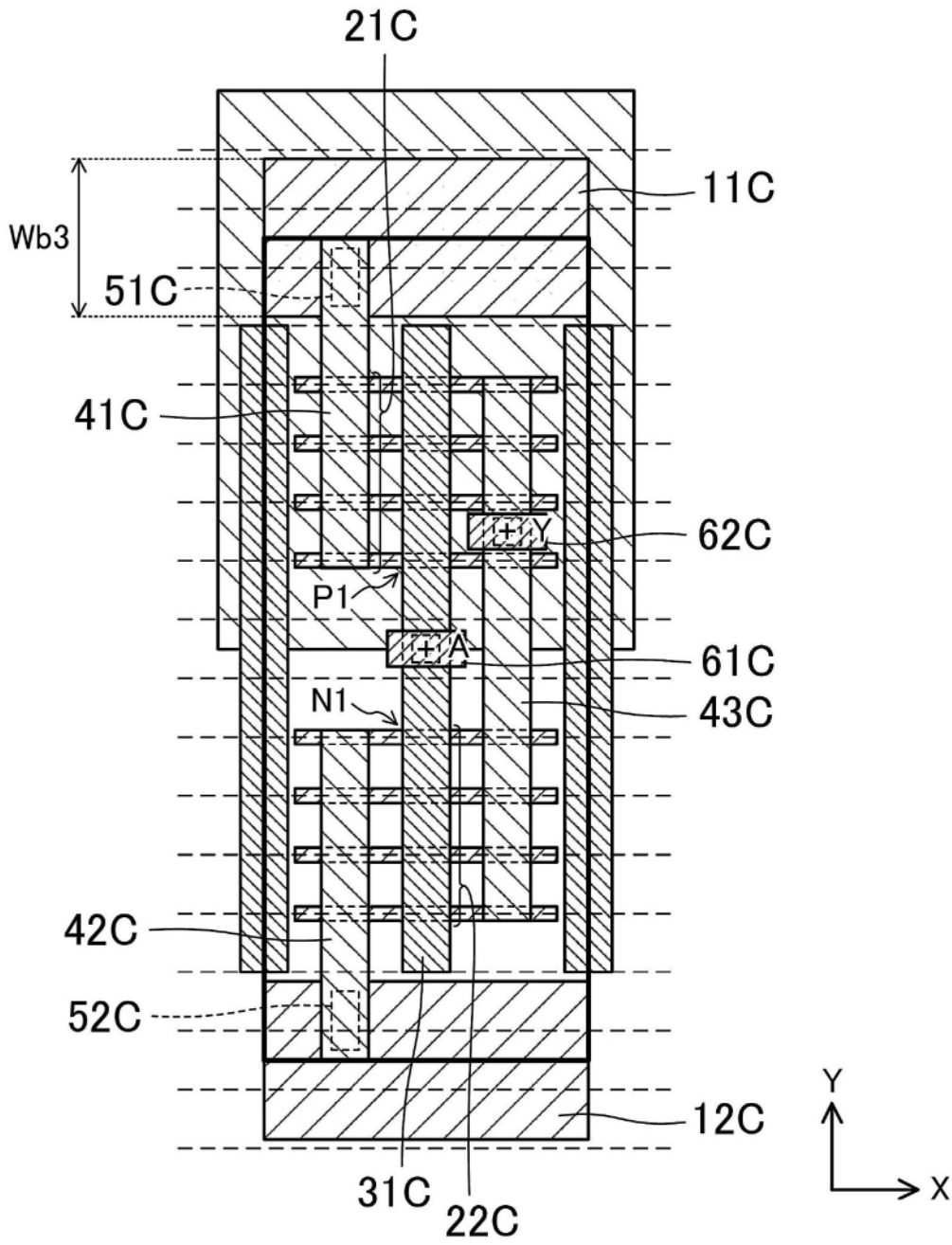


图7