

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-294861
(P2005-294861A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8247	H O 1 L 29/78 3 7 1	5 F O 8 3
H O 1 L 27/115	H O 1 L 27/10 4 3 4	5 F 1 O 1
H O 1 L 29/788		
H O 1 L 29/792		

審査請求 有 請求項の数 9 O L (全 24 頁)

(21) 出願番号	特願2005-155956 (P2005-155956)	(71) 出願人	000116024
(22) 出願日	平成17年5月27日 (2005.5.27)		ローム株式会社
(62) 分割の表示	特願平10-187707の分割		京都府京都市右京区西院溝崎町2 1 番地
原出願日	平成10年7月2日 (1998.7.2)	(72) 発明者	下地 規之
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		F ターム (参考)	5F083 EP02 EP23 EP55 EP56 EP63 GA28 JA04 JA35 JA36 JA53 PR03 PR06 PR12 PR21 PR29 5F101 BA23 BA29 BA35 BA36 BB05 BD06 BD37 BH03 BH08 BH09

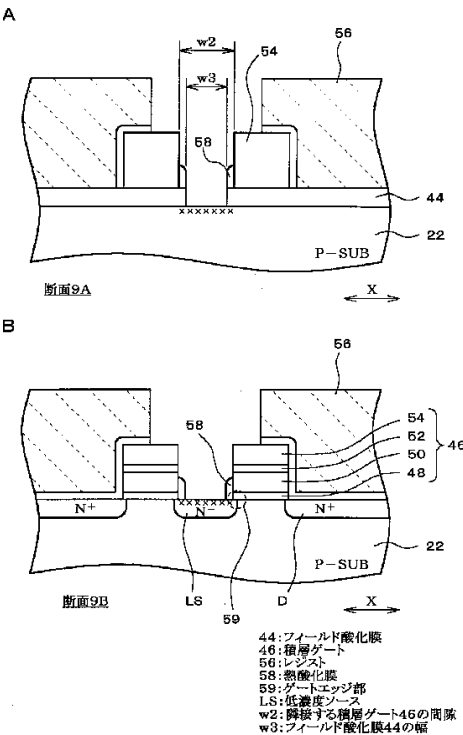
(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】集積度が高く、かつ、動作時の信頼性の高い半導体記憶装置およびその製造方法を提供する。

【解決手段】レジスト56、積層ゲート46および熱酸化膜58をマスクとしてシリコン酸化物に対する選択性の高い異方性エッチング（SASエッチング）を行なう。SASエッチングによって、低濃度ソースLS間にあったフィールド酸化膜44が、選択的に除去される。熱酸化膜58の膜厚が薄いため、除去されるフィールド酸化膜44の幅w3は、隣接する積層ゲート46の間隔w2に比し、それほど狭くならない。このため、この後のイオン注入、熱拡散によって形成される拡散ソース配線の幅が確保される。SASエッチングに際し、熱酸化膜58も高さ方向に浸食されて背が低くなるものの、SASエッチングの間、該熱酸化膜58によってゲートエッジ部59は保護される。

【選択図】図9



【特許請求の範囲】

【請求項 1】

下記の (A) ないし (C)、(A) 半導体基板に設けられた半導体領域に設定された第 1 導電型のチャネル形成領域、(B) チャネル形成領域を挟んで配置された第 2 導電型の第 1 の高濃度不純物領域および第 2 の高濃度不純物領域、(C) チャネル形成領域の上に形成された下記の (c1) ないし (c4) を有する積層ゲート、(c1) チャネル形成領域の上に形成された下部絶縁膜、(c2) 下部絶縁膜の上に形成された下部導電体層、(c3) 下部導電体層の上に形成された上部絶縁膜、(c4) 上部絶縁膜の上に形成された上部導電体層、を持つ複数のメモリセル、を行列配置したメモリアレイ部であって、同一列に属するメモリセルの上部導電体層は連続的に形成され、各メモリセルの第 1 の高濃度不純物領域および第 2 の高濃度不純物領域は行方向に隣接するメモリセル間でそれぞれ連続して形成され、第 1 の高濃度不純物領域を挟んで隣接する 2 つの列に属するメモリセルの第 1 の高濃度不純物領域は列方向に連続的に形成され、第 2 の高濃度不純物領域を挟んで隣接する 2 つの列に属するメモリセルの第 2 の高濃度不純物領域は素子分離用絶縁膜によって列方向に相互に電氣的に分離されているメモリアレイ部、を備えた半導体記憶装置、を製造する方法であって、半導体領域の上に、メモリセルの行方向にストライプ状に素子分離用絶縁膜を形成し、半導体領域およびストライプ状の素子分離用絶縁膜の上に、メモリセルの列方向にストライプ状に積層ゲートを形成し、実質的に積層ゲートの側面を覆う絶縁性薄膜を形成し、選択エッチングによって、実質的に積層ゲートに対して自己整合的に素子分離用絶縁膜を除去し、素子分離用絶縁膜の除去された半導体領域を含む半導体領域に、実質的に積層ゲート 10 20 に対して自己整合的に第 1 の高濃度不純物領域を形成することを特徴とする半導体記憶装置の製造方法。

【請求項 2】

請求項 1 の半導体記憶装置の製造方法において、前記絶縁性薄膜を、シリコン酸化物を主成分とする薄膜としたことを特徴とするもの。

【請求項 3】

請求項 1 の半導体記憶装置の製造方法において、前記絶縁性薄膜を、シリコン窒化物を主成分とする薄膜としたことを特徴とするもの。

【請求項 4】

請求項 3 の半導体記憶装置の製造方法において、前記積層ゲートを形成した後、メモリアレイ部全体に前記シリコン窒化物を主成分とする薄膜を堆積し、異方性エッチングにより、堆積した厚さ分だけ当該薄膜を除去することにより、少なくとも前記選択エッチングによって除去すべき素子分離用絶縁膜の上にある当該薄膜を除去し、その後、前記選択エッチングを行なうことを特徴とするもの。 30

【請求項 5】

請求項 1 の半導体記憶装置の製造方法において、前記絶縁性薄膜を、シリコン酸化物を主成分とし実質的に積層ゲートの側面を覆う第 1 の薄膜、およびシリコン窒化物を主成分とし実質的に第 1 の薄膜を覆う第 2 の薄膜、を用いて構成したことを特徴とするもの。

【請求項 6】

請求項 5 の半導体記憶装置の製造方法において、前記積層ゲートを形成する際、上部導電体層の上にさらにシリコン窒化物を主成分とする第 3 の薄膜を形成しておき、その後、実質的に積層ゲートの側面を覆うように前記第 1 の薄膜を形成し、その後、メモリアレイ部全体に前記第 2 の薄膜を堆積し、異方性エッチングにより、堆積した厚さ分だけ当該第 2 の薄膜を除去することにより、少なくとも前記選択エッチングによって除去すべき素子分離用絶縁膜の上にある第 2 の薄膜を除去し、その後、前記選択エッチングを行なうことを特徴とするもの。 40

【請求項 7】

請求項 1 ないし請求項 6 の半導体記憶装置の製造方法において、前記絶縁性薄膜の厚さを、前記下部絶縁膜の厚さと同程度の厚さないし下部絶縁膜の厚さの 10 倍程度の厚さとしたことを特徴とするもの。 50

【請求項 8】

請求項 1 ないし請求項 7 の半導体記憶装置の製造方法において、前記選択エッチングの後、前記素子分離用絶縁膜の除去された半導体領域を含む半導体領域に、実質的に前記積層ゲートおよび除去されなかった素子分離用絶縁膜に対して自己整合的に、前記第 1 の高濃度不純物領域および第 2 の高濃度不純物領域を形成することを特徴とするもの。

【請求項 9】

下記の (A) ないし (C)、(A) 半導体基板に設けられた半導体領域に設定された第 1 導電型のチャネル形成領域、(B) チャネル形成領域を挟んで配置された第 2 導電型の第 1 の高濃度不純物領域および第 2 の高濃度不純物領域、(C) チャネル形成領域の上に形成された下記の (c1) ないし (c4) を有する積層ゲートであって、当該積層ゲートの側面を少なくとも実質的に下部絶縁膜の上端まで覆う高さの絶縁性薄膜を伴う積層ゲート、(c1) チャネル形成領域の上に形成された下部絶縁膜、(c2) 下部絶縁膜の上に形成された下部導電体層、(c3) 下部導電体層の上に形成された上部絶縁膜、(c4) 上部絶縁膜の上に形成された上部導電体層、を持つ複数のメモリセル、を行列配置したメモリアレイ部であって、同一列に属するメモリセルの上部導電体層は連続的に形成され、各メモリセルの第 1 の高濃度不純物領域および第 2 の高濃度不純物領域は行方向に隣接するメモリセル間でそれぞれ連続して形成され、第 1 の高濃度不純物領域を挟んで隣接する 2 つの列に属するメモリセルの第 1 の高濃度不純物領域は列方向に連続的に形成され、第 2 の高濃度不純物領域を挟んで隣接する 2 つの列に属するメモリセルの第 2 の高濃度不純物領域は素子分離用絶縁膜によって列方向に相互に電氣的に分離されているメモリアレイ部、を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置およびその製造方法に関し、特に、半導体記憶装置を高密度化するための S A S (Self Aligned Source) 技術に関する。

【背景技術】

【0002】

フラッシュ E P R O M など不揮発性半導体記憶装置のメモリアレイを高密度化するための方法として、S A S 技術が知られている。図 2 4 A ~ 図 2 5 B に基づいて、S A S 技術を用いたメモリアレイの製造方法を説明する。まず、図 2 4 A に示すように、半導体基板 2 の上に X 方向を長手方向とするストライプ状に、素子分離のためのフィールド酸化膜 4 を形成する。

【0003】

つぎに、図 2 4 B に示すように、ストライプ状のフィールド酸化膜 4 に直交するストライプ状 (Y 方向を長手方向とするストライプ状) に、積層ゲート 6 を形成する。積層ゲート 6 は、メモリセル (図 2 5 B のメモリセル M C 参照) のチャネル形成領域 C H 上に、ゲート酸化膜 8、フローティングゲート 10、O N O 膜 12、コントロールゲート 14 をこの順に積層した構造を備えている。

【0004】

積層ゲート 6 のうち、ゲート酸化膜 8、フローティングゲート 10 および O N O 膜 12 は、各メモリセルごとに独立しているが、コントロールゲート 14 は、同一列を構成するメモリセル (Y 方向に並んだ複数のメモリセル) をつなぐように形成されている。

【0005】

つぎに、積層ゲート 6 およびフィールド酸化膜 4 に対して自己整合的にドレイン D および、低濃度ソース L S を形成する。ドレイン D および低濃度ソース L S は、それぞれ、行方向 (X 方向) に隣接する 2 つのメモリセル間で共用される。

【0006】

つぎに、図 2 5 A に示すように、ドレイン D を覆うようにレジスト 16 を形成し、レジスト 16 および積層ゲート 6 をマスクとしてシリコン酸化物に対する選択性の高いエッチン

グをおこなう。このエッチングをS A Sエッチングと呼ぶ。このS A Sエッチングによって、列方向（Y方向）に隣接する低濃度ソースL S間に介在していたフィールド酸化膜4が、選択的に除去される。

【0007】

この状態で、高濃度のヒ素（As）をイオン注入する。したがって、高濃度のヒ素は、行方向に隣接するメモリセル間で共用されるソース形成領域と、当該ソース形成領域を列方向につなぐ領域すなわち先程のS A Sエッチングによってフィールド酸化膜4が除去された領域とに注入される。

【0008】

この後、加熱することにより、図25Bに示すように、メモリセルの高濃度ソースHSをY方向に連結した構造の拡散ソース配線15が形成される。このようにして、積層ゲート6に対し自己整合的に、拡散ソース配線15を形成することができる。これが、S A S技術である。S A S技術を用いることにより、半導体記憶装置の集積度を向上させることができる。

【0009】

しかし、上記のS A S技術には、次のような問題点がある。図26に拡大して示すように、S A Sエッチングの際、メモリセルMCのゲート酸化膜8の端部やソースSの表面がある程度浸食されてしまう。

【0010】

これでは、メモリセルMCに対する書込みや消去の際に重要な役割を果たすゲートエッジ部19の形状や表面状態が不安定になってしまう。すなわち、メモリセルMCに対する書込みや消去に要する電圧や、当該電圧の印加時間に大きなバラ付きを生ずる。

【0011】

このような問題を解決するために、図27A～図28Bに示すような改良されたS A S技術が提案されている（特開平7-312395参照）。図27A、図28Aは、図25Aの断面27Aに対応する部分の断面図であり、改良されたS A S技術にかかるものである。図27B、図28Bは、図25Aの断面27Bに対応する部分の断面図であり、改良されたS A S技術にかかるものである。

【0012】

改良されたS A S技術においては、積層ゲート6を形成した後、積層ゲート6に対し自己整合的に、低濃度ソースL S、高濃度ソースHS、ドレインDを形成し、その後、S A Sエッチングする前に、図27Aおよび図27Bに示すように、積層ゲート6の側面にシリコン酸化物で構成されたサイドウォール18を形成する。

【0013】

サイドウォール18は、周辺回路を構成するL D D（Lightly Doped Drain）型のM O S F E Tを形成する工程において同時に形成される。すなわち、C V D法（化学的気相成長法）等によりシリコン酸化物を堆積させ、その後、異方性エッチングを行なう（エッチバックする）ことで、サイドウォール18が形成される。したがって、サイドウォール18は、X方向にかなりの厚さを有する厚膜となる。

【0014】

その後、図28Aおよび図28Bに示すように、S A Sエッチングを行なう。サイドウォール18は、S A Sエッチングに際してある程度浸食されるものの、図28Bに示すように、ゲートエッジ部19の近傍は、S A Sエッチング終了に至るまで、サイドウォール18によって保護される。

【0015】

その後、レジスト16、積層ゲート6および取り残されたサイドウォール18をマスクとして、高濃度のヒ素（As）をイオン注入し、加熱する。これにより、図29に平面図で示すように、メモリセルの高濃度ソースHSをY方向に連結した構造の拡散ソース配線15が形成される。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0016】

しかしながら、上記のような従来のSAS技術にも、次のような問題点がある。上記のように改良されたSAS技術を用いることによって、図28Bに示すゲートエッジ部19はSASEッチングから保護されるものの、図29に示すように、拡散ソース配線15の幅が、部分的に狭く（幅w1）になってしまう。

【0017】

これは、取り残されたサイドウォール18をマスクとして、高濃度のヒ素（As）をイオン注入するため、ヒ素イオンの注入幅が、当該サイドウォール18の幅（通常1500～2000オングストローム程度）の2倍（3000～4000オングストローム程度）に相当する分だけ、狭くなってしまうからである。 10

【0018】

したがって、幅の狭い部分がネックとなり、拡散ソース配線15の電気抵抗が大きくなってしまう。このため、特に、データの書込み等に際し大きなソース電流を流すタイプのメモリに適用した場合、各メモリ素子間で、電圧降下によるソース電位のバラ付きが大きくなり、動作が不安定になるおそれがある。

【0019】

このような場合、隣接する積層ゲート6の間隙w2を大きくすれば、幅w1も大きくなるため、このような問題は解決されるが、間隙w2を大きくすることにより、メモリの集積度が犠牲になってしまう。たとえば、0.35 μ m（3500オングストローム）のデザインルールを用いたメモリにおいて、間隙w2を3000～4000オングストローム程度広げるとなると、メモリ素子部分の集積度は、1/2程度に落ちてしまう。 20

【0020】

この発明は、このような問題点を解決し、集積度が高く、かつ、動作時の信頼性の高い半導体記憶装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

請求項1の半導体記憶装置の製造方法においては、実質的に積層ゲートの側面を覆う絶縁性薄膜を形成し、選択エッチングによって、実質的に積層ゲートに対して自己整合的に素子分離用絶縁膜を除去し、素子分離用絶縁膜の除去された半導体領域を含む半導体領域に、実質的に積層ゲートに対して自己整合的に第1の高濃度不純物領域を形成することを特徴としている。 30

【0022】

したがって、積層ゲートを構成する下部絶縁膜の側面は絶縁性薄膜に覆われているため、選択エッチングによって浸食されることはない。このため、書込み時等動作時の信頼性が高い。

【0023】

また、絶縁性薄膜の厚さを薄く設定することにより、積層ゲートおよび絶縁性薄膜をマスクとして第1の高濃度不純物領域を形成する際、第1の高濃度不純物領域の幅の減少量を小さく抑えることができる。このため、隣接する積層ゲートの間隙を大きくすることなく、第1の高濃度不純物領域について所定幅を確保することができる。この結果、集積度を犠牲にすることなく、列方向に連続的に形成される第1の高濃度不純物領域の電気抵抗の増大を防ぐことができる。 40

【0024】

すなわち、集積度が高く、かつ、動作時の信頼性が高い半導体記憶装置を実現することができる。

【0025】

請求項2の半導体記憶装置の製造方法においては、絶縁性薄膜を、シリコン酸化物を主成分とする薄膜としたことを特徴としている。

【0026】

したがって、熱酸化法やCVD法（化学的気相成長法）などにより、薄い絶縁膜を容易に得ることができる。

【0027】

請求項3の半導体記憶装置の製造方法においては、絶縁性薄膜を、シリコン窒化物を主成分とする薄膜としたことを特徴としている。

【0028】

したがって、選択エッチングにおいてエッチングされにくいシリコン窒化物を用いることで、素子分離用絶縁膜の厚さに対する積層ゲートの高さの比率がより小さくなった場合であっても、選択エッチングにおいて、下部絶縁膜の側面を保護することができる。また、選択エッチングにおいて、積層ゲートの側面全体を保護することができるので、動作時の信頼性を、より高めることができる。 10

【0029】

請求項4の半導体記憶装置の製造方法においては、積層ゲートを形成した後、メモリアレイ部全体にシリコン窒化物を主成分とする薄膜を堆積し、異方性エッチングにより、堆積した厚さ分だけ当該薄膜を除去することにより、少なくとも選択エッチングによって除去すべき素子分離用絶縁膜の上にある当該薄膜を除去し、その後、選択エッチングを行なうことを特徴としている。

【0030】

したがって、素子分離用絶縁膜の上にあるシリコン窒化物を主成分とする薄膜を除去して、当該素子分離用絶縁膜を露出させておくことにより、その後の選択エッチングによって、素子分離用絶縁膜を容易に除去することができる。 20

【0031】

請求項5の半導体記憶装置の製造方法においては、絶縁性薄膜を、シリコン酸化物を主成分とし実質的に積層ゲートの側面を覆う第1の薄膜、およびシリコン窒化物を主成分とし実質的に第1の薄膜を覆う第2の薄膜、を用いて構成したことを特徴としている。

【0032】

したがって、電荷を捕獲しにくいシリコン酸化物を主成分とする第1の薄膜を用いて積層ゲートの側面を覆うことで、積層ゲートの側面において不用意に電荷が捕獲されるのを防止することができる。また、選択エッチングにおいてエッチングされにくいシリコン窒化物を主成分とする第2の薄膜を用いて第1の薄膜を覆うことで、選択エッチングにおいて、確実に下部絶縁膜の側面を保護することができる上、積層ゲートの側面全体を保護することができる。このため、動作時の信頼性を、さらに高めることができる。 30

【0033】

請求項6の半導体記憶装置の製造方法においては、積層ゲートを形成する際、上部導電体層の上にさらにシリコン窒化物を主成分とする第3の薄膜を形成しておき、その後、実質的に積層ゲートの側面を覆うように第1の薄膜を形成し、その後、メモリアレイ部全体に前記第2の薄膜を堆積し、異方性エッチングにより、堆積した厚さ分だけ当該第2の薄膜を除去することにより、少なくとも選択エッチングによって除去すべき素子分離用絶縁膜の上にある第2の薄膜を除去し、その後、選択エッチングを行なうことを特徴としている。 40

【0034】

つまり、上記異方性エッチング前においては、積層ゲートの側面に形成された第1の薄膜の側面および上部は、第2の薄膜により覆われている。したがって、異方性エッチングにより、堆積した厚さ分だけ当該第2の薄膜を除去したとしても、第1の薄膜の側面および上部が露出することはない。このため、その後に行なわれる選択エッチングにおいて、第1の薄膜が浸食されることはない。すなわち、積層ゲートの側面を覆う第1の薄膜と、第1の薄膜を覆う第2の薄膜とを用いて構成される絶縁性薄膜を、容易に得ることができる。

【0035】

請求項7の半導体記憶装置の製造方法においては、絶縁性薄膜の厚さを、下部絶縁膜の厚 50

さと同程度の厚さないし下部絶縁膜の厚さの10倍程度の厚さとしたことを特徴としている。

【0036】

したがって、第1の高濃度不純物領域から下部絶縁膜を介して下部導電体層に流れるべき電流が、絶縁性薄膜を介して下部導電体層に流れる可能性は極めて低く、かつ、第1の高濃度不純物領域の幅の減少量を小さく抑えることができる。すなわち、絶縁性薄膜の絶縁性を確保しつつ、第1の高濃度不純物領域の幅の減少量を小さく抑えることができる。

【0037】

請求項8の半導体記憶装置の製造方法においては、選択エッチングの後、素子分離用絶縁膜の除去された半導体領域を含む半導体領域に、実質的に積層ゲートおよび除去されなかった素子分離用絶縁膜に対して自己整合的に、第1の高濃度不純物領域および第2の高濃度不純物領域を形成することを特徴としている。

10

【0038】

したがって、第2の高濃度不純物領域、および、列方向に連続的に形成される第1の高濃度不純物領域を、同一工程で形成することが可能となる。このため、マスク工程等煩雑な工程を伴う不純物導入工程の数を低減することができる。すなわち、製造コストを低減することができる。

【0039】

請求項9の半導体記憶装置においては、積層ゲートの側面を少なくとも実質的に下部絶縁膜の上端まで覆う高さの絶縁性薄膜を備えたことを特徴としている。したがって、書込み等の動作時に重要な役割を果たす下部絶縁膜の側面近傍を絶縁性薄膜で覆って保護することにより、より確実に、書込み等の動作の信頼性を高めることができる。

20

【0040】

なお、請求項において、「半導体基板に半導体領域を設ける」とは、半導体基板に接して半導体領域を形成する場合、半導体基板の上に形成した一層以上の別の層の上に半導体領域を形成する場合、および、半導体基板自体が半導体領域である場合を含む概念である。

【発明の効果】

【0041】

本発明の構成によれば、積層ゲートを構成する下部絶縁膜の側面は絶縁性薄膜に覆われているため、選択エッチングによって浸食されることはない。このため、書込み時等動作時の信頼性が高い。また、絶縁性薄膜の厚さを薄く設定することにより、積層ゲートおよび絶縁性薄膜をマスクとして第1の高濃度不純物領域を形成する際、第1の高濃度不純物領域の幅の減少量を小さく抑えることができる。このため、隣接する積層ゲートの間隙を大きくすることなく、第1の高濃度不純物領域について所定幅を確保することができる。この結果、集積度を犠牲にすることなく、列方向に連続的に形成される第1の高濃度不純物領域の電気抵抗の増大を防ぐことができる。すなわち、集積度が高く、かつ、動作時の信頼性が高い半導体記憶装置を実現することができる。

30

【発明を実施するための最良の形態】

【0042】

[第1の実施形態] 図12に、この発明の一実施形態による半導体記憶装置であるフラッシュEPRROMのメモリアレイ部の平面構成を概念的に表わした図面を示す。このフラッシュEPRROMは、不揮発性の半導体記憶装置であり、メモリアレイ部26には、複数のメモリセルMC(図12において、破線で囲んだ部分)が、直交する行列状に配置されている。なお、メモリセルMCのX方向の並びを行、Y方向の並びを列と呼ぶ。

40

【0043】

図6に、メモリアレイ部26の一部を表わす斜視図を示す。メモリセルMCは、P型(第1導電型)の半導体基板22(半導体領域)に設定されたチャネル形成領域CHと、チャネル形成領域CHを挟んで配置されたN型(第2導電型)のソースSおよびドレインD(第2の高濃度不純物領域)と、チャネル形成領域CHの上に形成された積層ゲート46を備えている。

50

【 0 0 4 4 】

ソース S は、N+型の高濃度ソース H S と、高濃度ソース H S を取り囲むように形成された N-型の低濃度ソース L S (低濃度不純物領域) とを備えている。ドレイン D およびソース S は、それぞれ、行方向 (X 方向) に隣接する 2 つのメモリセル間で共用される。メモリセルのソース S のうち高濃度ソース H S は、列方向 (Y 方向) に連結され、拡散ソース配線 5 5 (第 1 の高濃度不純物領域) となっている。異なる行に属するメモリセルのドレイン D は、フィールド酸化膜 4 4 (第 1 の素子分離用絶縁膜) によって電氣的に分離されている。

【 0 0 4 5 】

また、積層ゲート 4 6 は、ゲート酸化膜 4 8 (下部絶縁膜)、フローティングゲート 5 0 (下部導電体層)、ONO 膜 5 2 (上部絶縁膜)、コントロールゲート 5 4 (上部導電体層) をこの順に積層した構成を備えている。積層ゲート 4 6 のうち、ゲート酸化膜 4 8、フローティングゲート 5 0 および ONO 膜 5 2 は、各メモリセルごとに独立しているが、コントロールゲート 5 4 は、同一列を構成するメモリセル (Y 方向に並んだ複数のメモリセル) をつなぐように形成されている。なお、図 1 2 の右上がりのハッチング部 (細線) がコントロールゲート 5 4 を表わし、右下がりのハッチング部 (太線) がフローティングゲート 5 0 を表わす。

【 0 0 4 6 】

積層ゲート 4 6 の側面には、絶縁用薄膜である熱酸化膜 5 8 が形成されている。熱酸化膜 5 8 の厚さは、特に限定されるものではないが、ゲート酸化膜 4 8 の厚さと同程度の厚さないしゲート酸化膜 4 8 の厚さの 1 0 倍程度の厚さとするのが好ましい。この程度の厚さにすれば、ソース S からゲート酸化膜 4 8 を介してフローティングゲート 5 0 に流れるべき電流が、熱酸化膜 5 8 を介してフローティングゲート 5 0 に流れる可能性は極めて低く、かつ、拡散ソース配線 5 5 の幅の減少量を小さく抑えることができるからである。たとえば、ゲート酸化膜 4 8 の厚さを 1 0 0 オングストローム程度とすると、熱酸化膜 5 8 の厚さを 1 0 0 ~ 1 0 0 0 オングストローム程度にするのが好ましい。

【 0 0 4 7 】

熱酸化膜 5 8 の膜厚制御が容易であれば、より好ましくは、熱酸化膜 5 8 の厚さを、ゲート酸化膜 4 8 の厚さと同程度の厚さないしゲート酸化膜 4 8 の厚さの 5 倍程度の厚さ (上述の例では、1 0 0 ~ 5 0 0 オングストローム程度) とするのがよい。さらに好ましくは、熱酸化膜 5 8 の厚さを、ゲート酸化膜 4 8 の厚さと同程度の厚さないしゲート酸化膜 4 8 の厚さの 2 倍程度の厚さ (上述の例では、1 0 0 ~ 2 0 0 オングストローム程度) とするのがよい。

【 0 0 4 8 】

すなわち、熱酸化膜 5 8 の厚さは、熱酸化膜 5 8 を介してフローティングゲート 5 0 に流れる電流が無視できる程度の厚さであれば、薄いほうがよいことになる。

【 0 0 4 9 】

ソース S 側の熱酸化膜 5 8 は、後述する S A S エッチングによりある程度除去されるものの、ゲート酸化膜 4 8 の側面を覆う程度には残存している。

【 0 0 5 0 】

つぎに、このフラッシュ E P R O M の製造方法について説明する。図 1 ~ 図 6 は、この発明の一実施形態による半導体記憶装置であるフラッシュ E P R O M の製造工程を説明するための斜視図である。図 7 A ~ 図 1 0 B は、各工程における主要部分の断面図である。

【 0 0 5 1 】

フラッシュ E P R O M を製造するには、図 1 R>1 に示すように、まず、P 型の半導体基板 2 2 を用意し、L O C O S 法を用いて、メモリアレイ部 2 6 の素子分離領域 4 2 上に、フィールド酸化膜 4 4 を形成する。フィールド酸化膜 4 4 は、X 方向を長手方向とするストライプ状に形成される。

【 0 0 5 2 】

なお、この実施形態においては、約 1 0 0 0 の水蒸気雰囲気中で加熱することにより、

3000オングストローム程度の膜厚を有するフィールド酸化膜44を形成している。

【0053】

つぎに、図2に示すように、ストライプ状のフィールド酸化膜44に直交するストライプ状(Y方向を長手方向とするストライプ状)に、積層ゲート46を形成する。積層ゲート46は、つぎのようにして形成する。

【0054】

まず、半導体基板22の露出した素子形成領域40(図1参照)の表面に、ゲート酸化膜48となる熱酸化膜を形成する。なお、この実施形態においては、約900の乾燥雰囲気中で加熱することにより、当該熱酸化膜を形成するようにしている。

【0055】

この上に、フローティングゲート50となるポリシリコン層を、X方向を長手方向とするストライプ状に形成する。この実施形態においては、当該ポリシリコン層を、約620の温度下でCVD法を用いて形成している。ポリシリコン層形成後、不純物であるリンを該ポリシリコン層にドーピングしておく。このポリシリコン層を覆うように、ONO膜52となるONO層を形成する。

【0056】

つぎに、コントロールゲート54となるポリシリコン層およびタングステンシリサイド(WSi)層を形成する。この実施形態においては、当該ポリシリコン層を、約620の温度下でCVD法を用いて形成している。最後に、このポリシリコン層、タングステンシリサイド(WSi)層および上述のONO層、X方向を長手方向とするストライプ状のポリシリコン層、熱酸化膜をパタニングすることによって、積層ゲート46が形成される。

【0057】

なお、この実施形態においては、積層ゲート46を構成する各層の厚さを、次のように設定している。すなわち、ゲート酸化膜48の厚さ：約100オングストローム、フローティングゲート50の厚さ：約1000オングストローム、ONO膜52の厚さ：約200オングストローム、コントロールゲートの厚さ：約3000オングストローム(内、タングステンシリサイドの厚さ：約1500オングストローム)である。

【0058】

つぎに、積層ゲート46に対して自己整合的に、N-型の低濃度ソースLSおよびN+型のドレインDを形成する。低濃度ソースLSを形成するために、ドレインDとなるべき領域をレジスト(図示せず)で覆った後、低濃度ソースLSとなるべき領域に低濃度のリン(P)を注入する。ドレインDを形成するために、低濃度ソースLSとなるべき領域をレジスト(図示せず)で覆った後、ドレインDとなるべき領域に高濃度のヒ素(As)を注入する。その後、アニール(加熱)工程を経て、低濃度ソースLSおよびドレインDが形成される。

【0059】

上述のように、低濃度ソースLSおよびドレインDは、それぞれ、行方向(X方向)に隣接する2つのメモリセル間で共用される。

【0060】

なお、低濃度ソースLSおよびドレインDの形成工程と前後して、周辺回路を構成するNチャンネル型MOSFETやPチャンネル型MOSFET(図示せず)のLDD(Lightly Doped Drain)領域を形成しておく。

【0061】

つぎに、図3に示すように、熱酸化を行なうことにより、積層ゲート46の上面および側面に、熱酸化膜58を形成する。絶縁性薄膜として熱酸化膜58を用いれば、膜厚の制御が容易である上、膜組織が緻密であるため絶縁性に優れており、好都合である。

【0062】

この実施形態においては、熱酸化膜58の厚さを、200オングストローム程度、すなわち、ゲート酸化膜48の2倍程度の厚さに設定している。

【0063】

10

20

30

40

50

したがって、ソースSからゲート酸化膜48を介してフローティングゲート50に流れるべき電流が、熱酸化膜58を介してフローティングゲートに流れる可能性は極めて低く、かつ、拡散ソース配線55の幅の減少量を小さく抑えることができる。すなわち、熱酸化膜58の絶縁性を確保しつつ、拡散ソース配線55の幅の減少量を小さく抑えることができる。

【0064】

図3における断面7Aを図7Aに示す。また、図3における断面7Bを図7Bに示す。図7Bに示すように、熱酸化膜58は、積層ゲート46の上面および側面全体を覆うように形成されている。なお、半導体基板22のうち露出した部分にも、熱酸化膜58が形成される。

10

【0065】

つぎに、図4に示すように、ドレインDおよび、積層ゲート46の一部を覆うように、Y方向を長手方向とするストライプ状に、レジスト56を形成する。図4における断面8Aを図8Aに示す。また、図4における断面8Bを図8Bに示す。

【0066】

つぎに、図5に示すように、レジスト56、積層ゲート46および熱酸化膜58をマスクとしてシリコン酸化物に対する選択性の高い異方性エッチング（SASエッチング）を行なう。図5における断面9Aを図9Aに示す。また、図5における断面9Bを図9Bに示す。

【0067】

図9Aに示すように、SASエッチングによって、低濃度ソースLS（図4参照）間にあったフィールド酸化膜44が、選択的に除去される。上述のように、積層ゲート46の側面に形成される熱酸化膜58の膜厚が薄いため、図9Aに示すように、除去されるフィールド酸化膜44の幅w3は、隣接する積層ゲート46の間隙w2に比し、それほど狭くない。

20

【0068】

SASエッチングに際し、フィールド酸化膜44と同時に、露出した熱酸化膜58も高さ方向に浸食され、図9Bのように、背が低くなる。しかし、SASエッチングは、上述のように、異方性エッチングであるから、高さ方向に直交する方向（図中X方向、およびY方向）には、あまり浸食されない。一方、上述のように、フィールド酸化膜44の膜厚（3000オングストローム程度）に比し、積層ゲート46の厚さ（4300オングストローム程度）がかなり厚い。

30

【0069】

したがって、フィールド酸化膜44の除去が終了した時点でも、熱酸化膜58は、ある程度残存することになる。つまり、SASエッチングが終了するまで、積層ゲート46のゲートエッジ部59は、熱酸化膜58によって覆われていることになる。

【0070】

SASエッチングが終了すると、つぎに、レジスト56、積層ゲート46、および取り残された熱酸化膜58をマスクとして、高濃度のヒ素（As）をイオン注入する。上述のように、熱酸化膜58の膜厚が薄いため、イオン注入の際のマスクとしての熱酸化膜58のX方向の寸法（すなわち膜厚）は、SASエッチングの場合と同様に、ほとんど問題とならない。

40

【0071】

イオン注入された部分を、図9Aおよび図9R>9Bの×印で示す。すなわち、図5に示すように、高濃度のヒ素は、低濃度ソースLSと、当該低濃度ソースLSをY方向につなぐ領域すなわち先程のSASエッチングによってフィールド酸化膜44が除去された領域とに注入される。

【0072】

この後、レジスト56をはく離し、加熱することにより、図6に示すように、メモリセルの高濃度ソースHSが形成されるとともに、高濃度ソースHSをY方向に連結した構造の

50

拡散ソース配線 55 が形成される。このようにして、実質的に積層ゲート 46 に対し自己整合的に、拡散ソース配線 55 を形成することができる。図 6 における断面 10A を図 10A に示す。また、図 6 における断面 10B を図 10B に示す。図 10A に示すように、拡散ソース配線 55 の幅 w_4 は、隣接する積層ゲート 46 の間隙 w_2 と同等程度あるいはそれ以上であることが分る。

【0073】

この後、上述の周辺回路を構成する N チャンネル型 MOSFET や P チャンネル型 MOSFET (図示せず) のゲート側面にサイドウォールが形成され、ゲートおよび該サイドウォールをマスクとして、該 N チャンネル型 MOSFET の N+ 型のソース/ドレインや P チャンネル型 MOSFET の P+ 型のソース/ドレインが形成される。

10

【0074】

なお、周辺回路を構成する N チャンネル型 MOSFET や P チャンネル型 MOSFET のゲート側面にサイドウォールが形成される際、同時に、メモリセルの積層ゲート 46 の両側にも、サイドウォール (図示せず) が形成される。

【0075】

最後に、図示しないが、層間膜形成工程、コンタクト形成工程、アルミ配線工程、パッシベーション膜形成工程等を経て、フラッシュ EPROM が製造される。

【0076】

このように、この実施形態においては、積層ゲート 46 の側面を覆う熱酸化膜 58 を形成し、選択エッチングによって、実質的に積層ゲート 46 に対して自己整合的にフィールド酸化膜 44 を除去し、フィールド酸化膜 44 の除去された領域を含む半導体基板 22 に、実質的に積層ゲート 46 に対して自己整合的に、高濃度ソース HS を Y 方向に連結した構造の拡散ソース配線 55 を形成するようにしている。

20

【0077】

したがって、ゲート酸化膜 48 の側面を含むゲートエッジ部 59 (図 9B 参照) は熱酸化膜 58 に覆われているため、選択エッチングによって浸食されることはない。このため、メモリセルへの書込み時等動作時の信頼性が高い。

【0078】

また、熱酸化膜 58 の膜厚が薄いので、積層ゲート 46 および該熱酸化膜 58 をマスクとして拡散ソース配線 55 を形成する際、拡散ソース配線 55 の幅の減少を抑制することができる。このため、隣接する積層ゲート 46 の間隙を大きくすることなく、拡散ソース配線 55 について所定幅を確保することができる。この結果、集積度を犠牲にすることなく、列方向に連続的に形成される拡散ソース配線 55 の電気抵抗の増大を防ぐことができる。

30

【0079】

すなわち、集積度が高く、かつ、動作時の信頼性が高いフラッシュ EPROM 等のメモリ装置を実現することができる。

【0080】

なお、この実施形態においては、絶縁性薄膜として、熱酸化膜 58 を用いたが、絶縁性薄膜として、シリコン酸化物を主成分とする薄膜であって熱酸化膜以外の薄膜、たとえば、CVD (化学的気相成長) 法を用いて形成したシリコン酸化膜を用いてもよい。CVD 法を用いてシリコン酸化膜を成膜することにより、比較的低温下で、容易にシリコン酸化膜を得ることができる。

40

【0081】

また、この実施形態においては、絶縁性薄膜として、シリコン酸化物を主成分とする薄膜を用いたが、絶縁性薄膜はこれに限定されるものではない。たとえば、絶縁性薄膜として、シリコン窒化物を主成分とする薄膜を用いることもできる。

【0082】

[第2の実施形態] 絶縁性薄膜として、シリコン窒化物を主成分とする薄膜を用いた場合の製造方法の一例を、図 13 ~ 図 16 を用いて説明する。

50

【 0 0 8 3 】

積層ゲート 4 6 を形成するまでの工程は、上述の実施形態と同様である（図 1、図 2 参照）。その後、図 1 3 に示すように、絶縁性薄膜として、シリコン窒化膜 6 8 を形成する。シリコン窒化膜 6 8 は、C V D 法を用いて、シリコン窒化物を薄膜状に堆積させることにより成膜する。

【 0 0 8 4 】

したがって、積層ゲート 4 6 の側面のみならず、積層ゲート 4 6 の上面、露出した半導体基板 2 2 の上部、および、フィールド酸化膜 4 4 の上部に、薄膜状のシリコン窒化膜 6 8 が形成されることになる。なお、この実施形態においては、シリコン窒化膜 6 8 の膜厚を 2 0 0 オングストローム程度に設定しているが、上述の実施形態の場合と同様に、シリコン窒化膜 6 8 の膜厚は、特に限定されるものではない。

【 0 0 8 5 】

つぎに、図 1 4 に示すように、ドレイン D および、積層ゲート 4 6 の一部を覆うように、Y 方向を長手方向とするストライプ状に、レジスト 5 6 を形成する。その後、レジスト 5 6 をマスクとして、シリコン窒化物に対する選択性の高い異方性エッチングを行ない、シリコン窒化膜 6 8 の膜厚分だけ、シリコン窒化膜 6 8 を除去する。これにより、フィールド酸化膜 4 4 の上部のシリコン窒化膜 6 8 が除去される。フィールド酸化膜 4 4 の上部にシリコン窒化膜 6 8 があると、次工程の S A S エッチングにおいて、フィールド酸化膜 4 4 を除去できないからである。なお、露出した積層ゲート 4 6 の上面および半導体基板 2 2 の上部に形成されたシリコン窒化膜 6 8 も、同時に除去される。

【 0 0 8 6 】

つぎに、図 1 5 に示すように、レジスト 5 6、積層ゲート 4 6 および側面に残されたシリコン窒化膜 6 8 をマスクとしてシリコン窒化物に対する選択性の高い S A S エッチングを行なう。

【 0 0 8 7 】

図 1 5 に示すように、S A S エッチングによって、低濃度ソース L S 間にあったフィールド酸化膜 4 4（図 1 4 参照）が、選択的に除去される。

【 0 0 8 8 】

絶縁性薄膜として熱酸化膜 5 8 を用いた上述の実施形態の場合と異なり、この実施形態においては、S A S エッチングに際し、絶縁性薄膜であるシリコン窒化膜 6 8 はほとんど浸食されない。

【 0 0 8 9 】

このように、S A S エッチングにおいてエッチングされにくいシリコン窒化膜 6 8 を絶縁性薄膜として用いれば、仮に、フィールド酸化膜 4 4 の厚さに対する積層ゲート 4 6 の高さの比率がより小さくなった場合であっても、S A S エッチングにおいて、積層ゲート 4 6 のゲートエッジ部 5 9 が露出することではなく、確実にゲートエッジ部 5 9 を保護することができる。また、S A S エッチングにおいて、O N O 膜 5 2 の側面を含め積層ゲート 4 6 の側面全体を保護することができるので、動作時の信頼性を、より高めることができる。

【 0 0 9 0 】

S A S エッチング終了後の工程は、前述の実施形態の場合と、ほぼ同様である。すなわち、レジスト 5 6、積層ゲート 4 6 およびその側面に残されたシリコン窒化膜 6 8 をマスクとして、高濃度のヒ素（As）をイオン注入し、その後、レジスト 5 6 をはく離し、加熱することにより、図 1 6 に示すように、メモリセルの高濃度ソース H S が形成されるとともに、高濃度ソース H S を Y 方向に連結した構造の拡散ソース配線 5 5 が形成される。このようにして、前述の実施形態と同様に、実質的に積層ゲート 4 6 に対し自己整合的に、拡散ソース配線 5 5 を形成することができるのである。

【 0 0 9 1 】

[第 3 の実施形態] 図 1 7 ~ 図 2 2 は、この発明のさらに他の実施形態による半導体記憶装置であるフラッシュ E P R O M の製造工程を説明するための斜視図である。この実施形

10

20

30

40

50

態においては、絶縁性薄膜 78 として、第 1 の薄膜である熱酸化膜 74 および第 2 の薄膜であるシリコン窒化膜 76 を用いている。

【0092】

フィールド酸化膜 44 を形成する工程までは、上述の各実施形態と同様である（図 1 参照）。その後、図 17 に示すように、ストライプ状の積層ゲート 46 を形成するが、この実施形態においては、積層ゲート 46 の上部にシリコン窒化物により構成された第 3 の薄膜であるキャップ材 72 を形成するようにしている。キャップ材 72 を形成することにより、後述するように、SAS エッチングにおいて、熱酸化膜 74 が浸食されるのを防止することができる（図 21 参照）。

【0093】

積層ゲート 46 およびキャップ材 72 を形成する手順を説明する。コントロールゲート 54 となるポリシリコン層およびタングステンシリサイド (WSi) 層を堆積させる工程までは、上述の実施形態と同様である。すなわち、ゲート酸化膜 48 となる熱酸化膜、フローティングゲート 50 となるポリシリコン層、ONO 膜 52 となる ONO 層、コントロールゲート 54 となるポリシリコン層およびタングステンシリサイド (WSi) 層を、この順に形成する。

【0094】

その後、キャップ材 72 となるシリコン窒化膜を、減圧 CVD 法等を用いて堆積させる。この実施形態においては、当該シリコン窒化膜の膜厚を 800 オングストローム程度に設定している。

【0095】

つぎに、このシリコン窒化膜、ポリシリコン層およびタングステンシリサイド (WSi) 層、ONO 層、X 方向を長手方向とするストライプ状のポリシリコン層、熱酸化膜をパタニングすることによって、積層ゲート 46 ならびにキャップ材 72 が形成される。なお、積層ゲート 46 を構成する各層の厚さは、上述の実施形態と同様であるが、特に限定されるものではない。

【0096】

つぎに、積層ゲート 46 に対して自己整合的に、N-型の低濃度ソース L S および N+型のドレイン D を形成するが、この工程は、上述の実施形態と同様である。

【0097】

つぎに、図 18 に示すように、熱酸化を行なうことにより、積層ゲート 46 の側面に、熱酸化膜 74 を形成する。第 1 の薄膜として熱酸化膜 74 を用いれば、膜厚の制御が容易である上、膜組織が緻密であるため絶縁性に優れており、好都合である。

【0098】

図 18 に示すように、熱酸化膜 74 は、半導体基板 22 のうち露出したシリコン部分にも形成される一方、シリコン窒化物で構成されたキャップ材 72 の側面や上部には、ほとんど形成されない。したがって、キャップ材 72 の側面等に極めて薄く熱酸化膜が形成されたとしても、実用上ほとんど問題はない。ただし、極く軽くエッチングを行なうことで、キャップ材 72 の側面等に形成された極く薄い熱酸化膜を除去するようにすれば、なおよい。

【0099】

その後、図 19 に示すように、第 2 の薄膜として、シリコン窒化膜 76 を形成する。シリコン窒化膜 76 は、CVD 法を用いて、シリコン窒化物を薄膜状に堆積させることにより成膜する。

【0100】

したがって、積層ゲート 46 の側面に形成された上述の熱酸化膜 74 を覆うように、薄膜状のシリコン窒化膜 76 が形成されることになる。なお、キャップ材 72 の側面および上面、半導体基板 22 上に形成された熱酸化膜 76 の上部、ならびに、フィールド酸化膜 44 の上部にも、薄膜状のシリコン窒化膜 76 が形成されることになる。

【0101】

なお、この実施形態においては、熱酸化膜 74 の厚さを、100 オングストローム程度とし、シリコン窒化膜 76 の膜厚を 100 オングストローム程度に設定している。すなわち、熱酸化膜 74 とシリコン窒化膜 76 とを合せた絶縁性薄膜 78 の厚さを 200 オングストローム程度に設定している。ただし、上述の各実施形態の場合と同様に、これら各膜厚は、特に限定されるものではない。

【0102】

つぎに、図 20 に示すように、レジスト 56 を形成し、レジスト 56 をマスクとして、シリコン窒化物に対する選択性の高い異方性エッチングを行ない、シリコン窒化膜 76 の膜厚分だけ、シリコン窒化膜 76 を除去する。これにより、フィールド酸化膜 44 の上部のシリコン窒化膜 76 が除去される。

10

【0103】

上述のように、積層ゲート 46 の側面に形成された熱酸化膜 74 の側面は、シリコン窒化膜 76 により覆われている。また、キャップ材 72 の側面（すなわち、積層ゲート 46 の側面に形成された熱酸化膜 74 の上部）にも、シリコン窒化膜 76 が形成されている。

【0104】

したがって、上記異方性エッチングによって、堆積した厚さ分だけシリコン窒化膜 76 を除去したとしても、積層ゲート 46 の側面に形成された熱酸化膜 74 の側面および上面が露出することはない。

【0105】

このため、その後に行なわれる SAS エッチングにおいて、積層ゲート 46 の側面に形成された熱酸化膜 74 が浸食されることはない。すなわち、キャップ材 72 を形成しておくことにより、積層ゲート 46 の側面を覆う熱酸化膜 74 と、熱酸化膜 74 を覆うシリコン窒化膜 76 とを用いて構成される絶縁性薄膜 78 を、容易に得ることができるのである。

20

【0106】

なお、露出したキャップ材 72 の上面および半導体基板 22 上に形成された熱酸化膜 76 の上部に形成されたシリコン窒化膜 76 も、上記異方性エッチングによって、同時に除去される。

【0107】

つぎに、図 21 に示すように、レジスト 56、キャップ材 72、残された絶縁性薄膜 78 をマスクとしてシリコン窒化物に対する選択性の高い SAS エッチングを行なう。

30

【0108】

図 21 に示すように、SAS エッチングによって、低濃度ソース L S 間にあったフィールド酸化膜 44（図 20 参照）が、選択的に除去される。一方、絶縁性薄膜 78 は、外側がシリコン窒化膜 76 により構成されているため、SAS エッチングに際し、ほとんど浸食されない。

【0109】

このように、この実施形態においては、絶縁性薄膜 78 を、実質的に積層ゲート 46 の側面を覆う熱酸化膜 74、および該熱酸化膜 74 を覆うシリコン窒化膜 76 を用いて構成している。

【0110】

したがって、シリコン窒化膜に比し電荷をトラップ（捕獲）しにくい熱酸化膜 74 を用いて積層ゲート 46 の側面を直接覆うことで、フローティングゲート 50 に取込まれるべき電荷、あるいはフローティングゲート 50 から排出されるべき電荷が、不用意に絶縁性薄膜にトラップされるのを防止することができる。このため、電荷がトラップされることによる電界の好まざる変動（すなわち、書込み時、消去時等における不安定動作の発生）を防止することができる。

40

【0111】

また、SAS エッチングにおいてエッチングされにくいシリコン窒化膜 76 を用いて熱酸化膜 74 を覆うことで、SAS エッチングにおいて、確実にゲートエッジ部 59 を保護することができる。また、SAS エッチングにおいて、ONO 膜 52 の側面を含め積層ゲート

50

ト４６の側面全体を保護することができるので、動作時の信頼性を、さらに高めることができる。

【０１１２】

ＳＡＳエッチング終了後の工程は、前述の各実施形態の場合と、ほぼ同様である。すなわち、レジスト５６、キャップ材７２、積層ゲート４６の側面に残された絶縁性薄膜７８をマスクとして、高濃度のヒ素（Ａｓ）をイオン注入し、その後、レジスト５６をはく離し、加熱することにより、図２２に示すように、メモリセルの高濃度ソースＨＳが形成されるとともに、高濃度ソースＨＳをＹ方向に連結した構造の拡散ソース配線５５が形成される。このようにして、前述の各実施形態と同様に、実質的に積層ゲート４６に対し自己整合的に、拡散ソース配線５５を形成することができるのである。

10

【０１１３】

[その他の実施形態]なお、図１３～図１６に示す実施形態、および、図１７～図２２に示す実施形態においては、レジスト５６を形成した後、シリコン窒化膜６８またはシリコン窒化膜７６を、その膜厚分だけ除去するようにしたが、シリコン窒化膜６８またはシリコン窒化膜７６をその膜厚分だけ除去する工程は、レジスト５６形成後に限定されるものではない。たとえば、レジスト５６形成前に、シリコン窒化膜６８またはシリコン窒化膜７６をその膜厚分だけ除去する工程を実施するようにしてもよい。

【０１１４】

また、上述の各実施形態においては、ＳＡＳエッチングを行なう前に、低濃度ソースＬＳおよびドレインＤを形成するとともに、ＳＡＳエッチング終了後に、高濃度ソースＨＳをＹ方向に連結した構造の拡散ソース配線５５を形成するよう構成したが、低濃度ソースＬＳ、ドレインＤ、拡散ソース配線５５を形成する手順は、これに限定されるものではない。たとえば、ドレインＤおよび拡散ソース配線５５を同一工程で形成するようにしてもよい。

20

【０１１５】

ドレインＤおよび拡散ソース配線５５を同一工程で形成する場合の一例を、図１～図１２に示す実施形態の場合を例に説明する。

【０１１６】

まず、図１に示すように、フィールド酸化膜４４を形成したあと、積層ゲート４６を形成する。その後、図２３に示すように、積層ゲート４６に対して自己整合的に、Ｎ-型の低濃度ソースＬＳのみを形成する。

30

【０１１７】

その後、ＳＡＳエッチング終了までの工程は、上記図１～図１２に示す実施形態の場合とほぼ同様である。ただし、本実施形態においては、ＳＡＳエッチング終了後、レジスト５６をはく離し、その後、積層ゲート４６および残存するフィールド酸化膜４４をマスクとして、高濃度のヒ素（Ａｓ）をイオン注入するようにしている。

【０１１８】

したがって、その後の加熱により、図６に示すように、ドレインＤと、高濃度ソースＨＳをＹ方向に連結した構造の拡散ソース配線５５とが、同時に形成される。

【０１１９】

このように、この実施形態においては、ＳＡＳエッチングの後、フィールド酸化膜４４の除去された半導体領域を含む半導体基板２２に、実質的に積層ゲート４６および除去されなかったフィールド酸化膜４４に対して自己整合的に、拡散ソース配線５５およびドレインＤを形成するようにしている。

40

【０１２０】

したがって、ドレインＤ、および、高濃度ソースＨＳをＹ方向に連結した構造のソース配線５５を、同一工程で形成することが可能となる。このため、マスク工程等煩雑な工程を伴うイオン打込み工程の数を低減することができる。すなわち、製造コストを低減することができる。

【０１２１】

50

なお、この実施形態のように、S A S エッチングに用いたレジスト 5 6 を除去した後にイオン注入工程を実施するような場合には、イオン注入工程に先立ち、軽い熱酸化工程を実施しておく、なおよい。熱酸化膜を形成することで、半導体基板 2 2 の表面や積層ゲート 4 6 の表面が、イオン注入の際にダメージを受けるのを防止できるからである。

【 0 1 2 2 】

また、この実施形態においては、低濃度ソース L S は、S A S エッチングの前に形成するようにしたが、拡散ソース配線 5 5 およびドレイン D 同様、低濃度ソース L S も、S A S エッチングの後に形成するようにしてもよい。この場合には、S A S エッチングの後に低濃度ソース L S を形成し、その後に、拡散ソース配線 5 5 およびドレイン D を形成する工程を実施することになる。

10

【 0 1 2 3 】

逆に、従来のように、S A S エッチングの前に、低濃度ソース L S 、高濃度ソース H S およびドレイン D を形成しておき、S A S エッチングの後で、高濃度ソース H S をつないで拡散ソース配線 5 5 にするための工程を実施するようにしてもよい。

【 0 1 2 4 】

なお、上述の各実施形態においては、絶縁性薄膜として、熱酸化膜、C V D により形成したシリコン酸化薄膜、シリコン窒化膜、熱酸化膜とシリコン窒化膜とを重ねた積層薄膜を例示したが、絶縁性薄膜はこれに限定されるものではない。絶縁性薄膜として、たとえば、シリコン酸化窒化膜（シリコン酸化物とシリコン窒化物とが混在する薄膜）や、3 層以上の積層薄膜などを用いることもできる。また、上述の各実施形態においては、上部絶縁膜として O N O 膜 5 2 を例に説明したが、上部絶縁膜は O N O 膜に限定されるものではない。たとえば、単層のシリコン酸化膜により構成される上部絶縁膜等を用いた半導体記憶装置にも適用することができる。

20

【 0 1 2 5 】

なお、上述の実施形態においては、半導体記憶装置としてフラッシュ E P R O M を例に説明したが、この発明はフラッシュ E P R O M に限定されるものではない。

【図面の簡単な説明】

【 0 1 2 6 】

【図 1】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

30

【図 2】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

【図 3】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

【図 4】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

【図 5】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

【図 6】この発明の一実施形態によるフラッシュ E P R O M の製造工程を説明するためのメモリアレイ部 2 6 の斜視図である。

40

【図 7】図 7 A は、図 3 における断面 7 A を表わす図面である。図 7 B は、図 3 における断面 7 B を表わす図面である。

【図 8】図 8 A は、図 4 における断面 8 A を表わす図面である。図 8 B は、図 4 における断面 8 B を表わす図面である。

【図 9】図 9 A は、図 5 における断面 9 A を表わす図面である。図 9 B は、図 5 における断面 9 B を表わす図面である。

【図 10】図 10 A は、図 6 における断面 10 A を表わす図面である。図 10 B は、図 6 における断面 10 B を表わす図面である。

【図 11】図 4 の状態におけるメモリアレイ部の平面構成を概念的に表わした図面である。

50

【図１２】この発明の一実施形態によるフラッシュＥＰＲＯＭのメモリアレイ部の平面構成を概念的に表わした図面である。

【図１３】この発明の他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図１４】この発明の他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図１５】この発明の他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図１６】この発明の他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

10

【図１７】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図１８】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図１９】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図２０】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図２１】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

20

【図２２】この発明のさらに他の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図２３】この発明のさらに別の実施形態によるフラッシュＥＰＲＯＭの製造工程を説明するためのメモリアレイ部２６の斜視図である。

【図２４】図２４Ａおよび図２４Ｂは、従来のＳＡＳ技術を用いたメモリアレイの製造方法を説明するための斜視図である。

【図２５】図２５Ａおよび図２５Ｂは、従来のＳＡＳ技術を用いたメモリアレイの製造方法を説明するための斜視図である。

【図２６】従来のＳＡＳ技術を用いたメモリアレイの製造方法におけるメモリセルＭＣ部分の断面を示す図面である。

30

【図２７】図２７Ａは、図２５Ａの断面２７Ａに対応する部分の断面図であり、従来の他のＳＡＳ技術にかかるものである。図２７Ｂは、図２５Ａの断面２７Ｂに対応する部分の断面図であり、従来の他のＳＡＳ技術にかかるものである。

【図２８】図２８Ａは、図２５Ａの断面２７Ａに対応する部分の断面図であり、従来の他のＳＡＳ技術にかかるものである。図２８Ｂは、図２５Ａの断面２７Ｂに対応する部分の断面図であり、従来の他のＳＡＳ技術にかかるものである。

【図２９】従来の他のＳＡＳ技術を用いたメモリアレイの平面構成を概念的に表わした図面である。

【符号の説明】

【０１２７】

40

４４・・・フィールド酸化膜

４６・・・積層ゲート

５６・・・レジスト

５８・・・熱酸化膜

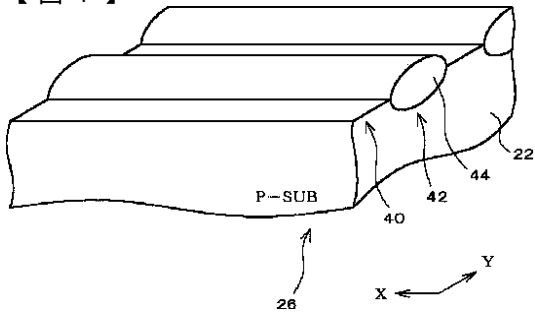
５９・・・ゲートエッジ部

ＬＳ・・・低濃度ソース

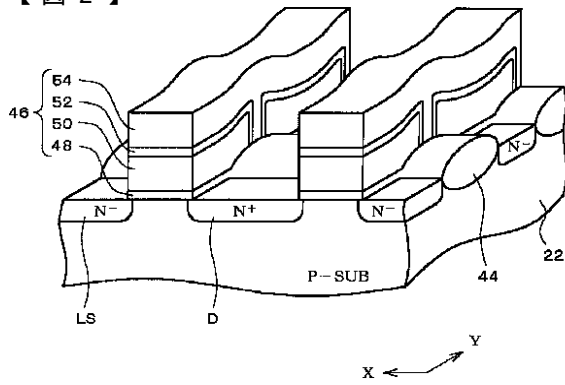
ｗ２・・・隣接する積層ゲート４６の間隙

ｗ３・・・フィールド酸化膜４４の幅

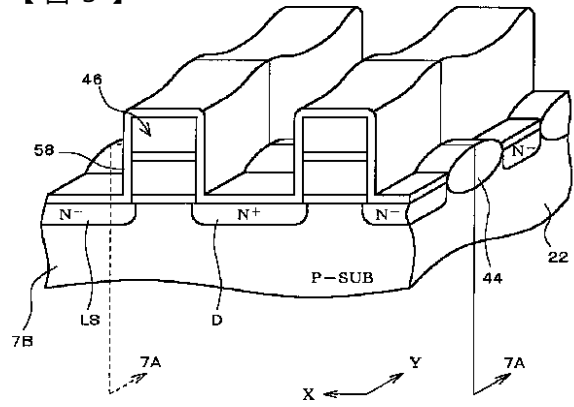
【図 1】



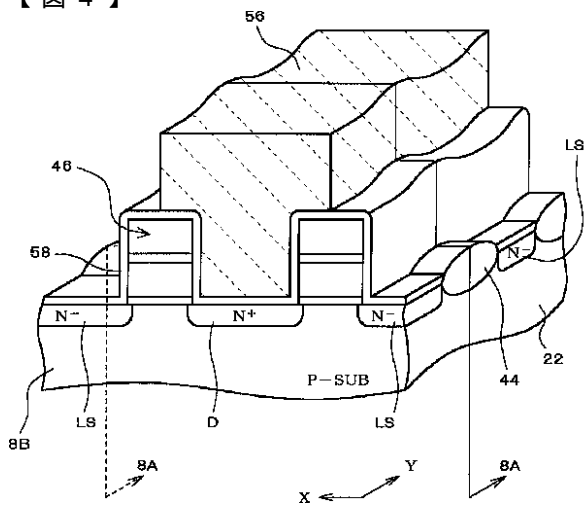
【図 2】



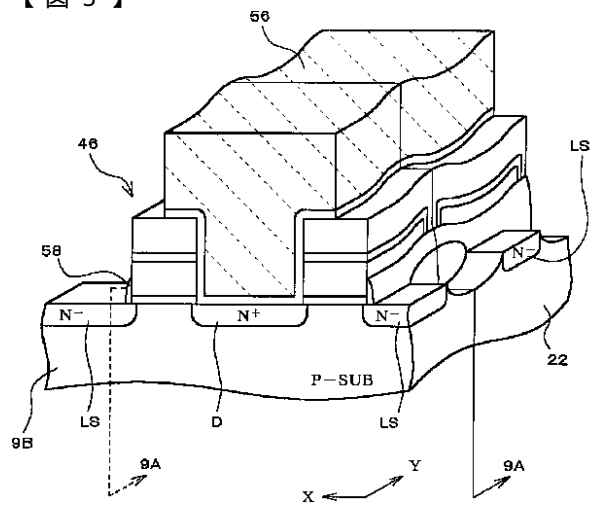
【図 3】



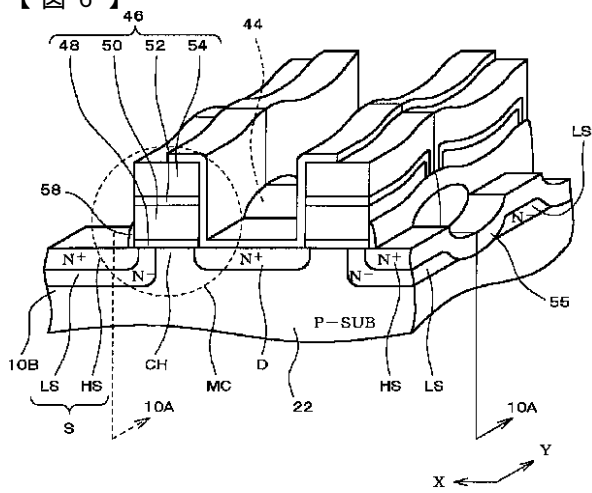
【図 4】



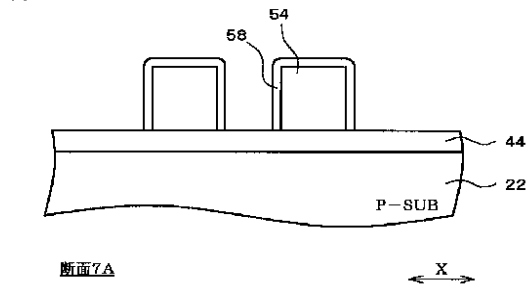
【図 5】



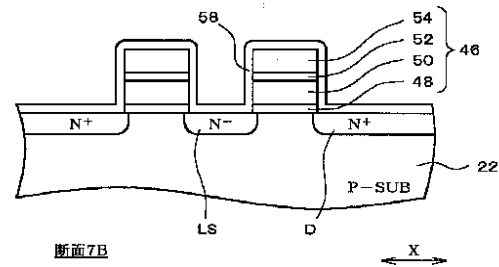
【図6】



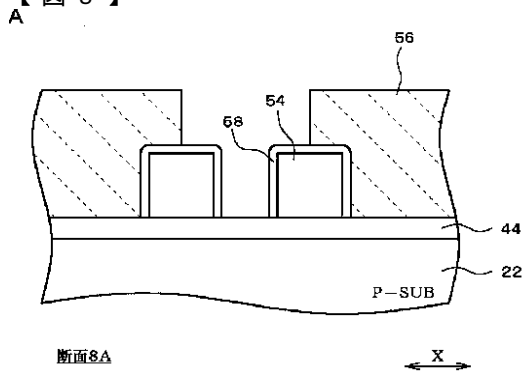
【図7】



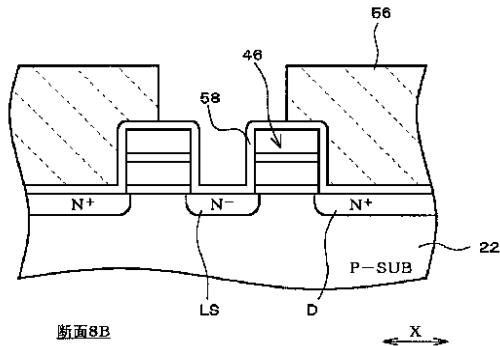
B



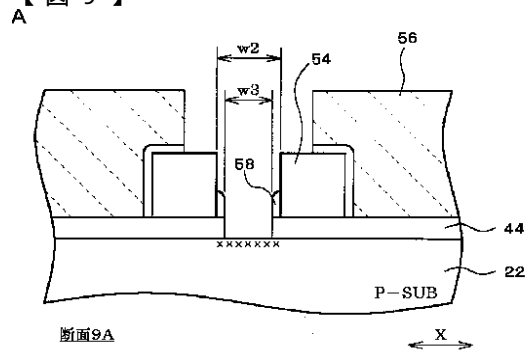
【図8】



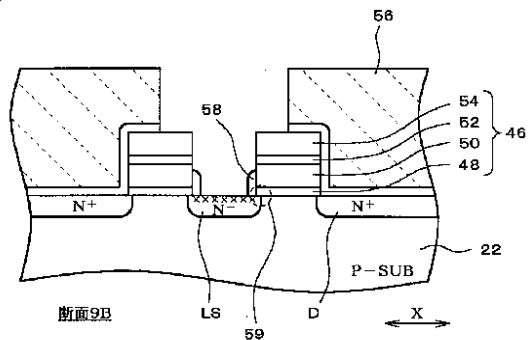
B



【図9】

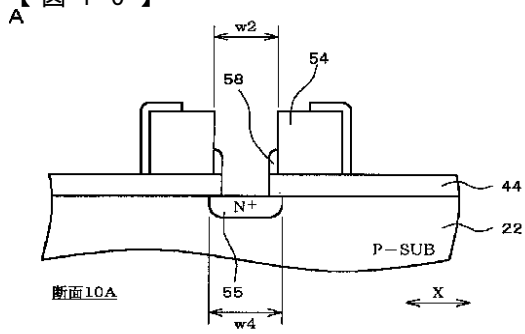


B

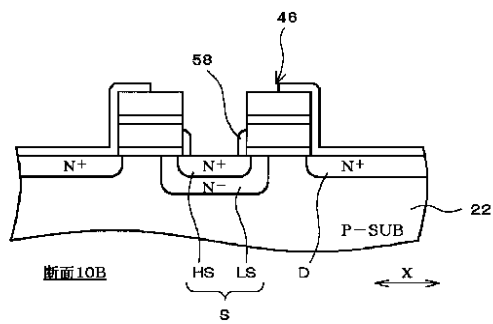


44:フィールド酸化膜
46:積層ゲート
56:レジスト
58:熱酸化膜
59:ゲートエッジ部
LS:低誘電率ソース
w2:隣接する積層ゲート46の間隙
w3:フィールド酸化膜44の幅

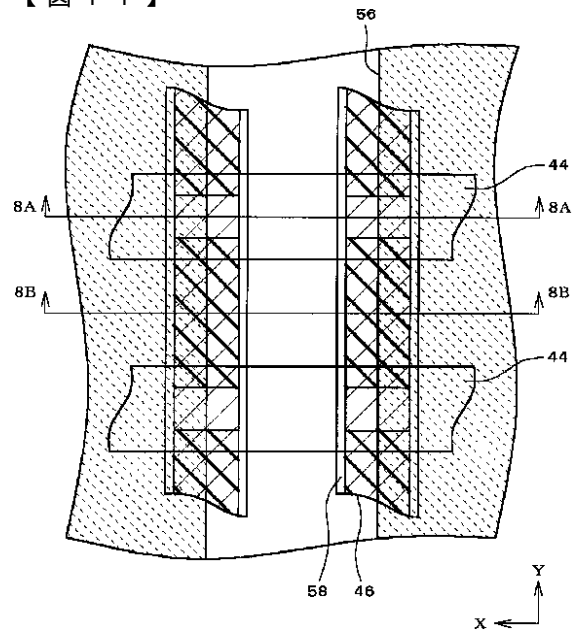
【図10】



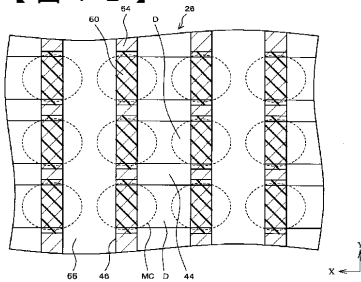
B



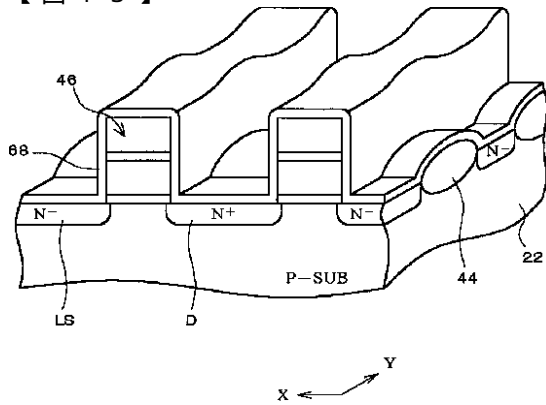
【図11】



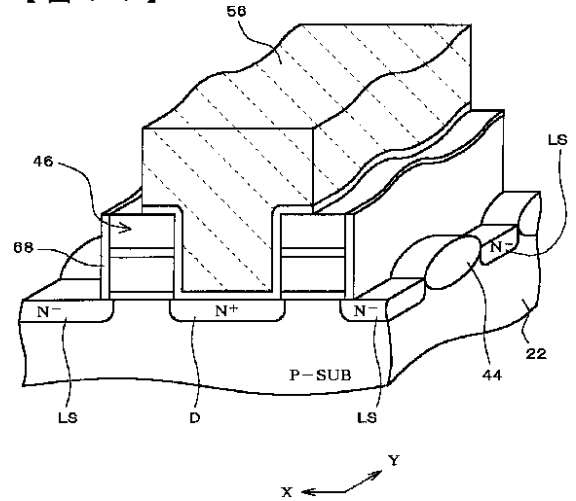
【図12】



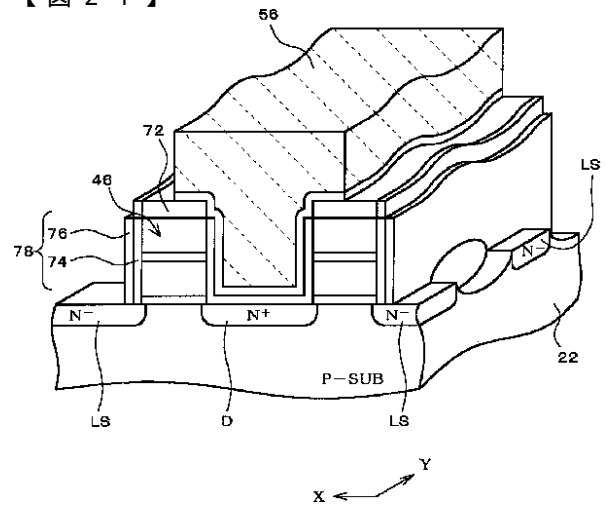
【図13】



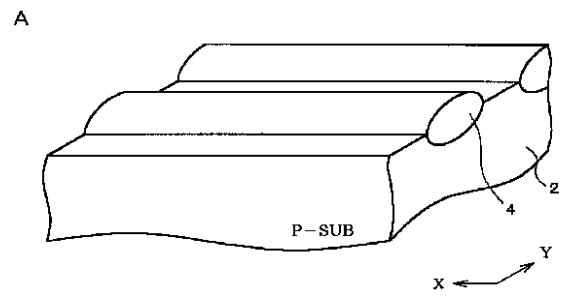
【図14】



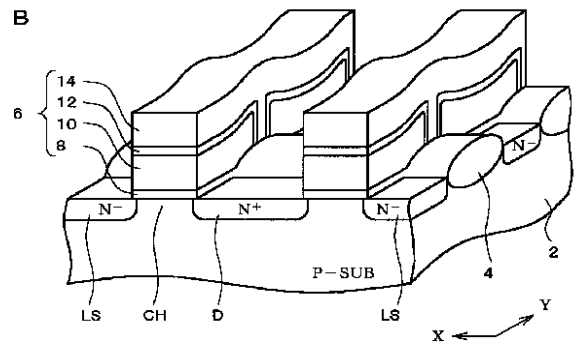
【 図 2 1 】



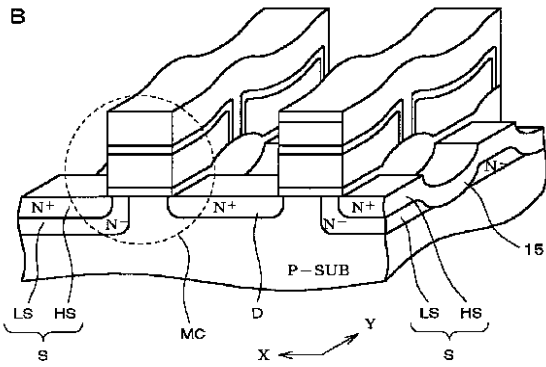
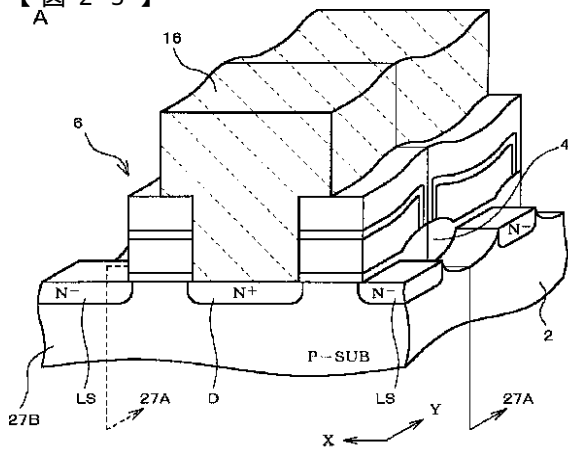
【 図 2 4 】



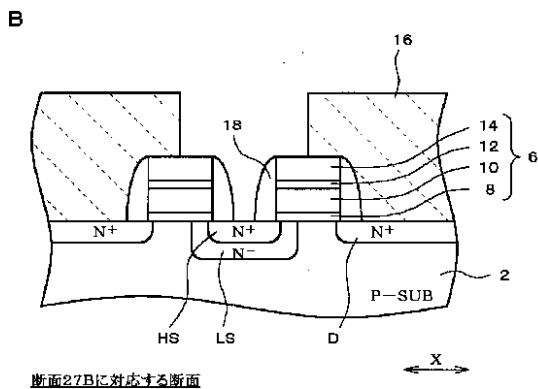
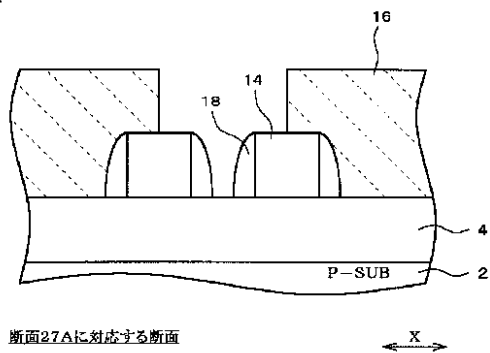
B



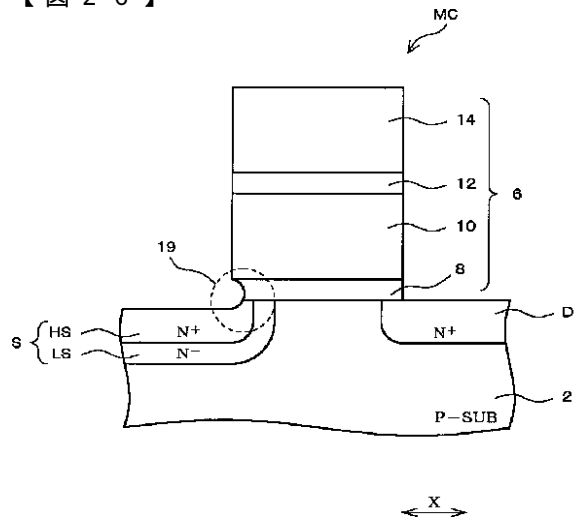
【 図 2 5 】



【 図 2 7 】



【 図 2 6 】



【 図 2 8 】

