

申請日期：	IPC分類
申請案號： 92101602	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	2. 李永忠 3. 潘宗銘
	姓 名 (英文)	2. Yung-Chung LEE 3. Tsung-Ming PAN
	國 籍 (中英文)	2. 中華民國 ROC 3. 中華民國 ROC
	住居所 (中 文)	2. 台北縣板橋市府中路126號7樓之2 3. 屏東縣屏東市大連路34-2號
	住居所 (英 文)	2. 7F-2, No. 126, Fu Chung Road, Pan Chiao City, Taipei Hsien, Taiwan, R. O. C. 3. No. 34-2, Ta Lien Road, Ping Tung City, Ping Tung Hsien, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	R. O. C.
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

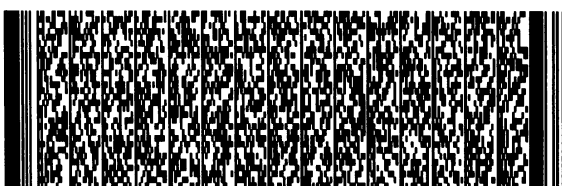
發明所屬之技術領域：

本發明係有關於半導體製程，特別是指一種以碳化矽做為半導體基板的一種溝槽式金氧半電晶體結構。

先前技術：

目前市場上在大於1000伏崩潰電壓的功率電晶體，多以矽晶圓為基板的Silicon IGBT(Insulated Gate Bipolar Transistor)擔綱。然而IGBT元件由於是雙載子元件，當欲將元件關閉的時候將遭遇到如何消弭少數載子(Minority Carriers)的生命期(Lifetime)的問題，如果不能從製程上多加入生命期殺手(Lifetime Killer)來縮短少數載子的生命期，則系統必須忍受IGBT元件在關閉時間所消耗的功率。

相對地，以碳化矽為基板製造之金氧半電晶體(MOSFET)係單載子元件，可以使元件快速關閉，而減少額外的功率消耗。這是因為碳化矽材料由於具有寬能帶係數(3.26eV)、高臨界崩潰電場強度(3MV/cm)及高熱導係數(4.9W/cm-K)已被視為未來發展功率元件的極佳材料。碳化矽製成的功率元件可以輕鬆達到1000伏崩潰電壓以上的需求。只要藉由調整磊晶層厚度使得操作電壓甚至可達到5KV的高壓。因此以碳化矽功率MOSFET元件取代矽IGBT已

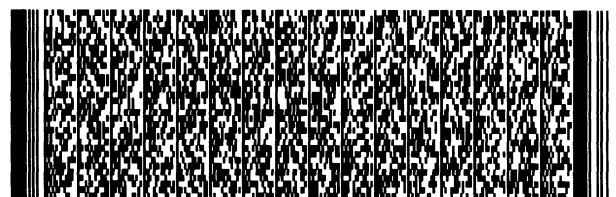
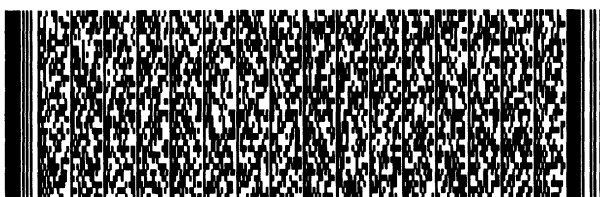


五、發明說明 (2)

漸成趨勢。根據理論估算，在相同崩潰電壓條件下，以碳化矽為底材製成的功率元件的 $R_{ON,SP}$ （電晶體開啟時在線性區的電阻值）僅為矽功率元件的 $1/200$ 至 $1/400$ 。

為使得元件在正常狀態下是關閉的(Normal Off)，傳統碳化矽溝槽式金氧半電晶體多採取反轉層通道(Inversion Channel)。例如Palmour所獲得之美國專利第5506421號，標題為"Power Mosfet in Silicon Carbide"。請參考圖一A所示的橫截面示意圖。圖示汲極區包含碳化矽基板10摻雜以n型雜質及漂移層12。漂移層12上則是一p型雜質摻雜磊晶層14。溝槽27則形成於p型雜質摻雜磊晶層14之中，溝槽27底部則深入漂移層12內。閘極氧化層31則形成於溝槽底部、側壁並延伸至p型雜質摻雜磊晶層14的上表面。閘極接觸30則形成於閘極氧化層31上。此外，源極接觸22除了形成p型雜質摻雜磊晶層14之外更形成於溝槽27兩側的n型雜質摻雜區n+ 18，以使得源極接觸保持在接地電位。圖上更顯示終止區35及形成於其上的氧化層36。上述的結構的最大缺點在於線性區片電阻值 $R_{ON,SP}$ 太大。

為解決此一問題，採用累積層通道(Accumulation Channel)應是可行的方法。累積層通道可以讓電子流動的通道由反轉層通道之靠近半導體與氧化層的介面區域(Interface Region)轉而移到半導體內部(Bulk Region)。如此將可使電子的遷移率提高，進而降低元件



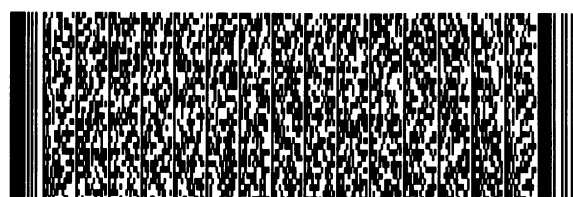
五、發明說明 (3)

的 $R_{ON, SP}$ 。

採用累積層通道(Accumulation Channel)請參考美國專利6281521一篇，標題為"Silicon Carbide Horizontal Channel Buffered Gate Semiconductor Devices"，由Singh所獲得。該專利如圖一B所示是一種平面式的元件。此結構的最大特色是沒有閘極氧化層，取而代之的是以p型閘極層16來隔離開極接觸20與形成於碳化矽基板10上的漂移層12。而使得當施加偏壓於閘極接觸20時可以產生一累積層通道於漂移層12上方的通道區15。而當沒有施加偏壓於閘極接觸20時通道是夾止(Pinch Off)於p+基底區(p+ base Region)14與閘極層16之間。為達到正常狀態下關閉之目的(即零閘極偏壓下，無電流由源極流向汲極24之目的。漂移層12、p+基底區14、及閘極層16的摻雜濃度都必須適當選定，同時p+基底區14與閘極層16之間的間隙都必須適當的選定才能達到使通道區15在沒有閘極電壓下是完全的空乏區。

Singh提出的專利雖可達到降低 $R_{ON, SP}$ 之目的，然而由於閘極屬於平面式而非溝槽式，因此，單位元件所需的面積將比前述溝槽式金氧半電晶體結構來得大。

有鑒於前述的問題，本發明將提供一種溝槽式累積型通道的金氧半電晶體藉以提高電子的遷移率提高，進而降



五、發明說明 (4)

低元件的 $R_{ON, SP}$ 。

發明內容：

本發明之一目的係提供一種可耐高壓的功率電晶體的製造方法，該電晶體係一種碳化矽基板之溝槽式金氧半電晶體結構。

本發明之另一目的係以累積層通道之溝槽式金氧半電晶體結構解決傳統反轉層通道之溝槽式金氧半電晶體結構線性操作電阻值高的問題。

本發明揭露一種溝槽金氧半電晶體結構，包含：一n型雜質摻雜磊晶層及一n型雜質重摻雜之碳化矽基板，一n型導電雜質重摻雜區及一p型導電雜質重摻雜區互為毗連形成於該磊晶層內，並延伸至該磊晶層的上表面；一溝槽閘極形成於該磊晶層內，並與n型導電雜質重摻雜區相毗連；一p-base區與形成於該磊晶層內並與溝槽閘極相距一間隙。該間隙係用以做為累積層通道。p-base區底部與溝槽深度大致相同，且也同時與n型導電雜質重摻雜區及p型導電雜質重摻雜區互為毗連，以使得源極金屬層與p-base區保持在相同電位。

除此之外，一隔離層形成於溝槽閘極上並覆蓋部分n



五、發明說明 (5)

型導電雜質重摻雜區，而源極金屬層形成於碳化矽基板之上表面以同時連接基板上所有之n型導電雜質重摻雜區及p型導電雜質重摻雜區。其藉由隔離層與溝槽間極隔離。本發明之溝槽式金氧半電晶體就結構而言，是屬於累積層通道的一種金氧半電晶體，為使本發明之元件在閘極不施加電壓的狀態下是關閉狀態，p-基底層與n漂移層雜質摻雜濃度係經適當選擇的，此外，累積層通道亦被規範而達到逆偏壓下累積層通道成為空乏區。依據本發明之結構，崩潰電壓可以達到2200V，而電晶體在線性區的操作電壓下，片電阻僅有 $11\text{m}\Omega\text{-cm}^2$ 。就該崩潰電壓而言，已接近於理論值之極限，因此本發明元件具有比傳統具反轉層通道之電晶體更能對抗電子遷移率隨元件操作溫度升高而降低以致於 $R_{\text{ON,SP}}$ 升高的優點。

實施方式：

本發明之溝槽金氧半電晶體製造方法，請參考圖二A至圖二I的橫截面示意圖。

請參考圖二A，首先提供一碳化矽材質之半導體基板。半導體基板包含一n型雜質重摻雜的n+基板100A與一n型雜質摻雜的n-磊晶層100B以做為漂移層(Drift Layer)。接著形成一具有定義p-base區105開口之光阻圖案102於該磊晶層100B上。隨後，以光阻圖案102為罩幕，



五、發明說明 (6)

施以第一次離子佈植，植入p型導電性雜質，例如鋁或BF₂+等導電性雜質於磊晶層100內，以形成p-base區105。p-base區105之深度約為0.8 μm 至5.0 μm 。

請參考圖二B，緊接著在去除光阻圖案102後，全面施以第二次離子佈植，植入n型導電性雜質於磊晶層100B內。n型導電性雜質可以是例如氮離子，以形成n+摻雜層(圖二C及以後則稱為摻雜區)108，其中n+摻雜區108與該磊晶層100B之接面明顯淺於該p-base區105與磊晶層100B之接面其結果如圖二B所示。

請參考圖二C，形成一金屬層或氧化層於磊晶層100B上。隨後再以微影光阻及蝕刻技術定義金屬層或氧化層110以形成一具有溝槽開口圖案的硬式罩幕110。隨後續以光阻及硬式罩幕110為蝕刻罩幕，或在光阻圖案(未圖示)去除後，續以硬式罩幕110為蝕刻罩幕，蝕刻磊晶層100B以形成溝槽120。溝槽120之深度約與p-base區105之深度相當。此外溝槽120之兩側與p-base區105相距一寬度W之間隙，以做為累積層通道。

隨後，請參考圖二D。在移除硬式罩幕110後，全面形成一閘極氧化層130於溝槽120之底部、側壁及該磊晶層100B表面。閘極氧化層130可以是高溫沉積的氧化層HTO或熱氧化法成長的氧化層或者是先沉積一薄的多晶矽層再熱



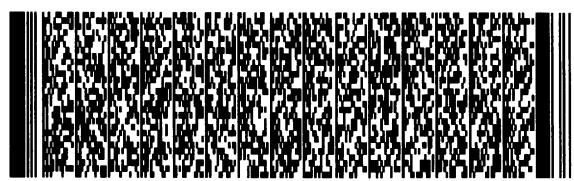
五、發明說明 (7)

氧化的閘極氧化層130。以一較佳的實施例而言，閘極氧化層的厚度約為50nm至200nm。

緊接著，再全面沉積一多晶矽層140，以填滿該溝槽120，並形成於半導體基板上。多晶矽層140可以以低壓化學氣相沉積法(LPCVD)並同步摻雜n型導電性雜質的方法沉積，也可以在沉積後再以POCL₃擴散雜質磷原子於多晶矽層內。

隨後，請參考圖二E所示的橫截面示意圖，再以微影及蝕刻技術定義多晶矽層140以定義出多晶矽溝槽閘極140A。一般而言，凸出於磊晶層100B上表面之上的多晶矽層140寬度W1可稍大於溝槽寬度W2，這樣可以使多晶矽溝槽閘極140A的接觸製程更容易進行。

在去除蝕刻罩幕後，隨後進行熱氧化製程，以使多晶矽層140A的上表面氧化，以使溝槽閘極140A裸露的上表面包覆一氧化層150，當然磊晶層100B在熱氧化製程中，也會成長一厚度較溝槽閘極140A上包覆的氧化層150薄的氧化層，如圖二F所示。請注意，這一熱氧化製程步驟是選擇性的。當溝槽閘極140A凸出於磊晶層100B上表面不是很多時，氧化的時間就不宜太久，或者可以省略本步驟。請參考圖二G所示的橫截面示意圖，接著，再形成一光阻圖案165，用以定義雙擴散源極中的p+摻雜區170。隨後，

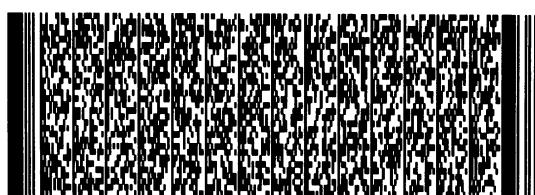


五、發明說明 (8)

即進行第三次離子佈植，以植入p型雜質以形成p+摻雜區170。p+摻雜區170毗鄰n+摻雜區108，且佈植深度也相當。

隨後，請參考圖二H所示的橫截面示意圖，先去除光阻圖案165後，再沉積一氧化層180以做為源極與溝槽閘極的隔離層。以一較佳的實施例而言，這層隔離層180厚度約為0.3-1.0 μm ，可以選用例如正矽酸乙酯(TEOS)。緊接著再以微影及蝕刻技術定義隔離層180的範圍及溝槽閘極的接觸區(請參考圖二I的地勢圖；Topographic Diagram)。請注意隔離層180係用以隔離溝槽閘極140A與源極金屬接觸(後述)，而源極金屬接觸則必須同時接觸於n+摻雜區108與p+摻雜區170。以使得包括p-基底105及其上相毗連的雙摻雜區(n+摻雜區108與p+摻雜區170)同時可以保持在相同的電位，因此，隔離層180的圖案定義步驟需使n+摻雜區108部分裸露。

仍請參考圖二H，隨後，先施以退火程序以活化雜質，例如1400-1600 $^{\circ}\text{C}$ 以進行30分鐘到2小時之退火，之後，隨後再以金屬濺鍍全面沉積一金屬層。最後，再施以微影技術及蝕刻技術以定義源極金屬接觸200及溝槽閘極金屬接觸210。此時，源極金屬接觸200與溝槽閘極金屬接觸210係分開的。

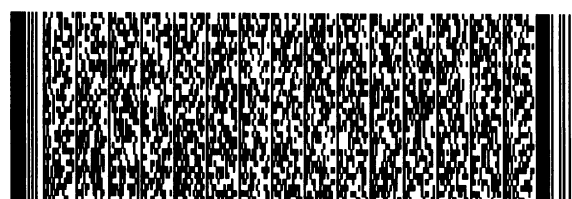
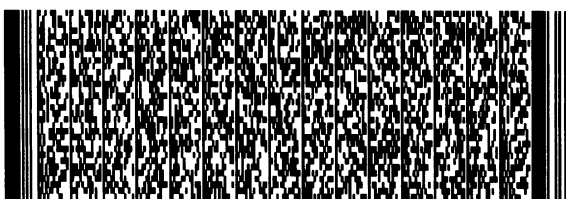


五、發明說明 (9)

請參考圖二I示，依據本發明之方法所形成結構之立體示意圖。本圖為一參考之實施例，圖中的溝槽閘極元件可呈蜂巢狀或長溝狀排列或其他方式排列。

最後仍請參考圖二H先清除半導體基板背面所有氧化層，直到裸露n+摻雜碳化矽基板100A，隨後，再全面施以金屬濺鍍用以在半導體基板的背面形成一金屬層220，以做為汲極金屬接觸層。之後，再一次熱處理，用以使源極金屬200及汲極金屬層220、及溝槽閘極金屬層210形成低歐姆接觸層。

依據上述實施例，本發明溝槽式金氧半電晶體結構是採用累積層通道，即緊鄰溝槽閘極之下的通道位於n-drift層或稱n-磊晶層內。一般而言，累積層通道之元件是屬於正常下開啟(Normal-On)的元件。即當閘極電壓為零時，若汲極端與源極端之間有電壓差存在仍會有電流。本發明雖採用累積層通道，但仍希望元件為正常下關閉(Normal-Off)的元件。即當閘極電壓為零時，通道需為截止狀態。利用碳化矽材料本身具有寬能帶隙的特性。即無偏壓狀態下碳化矽p-n接面的空乏區寬度較矽p-n接面的空乏區大的特性可以使本發明的元件很容易達到此目的。除此之外，可再藉由控制p-基底與n-drift區域的濃度關係與累積層通道寬度以達到當閘極電壓為零時，累積層通道處於被完全空乏(Fully Depleted)狀態。因此，以一較佳



五、發明說明 (10)

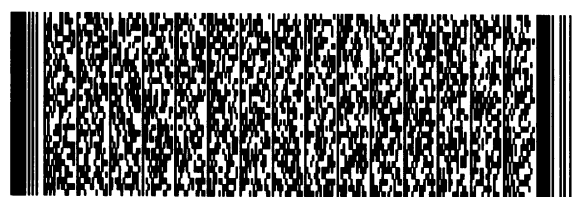
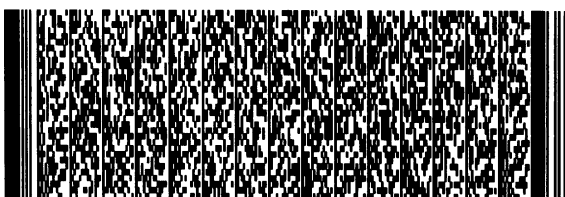
的實施例而言，p-基底與n-drift區域的濃度比係控制在 $10^{15} : 10^{12}$ 至 $10^{18} : 10^{15}$ 。而累積層通道寬度w約為0.1-0.8 μm 。

因此，依據本發明實施例的製程，本發明之元件亦是正常下關閉之元件，而當閘極電壓為正時，累積層通道中的電子會受到電場吸引而累積愈來愈多的電子，於是當汲極端與源極端之間有電壓差時，即可導通電流。由於電子是在累積層中運動(屬於多數載體)，因此電子不會因碰撞散射造成電子遷移率下降的問題，在高電子遷移率下，自然降低了電晶體開啟時的阻值 $R_{\text{ON, sp}}$ 。

圖三至圖五顯示依據本發明方法製作之元件的電性模擬結果。其中模擬係依據以下的條件進行。溝槽深度與寬度為均為2 μm 。而p-基底與n-drift區域的濃度關係係控制在 $10^{18} \text{ cm}^{-3} : 10^{15} \text{ cm}^{-3}$ 。累積層通道寬度w約為0.3-0.5 μm 。源極電壓為0伏，閘極電壓與汲極電壓則如分別如圖所示變化。

圖三顯示汲極電流-汲極電壓(I_d-V_d) 當 $V_G=V_D=10\text{V}$ 時 $R_{\text{ON, sp}}$ 為11m $\Omega\text{-cm}^2$ 。

圖四顯示依據本發明元件之Blocking特性模擬結果，顯示模擬以電子撞擊離子化程度(Electron Impact Ionization Integral)對汲極電壓曲線410及以電洞撞擊離子化程度(Hole Impact Ionization Integral)對汲極電壓曲線420及在逆向漏電流曲線430作圖。此時溝槽開



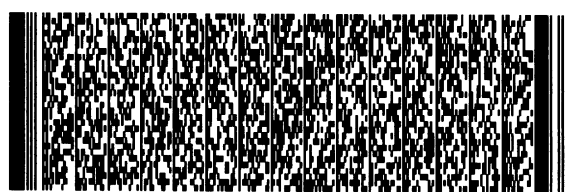
五、發明說明 (11)

極施加的電壓為0伏。圖中顯示當閘極施加的電壓為0伏，源極電壓也是0伏時，當所加的汲極電壓增加至2100伏時離子化程度才急遽增加，而在2200V時，離子化程度為1，表示已崩潰，此時汲極崩潰電壓(breakdown voltage)達2200V。不過當只有汲極電壓時，幾乎看不到漏電流，逆向漏電流曲線430貼平於水平軸，只有在崩潰電壓2200伏時，才急遽增加。

我們再把本發明之元件與目前各國開發之碳化矽金氧半電晶體元件做一比較。圖中顯示，依據本發明製造之元件崩潰電壓雖不及KEPC所發表之元件(本發明之2200伏相對KEPC之6000伏)。但本發明之阻值 $R_{ON,sp}$ 最低。這意謂著，本發明之元件發熱量最低，因此電子遷移率較不會隨溫度上升而下降，因此可維持最佳的速度表現。且事實上，就碳化矽的崩潰電壓曲線與 $R_{ON,sp}$ 之關係，顯然以 $R_{ON,sp}$ 等於 $10^{-2} \Omega\text{-cm}^2$ 而言，本發明之元件更接近於碳化矽所能達到之崩潰電壓極限。而事實上就多數的應用而言，2200伏的崩潰電壓可以滿足需要。

本發明元件具有以下之優點：

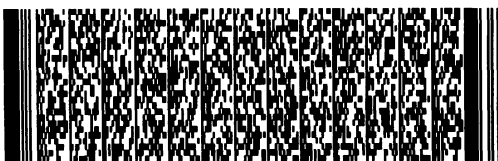
- (1) 具高崩潰電壓，且由於是累積層通道因此線性工作電阻值低，因此可以使電子遷移率保持在一定的水準之上。
- (2) 本發明元件製作步驟簡單只需要七道光罩即可。



五、發明說明 (12)

(3) 雖然本發明元件是累積層通道，但仍是normal off 元件，因此沒有漏電流的問題。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一A顯示傳統碳化矽基板之溝槽式金氧半電晶體結構具有反轉層通道之橫截面示意圖。

圖一B顯示傳統碳化矽基板之平面式金氧半電晶體結構具有累積層通道之橫截面示意圖。

圖二A顯示依據本發明之方法施以離子佈植以形成p-base區在磊晶層內的示意圖。

圖二B顯示依據本發明之方法，全面離子佈植，以形成n+重摻雜區的示意圖。

圖二C顯示依據本發明之方法，以光阻或硬式罩幕定義溝槽閘極的示意圖。

圖二D顯示依據本發明之方法，在去除光阻或硬式罩幕後，形成閘極氧化層於溝槽側壁及底部及基板上，並回填以複晶矽層的示意圖。

圖二E顯示依據本發明之方法定義溝槽閘極後之示意圖。

圖二F顯示依據本發明之方法施以高溫熱氧化製程，以使裸露於溝槽上表面之複晶矽層氧化的示意圖。

圖二G顯示依據本發明之方法形成光阻圖案，再施以離子佈植，以形成p+摻雜區的橫截面示意圖。

圖二H顯示依據本發明之方法形成隔離層於溝槽閘極上並覆蓋部分n+重摻雜區，再形成源極接觸金屬層及汲極



圖式簡單說明

接觸金屬層之橫截面示意圖。

圖二I顯示依據本發明之方法形成金氧半電晶體之立體形式示意圖。

圖三顯示本發明元件在不同閘極電壓下以汲極電壓和電流密度作圖之電性模擬結果圖。

圖四顯示本發明元件在閘極偏壓為零時，汲極施以電壓以測試崩潰電壓之電性模擬結果圖。

圖五顯示本發明元件之崩潰電壓與線性工作電阻值與世界各地著名研究機構製造之元件比較的示意圖。

圖號對照表：

10- 碳化矽基板

12- 漂移層

14-p+ 基底區

15- 通道區

16- 閘極層

18-n+ 源極區

20- 閘極接觸

22- 源極接觸

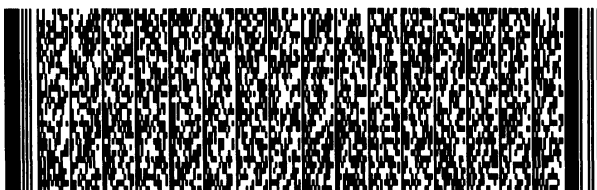
24- 汲極接觸

27- 溝槽

30- 閘極接觸

31- 閘極氧化層

35- 終止區



圖式簡單說明

36- 終止區氧化層

100A- 碳化矽基板n+ 摻雜基板

100B-n- 磊晶層

105-p-base 區

108-n+ 摻雜區

110- 硬式罩幕層

120- 溝槽W 累積層通道寬度

130- 閘極氧化層

140- 多晶矽層

150- 多晶矽氧化層

102、165- 光阻圖案

170-p+ 摻雜區

180- 隔離層

200- 源極金屬接觸

210- 溝槽閘極金屬接觸

220- 汲極金屬接觸

410- 電子撞擊離子化程度對汲極電壓曲線

420- 以電洞撞擊離子化程度對汲極電壓曲線

430- 逆向漏電流曲線



四、中文發明摘要 (發明名稱：溝槽式金氧半電晶體)

本發明揭露一種以碳化矽為基板所製造之溝槽式金氧半電晶體結構具有累積層通道。電晶體結構包含一溝槽閘極、一p-基底層以磊晶或離子佈植形成、一n+摻雜區、一p+摻雜區及同時形成於n+摻雜區、一p+摻雜區之源極接觸及形成於碳化矽基板之汲極。累積層通道位於溝槽閘極與p-基底層之間。此外該基底層與源極具同一電位。

五、(一)、本案代表圖為：第 二H 圖

(二)、本案代表圖之元件代表符號簡單說明：

100A- 矽基板n+ 摻雜基板

100B- 磊晶層

108-n+ 摻雜區

130- 閘極氧化層

150- 多晶矽氧化層

180- 隔離層

105-p-base區

110- 硬式罩幕層

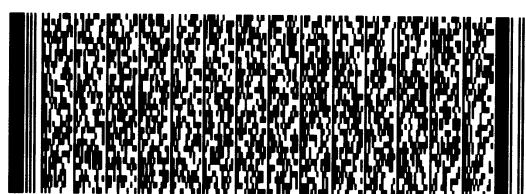
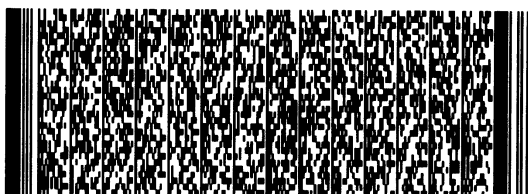
140A- 多晶矽層

170-p+ 摻雜區

200- 源極金屬接觸

六、英文發明摘要 (發明名稱：Trench Power MOSFET and Method of Making the Same)

A structure of accumulated type trench MOSFET in silicon carbide(SiC) and forming method are disclosed. The MOSFET includes a trench gate having a gate oxide layer, a polysilicon layer, a source region, and a drain region. The source region contains a p+ heavily doped region, an n+ heavily doped region and a p-base region, and a source contact metal layer. The p+ heavily doped



四、中文發明摘要 (發明名稱：溝槽式金氧半電晶體)

220- 汲極金屬接觸

六、英文發明摘要 (發明名稱：Trench Power MOSFET and Method of Making the Same)

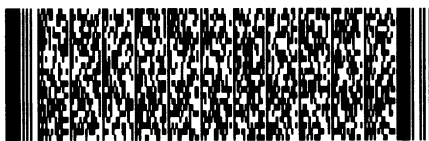
region, the n^+ heavily doped region, and the p-base region are abutting each other. The former two are extended to the front surface of the silicon carbide substrate having the source contact metal layer formed over and the latter one is beneath them. Moreover, the p-base region is separated from the trench by an accumulation channel. The drain contact metal layer is formed



四、中文發明摘要 (發明名稱：溝槽式金氧半電晶體)

六、英文發明摘要 (發明名稱：Trench Power MOSFET and Method of Making the Same)

on the rear surface of the silicon carbide substrate where the rear region of the silicon carbide is heavily doped than the front region thereof.



六、申請專利範圍

1. 一種形成溝槽式金氧半電晶體之方法，該方法至少包含以下步驟：

提供包含n型摻雜磊晶層及一n型重摻雜的碳化矽基板；
形成一第一光阻圖案於該磊晶層上，以定義p-基底摻雜區；

施以第一次離子佈植，佈植p型雜質於磊晶層內，用以形成複數個p-base區；

去除該第一光阻圖案；

全面施以第二次離子佈植，佈植n型雜質於該磊晶層內，用以形成n+摻雜區，其中n+摻雜區與該磊晶層之接面淺於該p-base區與磊晶層之接面；

以微影及蝕刻技術定義一溝槽於該磊晶層內，該溝槽側壁與該p-base區相隔以一間隙，該間隙係做為累積層通道；

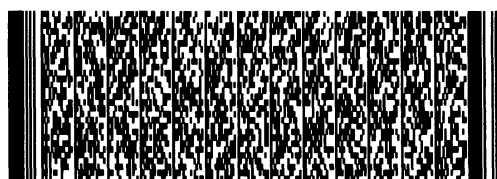
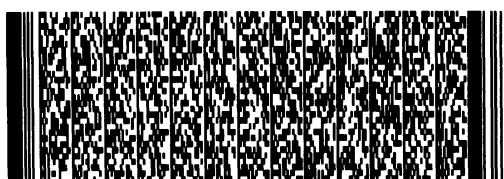
全面形成一閘極氧化層於該溝槽底部、側壁及該碳化矽基板所有表面；

全面沉積一多晶矽層，並填滿該溝槽，並溢出於該磊晶層上；

以微影及蝕刻技術定義該多晶矽層以定義出一溝槽閘極；

形成一第二光阻圖案於上述結果之表面上，用以定義p+摻雜區位置，該p+摻雜區位置緊鄰該n+摻雜區以構成雙雜質摻雜區，用以提供源極接觸；

施以第三次離子佈植，用以形成該p+摻雜區於該磊晶層



六、申請專利範圍

內；

去除該第二光阻圖案；

全面形成一介電層於所有表面上；

以微影及蝕刻技術定義該介電層，用以形成裸露一溝槽多晶矽層之接觸區及一隔離層於該溝槽間極其餘部分上，並覆蓋部分之 n^+ 摻雜區；

施以離子活化熱處理，以使佈植之雜質活化；

全面形成一第一金屬層於該磊晶層之上表面；

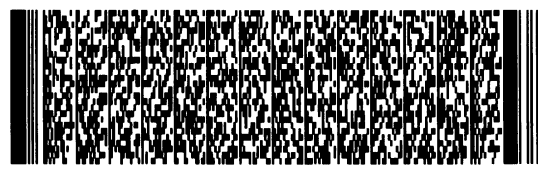
以微影及蝕刻技術定義該金屬層，用以定義一源極金屬接觸層及溝槽間極金屬層，該源極金屬接觸層同時形成於該 p^+ 區及該 n^+ 區上，該溝槽間極金屬層接觸於多晶矽層之接觸區；

清除該 n 型重摻雜碳化矽基板背面之所有氧化層直到裸露該 n 型重摻雜碳化矽基板表面；及

全面形成一第二金屬層於該 n 型重摻雜碳化矽基板表面上，該第二金屬層係做為該溝槽金氧半電晶體之汲極。

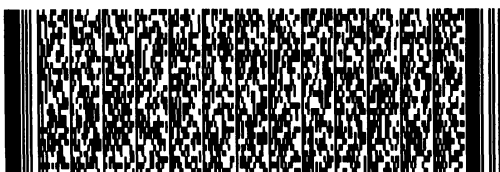
2. 如申請專利範圍第1項之方法，更包含在形成隔離層步驟前及定義溝槽間極後施以熱氧化製成以使該溝槽間極裸露的上表面包覆一第一氧化層。

3. 如申請專利範圍第1項之方法，其中上述之溝槽深度約為 $0.8-5.0\ \mu\text{m}$ ，間極氧化層厚度約為 $50-200\text{nm}$ 。



六、申請專利範圍

4. 如申請專利範圍第1項之方法，其中上述之n型雜質為氮離子、p型雜質為鋁離子或硼離子。
5. 如申請專利範圍第1項之方法，其中上述之離子活化熱處理溫度約為1400-1600℃。
6. 如申請專利範圍第1項之方法，其中上述之隔離層厚度約為0.3-1.0 μm ，其材質係正矽酸乙酯(TEOS)。
7. 如申請專利範圍第1項之方法，更包含在汲極金屬接觸定義後施以熱處理以使該源極金屬及汲極金屬及溝槽閘極金屬形成阻值低的歐姆接觸層。
8. 一種溝槽式金氧半電晶體結構，至少包含：
 - 一碳化矽基板，該碳化矽基板包含一n型重摻雜之基板及形成於其上之n型雜質摻雜磊晶層；
 - 一n型導電雜質重摻雜區形成於該磊晶層內，並延伸至該磊晶層的上表面；
 - 一溝槽閘極形成於該磊晶層內，該溝槽閘極包含一閘極氧化層及一複晶閘極層，其中該複晶閘極層凸出於該磊晶層之上表面；
 - 一p-基底層摻雜有p型導電性雜質，並形成於該磊晶層內，該p-基底層與該溝槽閘極之側壁相隔以一寬度，



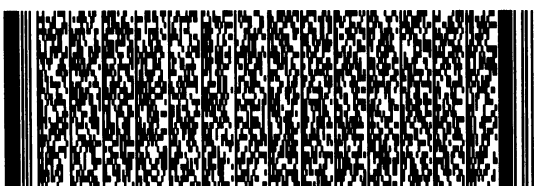
六、申請專利範圍

- 以建構一累積層通道區於該溝槽閘極之側壁與該p-基底層之間的磊晶層中；
- 一隔離層形成於該溝槽閘極上並覆蓋部分n型導電雜質重摻雜區；
- 一p型導電雜質重摻雜區形成於該磊晶層內，並延伸至該磊晶層的上表面，該p型導電雜質重摻雜區與該n型導電雜質重摻雜區及該p-基底層互相毗鄰；
- 一源極金屬接觸層同時形成於該n型導電雜質重摻雜區及該p型導電雜質重摻雜區上；及
- 一汲極金屬接觸層形成於該碳化矽基板之背面。
9. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之p-基底層之底部與該溝槽閘極之底部深度顯著相同。
10. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之p-基底層之p型導電雜質濃度約比該碳化矽基板內之n型導電雜質濃度在數量級上高約2至3個數量級。
11. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中該累積層通道區寬度係使該溝槽閘極在不加電壓時，即使汲極區施加偏壓時該累積層通道區仍為完全空乏區。



六、申請專利範圍

12. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之閘極氧化層厚度約為50-200nm。
13. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之源極金屬接觸層更包含形成於該溝槽閘極之隔離層上，但不包含該溝槽閘極之端部，該端部係用以定義閘極接觸區。
14. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之複晶閘極層及該閘極氧化層部分覆蓋於該n型導電雜質重摻雜區上，以使得該溝槽閘極凸出於磊晶層上表面的部分之寬度大於在該溝槽內的部分。
15. 如申請專利範圍第8項之溝槽式金氧半電晶體結構，其中上述之隔離層係一正矽酸乙酯(TEOS)層。



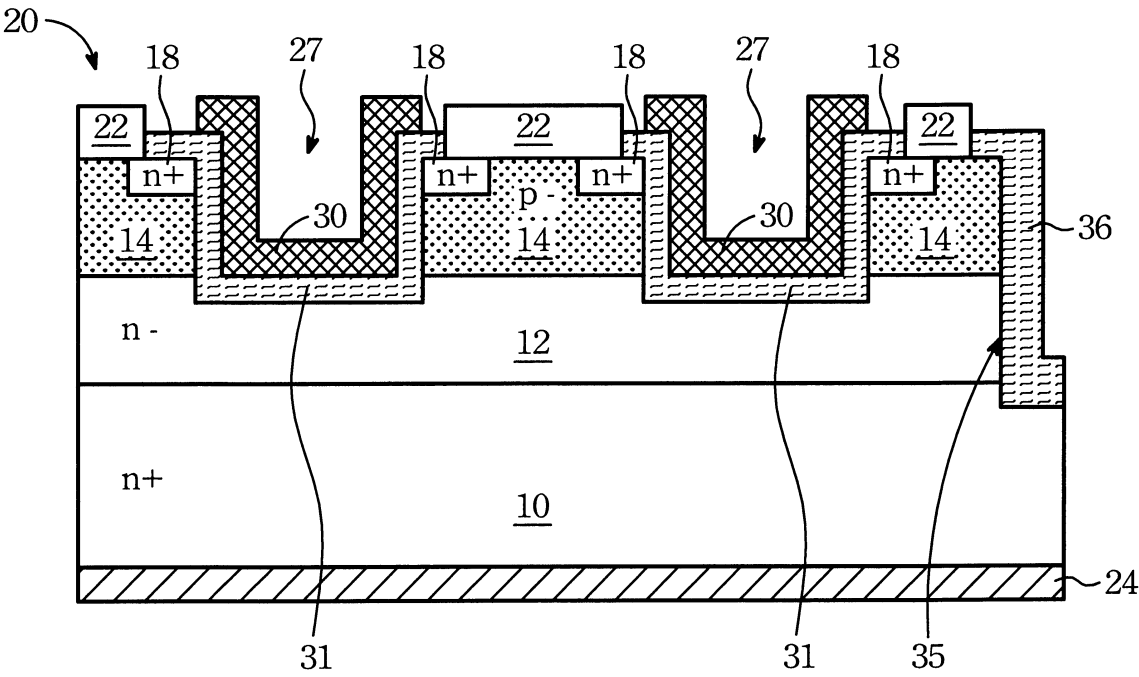


圖 一 A

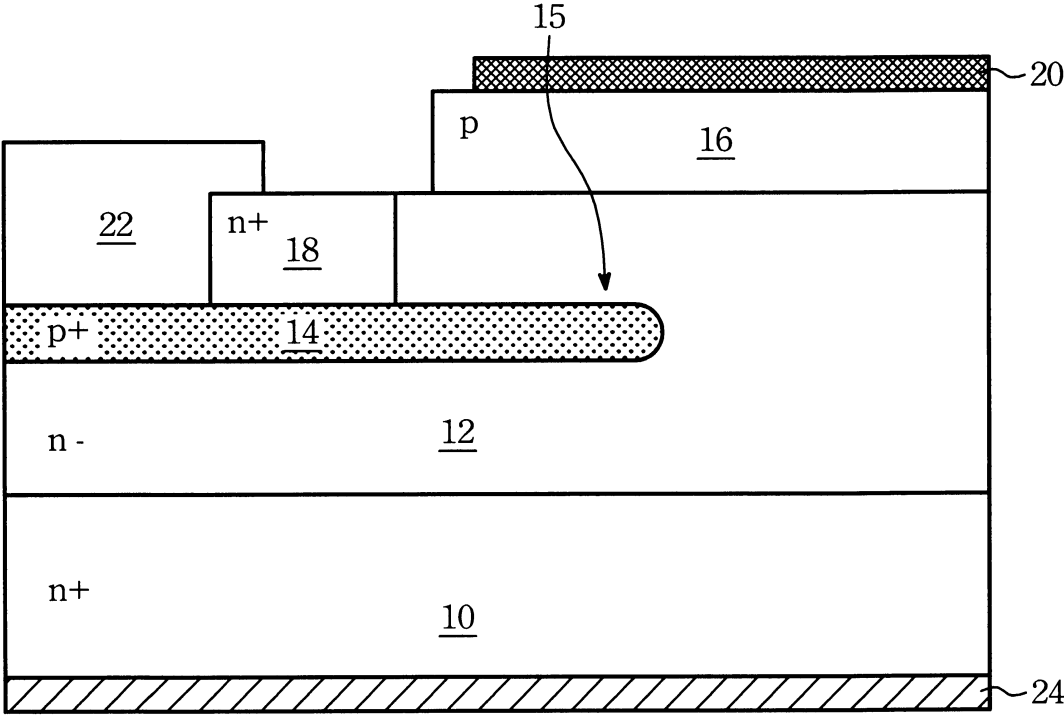


圖 一 B

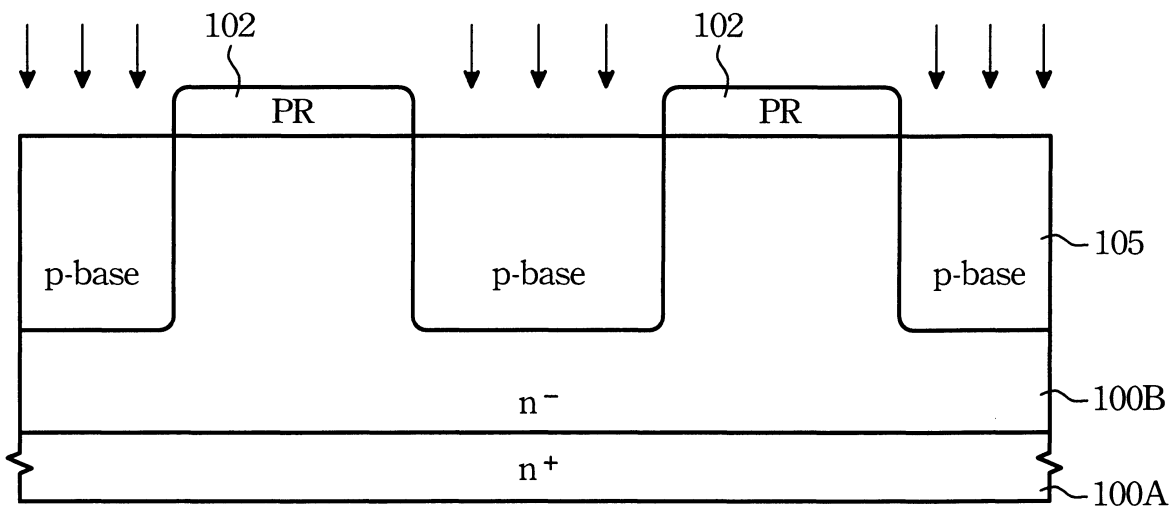


圖 二 A

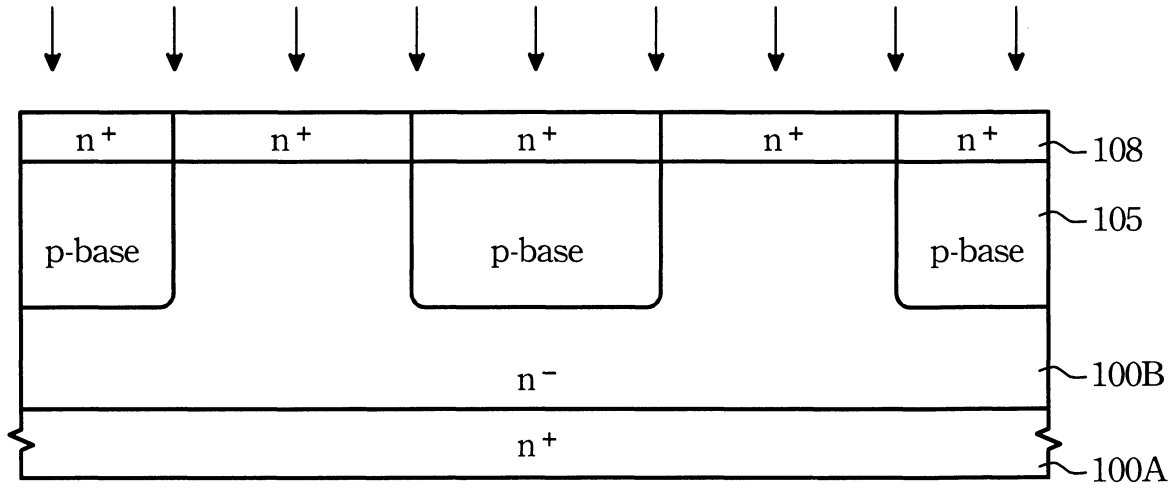


圖 二 B

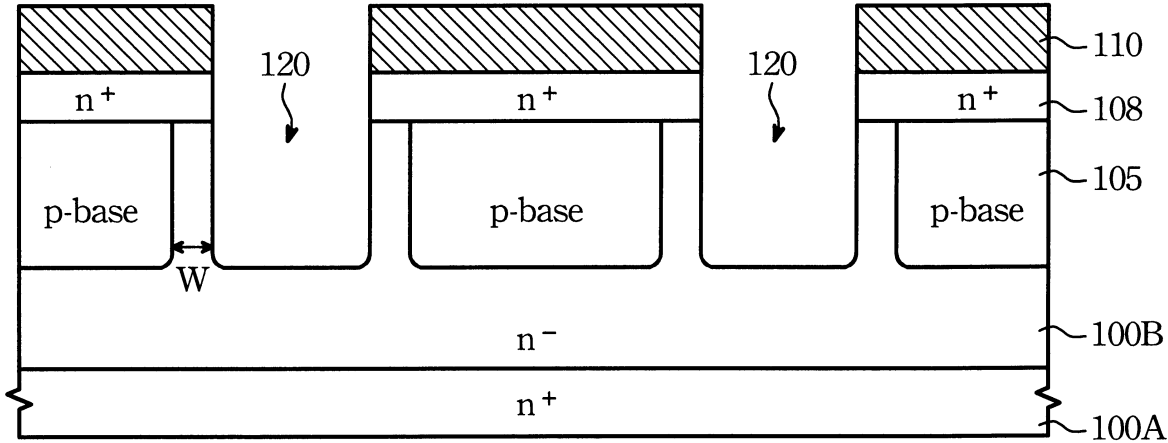


圖 二 C

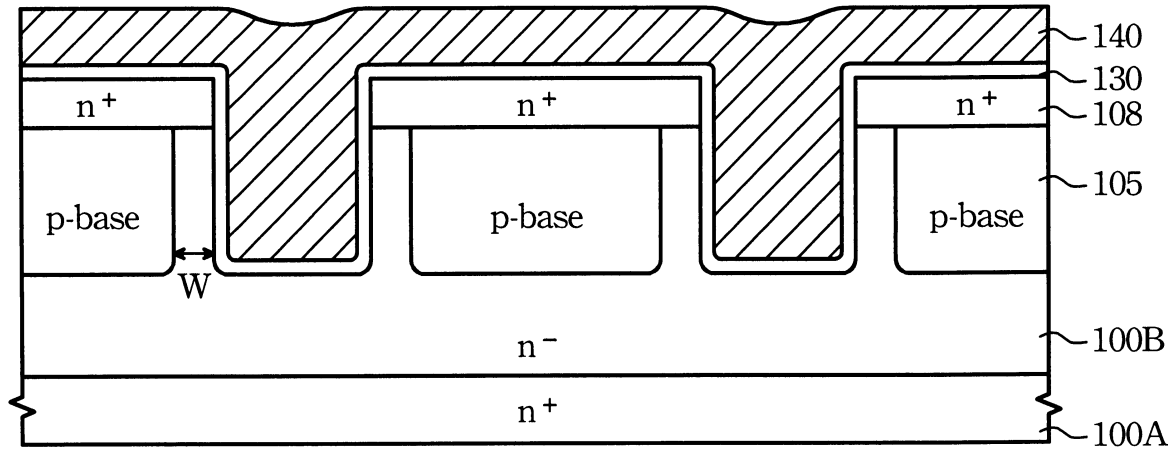


圖 二 D

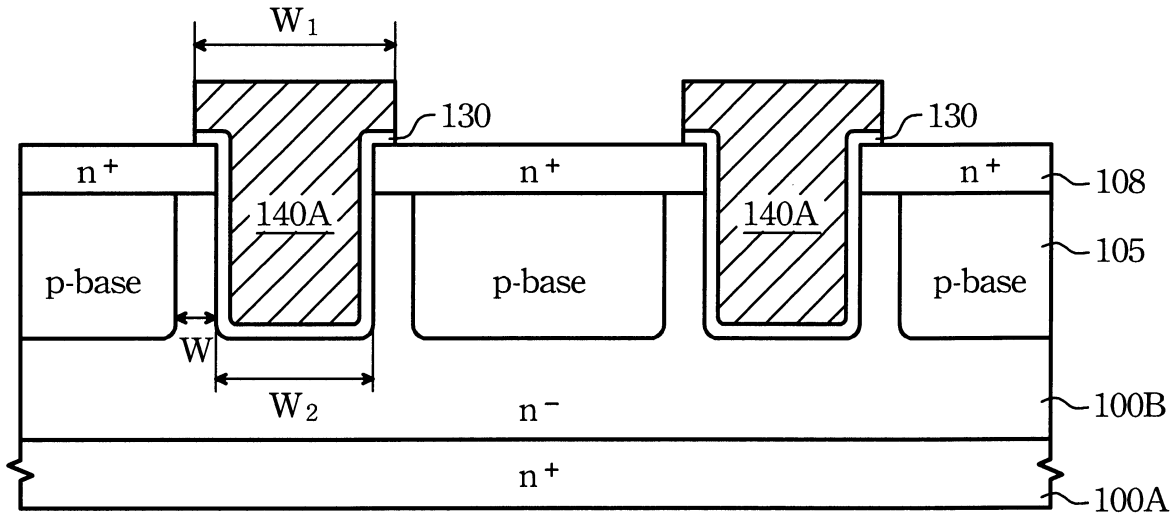


圖 二 E

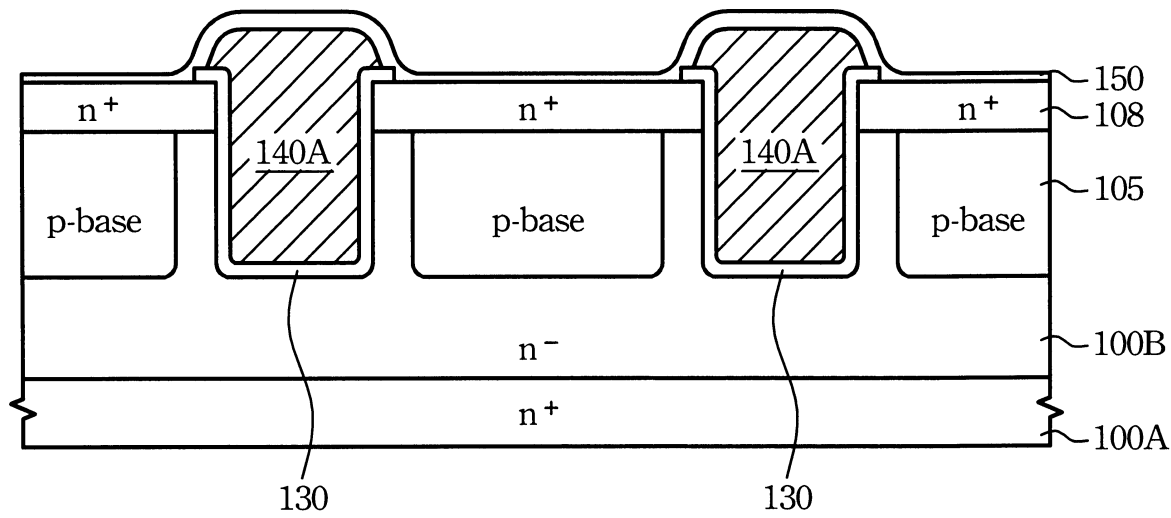


圖 二 F

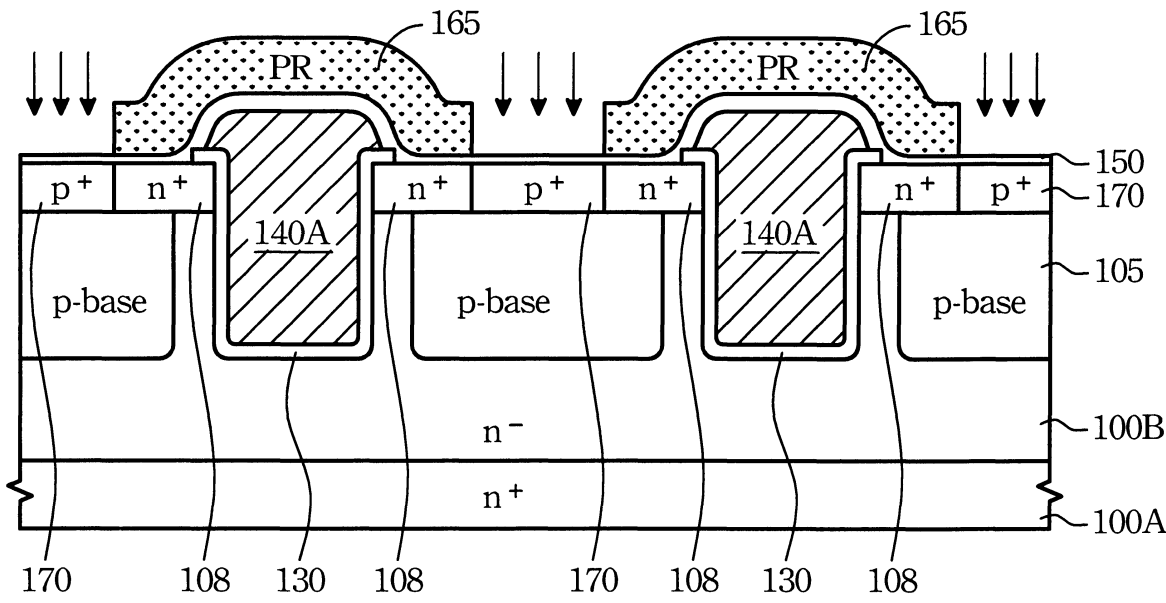


圖 二 G

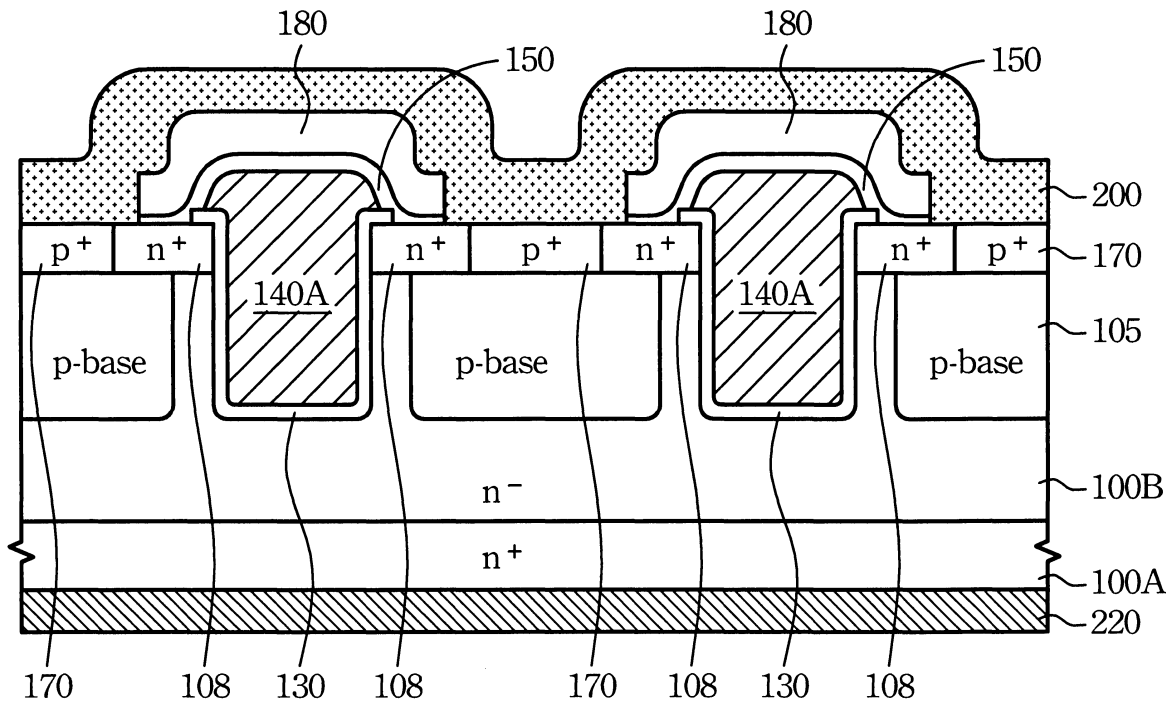


圖 二 H

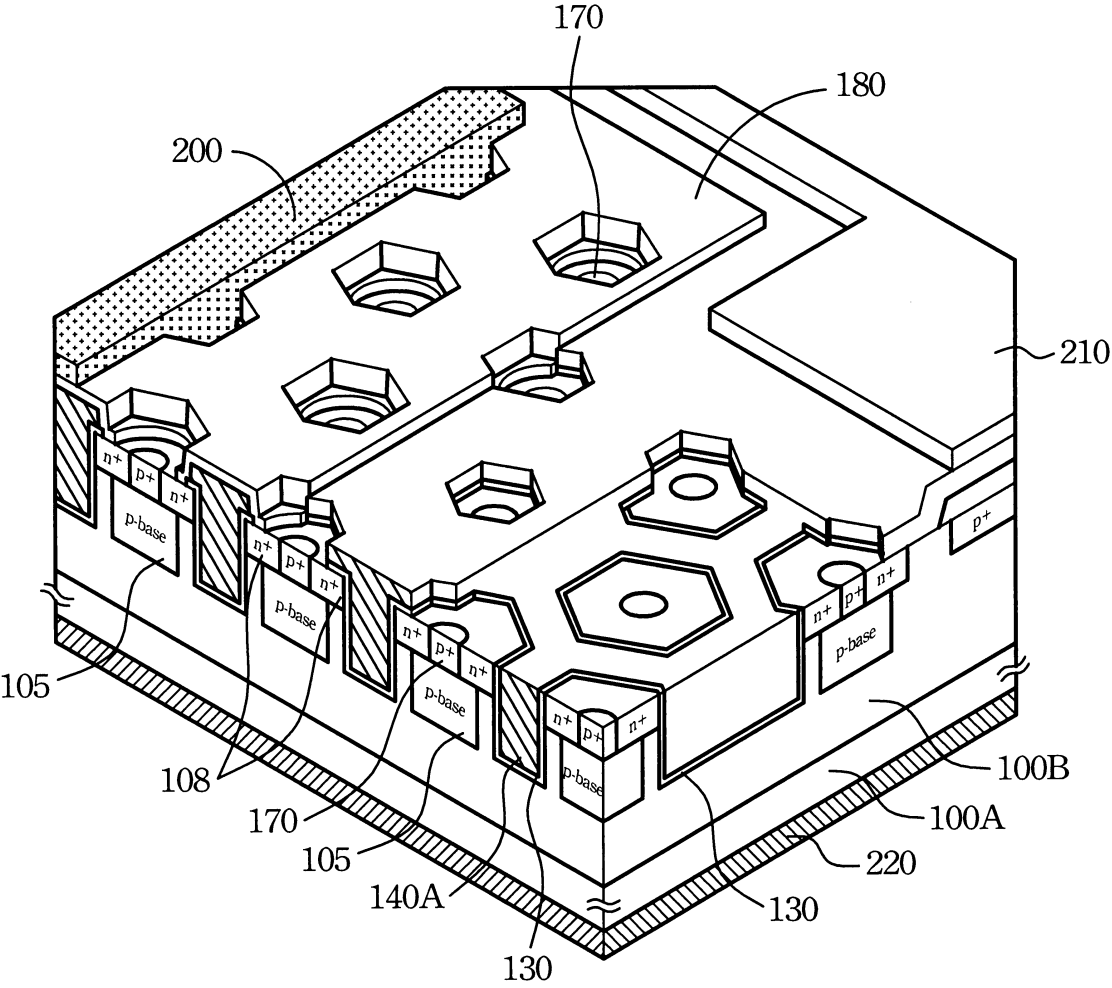


圖 二 I

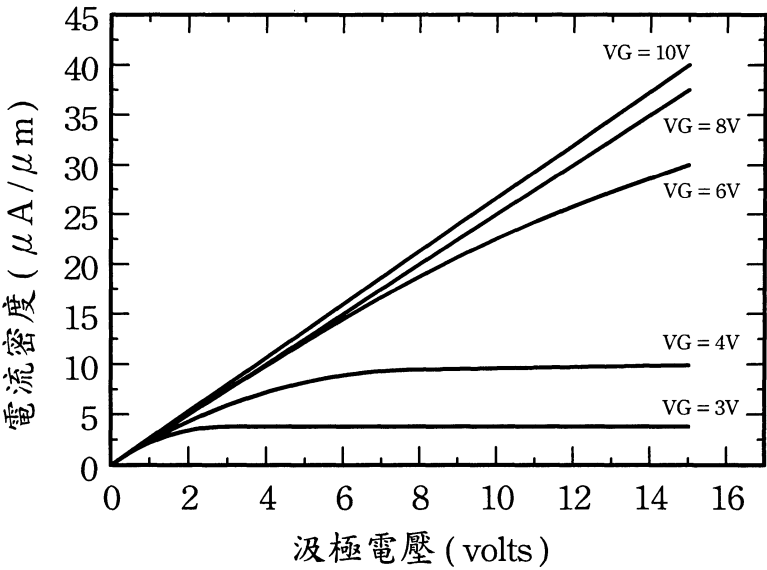


圖 三

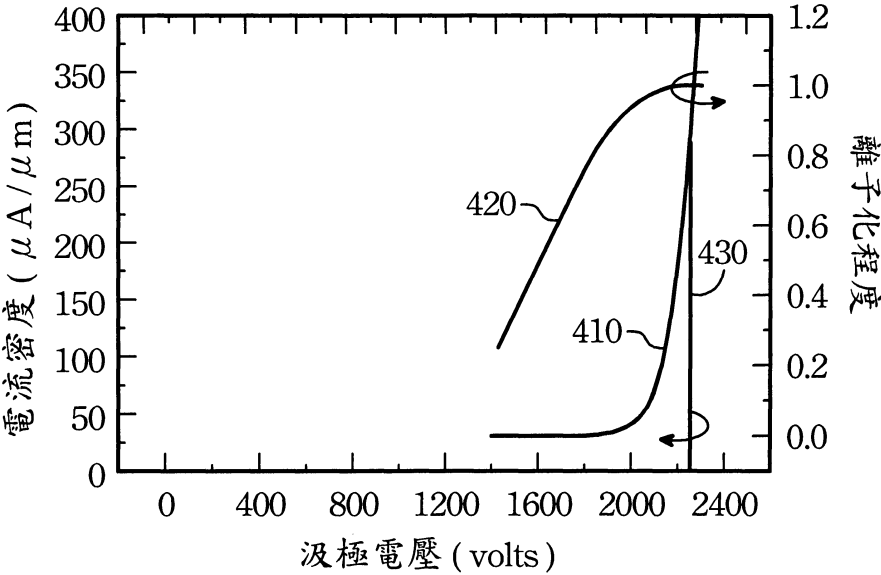


圖 四

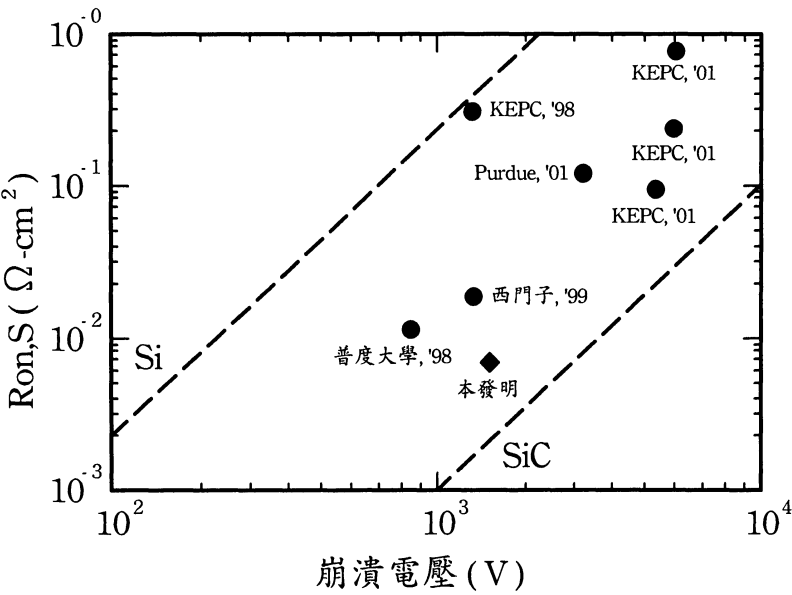


圖 五

申請日期：92.1.24	IPC分類	588460
申請案號：92101602	H01L29/772	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	溝槽式金氧半電晶體
	英 文	Trench Power MOSFET and Method of Making the Same
二、 發明人 (共4人)	姓 名 (中文)	1. 許志維
	姓 名 (英文)	1. Wesley Chih -Wei HSU
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (中 文)	1. 新竹市經國路二段213巷11號2樓
	住居所 (英 文)	1. 2F1., No.11, Lane213, Sec. 2, Jingkuo Rd., Hsinchu, Taiwan 300, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓 名 (英文)	1. Industrial Technology Research Institute
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu, Taiwan 310, ROC
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. Cheng-I Weng

