(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月24日(24.02.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/038456 A1

(51) 国際特許分類:
H01L 21/336 (2006.01)
C23C 16/40 (2006.01)
C23C 16/455 (2006.01)
H01L 21/26 (2006.01)
H01L 21/265 (2006.01)
H01L 21/268 (2006.01)
H01L 21/31 (2006.01)
H01L 21/316 (2006.01)
H01L 21/324 (2006.01)
H01L 21/385 (2006.01)
H01L 21/768 (2006.01)
H01L 21/822 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/8242 (2006.01)
H01L 23/522 (2006.01)
H01L 27/04 (2006.01)
H01L 27/06 (2006.01)
H01L 27/088 (2006.01)
H01L 27/108 (2006.01)
H01L 27/1156 (2017.01)
H01L 29/786 (2006.01)
H01L 29/788 (2006.01)
H01L 29/792 (2006.01)

(21) 国際出願番号： PCT/IB2021/057249

(22) 国際出願日： 2021年8月6日(06.08.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-139814 2020年8月21日(21.08.2020) JP
特願 2020-195884 2020年11月26日(26.11.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

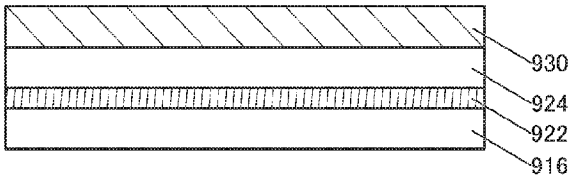
(72) 発明者: 山崎 舜平 (**YAMAZAKI, Shunpei**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 小松良寛(**KOMATSU, Yoshihiro**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 大野敏和 (**OHNO, Toshikazu**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 柳澤悠一(**YANAGISAWA, Yuichi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 笹川慎也(**SASAGAWA, Shinya**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置の作製方法

図1D



(57) **Abstract:** Provided is a semiconductor device with little variation in characteristics. A first insulator is film-formed, a metal oxide is film-formed on the first insulator, a second insulator is film-formed on the metal oxide, an oxide film is film-formed on the second insulator, a heating treatment is performed to cause hydrogen in the first insulator, the second insulator, and the oxide to be transferred to and absorbed in the metal oxide, and the metal oxide is film-formed through the ALD method.

(57) 要約：特性のばらつきが少ない半導体装置を提供する。 第１の絶縁体を成膜し、第１の絶縁体上に金属酸化物を成膜し、金属酸化物上に第２の絶縁体を成膜し、第２の絶縁体上に酸化膜を成膜し、加熱処理を行うことで、第１の絶縁体中、第２の絶縁体中、および酸化物中の水素が、金属酸化物へ移動、および吸収され、金属酸化物は、ＡＬＤ法によって成膜される。

WO 2022/038456 A1

［続葉有］

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

明細書

発明の名称

半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、金属酸化物の製造方法に関する。または、本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。または、本発明の一態様は、半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

［０００２］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

［０００３］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

［０００４］

近年、半導体装置の開発が進められ、ＬＳＩ、ＣＰＵ、メモリなどが主に半導体装置に用いられている。ＣＰＵは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＬＳＩ、ＣＰＵ、メモリなどの半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献１には、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のＣＰＵなどが開示されている。また、例えば、特許文献２には、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

［０００８］

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

［先行技術文献］

［特許文献］

［０００９］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１５１３８３号公報

発明の概要

発明が解決しようとする課題

［００１０］

本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。または、本発明の一態様は、上記半導体装置の作製方法を提供することを課題の一つとする。

［００１１］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１２］

本発明の一態様は、第１の絶縁体を成膜し、第１の絶縁体上に金属酸化物を成膜し、金属酸化物上に第２の絶縁体を成膜し、第２の絶縁体上に、酸化物を成膜し、加熱処理を行うことで、第１の絶縁体中、第２の絶縁体中、および酸化物中の水素が、金属酸化物へ移動、および吸収され、金属酸化物は、ＡＬＤ法によって成膜される、半導体装置の作製方法である。

［００１３］

上記において、ＡＬＤ法は、プリカーサ、およびキャリア・パージガスを導入する第１の工程と、プリカーサの導入を止めて、プリカーサを排気する第２の工程と、酸化性ガスを導入する第３の工程と、酸化性ガスの導入を止めて、酸化性ガスを排気する第４の工程と、を有し、第１の工程乃至第４の工程は、それぞれ２１０℃以上３００℃以下の温度範囲で行われる、ことが好ましい。

［００１４］

上記において、第１の工程乃至第４の工程は、繰り返し行われる、ことが好ましい。

［００１５］

上記において、プリカーサは、ハフニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００１６］

上記において、酸化性ガスは、O_2、O_3、N_2O、NO_2、H_2O、およびH_2O_2の中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００１７］

上記において、キャリア・パージガスは、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００１８］

上記において、プリカーサは、$HfCl_4$であり、酸化性ガスは、O_3を含む、ことが好ましい。

［００１９］

また、ＡＬＤ法は、第１のプリカーサ、およびキャリア・パージガスを導入する第１の工程と、第１のプリカーサの導入を止めて、第１のプリカーサを排気する第２の工程と、酸化性ガスを導入する第３の工程と、酸化性ガスの導入を止めて、酸化性ガスを排気する第４の工程と、第２のプリカーサを導入する第５の工程と、第２のプリカーサの導入を止めて、第２のプリカーサを排気する第６の工程と、酸化性ガスを導入する第７の工程と、酸化性ガスの導入を止めて、酸化性ガスを排気する第８の工程と、を有し、第１の工程乃至第８の工程は、それぞれ２１０℃以上３００℃以下の温度範囲で行われる、ことが好ましい。

［００２０］

上記において、第１の工程乃至第８の工程は、繰り返し行われる、ことが好ましい。

［００２１］

上記において、第１のプリカーサは、ハフニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含み、第２のプリカーサは、ジルコニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００２２］

上記において、酸化性ガスは、O_2、O_3、N_2O、NO_2、およびH_2Oの中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００２３］

上記において、キャリア・パージガスは、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を含む、ことが好ましい。

［００２４］

上記において、第１のプリカーサは、$HfCl_4$であり、第２のプリカーサは、$ZrCl_4$であり、酸化性ガスは、O_3を含む、ことが好ましい。

発明の効果

［００２５］

本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。または、本発明の一態様により、上記半導体装置の作製方法を提供することができる。

［００２６］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、

これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２７］

図１Ａ乃至図１Ｄは、本発明の一態様である半導体装置の作製方法を示す断面図である。

図２は本発明の一態様であるプロセスフローを説明する図である。

図３は本発明の一態様であるプロセスフローを説明する図である。

図４は本発明の一態様である成膜シーケンスを説明する図である。

図５は本発明の一態様である成膜シーケンスを説明する図である。

図６は本発明の一態様である成膜装置の模式図である。

図７Ａは本発明の一態様である半導体装置の上面図である。図７Ｂ乃至図７Ｄは本発明の一態様である半導体装置の断面図である。

図８Ａおよび図８Ｂは本発明の一態様である半導体装置の断面図である。

図９ＡはＩＧＺＯの結晶構造の分類を説明する図である。図９ＢはＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルを説明する図である。図９ＣはＣＡＡＣ－ＩＧＺＯ膜の極微電子線回折パターンを説明する図である。

図１０Ａは本発明の一態様である半導体装置の上面図である。図１０Ｂ乃至図１０Ｄは本発明の一態様である半導体装置の断面図である。

図１１Ａは本発明の一態様である半導体装置の上面図である。図１１Ｂ乃至図１１Ｄは本発明の一態様である半導体装置の断面図である。

図１２Ａは本発明の一態様である半導体装置の上面図である。図１２Ｂ乃至図１２Ｄは本発明の一態様である半導体装置の断面図である。

図１３Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１３Ｂ乃至図１３Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１４Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１４Ｂ乃至図１４Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１５Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１５Ｂ乃至図１５Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１６Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１６Ｂ乃至図１６Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１７Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１７Ｂ乃至図１７Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１８Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１８Ｂ乃至図１８Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図１９Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図１９Ｂ乃至図１９Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２０Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図２０Ｂ乃至図２０Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２１Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図２１Ｂ乃至図２１

Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２２Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図２２Ｂ乃至図２２Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２３Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図２３Ｂ乃至図２３Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２４Ａは本発明の一態様である半導体装置の作製方法を示す上面図である。図２４Ｂ乃至図２４Ｄは本発明の一態様である半導体装置の作製方法を示す断面図である。

図２５は本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

図２６は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図２７は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図２８は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図２９Ａは本発明の一態様に係る半導体装置の平面図である。図２９Ｂおよび図２９Ｃは本発明の一態様である半導体装置の断面図である。

図３０は本発明の一態様に係る記憶装置の構成を示す断面図である。

図３１は本発明の一態様に係る記憶装置の構成を示す断面図である。

図３２は本発明の一態様に係る半導体装置の断面図である。

図３３Ａおよび図３３Ｂは本発明の一態様に係る半導体装置の断面図である。

図３４は本発明の一態様に係る半導体装置の断面図である。

図３５Ａは本発明の一態様に係る記憶装置の構成例を示すブロック図である。図３５Ｂは本発明の一態様に係る記憶装置の構成例を示す斜視図である。

図３６Ａ乃至図３６Ｈは本発明の一態様に係る記憶装置の構成例を示す回路図である。

図３７Ａおよび図３７Ｂは本発明の一態様に係る半導体装置の模式図である。

図３８Ａおよび図３８Ｂは電子部品の一例を説明する図である。

図３９Ａ乃至図３９Ｅは本発明の一態様に係る記憶装置の模式図である。

図４０Ａ乃至図４０Ｈは本発明の一態様に係る電子機器を示す図である。

図４１Ａおよび図４１Ｂは、ＳＩＭＳ分析結果である。

図４２は、積層膜の積層構造を説明する図である。

図４３Ａは、トランジスタの断面ＳＴＥＭ像である。図４３Ｂは、エッチレートを示すグラフである。

図４４Ａおよび図４４Ｂは、トランジスタの断面ＳＴＥＭ像である。

図４５Ａおよび図４５Ｂは、トランジスタのＩｄ－Ｖｇ特性である。

図４６は、トランジスタのＩｄ－Ｖｄ特性である。

図４７Ａおよび図４７Ｂは、トランジスタの信頼性試験結果である。

図４８Ａは、メモリセルの回路図である。図４８Ｂは、メモリセルのタイミングチャートである。

図４９Ａおよび図４９Ｂは、メモリセルの書き換え耐性試験の結果を示すグラフである。

発明を実施するための形態

［００２８］

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施

の形態の記載内容に限定して解釈されるものではない。

［００２９］

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層、レジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

［００３０］

また、特に上面図（「平面図」ともいう。）、斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

［００３１］

また、本明細書等において、第１、第２等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第１の」を「第２の」または「第３の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

［００３２］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［００３３］

例えば、本明細書等において、ＸとＹとが接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００３４］

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネルが形成される領域（以下、チャネル形成領域ともいう。）を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

［００３５］

また、ソース、またはドレインの機能は、異なる極性のトランジスタを採用する場合、または回

路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソース、またはドレインの用語は、入れ替えて用いることができる場合がある。

［００３６］

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

［００３７］

チャネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネル形成領域における、チャネル長方向を基準として垂直方向のチャネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

［００３８］

なお、本明細書等において、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

［００３９］

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

［００４０］

本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面ＴＥＭ像などを解析することなどによって、値を決定することができる。

［００４１］

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体であ

る場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（Ｖｏ：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）が形成される場合がある。

［００４２］

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。また、酸化窒化アルミニウムとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多いものである。また、酸化窒化ハフニウムとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化ハフニウムとは、その組成として、酸素よりも窒素の含有量が多いものである。

［００４３］

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

［００４４］

また、本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「概略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。

［００４５］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

［００４６］

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅１μｍあたりのドレイン電流が、室温において１×１０$^{-20}$Ａ以下、８５℃において１×１０$^{-18}$Ａ以下、または１２５℃において１×１０$^{-16}$Ａ以下であることをいう。

［００４７］

（実施の形態１）

本実施の形態では、本発明の一態様に係る、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いて水素濃度が低減されかつ、基板面内の膜厚均一性に優れた、金

属酸化物の形成方法について説明する。

［００４８］

ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。

［００４９］

ＡＬＤ法は、反応のための第１の原料ガス（プリカーサとも呼ぶ）と第２の原料ガス（酸化性ガスとも呼ぶ）を交互に反応室に導入し、これらの原料ガスの導入を繰り返すことで成膜を行う。また、プリカーサ、または酸化性ガス導入の際、N_2、Ａｒなどをキャリア・パージガスとしてプリカーサ、または酸化性ガスと同時に反応室に導入してもよい。なお、キャリア・パージガスは、プリカーサ、または酸化性ガス導入前から反応室に導入してもよいし、プリカーサ、または酸化性ガス導入後から反応室に導入してもよい。キャリア・パージガスを用いることで、プリカーサ、または酸化性ガスが配管内部およびバルブ内部に吸着することを抑制し、プリカーサ、または酸化性ガスを反応室に導入することが可能になる（キャリアガスとも呼ぶ）。さらに反応室に残留するプリカーサ、または酸化性ガスを速やかに排気することが可能となる（パージガスとも呼ぶ）。このように導入（キャリア）と、排気（パージ）の２つの役割を有するため、N_2、Ａｒなどをキャリア・パージガスと呼ぶことがある。また、キャリア・パージガスを用いることで、形成される膜の均一性が向上し、好ましい。

［００５０］

図２にＡＬＤ法によって、金属酸化膜を形成するプロセスフローを示し、図４にその成膜シーケンスを示す。本実施の形態では、金属酸化物、例えば、ハフニウムを含む酸化物、具体的に、酸化ハフニウムの形成方法を示す。プリカーサ４０１としては、ハフニウムを含み、さらに、塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含むプリカーサを用いることができる。本実施の形態では、プリカーサ４０１として、$HfCl_4$を用いる。

［００５１］

また、酸化性ガス４０３として、O_2、O_3、N_2O、NO_2、H_2O、およびH_2O_2の中から選ばれるいずれか一または複数を用いることができる。本実施の形態では、酸化性ガス４０３としてO_3を含むガスを用いる。また、キャリア・パージガス４０４として、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を用いることができる。本実施の形態では、キャリア・パージガス４０４としてN_2を用いる。

［００５２］

まず、反応室内にプリカーサ４０１およびキャリア・パージガス４０４を導入し（図４のＯＮ）、反応室内の圧力を一定に保つ（ステップＳ０１）。次に、プリカーサ４０１の導入を止めて（図４のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留するプリカーサ４０１のパージを行う（ステップＳ０２）。次に、反応室に酸化性ガス４０３を導入する（図４のＯＮ）。酸化性ガス４０３を導入することで、プリカーサ４０１を酸化させ金属酸化物を形成する（ステップＳ０３）。次に、酸化性ガス４０３の導入を止めて（図４のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留する酸化性ガス４０３のパージを行う（ステップＳ０４）。なお、ステップＳ０１乃至ステップＳ０４においては、それぞれ２１０℃以上３００℃以下の温度範囲で行う。ステップＳ０１乃至ステップＳ０４においては、それぞれ上記温度範囲で行えばよく、各ステップ

の温度は同じでなくてもよい。

［００５３］

上述のステップＳ０１乃至ステップＳ０４を１サイクルとして所望の膜厚に達するまで繰り返し行う。

［００５４］

以上の方法を用いることにより、水素濃度が低減された酸化ハフニウムを形成することができる。なお、金属酸化膜を形成する（ステップＳ０１乃至ステップＳ０４を繰り返し行う）前に、基板をセットする工程、基板を加熱する工程などが行われる。

［００５５］

上述のように形成した酸化ハフニウムの水素濃度は、ＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）による分析にて、好ましくは、5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは、2×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下である。

［００５６］

プリカーサ４０１として、炭化水素を含まない無機プリカーサを用い、酸化性ガス４０３として、水素を含まず、O_3を含むガスを用いることで、水素濃度の低減された酸化ハフニウムを形成することができる。

［００５７］

また、本発明の一態様は、基板面内の膜厚均一性に優れた酸化ハフニウムを形成することができる。

［００５８］

基板面内の膜厚均一性に優れた酸化ハフニウムの形成について、図６を用いて説明する。図６は、ＡＬＤ法による製造装置９００の模式図である。

［００５９］

図６に示すように製造装置９００は、反応室９０１と、ガス導入口９０３と、反応室入り口９０４と、排気口９０５と、ウエハステージ９０７と、軸９０８と、を有する。図６では、ウエハステージ９０７上にウエハ９５０が配置されている。

［００６０］

反応室９０１は、反応室９０１の内部、プリカーサ４０１、プリカーサ４０２、酸化性ガス４０３、およびキャリア・パージガス４０４を加熱するためのヒーターシステムが配置されていてもよい。また、ウエハステージ９０７は、ウエハ９５０を加熱するためのヒーターシステムが配置されていてもよい。また、ウエハステージ９０７は、軸９０８を回転軸として水平に回転する回転機構を備えていてもよい。また、図示しないが、ガス導入口９０３の手前には、プリカーサ４０１、プリカーサ４０２、酸化性ガス４０３、およびキャリア・パージガス４０４を適切なタイミングで、適切な流量を適切な時間、ガス導入口９０３へ導入するガス供給システムが設置されている。また、図示しないが、排気口９０５の先には、真空ポンプを有する排気システムが設置されている。

［００６１］

図６に示す、製造装置９００は、クロスフロー方式と呼ばれるＡＬＤ装置である。クロスフロー方式におけるプリカーサ４０１、プリカーサ４０２、酸化性ガス４０３、およびキャリア・パージガス４０４の流れを以下に説明する。プリカーサ４０１、プリカーサ４０２、酸化性ガス４０３、およびキャリア・パージガス４０４は、ガス導入口９０３から反応室入り口９０４を介して反応室

９０１へ流れ、ウエハ９５０に到達し、排気口９０５を通り排気される。図６に示す矢印は、ガスの流れる方向を模式的に示している。

［００６２］

上述のように、図２に示す、酸化性ガス４０３を反応室９０１に導入するステップＳ０３は、ウエハ９５０上に吸着しているプリカーサ４０１を酸化性ガス４０３によって酸化し、金属酸化物を形成する。クロスフロー方式である製造装置９００の構造上、酸化性ガス４０３が加熱された反応室部材に長く触れてからウエハ９５０に到達するために、到達するまでに高温の固体表面と酸化性ガス４０３が反応することで、酸化性ガス４０３が分解し、酸化力が低下する。従って、金属酸化物の成膜速度は、酸化性ガス４０３の、反応室入り口９０４からウエハ９５０への到達距離に依存する。ウエハステージ９０７が軸９０８を中心に水平に回転している場合、ウエハ９５０の周辺部が先に酸化性ガス４０３に到達するので、金属酸化物の膜厚はウエハ９５０の周辺部ほど厚くなり中央部が周辺部より薄くなる。

［００６３］

そこで、酸化性ガス４０３が分解し、酸化力が低下することを抑制させるため反応室の加熱温度を適切な温度に設定する必要がある。本実施の形態では、プリカーサ４０１として$HfCl_4$を用い、酸化性ガス４０３としてO_3を含むガスを用いており、適切な加熱温度は、２１０℃以上３００℃以下とする。

［００６４］

以上により、基板面内の膜厚均一性に優れた酸化ハフニウムを形成することができる。基板面内の膜均一性としては、好ましくは、±１．５％以下、より好ましくは、±１．０％以下である。また、基板面内の最大膜厚－基板面内の最小膜厚をＲＡＮＧＥと定義し、基板面内の膜厚均一性を±ＰＮＵ（Ｐｅｒｃｅｎｔ　Ｎｏｎ　Ｕｎｉｆｏｒｍｉｔｙ）（％）と定義すると、±ＰＮＵ（％）＝（ＲＡＮＧＥ×１００）／（２×基板面内の膜厚の平均値）で基板面内の膜厚均一性を求めることができる。

［００６５］

以上の方法を用いることにより、水素濃度が低減され、かつ基板面内の膜厚均一性に優れた酸化ハフニウムを形成することができる。

［００６６］

ここでは、本発明の一態様である、２種のプリカーサを用いた金属酸化膜の形成方法について説明する。図３にＡＬＤ法によって、２種のプリカーサを用いた金属酸化膜を形成するプロセスフローを示し、図５にその成膜シーケンスを示す。本実施の形態では、ハフニウム、およびジルコニウムを含む金属酸化物、例えば、ハフニウムジルコニウム酸化物の形成方法を示す。プリカーサ４０１としては、ハフニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含むプリカーサを用いることができる。また、プリカーサ４０２としては、ジルコニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含むプリカーサを用いることができる。本実施の形態では、プリカーサ４０１として、$HfCl_4$を用い、プリカーサ４０２として、$ZrCl_4$を用いる。

［００６７］

また、酸化性ガス４０３として、O_2、O_3、N_2O、NO_2、H_2O、およびH_2O_2の中から選ばれるいずれか一または複数を用いることができる。本実施の形態では、酸化性ガス４０３としてＯ

$_3$を含むガスを用いる。また、キャリア・パージガス４０４として、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を用いることができる。本実施の形態では、キャリア・パージガス４０４としてN_2を用いる。

［００６８］

まず、反応室内にプリカーサ４０１およびキャリア・パージガス４０４を導入し（図５のＯＮ）、反応室内の圧力を一定に保つ（ステップＳ０１）。次に、プリカーサ４０１の導入を止めて（図５のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留するプリカーサ４０１のパージを行う（ステップＳ０２）。次に、反応室に酸化性ガス４０３を導入する（図５のＯＮ）。酸化性ガス４０３を導入することで、プリカーサ４０１を酸化させ金属酸化物を形成する（ステップＳ０３）。次に、酸化性ガス４０３の導入を止めて（図５のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留する酸化性ガス４０３のパージを行う（ステップＳ０４）。

［００６９］

次に、反応室内にプリカーサ４０２を導入し（図５のＯＮ）、反応室内の圧力を一定に保つ（ステップＳ０５）。次に、プリカーサ４０２の導入を止めて（図５のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留するプリカーサ４０２のパージを行う（ステップＳ０６）。次に、反応室に酸化性ガス４０３を導入する（図５のＯＮ）。酸化性ガス４０３を導入することで、プリカーサ４０２を酸化させ金属酸化物を形成する（ステップＳ０７）。次に、酸化性ガス４０３の導入を止めて（図５のＯＦＦ）、キャリア・パージガス４０４のみとし、反応室内に残留する酸化性ガス４０３のパージを行う（ステップＳ０８）。なお、ステップＳ０１乃至ステップＳ０８においては、それぞれ２００℃以上３００℃以下の温度範囲で行う。ステップＳ０１乃至ステップＳ０８においては、それぞれ上記温度範囲で行えばよく、各ステップの温度は同じでなくてもよい。

［００７０］

上述のステップＳ０１乃至ステップＳ０８を１サイクルとして所望の膜厚に達するまで繰り返し行う。

［００７１］

以上の方法を用いることにより、水素濃度が低減されたハフニウムジルコニウム酸化物を形成することができる。なお、金属酸化膜を形成する（ステップＳ０１乃至ステップＳ０８を繰り返し行う）前に、基板をセットする工程、基板を加熱する工程などが行われる。

［００７２］

上述のように形成したハフニウムジルコニウム酸化物の水素濃度は、ＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）による分析にて、好ましくは、5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは、2×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下である。

［００７３］

プリカーサ４０１、およびプリカーサ４０２として、炭化水素を含まない無機プリカーサを用い、酸化性ガス４０３として、水素を含まず、O_3を含むガスを用いることで、水素濃度の低減されたハフニウムジルコニウム酸化物を形成することができる。

［００７４］

また、本発明の一態様は、基板面内の膜厚均一性に優れたハフニウムジルコニウム酸化物を形成することができる。基板面内の膜厚均一性に優れたハフニウムジルコニウム酸化物の形成については、上述の基板面内の膜厚均一性に優れた酸化ハフニウムを形成についての説明を参酌することが

できる。

［００７５］

以上の方法を用いることにより、水素濃度が低減され、かつ基板面内の膜厚均一性に優れたハフニウムジルコニウム酸化物を形成することができる。

［００７６］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［００７７］

（実施の形態２）

本実施の形態では、図１Ａ乃至図１Ｄを用いて、本発明の一態様に係る、水素濃度が低減された酸化物の作製方法について説明する。

［００７８］

まず、図１Ａに示すように、基板上（図示しない）に絶縁体９１６を成膜する。絶縁体９１６の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体９１６中の水素濃度を低減することができる。ただし、絶縁体９１６の成膜は、スパッタリング法に限られるものではなく、化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法、パルスレーザ堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、ＡＬＤ法などを適宜用いてもよい。

［００７９］

本実施の形態では、絶縁体９１６として、酸素ガスを含む雰囲気でシリコンターゲットを用いて、パルスＤＣスパッタリング法で酸化シリコンを成膜する。パルスＤＣスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

［００８０］

次に、図１Ｂに示すように、絶縁体９１６上に、絶縁体９２２を成膜する。絶縁体９２２の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。絶縁体９２２として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。または、ハフニウム、およびジルコニウムを含む酸化物、例えば、ハフニウムジルコニウム酸化物を用いることが好ましい。本実施の形態では、絶縁体９２２として、実施の形態１で説明した金属酸化物を用いる。例えば、絶縁体９２２として、ＡＬＤ法を用いて、酸化ハフニウムを成膜する。特に、本発明の一態様である水素濃度の低減された酸化ハフニウムの形成方法を用いることが好ましい。酸化ハフニウムの形成方法の詳細は、実施の形態１を参酌することができる。

［００８１］

次に、図１Ｃに示すように、絶縁体９２２上に絶縁体９２４を成膜する。絶縁体９２４の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体９２４として、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体９２４中の

水素濃度を低減することができる。絶縁体９２４は、後の工程で酸化物９３０と接するので、このように水素濃度が低減されていることが好適である。

［００８２］

次に、図１Ｄに示すように、絶縁体９２４上に、酸化物９３０を成膜する。酸化物９３０の成膜はスパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。酸化物９３０の成膜は、ＡＬＤ法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。また、ＰＥＡＬＤ（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ　ＡＬＤ）法を用いることで、熱ＡＬＤ法に比べて低温で酸化物９３０を形成することができるため、好ましい。本実施の形態では、酸化物９３０の成膜はスパッタリング法を用いる。

［００８３］

例えば、酸化物９３０をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、Ｉｎ－Ｍ－Ｚｎ酸化物ターゲットなどを用いることができる。

［００８４］

なお、酸化物９３０は積層構造としてもよい。例えば、酸化物９３０を２層構造とした場合、酸化物９３０の下層を酸化物９３０ａ、上層を酸化物９３０ｂとする。

［００８５］

本実施の形態では、酸化物９３０ａとして、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］の酸化物ターゲットを用いて成膜する。また、酸化物９３０ｂとして、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］の酸化物ターゲット、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２［原子数比］の酸化物ターゲットまたは、Ｉｎ：Ｇａ：Ｚｎ＝１：１：０．５［原子数比］の酸化物ターゲットを用いて成膜する。

［００８６］

次に、加熱処理を行うことが好ましい。加熱処理は、酸化物９３０（酸化物９３０ａおよび酸化物９３０ｂ）が多結晶化しない温度範囲で行えばよく、２５０℃以上６５０℃以下、好ましくは４００℃以上６００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理を行ってもよい。

［００８７］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が１ｐｐｂ以下、好ましくは０．１ｐｐｂ以下、より好ましくは０．０５ｐｐｂ以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化物９３０ａ、および酸化物９３０ｂなどに水分等が取り込まれることを可能な限り防ぐことができる。

［００８８］

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を４：１として、４５０℃の

温度で１時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化物９３０中の炭素、水、水素などの不純物を低減することなどができる。このように膜中の不純物を低減することで、酸化物９３０の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化物９３０中の結晶領域を増大させ、酸化物９３０中における、結晶領域の面内ばらつきを低減することができる。

［００８９］

また、加熱処理を行うことで、絶縁体９１６、絶縁体９２４、および酸化物９３０中の水素が絶縁体９２２に移動し、絶縁体９２２内に吸収される。別言すると、絶縁体９１６、絶縁体９２４、および酸化物９３０中の水素が絶縁体９２２に拡散する。従って、絶縁体９２２の水素濃度は高くなるが、絶縁体９１６、絶縁体９２４、および酸化物９３０中のそれぞれの水素濃度は低下する。

［００９０］

以上の作製方法により、水素濃度が低減された絶縁体９１６、絶縁体９２４、および酸化物９３０を形成することができる。

［００９１］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［００９２］

（実施の形態３）

本実施の形態では、図７Ａ乃至図２４Ｄを用いて、本発明の一態様に係るトランジスタ２００を有する半導体装置の一例、およびその作製方法について説明する。

［００９３］

＜半導体装置の構成例＞

図７を用いて、トランジスタ２００を有する半導体装置の構成を説明する。図７Ａ乃至図７Ｄは、トランジスタ２００を有する半導体装置の上面図および断面図である。図７Ａは、当該半導体装置の上面図である。また、図７Ｂ乃至図７Ｄは、当該半導体装置の断面図である。ここで、図７Ｂは、図７ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。また、図７Ｃは、図７ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル幅方向の断面図でもある。また、図７Ｄは、図７ＡにＡ５－Ａ６の一点鎖線で示す部位の断面図である。なお、図７Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［００９４］

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体２１２と、絶縁体２１２上の絶縁体２１４と、絶縁体２１４上のトランジスタ２００と、トランジスタ２００上の絶縁体２８０と、絶縁体２８０上の絶縁体２８２と、絶縁体２８２上の絶縁体２８３と、絶縁体２８３上の絶縁体２７４と、絶縁体２８３上、および絶縁体２７４上の絶縁体２８５と、を有する。絶縁体２１２、絶縁体２１４、絶縁体２１６、絶縁体２８０、絶縁体２８２、絶縁体２８３、絶縁体２８５、および絶縁体２７４は層間膜として機能する。また、トランジスタ２００と電気的に接続し、プラグとして機能する導電体２４０（導電体２４０ａ、および導電体２４０ｂ）を有する。なお、プラグとして機能する導電体２４０の側面に接して絶縁体２４１（絶縁体２４１ａ、および絶縁体２４１ｂ）が設けられる。また、絶縁体２８５上、および導電体２４０上には、導電体２４０と電気的に接続

し、配線として機能する導電体２４６（導電体２４６ａ、および導電体２４６ｂ）が設けられる。また、絶縁体２８３は、絶縁体２１４の上面の一部、絶縁体２１６の側面、絶縁体２２２の側面、絶縁体２７５の側面、絶縁体２８０の側面、ならびに絶縁体２８２の側面および上面と接する。

［００９５］

絶縁体２８０、絶縁体２８２、絶縁体２８３、および絶縁体２８５の開口の内壁に接して絶縁体２４１ａが設けられ、絶縁体２４１ａの側面に接して導電体２４０ａが設けられている。また、絶縁体２８０、絶縁体２８２、絶縁体２８３、および絶縁体２８５の開口の内壁に接して絶縁体２４１ｂが設けられ、絶縁体２４１ｂの側面に接して導電体２４０ｂが設けられている。なお、絶縁体２４１は、第１の絶縁体が上記開口の内壁に接して設けられ、さらに内側に第２の絶縁体が設けられる構造になっている。また、導電体２４０は、第１の導電体が絶縁体２４１の側面に接して設けられ、さらに内側に第２の導電体が設けられる構造になっている。ここで、導電体２４０の上面の高さと、導電体２４６と重なる領域の、絶縁体２８５の上面の高さと、は同程度にできる。

［００９６］

なお、トランジスタ２００では、絶縁体２４１の第１の絶縁体および絶縁体２４１の第２の絶縁体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体２４１を単層、または３層以上の積層構造として設ける構成にしてもよい。また、トランジスタ２００では、導電体２４０の第１の導電体および導電体２４０の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体２４０を単層、または３層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

［００９７］

［トランジスタ２００］

図７Ａ乃至図７Ｄに示すように、トランジスタ２００は、絶縁体２１４上の絶縁体２１６と、絶縁体２１４および／または絶縁体２１６に埋め込まれるように配置された導電体２０５（導電体２０５ａ、および導電体２０５ｂ）と、絶縁体２１６上、および導電体２０５上の絶縁体２２２と、絶縁体２２２上の絶縁体２２４と、絶縁体２２４上の酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂと、酸化物２３０ｂ上の導電体２４２ａと、導電体２４２ａ上の絶縁体２７１ａと、酸化物２３０ｂ上の導電体２４２ｂと、導電体２４２ｂ上の絶縁体２７１ｂと、酸化物２３０ｂ上の絶縁体２５２と、絶縁体２５２上の絶縁体２５０と、絶縁体２５０上の絶縁体２５４と、絶縁体２５４上に位置し、酸化物２３０ｂの一部と重なる導電体２６０（導電体２６０ａ、および導電体２６０ｂ）と、絶縁体２２２、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電体２４２ａ、導電体２４２ｂ、絶縁体２７１ａ、および絶縁体２７１ｂ上に配置される絶縁体２７５と、を有する。ここで、図７Ｂおよび図７Ｃに示すように、絶縁体２５２は、絶縁体２２２の上面、絶縁体２２４の側面、酸化物２３０ａの側面、酸化物２３０ｂの側面および上面、導電体２４２の側面、絶縁体２７１の側面、絶縁体２７５の側面、絶縁体２８０の側面、および絶縁体２５０の下面と接する。また、導電体２６０の上面は、絶縁体２５４の最上部、絶縁体２５０の最上部、絶縁体２５２の最上部、および絶縁体２８０の上面と高さが概略一致するように配置される。また、絶縁体２８２は、導電体２６０、絶縁体２５２、絶縁体２５０、絶縁体２５４、および絶縁体２８０のそれぞれの上面の少なくとも一部と接する。

［００９８］

なお、以下において、酸化物２３０ａと酸化物２３０ｂをまとめて酸化物２３０と呼ぶ場合がある。また、導電体２４２ａと導電体２４２ｂをまとめて導電体２４２と呼ぶ場合がある。また、絶縁体２７１ａと絶縁体２７１ｂをまとめて絶縁体２７１と呼ぶ場合がある。

［００９９］

絶縁体２８０、および絶縁体２７５には、酸化物２３０ｂに達する開口が設けられる。当該開口内に、絶縁体２５２、絶縁体２５０、絶縁体２５４、および導電体２６０が配置されている。また、トランジスタ２００のチャネル長方向において、絶縁体２７１ａ、および導電体２４２ａと、絶縁体２７１ｂ、および導電体２４２ｂと、の間に導電体２６０、絶縁体２５２、絶縁体２５０、および絶縁体２５４が設けられている。絶縁体２５４は、導電体２６０の側面と接する領域と、導電体２６０の底面と接する領域と、を有する。

［０１００］

酸化物２３０は、絶縁体２２４の上に配置された酸化物２３０ａと、酸化物２３０ａの上に配置された酸化物２３０ｂと、を有することが好ましい。酸化物２３０ｂ下に酸化物２３０ａを有することで、酸化物２３０ａよりも下方に形成された構造物から、酸化物２３０ｂへの不純物の拡散を抑制することができる。

［０１０１］

なお、トランジスタ２００では、酸化物２３０が、酸化物２３０ａ、および酸化物２３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物２３０ｂの単層、または３層以上の積層構造を設ける構成にしてもよいし、酸化物２３０ａ、および酸化物２３０ｂのそれぞれが積層構造を有していてもよい。

［０１０２］

導電体２６０は、第１のゲート（トップゲートともいう。）電極として機能し、導電体２０５は、第２のゲート（バックゲートともいう。）電極として機能する。また、絶縁体２５２、絶縁体２５０および絶縁体２５４は、第１のゲート絶縁体として機能し、絶縁体２２２、および絶縁体２２４は、第２のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体２４２ａは、ソースまたはドレインの一方として機能し、導電体２４２ｂは、ソースまたはドレインの他方として機能する。また、酸化物２３０の導電体２６０と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

［０１０３］

ここで、図７Ｂにおけるチャネル形成領域近傍の拡大図を図８Ａに示す。酸化物２３０ｂに酸素が供給されることで、導電体２４２ａと導電体２４２ｂの間の領域にチャネル形成領域が形成される。よって、図８Ａに示すように、酸化物２３０ｂは、トランジスタ２００のチャネル形成領域として機能する領域２３０ｂｃと、領域２３０ｂｃを挟むように設けられ、ソース領域またはドレイン領域として機能する領域２３０ｂａおよび領域２３０ｂｂと、を有する。領域２３０ｂｃは、少なくとも一部が導電体２６０と重畳している。言い換えると、領域２３０ｂｃは、導電体２４２ａと導電体２４２ｂの間の領域に設けられている。領域２３０ｂａは、導電体２４２ａに重畳して設けられており、領域２３０ｂｂは、導電体２４２ｂに重畳して設けられている。

［０１０４］

チャネル形成領域として機能する領域２３０ｂｃは、領域２３０ｂａおよび領域２３０ｂｂよりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よ

って領域２３０ｂｃは、ｉ型（真性）または実質的にｉ型であるということができる。

［０１０５］

また、ソース領域またはドレイン領域として機能する領域２３０ｂａおよび領域２３０ｂｂは、酸素欠損が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域２３０ｂａおよび領域２３０ｂｂは、領域２３０ｂｃと比較して、キャリア濃度が高く、低抵抗なｎ型の領域である。

［０１０６］

ここで、チャネル形成領域として機能する領域２３０ｂｃのキャリア濃度は、$１\times１０^{18}ｃｍ^{-3}$以下であることが好ましく、$１\times１０^{17}ｃｍ^{-3}$未満であることがより好ましく、$１\times１０^{16}ｃｍ^{-3}$未満であることがさらに好ましく、$１\times１０^{13}ｃｍ^{-3}$未満であることがさらに好ましく、$１\times１０^{12}ｃｍ^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域２３０ｂｃのキャリア濃度の下限値については、特に限定は無いが、例えば、$１\times１０^{-9}ｃｍ^{-3}$とすることができる。

［０１０７］

また、領域２３０ｂｃと領域２３０ｂａまたは領域２３０ｂｂとの間に、キャリア濃度が、領域２３０ｂａおよび領域２３０ｂｂのキャリア濃度と同等、またはそれよりも低く、領域２３０ｂｃのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域２３０ｂｃと領域２３０ｂａまたは領域２３０ｂｂとの接合領域として機能する。当該接合領域は、水素濃度が、領域２３０ｂａおよび領域２３０ｂｂの水素濃度と同等、またはそれよりも低く、領域２３０ｂｃの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域２３０ｂａおよび領域２３０ｂｂの酸素欠損と同等、またはそれよりも少なく、領域２３０ｂｃの酸素欠損と同等、またはそれよりも多くなる場合がある。

［０１０８］

なお、図８Ａでは、領域２３０ｂａ、領域２３０ｂｂ、および領域２３０ｂｃが酸化物２３０ｂに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物２３０ｂだけでなく、酸化物２３０ａまで形成されてもよい。

［０１０９］

また、酸化物２３０において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

［０１１０］

トランジスタ２００は、チャネル形成領域を含む酸化物２３０（酸化物２３０ａ、および酸化物２３０ｂ）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

［０１１１］

また、半導体として機能する金属酸化物は、バンドギャップが２ｅＶ以上のものを用いることが好ましく、２．５ｅＶ以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０１１２］

酸化物２３０として、例えば、インジウム、元素Mおよび亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物２３０として、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物を用いてもよい。

［０１１３］

ここで、酸化物２３０ｂに用いる金属酸化物における、元素Mに対するＩｎの原子数比が、酸化物２３０ａに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［０１１４］

このように、酸化物２３０ｂの下に酸化物２３０ａを配置することで、酸化物２３０ａよりも下方に形成された構造物からの、酸化物２３０ｂに対する、不純物および酸素の拡散を抑制することができる。

［０１１５］

また、酸化物２３０ａおよび酸化物２３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物２３０ａと酸化物２３０ｂの界面における欠陥準位密度を低くすることができる。酸化物２３０ａと酸化物２３０ｂとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

［０１１６］

酸化物２３０ｂは、結晶性を有することが好ましい。特に、酸化物２３０ｂとして、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）を用いることが好ましい。

［０１１７］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物および欠陥（例えば、酸素欠損など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物または酸素の拡散をより低減することができる。

［０１１８］

一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０１１９］

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加し

なくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、ｉ型（真性化）または実質的にｉ型であることが好ましい。

［０１２０］

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、およびV_OHを低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ２００のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

［０１２１］

よって、酸化物半導体中において、チャネル形成領域として機能する領域２３０ｂｃは、キャリア濃度が低減され、ｉ型または実質的にｉ型であることが好ましいが、ソース領域またはドレイン領域として機能する領域２３０ｂａおよび領域２３０ｂｂは、キャリア濃度が高く、ｎ型であることが好ましい。つまり、酸化物半導体の領域２３０ｂｃの酸素欠損、およびV_OHを低減し、領域２３０ｂａおよび領域２３０ｂｂには過剰な量の酸素が供給されないようにすることが好ましい。

［０１２２］

そこで、本実施の形態では、酸化物２３０ｂ上に導電体２４２ａおよび導電体２４２ｂを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域２３０ｂｃの酸素欠損、およびV_OHの低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

［０１２３］

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはＲＦ等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはＲＦ等の高周波を領域２３０ｂｃに照射することもできる。プラズマ、マイクロ波などの作用により、領域２３０ｂｃのV_OHを分断し、水素（Ｈ）を領域２３０ｂｃから除去し、酸素欠損（V_O）を酸素で補填することができる。つまり、領域２３０ｂｃにおいて、「$V_OH \rightarrow H + V_O$」という反応が起きて、領域２３０ｂｃの水素濃度を低減することができる。よって、領域２３０ｂｃ中の酸素欠損、およびV_OHを低減し、キャリア濃度を低下させることができる。

［０１２４］

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはＲＦ等の高周波、酸素プラズマなどの作用は、導電体２４２ａおよび導電体２４２ｂに遮蔽され、領域２３０ｂａおよび領域２３０ｂｂには及ばない。さらに、酸素プラズマの作用は、酸化物２３０ｂ、および導電体２４２を覆って設けられている、絶縁体２７１、および絶縁体２８０によって、低減することができる。これにより、マイクロ波処理の際に、領域２３０ｂａおよび領域２３０ｂｂで、V_OHの低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

［０１２５］

また、絶縁体２５２となる絶縁膜の成膜後、または絶縁体２５０となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うとことが好ましい。このように絶縁体２５２、または絶縁体

２５０を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率よく領域２３０ｂｃ中へ酸素を注入することができる。また、絶縁体２５２を導電体２４２の側面、および領域２３０ｂｃの表面と接するように配置することで、領域２３０ｂｃへ必要量以上の酸素の注入を抑制し、導電体２４２の側面の酸化を抑制することができる。また、絶縁体２５０となる絶縁膜の成膜時に導電体２４２の側面の酸化を抑制することができる。

［０１２６］

また、領域２３０ｂｃ中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Ｏラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域２３０ｂｃ中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。また、絶縁体２５２、および絶縁体２５０の膜質を向上させることができるので、トランジスタ２００の信頼性が向上する。

［０１２７］

このようにして、酸化物半導体の領域２３０ｂｃで選択的に酸素欠損、およびV_OHを除去して、領域２３０ｂｃをｉ型または実質的にｉ型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域２３０ｂａおよび領域２３０ｂｂに過剰な酸素が供給されるのを抑制し、ｎ型を維持することができる。これにより、トランジスタ２００の電気特性の変動を抑制し、基板面内でトランジスタ２００の電気特性がばらつくのを抑制することができる。

［０１２８］

以上のような構成にすることで、トランジスタの電気特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

［０１２９］

また、図７Ｃに示すように、トランジスタ２００のチャネル幅方向の断面視において、酸化物２３０ｂの側面と酸化物２３０ｂの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

［０１３０］

上記湾曲面での曲率半径は、０ｎｍより大きく、導電体２４２と重なる領域の酸化物２３０ｂの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、０ｎｍより大きく２０ｎｍ以下、好ましくは１ｎｍ以上１５ｎｍ以下、さらに好ましくは２ｎｍ以上１０ｎｍ以下とする。このような形状にすることで、絶縁体２５２、絶縁体２５０、絶縁体２５４、および導電体２６０の、酸化物２３０ｂへの被覆性を高めることができる。

［０１３１］

酸化物２３０は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物２３０ａに用いる金属酸化物において、主成分である金属元素に対する元素Ｍの原子数比が、酸化物２３０ｂに用いる金属酸化物における、主成分である金属元素に対する元素Ｍの原子数比より、大きいことが好ましい。また、酸化物２３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物２３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物２３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物２３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの

原子数比より大きいことが好ましい。

［０１３２］

また、酸化物２３０ｂは、ＣＡＡＣ－ＯＳなどの結晶性を有する酸化物であることが好ましい。ＣＡＡＣ－ＯＳなどの結晶性を有する酸化物は、不純物および欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物２３０ｂからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物２３０ｂから酸素が引き抜かれることを低減できるので、トランジスタ２００は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

［０１３３］

ここで、酸化物２３０ａと酸化物２３０ｂの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物２３０ａと酸化物２３０ｂの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物２３０ａと酸化物２３０ｂとの界面に形成される混合層の欠陥準位密度を低くするとよい。

［０１３４］

具体的には、酸化物２３０ａと酸化物２３０ｂが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物２３０ｂがＩｎ－Ｍ－Ｚｎ酸化物の場合、酸化物２３０ａとして、Ｉｎ－Ｍ－Ｚｎ酸化物、Ｍ－Ｚｎ酸化物、元素Ｍの酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物などを用いてもよい。

［０１３５］

具体的には、酸化物２３０ａとして、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物２３０ｂとして、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：２［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Ｍとして、ガリウムを用いることが好ましい。

［０１３６］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

［０１３７］

また、図７Ｃなどに示すように、酸化物２３０の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体２５２を設けることにより、酸化物２３０と絶縁体２５２の界面およびその近傍に、酸化物２３０に含まれるインジウムが偏在する場合がある。これにより、酸化物２３０の表面近傍が、インジウム酸化物に近い原子数比、またはＩｎ－Ｚｎ酸化物に近い原子数比になる。このように酸化物２３０、特に酸化物２３０ｂの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ２００の電界効果移動度を向上させることができる。

［０１３８］

酸化物２３０ａおよび酸化物２３０ｂを上述の構成とすることで、酸化物２３０ａと酸化物２３０ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア

伝導への影響が小さくなり、トランジスタ２００は大きいオン電流、および高い周波数特性を得ることができる。

［０１３９］

絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ２００の上方からトランジスタ２００に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０１４０］

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

［０１４１］

絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体２１２、絶縁体２７５、および絶縁体２８３として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体２１４、絶縁体２７１、絶縁体２８２、および絶縁体２８５として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体２１２、および絶縁体２１４を介して、基板側からトランジスタ２００側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体２８５よりも外側に配置されている層間絶縁膜などから、トランジスタ２００側に拡散するのを抑制することができる。または、絶縁体２２４などに含まれる酸素が、絶縁体２１２、および絶縁体２１４を介して基板側に、拡散するのを抑制することができる。または、絶縁体２８０などに含まれる酸素が、絶縁体２８２などを介してトランジスタ２００より上方に、拡散するのを抑制することができる。この様に、トランジスタ２００を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５で取り囲む構造とすることが好ましい。

［０１４２］

ここで、絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、AlO_x（xは0より大きい任意数）、またはMgO_y（yは0より大きい任意数）などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質

を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ２００の構成要素として用いる、またはトランジスタ２００の周囲に設けることで、トランジスタ２００に含まれる水素、またはトランジスタ２００の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ２００のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ２００の構成要素として用いる、またはトランジスタ２００の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ２００、および半導体装置を作製することができる。

［０１４３］

また、絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

［０１４４］

絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体２１２、絶縁体２１４、絶縁体２７１、絶縁体２７５、絶縁体２８２、絶縁体２８３、および絶縁体２８５の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを適宜用いてもよい。

［０１４５］

また、絶縁体２１２、絶縁体２７５、および絶縁体２８３の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体２１２、絶縁体２７５、および絶縁体２８３の抵抗率を概略１×１０^{13}Ωｃｍとすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体２１２、絶縁体２７５、および絶縁体２８３が、導電体２０５、導電体２４２、導電体２６０、または導電体２４６のチャージアップを緩和することができる場合がある。絶縁体２１２、絶縁体２７５、および絶縁体２８３の抵抗率は、好ましくは、１×１０^{10}Ωｃｍ以上１×１０^{15}Ωｃｍ以下とする。

［０１４６］

また、絶縁体２１６、絶縁体２７４、絶縁体２８０、および絶縁体２８５は、絶縁体２１４よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体２１６、絶縁体２７４、絶縁体２８０、および絶縁体２８５として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

［０１４７］

導電体２０５は、酸化物２３０、および導電体２６０と、重なるように配置する。ここで、導電体２０５は、絶縁体２１６に形成された開口に埋め込まれて設けることが好ましい。また、導電体２０５の一部が絶縁体２１４に埋め込まれる場合がある。

［０１４８］

導電体２０５は、導電体２０５ａ、および導電体２０５ｂを有する。導電体２０５ａは、当該開口の底面および側壁に接して設けられる。導電体２０５ｂは、導電体２０５ａに形成された凹部に埋め込まれるように設けられる。ここで、導電体２０５ｂの上面の高さは、導電体２０５ａの上面の高さおよび絶縁体２１６の上面の高さと概略一致する。

［０１４９］

ここで、導電体２０５ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０１５０］

導電体２０５ａに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体２０５ｂに含まれる水素などの不純物が、絶縁体２２４等を介して、酸化物２３０に拡散するのを防ぐことができる。また、導電体２０５ａに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体２０５ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体２０５ａとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体２０５ａは、窒化チタンを用いればよい。

［０１５１］

また、導電体２０５ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体２０５ｂは、タングステンを用いればよい。

［０１５２］

導電体２０５は、第２のゲート電極として機能する場合がある。その場合、導電体２０５に印加する電位を、導電体２６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ２００のしきい値電圧（Ｖｔｈ）を制御することができる。特に、導電体２０５に負の電位を印加することにより、トランジスタ２００のＶｔｈをより大きくし、オフ電流を低減することが可能となる。したがって、導電体２０５に負の電位を印加したほうが、印加しない場合よりも、導電体２６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０１５３］

また、導電体２０５の電気抵抗率は、上記の導電体２０５に印加する電位を考慮して設計され、導電体２０５の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体２１６の膜厚は、導電体２０５とほぼ同じになる。ここで、導電体２０５の設計が許す範囲で導電体２０５および絶縁体２１６の膜厚を薄くすることが好ましい。絶縁体２１６の膜厚を薄くすることで、絶縁体２１６中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物２３０に拡散するのを低減することができる。

［０１５４］

なお、導電体２０５は、図７Ａに示すように、酸化物２３０の導電体２４２ａおよび導電体２４２ｂと重ならない領域の大きさよりも、大きく設けるとよい。特に、図７Ｃに示すように、導電体２０５は、酸化物２３０ａおよび酸化物２３０ｂのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物２３０のチャネル幅方向における側面の外側

において、導電体２０５と、導電体２６０とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第１のゲート電極として機能する導電体２６０の電界と、第２のゲート電極として機能する導電体２０５の電界によって、酸化物２３０のチャネル形成領域を電気的に取り囲むことができる。本明細書において、第１のゲート、および第２のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０１５５］

なお、本明細書等において、Ｓ－ｃｈａｎｎｅｌ構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造およびプレーナ型構造とは異なる。Ｓ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０１５６］

また、図７Ｃに示すように、導電体２０５は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体２０５の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体２０５は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体２０５を複数のトランジスタで共有する構成にしてもよい。

［０１５７］

なお、トランジスタ２００では、導電体２０５は、導電体２０５ａ、および導電体２０５ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体２０５は、単層、または３層以上の積層構造として設ける構成にしてもよい。

［０１５８］

絶縁体２２２、および絶縁体２２４は、ゲート絶縁体として機能する。

［０１５９］

絶縁体２２２は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体２２２は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体２２２は、絶縁体２２４よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

［０１６０］

絶縁体２２２は、絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。または、ハフニウムおよびジルコニウムを含む酸化物、例えばハフニウムジルコニウム酸化物を用いることが好ましい。このような材料を用いて絶縁体２２２を形成した場合、絶縁体２２２は、酸化物２３０から基板側への酸素の放出および、トランジスタ２００の周辺部から酸化物２３０への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体２２２を設けることで、水素等の不純物が、トランジスタ２００の内側へ拡散することを抑制し、酸化物２３０中の酸素欠損の生成を抑制することができる。また、導電体２０５が、絶縁体２２４および、酸化物２３０が有する酸素と反応することを抑制することができる。

［０１６１］

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体２２２は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０１６２］

また、絶縁体２２２は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物などの、いわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体２２２として、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などの誘電率が高い物質を用いることができる場合もある。

［０１６３］

酸化物２３０と接する絶縁体２２４は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

［０１６４］

また、トランジスタ２００の作製工程中において、酸化物２３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上６００℃以下、より好ましくは３５０℃以上５５０℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物２３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行っても良い。

［０１６５］

なお、酸化物２３０に加酸素化処理を行うことで、酸化物２３０中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物２３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物２３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０１６６］

なお、絶縁体２２２、および絶縁体２２４が、２層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体２２４は、酸化物２３０ａと重畳して島状に形成してもよい。この場合、絶縁体２７５が、絶縁体２２４の側面および絶縁体２２２の上面に接する構成になる。

［０１６７］

導電体２４２ａ、および導電体２４２ｂは酸化物２３０ｂの上面に接して設けられる。導電体２

４２ａおよび導電体２４２ｂは、それぞれトランジスタ２００のソース電極またはドレイン電極として機能する。

［０１６８］

導電体２４２（導電体２４２ａ、および導電体２４２ｂ）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

［０１６９］

なお、酸化物２３０ｂなどに含まれる水素が、導電体２４２ａまたは導電体２４２ｂに拡散する場合がある。特に、導電体２４２ａおよび導電体２４２ｂに、タンタルを含む窒化物を用いることで、酸化物２３０ｂなどに含まれる水素は、導電体２４２ａまたは導電体２４２ｂに拡散しやすく、拡散した水素は、導電体２４２ａまたは導電体２４２ｂが有する窒素と結合することがある。つまり、酸化物２３０ｂなどに含まれる水素は、導電体２４２ａまたは導電体２４２ｂに吸い取られる場合がある。

［０１７０］

また、導電体２４２の側面と導電体２４２の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体２４２とすることで、図７Ｄに示すような、チャネル幅方向の断面における、導電体２４２の断面積を大きくすることができる。これにより、導電体２４２の導電率を大きくし、トランジスタ２００のオン電流を大きくすることができる。

［０１７１］

絶縁体２７１ａは、導電体２４２ａの上面に接して設けられており、絶縁体２７１ｂは、導電体２４２ｂの上面に接して設けられている。絶縁体２７１は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体２７１は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体２７１は、絶縁体２８０よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体２７１としては、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。

［０１７２］

絶縁体２７５は、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電体２４２、および絶縁体２７１を覆うように設けられる。絶縁体２７５として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体２７５としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体２７５として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

［０１７３］

上記のような絶縁体２７１および絶縁体２７５を設けることで、酸素に対するバリア性を有する絶縁体で導電体２４２を包み込むことができる。つまり、絶縁体２２４、および絶縁体２８０に含まれる酸素が、導電体２４２に拡散するのを防ぐことができる。これにより、絶縁体２２４、およ

び絶縁体２８０に含まれる酸素によって、導電体２４２が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

［０１７４］

絶縁体２５２は、ゲート絶縁体の一部として機能する。絶縁体２５２としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体２５２としては、上述の絶縁体２８２に用いることができる絶縁体を用いればよい。絶縁体２５２として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体２５２として、酸化アルミニウムを用いる。この場合、絶縁体２５２は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

［０１７５］

図７Ｃに示すように、絶縁体２５２は、酸化物２３０ｂの上面および側面、酸化物２３０ａの側面、絶縁体２２４の側面、および絶縁体２２２の上面に接して設けられる。つまり、酸化物２３０ａ、酸化物２３０ｂ、および絶縁体２２４の導電体２６０と重なる領域は、チャネル幅方向の断面において、絶縁体２５２に覆われている。これにより、熱処理などを行った際に、酸化物２３０ａおよび酸化物２３０ｂで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体２５２でブロックすることができる。よって、酸化物２３０ａおよび酸化物２３０ｂに酸素欠損（V_O）が形成されるのを低減することができる。これにより、領域２３０ｂｃに形成される、酸素欠損（V_O）、およびV_OHを低減することができる。よって、トランジスタ２００の電気特性を良好にし、信頼性を向上させることができる。

［０１７６］

また、逆に、絶縁体２８０および絶縁体２５０などに過剰な量の酸素が含まれていても、当該酸素が酸化物２３０ａおよび酸化物２３０ｂに過剰に供給されるのを抑制することができる。よって、領域２３０ｂｃを介して、領域２３０ｂａおよび領域２３０ｂｂが過剰に酸化され、トランジスタ２００のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

［０１７７］

また、図７Ｂに示すように、絶縁体２５２は、導電体２４２、絶縁体２７１、絶縁体２７５、および絶縁体２８０、それぞれの側面に接して設けられる。よって、導電体２４２の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ２００のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

［０１７８］

また、絶縁体２５２は、絶縁体２５４、絶縁体２５０、および導電体２６０と、ともに、絶縁体２８０などに形成された開口に設ける必要がある。トランジスタ２００の微細化を図るにあたって、絶縁体２５２の膜厚は薄いことが好ましい。絶縁体２５２の膜厚は、０．１ｎｍ以上５．０ｎｍ以下、好ましくは０．５ｎｍ以上３．０ｎｍ以下、より好ましくは１．０ｎｍ以上３．０ｎｍ以下とする。この場合、絶縁体２５２は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体２５２の膜厚は絶縁体２５０の膜厚より薄いことが好ましい。この場合、絶縁体２５２は、少なくとも一部において、絶縁体２５０より膜厚が薄い領域を有していればよい。

［０１７９］

絶縁体２５２を上記のように膜厚を薄く成膜するには、ＡＬＤ法を用いて成膜することが好ましい。ＡＬＤ法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ法などがある。ＰＥＡＬＤ法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

［０１８０］

ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体２５２を絶縁体２８０などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

［０１８１］

なお、ＡＬＤ法で用いるプリカーサには炭素などを含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）、またはオージェ電子分光法（ＡＥＳ：Ａｕｇｅｒ　Ｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０１８２］

絶縁体２５０は、ゲート絶縁体の一部として機能する。絶縁体２５０は、絶縁体２５２の上面に接して配置することが好ましい。絶縁体２５０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体２５０は、少なくとも酸素とシリコンと、を有する絶縁体となる。

［０１８３］

絶縁体２５０は、絶縁体２２４と同様に、絶縁体２５０中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体２５０の膜厚は、１ｎｍ以上２０ｎｍ以下とするのが好ましく、０．５ｎｍ以上１５．０ｎｍ以下とするのがより好ましい。この場合、絶縁体２５０は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０１８４］

図７Ａ乃至図７Ｄなどでは、絶縁体２５０を単層とする構成について示したが、本発明はこれに限られず、２層以上の積層構造としてもよい。例えば図８Ｂに示すように、絶縁体２５０を、絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｂの２層の積層構造にしてもよい。

［０１８５］

図８Ｂに示すように、絶縁体２５０を２層の積層構造とする場合、下層の絶縁体２５０ａは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体２５０ｂは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体２５０ａに含まれる酸素が、導電体２６０へ拡散するのを抑制することができる。つまり、酸化物２３０へ供給する酸素量の減少を抑制することができる。また、絶縁体２５０ａに含まれる酸素による導電体２６０の酸化を抑制することができる。例えば、絶縁体２５０ａは、上述した絶縁体２５０に用い

ることができる材料を用いて設け、絶縁体２５０ｂは、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体２５０ｂとして、酸化ハフニウムを用いる。この場合、絶縁体２５０ｂは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体２５０ｂの膜厚は、０．５ｎｍ以上５．０ｎｍ以下、好ましくは、１．０ｎｍ以上５．０ｎｍ以下、より好ましくは、１．０ｎｍ以上３．０ｎｍ以下とする。この場合、絶縁体２５０ｂは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０１８６］

なお、絶縁体２５０ａに酸化シリコンまたは酸化窒化シリコンなどを用いる場合、絶縁体２５０ｂは、比誘電率が高いｈｉｇｈ－ｋ材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体２５０ａと絶縁体２５０ｂとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。よって、絶縁体２５０の絶縁耐圧を高くすることができる。

［０１８７］

絶縁体２５４は、ゲート絶縁体の一部として機能する。絶縁体２５４としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体２６０に含まれる水素などの不純物が、絶縁体２５０、および酸化物２３０ｂに拡散するのを防ぐことができる。絶縁体２５４としては、上述の絶縁体２８３に用いることができる絶縁体を用いればよい。例えば、絶縁体２５４としてＰＥＡＬＤ法で成膜した窒化シリコンを用いればよい。この場合、絶縁体２５４は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

［０１８８］

また、絶縁体２５４が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体２５０に含まれる酸素が、導電体２６０へ拡散するのを抑制することができる。

［０１８９］

また、絶縁体２５４は、絶縁体２５２、絶縁体２５０、および導電体２６０と、ともに、絶縁体２８０などに形成された開口に設ける必要がある。トランジスタ２００の微細化を図るにあたって、絶縁体２５４の膜厚は薄いことが好ましい。絶縁体２５４の膜厚は、０．１ｎｍ以上５．０ｎｍ以下、好ましくは０．５ｎｍ以上３．０ｎｍ以下、より好ましくは１．０ｎｍ以上３．０ｎｍ以下とする。この場合、絶縁体２５４は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体２５４の膜厚は絶縁体２５０の膜厚より薄いことが好ましい。この場合、絶縁体２５４は、少なくとも一部において、絶縁体２５０より膜厚が薄い領域を有していればよい。

［０１９０］

導電体２６０は、トランジスタ２００の第１のゲート電極として機能する。導電体２６０は、導電体２６０ａと、導電体２６０ａの上に配置された導電体２６０ｂと、を有することが好ましい。例えば、導電体２６０ａは、導電体２６０ｂの底面および側面を包むように配置されることが好ましい。また、図７Ｂおよび図７Ｃに示すように、導電体２６０の上面は、絶縁体２５０の上面と概

略一致している。なお、図７Ｂおよび図７Ｃでは、導電体２６０は、導電体２６０ａと導電体２６０ｂの２層構造として示しているが、単層構造でもよいし、３層以上の積層構造であってもよい。

［０１９１］

導電体２６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０１９２］

また、導電体２６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体２５０に含まれる酸素により、導電体２６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

［０１９３］

また、導電体２６０は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体２６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体２６０ｂは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

［０１９４］

また、トランジスタ２００では、導電体２６０は、絶縁体２８０などに形成されている開口を埋めるように自己整合的に形成される。導電体２６０をこのように形成することにより、導電体２４２ａと導電体２４２ｂとの間の領域に、導電体２６０を位置合わせすることなく確実に配置することができる。

［０１９５］

また、図７Ｃに示すように、トランジスタ２００のチャネル幅方向において、絶縁体２２２の底面を基準としたときの、導電体２６０の、導電体２６０と酸化物２３０ｂとが重ならない領域の底面の高さは、酸化物２３０ｂの底面の高さより低いことが好ましい。ゲート電極として機能する導電体２６０が、絶縁体２５０などを介して、酸化物２３０ｂのチャネル形成領域の側面および上面を覆う構成とすることで、導電体２６０の電界を酸化物２３０ｂのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ２００のオン電流を増大させ、周波数特性を向上させることができる。絶縁体２２２の底面を基準としたときの、酸化物２３０ａおよび酸化物２３０ｂと、導電体２６０とが、重ならない領域における導電体２６０の底面の高さと、酸化物２３０ｂの底面の高さと、の差は、０ｎｍ以上１００ｎｍ以下、好ましくは、３ｎｍ以上５０ｎｍ以下、より好ましくは、５ｎｍ以上２０ｎｍ以下とする。

［０１９６］

絶縁体２８０は、絶縁体２７５上に設けられ、絶縁体２５０、および導電体２６０が設けられる領域に開口が形成されている。また、絶縁体２８０の上面は、平坦化されていてもよい。

［０１９７］

層間膜として機能する絶縁体２８０は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体２８０は、例えば、絶縁体２１６と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリ

コンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

［０１９８］

絶縁体２８０中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体２８０は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

［０１９９］

絶縁体２８２は、水、水素などの不純物が、上方から絶縁体２８０に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体２８２は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体２８２としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体２８２は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体２１２と絶縁体２８３に挟まれた領域内で、絶縁体２８０に接して、水素などの不純物を捕獲する機能を有する、絶縁体２８２を設けることで、絶縁体２８０などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体２８２として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ２００、および半導体装置を作製することができる。

［０２００］

絶縁体２８３は、水、水素などの不純物が、上方から絶縁体２８０に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体２８３は、絶縁体２８２の上に配置される。絶縁体２８３としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体２８３としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体２８３をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体２８３として、スパッタリング法で成膜された窒化シリコンの上に、さらに、ＰＥＡＬＤ法または、ＣＶＤ法で成膜された窒化シリコンを積層してもよい。

［０２０１］

導電体２４０ａおよび導電体２４０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体２４０ａおよび導電体２４０ｂは積層構造としてもよい。

［０２０２］

また、導電体２４０を積層構造とする場合、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、および絶縁体２７１の近傍に配置される第１の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体２８３より上層に含まれる水、水素などの不純物が、導電体２４０ａおよび導電体２４０ｂを通じて酸化物２３０に混入するのを抑制することができる。

［０２０３］

絶縁体２４１ａおよび絶縁体２４１ｂとしては、絶縁体２７５などに用いることができるバリア

絶縁膜を用いればよい。例えば、絶縁体２４１ａおよび絶縁体２４１ｂとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体２４１ａおよび絶縁体２４１ｂは、絶縁体２８３、絶縁体２８２、および絶縁体２７１に接して設けられるので、絶縁体２８０などに含まれる水、水素などの不純物が、導電体２４０ａおよび導電体２４０ｂを通じて酸化物２３０に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体２８０に含まれる酸素が導電体２４０ａおよび導電体２４０ｂに吸収されるのを防ぐことができる。

［０２０４］

絶縁体２４１ａおよび絶縁体２４１ｂを、図７Ｂに示すように積層構造にする場合、絶縁体２８０などの開口の内壁に接する第１の絶縁体と、その内側の第２の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせて用いることが好ましい。

［０２０５］

例えば、第１の絶縁体として、ＡＬＤ法で成膜された酸化アルミニウムを用い、第２の絶縁体として、ＰＥＡＬＤ法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体２４０の酸化を抑制し、さらに、導電体２４０に水素が混入するのを低減することができる。

［０２０６］

また、導電体２４０ａの上面、および導電体２４０ｂの上面に接して配線として機能する導電体２４６（導電体２４６ａ、および導電体２４６ｂ）を配置してもよい。導電体２４６は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

［０２０７］

＜半導体装置の構成材料＞

以下では、半導体装置に用いることができる構成材料について説明する。

［０２０８］

＜＜基板＞＞

トランジスタ２００を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［０２０９］

＜＜絶縁体＞＞

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０２１０］

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

［０２１１］

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

［０２１２］

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

［０２１３］

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０２１４］

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物２３０と接する構造とすることで、酸化物２３０が有する酸素欠損を補償することができる。

［０２１５］

＜＜導電体＞＞

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた

合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０２１６］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０２１７］

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０２１８］

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０２１９］

＜＜金属酸化物＞＞

酸化物２３０として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物２３０に適用可能な金属酸化物について説明する。

［０２２０］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、

マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

［０２２１］

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

［０２２２］

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［０２２３］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図９Ａを用いて説明を行う。図９Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０２２４］

図９Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（ｃｌｏｕｄ－ａｌｉｇｎｅｄ　ｃｏｍｐｏｓｉｔｅ）が含まれる（ｅｘｃｌｕｄｉｎｇ　ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ　ａｎｄ　ｐｏｌｙ　ｃｒｙｓｔａｌ）。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０２２５］

なお、図９Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」および、「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０２２６］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図９Ｂに示す。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図９Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤス

ペクトルと記す。なお、図９Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図９Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０２２７］

図９Ｂでは、横軸は２θ［ｄｅｇ．］であり、縦軸は強度（Ｉｎｔｅｎｓｉｔｙ）［ａ．ｕ．］である。図９Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、２θ＝３１°近傍に、ｃ軸配向を示すピークが検出される。なお、図９Ｂに示すように、２θ＝３１°近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

［０２２８］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図９Ｃに示す。図９Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図９Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０２２９］

図９Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０２３０］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図９Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、などが含まれる。

［０２３１］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０２３２］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列

の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０２３３］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０２３４］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Ｍが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０２３５］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。

［０２３６］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０２３７］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０２３８］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０２３９］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物および欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０２４０］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳまたは非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０２４１］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０２４２］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０２４３］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混

合した状態をモザイク状、またはパッチ状ともいう。

［０２４４］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０２４５］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０２４６］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０２４７］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０２４８］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０２４９］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０２５０］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０２５１］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０２５２］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０２５３］

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は１×１０^{17}ｃｍ$^{-3}$以下、好ましくは１×１０^{15}ｃｍ$^{-3}$以下、さらに好ましくは１×１０^{13}ｃｍ$^{-3}$以下、より好ましくは１×１０^{11}ｃｍ$^{-3}$以下、さらに好ましくは１×１０^{10}ｃｍ$^{-3}$未満であり、１×１０$^{-9}$ｃｍ$^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０２５４］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０２５５］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０２５６］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０２５７］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０２５８］

酸化物半導体において、第１４族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンおよび炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンまたは炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、２×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２５９］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得ら

れる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２６０］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２６１］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０２６２］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２６３］

＜＜その他の半導体材料＞＞

酸化物２３０に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物２３０として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、２次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

［０２６４］

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス力のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

［０２６５］

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第１６族に属する元素の総称であり、酸素、硫

黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、１３族カルコゲナイドなどが挙げられる。

［０２６６］

酸化物２３０として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物２３０として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはMoS_2）、セレン化モリブデン（代表的には$MoSe_2$）、モリブデンテルル（代表的には$MoTe_2$）、硫化タングステン（代表的にはWS_2）、セレン化タングステン（代表的にはWSe_2）、タングステンテルル（代表的にはWTe_2）、硫化ハフニウム（代表的にはHfS_2）、セレン化ハフニウム（代表的には$HfSe_2$）、硫化ジルコニウム（代表的にはZrS_2）、セレン化ジルコニウム（代表的には$ZrSe_2$）などが挙げられる。

［０２６７］

＜半導体装置の作製方法＞

次に、図７Ａ乃至図７Ｄに示す、本発明の一態様である半導体装置の作製方法を、図１３Ａ乃至図２４Ｄを用いて説明する。

［０２６８］

各図のＡは、上面図を示す。また、各図のＢは、各図のＡに示すＡ１－Ａ２の一点鎖線で示す部位に対応する断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。また、各図のＣは、各図のＡにＡ３－Ａ４の一点鎖線で示す部位に対応する断面図であり、トランジスタ２００のチャネル幅方向の断面図でもある。また、各図のＤは、各図のＡにＡ５－Ａ６の一点鎖線で示す部位の断面図である。なお、各図のＡの上面図では、図の明瞭化のために一部の要素を省いている。

［０２６９］

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを適宜用いて成膜することができる。

［０２７０］

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるＲＦスパッタリング法、直流電源を用いるＤＣスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスＤＣスパッタリング法がある。ＲＦスパッタリング法は主に絶縁膜を成膜する場合に用いられ、ＤＣスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスＤＣスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

［０２７１］

なお、ＣＶＤ法は、プラズマを利用するプラズマＣＶＤ（ＰＥＣＶＤ）法、熱を利用する熱ＣＶＤ（ＴＣＶＤ：Ｔｈｅｒｍａｌ　ＣＶＤ）法、光を利用する光ＣＶＤ（Ｐｈｏｔｏ　ＣＶＤ）法などに分類できる。さらに用いる原料ガスによって金属ＣＶＤ（ＭＣＶＤ：Ｍｅｔａｌ　ＣＶＤ）法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法に分けることができる。

［０２７２］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。また、熱ＣＶＤ法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、

半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱ＣＶＤ法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱ＣＶＤ法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０２７３］

また、ＡＬＤ法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ法などを用いることができる。

［０２７４］

ＣＶＤ法およびＡＬＤ法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０２７５］

また、ＣＶＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、ＣＶＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

［０２７６］

また、ＡＬＤ法では、異なる複数種のプリカーサを同時に導入する、または、異なる複数種のプリカーサを各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

［０２７７］

まず、基板（図示しない。）を準備し、当該基板上に絶縁体２１２を成膜する（図１３Ａ乃至図１３Ｄ参照。）。絶縁体２１２の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２１２中の水素濃度を低減することができる。ただし、絶縁体２１２の成膜は、スパッタリング法に限られるものではなく、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを適宜用いてもよい。

［０２７８］

本実施の形態では、絶縁体２１２として、窒素ガスを含む雰囲気でシリコンターゲットを用いて、パルスＤＣスパッタリング法で窒化シリコンを成膜する。パルスＤＣスパッタリング法を用いることで、ターゲット表面のアーキングによるパーティクルの発生を抑制することができるので、膜厚分布をより均一にすることができる。また、パルス電圧を用いることで、高周波電圧より、放電の立ち上がり、立ち下がりを急峻にすることができる。これにより、電極に、電力をより効率的に供給しスパッタレート、および膜質を向上することができる。

［０２７９］

窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体２１２より下層に含まれる水、水素などの不純物の拡散を抑制することができる。また、絶縁体２１２として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体２１２より下層（図示しない。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体２１２を介して上方に拡散するのを抑制することができる。

［０２８０］

次に、絶縁体２１２上に絶縁体２１４を成膜する（図１３Ａ乃至図１３Ｄ参照。）。絶縁体２１４の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２１４中の水素濃度を低減することができる。ただし、絶縁体２１４の成膜は、スパッタリング法に限られるものではなく、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを適宜用いてもよい。

［０２８１］

本実施の形態では、絶縁体２１４として、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスＤＣスパッタリング法で酸化アルミニウムを成膜する。パルスＤＣスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。ここで、基板にＲＦ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ）電力を印加してもよい。基板に印加するＲＦ電力の大きさによって、絶縁体２１４より下層へ注入する酸素量を制御することができる。ＲＦ電力としては、０Ｗ／ｃｍ^{2}以上、１．８６Ｗ／ｃｍ^{2}以下とする。つまり、絶縁体２１４の形成の際のＲＦ電力によって、トランジスタの特性に適する酸素量を変化させて注入することができる。従って、トランジスタの信頼性向上に適する酸素量を注入することができる。また、ＲＦの周波数は、１０ＭＨｚ以上が好ましい。代表的には、１３．５６ＭＨｚである。ＲＦの周波数が高いほど基板へ与えるダメージを小さくすることができる。

［０２８２］

絶縁体２１４として、水素を捕獲および水素を固着する機能が高い、アモルファス構造を有する金属酸化物、例えば酸化アルミニウムを用いること好ましい。これにより、絶縁体２１６などに含まれる水素を捕獲または固着し、当該水素が酸化物２３０に拡散するのを防ぐことができる。特に、絶縁体２１４として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ２００、および半導体装置を作製することができる。

［０２８３］

次に、絶縁体２１４上に絶縁体２１６を成膜する。絶縁体２１６の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２１６中の水素濃度を低減することができる。ただし、絶縁体２１６の成膜は、スパッタリング法に限られるものではなく、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを適宜用いてもよい。

［０２８４］

本実施の形態では、絶縁体２１６として、酸素ガスを含む雰囲気でシリコンターゲットを用いて、パルスＤＣスパッタリング法で酸化シリコンを成膜する。パルスＤＣスパッタリング法を用いるこ

とで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

［０２８５］

絶縁体２１２、絶縁体２１４、および絶縁体２１６は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体２１２、絶縁体２１４、および絶縁体２１６を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

［０２８６］

次に、絶縁体２１６に絶縁体２１４に達する開口を形成する。開口とは、例えば、溝、スリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体２１４は、絶縁体２１６をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体２１６に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体２１４は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

［０２８７］

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置などを用いることができる。

［０２８８］

開口の形成後に、導電体２０５ａとなる導電膜を成膜する。導電体２０５ａとなる導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体２０５ａとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。

［０２８９］

本実施の形態では、導電体２０５ａとなる導電膜として窒化チタンを成膜する。このような金属窒化物を導電体２０５ｂの下層に用いることにより、絶縁体２１６などによって、導電体２０５ｂが酸化されるのを抑制することができる。また、導電体２０５ｂとして銅などの拡散しやすい金属を用いても、当該金属が導電体２０５ａから外に拡散するのを防ぐことができる。

［０２９０］

次に、導電体２０５ｂとなる導電膜を成膜する。導電体２０５ｂとなる導電膜としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、ＣＶＤ法、ＭＢＥ法、Ｐ

ＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、導電体２０５ｂとなる導電膜として、タングステンを成膜する。

［０２９１］

次に、ＣＭＰ処理を行うことで、導電体２０５ａとなる導電膜および導電体２０５ｂとなる導電膜の一部を除去し、絶縁体２１６を露出する（図１３Ａ乃至図１３Ｄ参照。）。その結果、開口部のみに、導電体２０５ａおよび導電体２０５ｂが残存する。なお、当該ＣＭＰ処理により、絶縁体２１６の一部が除去される場合がある。

［０２９２］

次に、絶縁体２１６、および導電体２０５上に絶縁体２２２を成膜する（図１４Ａ乃至図１４Ｄ参照。）。絶縁体２２２として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。または、ハフニウムジルコニウム酸化物を用いることが好ましい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体２２２が、水素および水に対するバリア性を有することで、トランジスタ２００の周辺に設けられた構造体に含まれる水素、および水が、絶縁体２２２を通じてトランジスタ２００の内側へ拡散することが抑制され、酸化物２３０中の酸素欠損の生成を抑制することができる。

［０２９３］

絶縁体２２２の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体２２２として、ＡＬＤ法を用いて、酸化ハフニウムを成膜する。特に、本発明の一態様である水素濃度の低減された酸化ハフニウムの形成方法を用いることが好ましい。酸化ハフニウムの形成方法の詳細は、実施の形態１を参酌することができる。

［０２９４］

続いて、加熱処理を行うと好ましい。加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理を行ってもよい。

［０２９５］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が１ｐｐｂ以下、好ましくは０．１ｐｐｂ以下、より好ましくは０．０５ｐｐｂ以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体２２２などに水分等が取り込まれることを可能な限り防ぐことができる。

［０２９６］

本実施の形態では、加熱処理として、絶縁体２２２の成膜後に、窒素ガスと酸素ガスの流量比を

４ｓｌｍ：１ｓｌｍとして、４００℃の温度で１時間の処理を行う。当該加熱処理によって、絶縁体２２２に含まれる水、水素などの不純物を除去することなどができる。また、絶縁体２２２として、ハフニウムを含む酸化物を用いる場合、当該加熱処理によって、絶縁体２２２の一部が結晶化する場合がある。また、加熱処理は、絶縁体２２４の成膜後などのタイミングで行うこともできる。

［０２９７］

次に、絶縁体２２２上に絶縁膜２２４Ａを成膜する（図１４Ａ乃至図１４Ｄ参照。）。絶縁膜２２４Ａの成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁膜２２４Ａとして、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁膜２２４Ａ中の水素濃度を低減することができる。絶縁膜２２４Ａは、後の工程で酸化物２３０ａと接するので、このように水素濃度が低減されていることが好適である。

［０２９８］

次に、絶縁膜２２４Ａ上に、酸化膜２３０Ａ、酸化膜２３０Ｂを順に成膜する（図１４Ａ乃至図１４Ｄ参照。）。なお、酸化膜２３０Ａおよび酸化膜２３０Ｂは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜２３０Ａ、および酸化膜２３０Ｂ上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜２３０Ａと酸化膜２３０Ｂとの界面近傍を清浄に保つことができる。

［０２９９］

酸化膜２３０Ａ、および酸化膜２３０Ｂの成膜はスパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。酸化膜２３０Ａおよび酸化膜２３０Ｂの成膜は、ＡＬＤ法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。また、ＰＥＡＬＤ法を用いることで、熱ＡＬＤ法に比べて低温で酸化膜２３０Ａおよび酸化膜２３０Ｂを形成することができるため、好ましい。本実施の形態では、酸化膜２３０Ａおよび酸化膜２３０Ｂの成膜はスパッタリング法を用いる。

［０３００］

例えば、酸化膜２３０Ａ、および酸化膜２３０Ｂをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のＩｎ－Ｍ－Ｚｎ酸化物ターゲットなどを用いることができる。

［０３０１］

特に、酸化膜２３０Ａの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体２２４に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は７０％以上、好ましくは８０％以上、より好ましくは１００％とすればよい。

［０３０２］

また、酸化膜２３０Ｂをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、３０％を超えて１００％以下、好ましくは７０％以上１００％以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜２３０Ｂをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を

１％以上３０％以下、好ましくは５％以上２０％以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

［０３０３］

本実施の形態では、酸化膜２３０Ａとして、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］の酸化物ターゲットを用いて成膜する。また、酸化膜２３０Ｂとして、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］の酸化物ターゲット、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］の酸化物ターゲットまたは、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２［原子数比］の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物２３０ａ、および酸化物２３０ｂに求める特性に合わせて形成するとよい。

［０３０４］

なお、絶縁膜２２４Ａ、酸化膜２３０Ａ、および酸化膜２３０Ｂを、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁膜２２４Ａ、酸化膜２３０Ａ、および酸化膜２３０Ｂについて、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

［０３０５］

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜２３０Ａ、および酸化膜２３０Ｂが多結晶化しない温度範囲で行えばよく、２５０℃以上６５０℃以下、好ましくは４００℃以上６００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理を行ってもよい。

［０３０６］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が１ｐｐｂ以下、好ましくは０．１ｐｐｂ以下、より好ましくは０．０５ｐｐｂ以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜２３０Ａ、および酸化膜２３０Ｂなどに水分等が取り込まれることを可能な限り防ぐことができる。

［０３０７］

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を４ｓｌｍ：１ｓｌｍとして、４００℃の温度で１時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化膜２３０Ａおよび酸化膜２３０Ｂ中の炭素、水、水素などの不純物を低減することなどができる。このように膜中の不純物を低減することで、酸化膜２３０Ｂの結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜２３０Ａおよび酸化膜２３０Ｂ中の結晶領域を増大させ、酸化膜２３０Ａおよび酸化膜２３０Ｂ中における、結晶領域の面内ばらつきを低減することができる。よって、トランジスタ２００の電気特性の面内ばらつきを低減することができる。

［０３０８］

また、加熱処理を行うことで、絶縁体２１６、絶縁膜２２４Ａ、酸化膜２３０Ａおよび酸化膜２３０Ｂ中の水素が絶縁体２２２に移動し、絶縁体２２２内に吸い取られる。別言すると、絶縁体２１６、絶縁膜２２４Ａ、酸化膜２３０Ａ、および酸化膜２３０Ｂ中の水素が絶縁体２２２に拡散するとも言える。従って、絶縁体２２２の水素濃度は高くなるが、絶縁体２１６、絶縁膜２２４Ａ、酸化膜２３０Ａおよび酸化膜２３０Ｂ中のそれぞれの水素濃度は低下する。

［０３０９］

特に、絶縁膜２２４Ａは、トランジスタ２００のゲート絶縁体として機能し、酸化膜２３０Ａおよび酸化膜２３０Ｂは、トランジスタ２００のチャネル形成領域として機能する。そのため、水素濃度が低減された絶縁膜２２４Ａ、酸化膜２３０Ａおよび酸化膜２３０Ｂを有するトランジスタ２００は、良好な信頼性を有するため好ましい。

［０３１０］

次に、酸化膜２３０Ｂ上に導電膜２４２Ａを成膜する（図１４Ａ乃至図１４Ｄ参照。）。導電膜２４２Ａの成膜はスパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。例えば、導電膜２４２Ａとして、スパッタリング法を用いて窒化タンタルを成膜すればよい。なお、導電膜２４２Ａの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜２４２Ａを成膜してもよい。このような処理を行うことによって、酸化膜２３０Ｂの表面に吸着している水分および水素を除去し、さらに酸化膜２３０Ａ、および酸化膜２３０Ｂ中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、１００℃以上４００℃以下が好ましい。本実施の形態では、加熱処理の温度を２００℃とする。

［０３１１］

次に、導電膜２４２Ａ上に絶縁膜２７１Ａを成膜する（図１４Ａ乃至図１４Ｄ参照。）。絶縁膜２７１Ａの成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。絶縁膜２７１Ａは、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜２７１Ａとして、スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜すればよい。

［０３１２］

なお、導電膜２４２Ａ、および絶縁膜２７１Ａを、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、導電膜２４２Ａ、および絶縁膜２７１Ａを、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。また、絶縁膜２７１Ａ上にハードマスクを設ける場合、当該ハードマスクとなる膜も大気に暴露することなく連続して成膜すればよい。

［０３１３］

次に、リソグラフィー法を用いて、絶縁膜２２４Ａ、酸化膜２３０Ａ、酸化膜２３０Ｂ、導電膜２４２Ａ、および絶縁膜２７１Ａを島状に加工して、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂを形成する（図１５Ａ乃至図１５Ｄ参照。）。ここで、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂは、少なくとも一部が導電体２０５と重なるように形成する。上記加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、絶縁膜２２４Ａ、酸化膜２３０Ａ、酸化膜２３０Ｂ、導電膜２４２Ａ、および絶縁膜２

７１Ａの加工は、それぞれ異なる条件で行ってもよい。

［０３１４］

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、ＫｒＦエキシマレーザ光、ＡｒＦエキシマレーザ光、ＥＵＶ（Ｅｘｔｒｅｍｅ　Ｕｌｔｒａｖｉｏｌｅｔ）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

［０３１５］

さらに、レジストマスクの下に絶縁体または導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜２４２Ａ上にハードマスク材料となる絶縁膜または導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜２４２Ａなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜２４２Ａなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。本実施の形態では、絶縁層２７１Ｂをハードマスクとして用いている。

［０３１６］

ここで、絶縁層２７１Ｂが導電層２４２Ｂのマスクとして機能するので、図１５Ｂ乃至図１５Ｄに示すように、導電層２４２Ｂは側面と上面の間に湾曲面を有しない。これにより、図７Ｂおよび図７Ｄに示す導電体２４２ａおよび導電体２４２ｂは、側面と上面が交わる端部が角状になる。導電体２４２の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体２４２の断面積が大きくなる。これにより、導電体２４２の抵抗が低減されるので、トランジスタ２００のオン電流を大きくすることができる。

［０３１７］

また、図１５Ｂ乃至図１５Ｄに示すように、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂの断面がテーパー形状になっていてもよい。なお、本明細書等において、テーパー形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（以下、テーパー角と呼ぶ場合がある。）が９０°未満であることが好ましい。絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂは、例えば、テーパー角が６０°以上９０°未満になるようにすればよい。このように断面をテーパー形状にすることで、これより後の工程において、絶縁体２７５などの被覆性が向上し、鬆などの欠陥を低減することができる。

［０３１８］

ただし、上記に限られず、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂの側面が、絶縁体２２２の上面に対し、概略垂直になる構成にしてもよい。このような構成にすることで、複数のトランジスタ２００を設ける際に、小面積化、高密度化が可能となる。

［０３１９］

また、上記エッチング工程で発生した副生成物が、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂの側面に層状に形成される場合がある。この場合、当該層状の副生成物が、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂと、絶縁体２７５の間に形成されることになる。よって、絶縁体２２２の上面に接して形成された当該層状の副生成物は、除去することが好ましい。

［０３２０］

次に、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、導電層２４２Ｂ、および絶縁層２７１Ｂを覆って、絶縁体２７５を成膜する（図１６Ａ乃至図１６Ｄ参照。）。ここで、絶縁体２７５は、絶縁体２２２の上面および絶縁体２２４の側面に密接することが好ましい。絶縁体２７５の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。絶縁体２７５は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁体２７５として、スパッタリング法を用いて、酸化アルミニウムを成膜し、その上にＰＥＡＬＤ法を用いて窒化シリコンを成膜すればよい。絶縁体２７５をこのような積層構造とすることで、水、水素などの不純物、および酸素の拡散を抑制する機能が向上することがある。

［０３２１］

このようにして、酸化物２３０ａ、酸化物２３０ｂ、および導電層２４２Ｂを、酸素の拡散を抑制する機能を有する、絶縁体２７５、および絶縁層２７１Ｂで覆うことができる。これにより、のちの工程で、絶縁体２２４、酸化物２３０ａ、酸化物２３０ｂ、および導電層２４２Ｂに、絶縁体２８０などから酸素が直接拡散するのを低減することができる。

［０３２２］

次に、絶縁体２７５上に、絶縁体２８０となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜すればよい。絶縁体２８０となる絶縁膜を、酸素を含む雰囲気で、スパッタリング法で成膜することで、過剰酸素を含む絶縁体２８０を形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２８０中の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体２７５の表面などに吸着している水分および水素を除去し、さらに酸化物２３０ａ、酸化物２３０ｂ、および絶縁体２２４中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

［０３２３］

次に、上記絶縁体２８０となる絶縁膜にＣＭＰ処理を行い、上面が平坦な絶縁体２８０を形成する（図１６Ａ乃至図１６Ｄ参照。）。なお、絶縁体２８０上に、例えば、スパッタリング法によって窒化シリコンを成膜し、該窒化シリコンを絶縁体２８０に達するまで、ＣＭＰ処理を行ってもよ

い。

［０３２４］

次に、絶縁体２８０の一部、絶縁体２７５の一部、絶縁層２７１Ｂの一部、導電層２４２Ｂの一部を加工して、酸化物２３０ｂに達する開口を形成する。当該開口は、導電体２０５と重なるように形成することが好ましい。当該開口の形成によって、絶縁体２７１ａ、絶縁体２７１ｂ、導電体２４２ａ、および導電体２４２ｂを形成する（図１７Ａ乃至図１７Ｄ参照。）。

［０３２５］

ここで、図１７Ｂおよび図１７Ｃに示すように、絶縁体２８０、絶縁体２７５、絶縁体２７１、および導電体２４２の側面がテーパー形状となる場合がある。また、絶縁体２８０のテーパー角が、導電体２４２のテーパー角より大きくなる場合がある。また、図１７Ａ乃至図１７Ｃには図示していないが、上記開口を形成する際に、酸化物２３０ｂの上部が除去される場合がある。

［０３２６］

また、絶縁体２８０の一部、絶縁体２７５の一部、絶縁層２７１Ｂの一部、および導電層２４２Ｂの一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で行ってもよい。例えば、絶縁体２８０の一部をドライエッチング法で加工し、絶縁体２７５の一部、および絶縁層２７１Ｂの一部をウェットエッチング法で加工し、導電層２４２Ｂの一部をドライエッチング法で加工してもよい。

［０３２７］

ここで、酸化物２３０ａの側面、酸化物２３０ｂの上面および側面、導電体２４２の側面、絶縁体２８０の側面などへの不純物の付着またはこれらの内部への該不純物の拡散が生じる場合がある。このような不純物を除去する工程を行ってもよい。また、上記ドライエッチングで酸化物２３０ｂ表面に損傷領域が形成される場合がある。このような損傷領域を除去してもよい。当該不純物としては、絶縁体２８０、絶縁体２７５、絶縁層２７１Ｂの一部、および導電層２４２Ｂに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、ハフニウム、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

［０３２８］

特に、アルミニウム、またはシリコンなどの不純物は、酸化物２３０ｂのＣＡＡＣ－ＯＳ化を阻害する。よって、アルミニウム、またはシリコンなどの、ＣＡＡＣ－ＯＳ化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物２３０ｂ、およびその近傍における、アルミニウム原子の濃度が、５．０原子％以下とすればよく、２．０原子％以下が好ましく、１．５原子％以下がより好ましく、１．０原子％以下がさらに好ましく、０．３原子％未満がさらに好ましい。

［０３２９］

なお、アルミニウム、またはシリコンなどの不純物によりＣＡＡＣ－ＯＳ化が阻害され、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）となった金属酸化物の領域を、非ＣＡＡＣ領域と呼ぶ場合がある。非ＣＡＡＣ領域では、結晶構造の緻密さが低下しているため、V_OHが多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物２３０ｂの非ＣＡＡＣ領域は、低減または除去され

ていることが好ましい。

［０３３０］

これに対して、酸化物２３０ｂに層状のＣＡＡＣ構造を有していることが好ましい。特に、酸化物２３０ｂのドレイン下端部までＣＡＡＣ構造を有することが好ましい。ここで、トランジスタ２００において、導電体２４２ａまたは導電体２４２ｂ、およびその近傍がドレインとして機能する。つまり、導電体２４２ａ（導電体２４２ｂ）の下端部近傍の、酸化物２３０ｂが、ＣＡＡＣ構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物２３０ｂの損傷領域が除去され、ＣＡＡＣ構造を有することで、トランジスタ２００の電気特性の変動をさらに抑制することができる。また、トランジスタ２００の信頼性を向上させることができる。

［０３３１］

上記エッチング工程で酸化物２３０ｂ表面に付着した不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液などを用いたウェット洗浄（ウェットエッチング処理ということもできる。）、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

［０３３２］

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせて行ってもよい。

［０３３３］

なお、本明細書等では、フッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、アンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は０．０１％以上５％以下、好ましくは０．１％以上０．５％以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は０．０１ｐｐｍ以上１００ｐｐｍ以下、好ましくは０．１ｐｐｍ以上１０ｐｐｍ以下とすればよい。

［０３３４］

なお、超音波洗浄には、２００ｋＨｚ以上が好ましく、９００ｋＨｚ以上の周波数を用いることがより好ましい。当該周波数を用いることで、酸化物２３０ｂなどへのダメージを低減することができる。

［０３３５］

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第１の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第２の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

［０３３６］

上記洗浄処理として、本実施の形態では、希釈アンモニア水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物２３０ａ、酸化物２３０ｂなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物２３０ｂの結晶性を高めることができる。

［０３３７］

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、１００℃以上４５０℃以下、好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物２３０ａおよび酸化物２３０ｂに酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、このような熱処理を行うことで、酸化物２３０ｂの結晶性を向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。

［０３３８］

次に、絶縁膜２５２Ａを成膜する（図１８Ａ乃至図１８Ｄ参照）。絶縁膜２５２Ａは、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて成膜することができる。絶縁膜２５２ＡはＡＬＤ法を用いて成膜することが好ましい。上述の通り、絶縁膜２５２Ａは薄い膜厚で成膜することが好ましく、膜厚のばらつきが小さくなるようにする必要がある。これに対して、ＡＬＤ法は、プリカーサと、リアクタント（例えば酸化剤など）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。また、図１８Ｂおよび図１８Ｃに示すように、絶縁膜２５２Ａは、絶縁体２８０等に形成される開口の底面および側面に、被覆性良く成膜される必要がある。特に、酸化物２３０の上面および側面、導電体２４２の側面には、被覆性良く成膜されることが好ましい。上記開口の底面および側面において、原子の層を一層ずつ堆積させることができるので、絶縁膜２５２Ａを当該開口に対して良好な被覆性で成膜することができる。

［０３３９］

また、絶縁膜２５２ＡをＡＬＤ法で成膜する場合、酸化剤として、オゾン（O_3）、酸素（O_2）、水（H_2O）などを用いることができる。水素を含まない、オゾン（O_3）、酸素（O_2）などを酸化剤として用いることで、酸化物２３０ｂに拡散する水素を低減することができる。

［０３４０］

本実施の形態では、絶縁膜２５２Ａとして酸化アルミニウムを熱ＡＬＤ法によって成膜する。

［０３４１］

次に、酸素を含む雰囲気でマイクロ波処理を行うことが好ましい（図１８Ａ乃至図１８Ｄ参照）。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、３００ＭＨｚ以上３００ＧＨｚ以下の周波数を有する電磁波を指すものとする。

［０３４２］

図１８Ｂ乃至図１８Ｄに示す、点線はマイクロ波、ＲＦなどの高周波酸素プラズマ、または酸素ラジカルなどを示す。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、３００ＭＨｚ以上３００ＧＨｚ以下、好ましくは２．４ＧＨｚ以上２．５ＧＨｚ以下、例えば、２．４５ＧＨｚにすればよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、１０００Ｗ以上１００００Ｗ以下、好ましくは２０００Ｗ以上５０００Ｗ以下にすればよい。また、マイクロ波処理装置は基板側にＲＦを印加する電源を有してもよい。また、基板側にＲＦを印加すること

で、高密度プラズマによって生成された酸素イオンを、効率よく酸化物２３０ｂ中に導くことができる。

［０３４３］

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、１０Ｐａ以上１０００Ｐａ以下、好ましくは３００Ｐａ以上７００Ｐａ以下にすればよい。また、処理温度は、７５０℃以下、好ましくは５００℃以下、例えば４００℃程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。例えば、１００℃以上７５０℃以下、好ましくは３００℃以上５００℃以下で熱処理をすればよい。

［０３４４］

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行えばよい。ここで、酸素流量比（O_2／（O_2＋Ａｒ））は、０％より大きく、１００％以下にすればよい。好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、０％より大きく、５０％以下にすればよい。より好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、４０％以下にすればよい。さらに好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、３０％以下にすればよい。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、領域２３０ｂｃ中のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンバーに過剰な量の酸素が導入されないようにすることで、領域２３０ｂａおよび領域２３０ｂｂでキャリア濃度が過剰に低下するのを防ぐことができる。

［０３４５］

図１８Ｂ乃至図１８Ｄに示すように、酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはＲＦ等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物２３０ｂの導電体２４２ａと導電体２４２ｂの間の領域に作用させることができる。このとき、マイクロ波、またはＲＦ等の高周波を領域２３０ｂｃに照射することもできる。つまり、図８Ａに示す領域２３０ｂｃに、マイクロ波、またはＲＦ等の高周波、酸素プラズマなどを作用させることができる。プラズマ、マイクロ波などの作用により、領域２３０ｂｃのV_OHを分断し、水素（Ｈ）を領域２３０ｂｃから除去することができる。つまり、領域２３０ｂｃにおいて、「$V_OH \rightarrow H + V_O$」という反応が起きて、領域２３０ｂｃに含まれるV_OHを低減することができる。よって、領域２３０ｂｃ中の酸素欠損、およびV_OHを低減し、キャリア濃度を低下させることができる。また、領域２３０ｂｃで形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカル、または絶縁体２５０に含まれる酸素を供給することで、さらに、領域２３０ｂｃ中の酸素欠損を低減し、キャリア濃度を低下させることができる。

［０３４６］

一方、図８Ａに示す領域２３０ｂａおよび領域２３０ｂｂ上には、導電体２４２ａおよび導電体２４２ｂが設けられている。ここで、導電体２４２は、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、ＲＦ等の高周波、酸素プラズマなどの作用に対する遮蔽膜として機能することが好ましい。このため、導電体２４２は、３００ＭＨｚ以上３００ＧＨｚ以下、例えば、２．４ＧＨｚ以上２．５ＧＨｚ以下の電磁波を遮蔽する機能を有することが好ましい。

［０３４７］

図１８Ｂ乃至図１８Ｄに示すように、導電体２４２ａおよび導電体２４２ｂは、マイクロ波、またはＲＦ等の高周波、酸素プラズマなどの作用を遮蔽するので、これらの作用は領域２３０ｂａお

よび領域２３０ｂｂには及ばない。これにより、マイクロ波処理によって、領域２３０ｂａおよび領域２３０ｂｂで、V_OHの低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

［０３４８］

また、導電体２４２ａおよび導電体２４２ｂの側面に接して、酸素に対するバリア性を有する絶縁体２５２が設けられている。これにより、マイクロ波処理によって、導電体２４２ａおよび導電体２４２ｂの側面に酸化膜が形成されるのを抑制することができる。

［０３４９］

以上のようにして、酸化物半導体の領域２３０ｂｃで選択的に酸素欠損、およびV_OHを除去して、領域２３０ｂｃをｉ型または実質的にｉ型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域２３０ｂａおよび領域２３０ｂｂに過剰な酸素が供給されるのを抑制し、ｎ型化を維持することができる。これにより、トランジスタ２００の電気特性の変動を抑制し、基板面内でトランジスタ２００の電気特性がばらつくのを抑制することができる。

［０３５０］

なお、マイクロ波処理では、マイクロ波と酸化物２３０ｂ中の分子の電磁気的な相互作用により、酸化物２３０ｂに直接的に熱エネルギーを伝達する場合がある。この熱エネルギーにより、酸化物２３０ｂが加熱される場合がある。このような加熱処理をマイクロ波アニールと呼ぶ場合がある。マイクロ波処理を、酸素を含む雰囲気中で行うことで、酸素アニールと同等の効果が得られる場合がある。また、酸化物２３０ｂに水素が含まれる場合、この熱エネルギーが酸化物２３０ｂ中の水素に伝わり、これにより活性化した水素が酸化物２３０ｂから放出されることが考えられる。

［０３５１］

次に絶縁膜２５０Ａを成膜する（図１９Ａ乃至図１９Ｄ参照）。絶縁膜２５０Ａの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜２５０Ａを成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、絶縁膜２５２Ａの表面などに吸着している水分および水素を除去し、さらに酸化物２３０ａ、および酸化物２３０ｂ中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、１００℃以上４００℃以下が好ましい。

［０３５２］

絶縁膜２５０Ａは、スパッタリング法、ＣＶＤ法、ＰＥＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて成膜することができる。また、絶縁膜２５０Ａは、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜２５０Ａの水素濃度を低減することができる。絶縁膜２５０Ａは、後の工程で、薄い膜厚の絶縁体２５２を介して酸化物２３０ｂと対向する絶縁体２５０ａとなるので、このように水素濃度が低減されていることが好適である。

［０３５３］

本実施の形態では、絶縁膜２５０Ａとして酸化窒化シリコンをＰＥＣＶＤ法によって成膜する。

［０３５４］

また、絶縁体２５０を図８Ｂに示す２層積層構造にする場合、上記絶縁膜２５０Ａの成膜後に絶縁体２５０ｂとなる絶縁膜を成膜すればよい。絶縁体２５０ｂとなる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて成膜することができる。絶縁体２

５０ｂとなる絶縁膜は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体２５０ａに含まれる酸素が、導電体２６０へ拡散するのを抑制することができる。つまり、酸化物２３０へ供給する酸素量の減少を抑制することができる。また、絶縁体２５０ａに含まれる酸素による導電体２６０の酸化を抑制することができる。絶縁体２５０ｂとなる絶縁膜は、絶縁体２２２と同様の材料を用いて設けることができる。例えば、絶縁体２５０ｂとなる絶縁膜として酸化ハフニウムを熱ＡＬＤ法で成膜すればよい。

［０３５５］

絶縁膜２５０Ａの成膜後にマイクロ波処理を行ってもよい（図１９Ａ乃至図１９Ｄ参照）。当該マイクロ波処理は、前述の絶縁膜２５２Ａの成膜後に行うマイクロ波処理条件を用いてもよい。また、絶縁膜２５２Ａの成膜後に行うマイクロ波処理は行わずに、絶縁膜２５０Ａの成膜後にマイクロ波処理を行ってもよい。また、上記のように絶縁体２５０ｂとなる絶縁膜を設ける場合、成膜後にマイクロ波処理を行ってもよい。当該マイクロ波処理は、前述の絶縁膜２５２Ａの成膜後に行うマイクロ波処理条件を用いてもよい。また、絶縁膜２５２Ａまたは絶縁膜２５０Ａの成膜後に行うマイクロ波処理は行わずに、絶縁体２５０ｂとなる絶縁膜の成膜後にマイクロ波処理を行ってもよい。

［０３５６］

また、絶縁膜２５２Ａ、絶縁膜２５０Ａの成膜後、および絶縁体２５０ｂとなる絶縁膜の成膜後それぞれのマイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜２５２Ａ中、絶縁膜２５０Ａ中、絶縁体２５０ｂとなる絶縁膜中、酸化物２３０ｂ中、および酸化物２３０ａ中の水素を効率よく除去することができる。また、水素の一部は、導電体２４２（導電体２４２ａ、および導電体２４２ｂ）にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜２５２Ａ中、絶縁膜２５０Ａ中、絶縁体２５０ｂとなる絶縁膜中、酸化物２３０ｂ中、および酸化物２３０ａ中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、３００℃以上５００℃以下とすることが好ましい。また、上記マイクロ波処理、すなわちマイクロ波アニールが該加熱処理を兼ねてもよい。マイクロ波アニールにより、酸化物２３０ｂなどが十分加熱される場合、該加熱処理を行わなくてもよい。

［０３５７］

また、マイクロ波処理を行って絶縁膜２５２Ａ、絶縁膜２５０Ａ、および絶縁体２５０ｂとなる絶縁膜の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体２６０となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体２５２を介して、水素、水、不純物等が、酸化物２３０ｂ、酸化物２３０ａなどへ拡散することを抑制することができる。

［０３５８］

次に、絶縁膜２５４Ａを成膜する（図２０Ａ乃至図２０Ｄ参照）。絶縁膜２５４Ａの成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて成膜することができる。絶縁膜２５４Ａは、絶縁膜２５２Ａと同様にＡＬＤ法を用いて成膜することが好ましい。ＡＬＤ法を用いて成膜することで、絶縁膜２５４Ａを薄い膜厚で被覆性良く成膜することができる。本実施の形態では、絶縁膜２５４Ａとして窒化シリコンをＰＥＡＬＤ法で成膜する。

［０３５９］

次に、導電体２６０ａとなる導電膜、導電体２６０ｂとなる導電膜を順に成膜する。導電体２６０ａとなる導電膜および導電体２６０ｂとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、ＡＬＤ法を用いて、導電体２６０ａとなる導電膜として窒化チタンを成膜し、ＣＶＤ法を用いて導電体２６０ｂとなる導電膜としてタングステンを成膜する。

［０３６０］

次に、ＣＭＰ処理によって、絶縁膜２５２Ａ、絶縁膜２５０Ａ、絶縁膜２５４Ａ、導電体２６０ａとなる導電膜、および導電体２６０ｂとなる導電膜を絶縁体２８０が露出するまで研磨することによって、絶縁体２５２、絶縁体２５０、絶縁体２５４、および導電体２６０（導電体２６０ａ、および導電体２６０ｂ）を形成する（図２１Ａ乃至図２１Ｄ参照。）。これにより、絶縁体２５２は、酸化物２３０ｂに達する開口を覆うように配置される。また、導電体２６０は、絶縁体２５２、および絶縁体２５０を介して、上記開口を埋め込むように配置される。

［０３６１］

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて４００℃の温度で１時間の処理を行う。該加熱処理によって、絶縁体２５０および絶縁体２８０中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体２８２の成膜を行ってもよい。

［０３６２］

次に、絶縁体２５２上、絶縁体２５０上、導電体２６０上、および絶縁体２８０上に、絶縁体２８２を形成する（図２１Ａ乃至図２１Ｄ参照。）。絶縁体２８２の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。絶縁体２８２の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２８２中の水素濃度を低減することができる。

［０３６３］

本実施の形態では、絶縁体２８２として、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスＤＣスパッタリング法で酸化アルミニウムを成膜する。パルスＤＣスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

［０３６４］

また、スパッタリング法を用いて、酸素を含む雰囲気で絶縁体２８２の成膜を行うことで、成膜しながら、絶縁体２８０に酸素を添加することができる。これにより、絶縁体２８０に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体２８２を成膜することが好ましい。

［０３６５］

次に、リソグラフィー法によって、絶縁体２８２上にエッチングマスクを形成し、絶縁体２８２の一部、絶縁体２８０の一部、絶縁体２７５の一部、絶縁体２２２の一部、および絶縁体２１６の一部を、絶縁体２１４の上面が露出するまで加工する（図２２Ａ乃至図２２Ｄ参照。）。当該加工は、ウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

［０３６６］

次に加熱処理を行ってもよい。加熱処理は、２５０℃以上６５０℃以下、好ましくは３５０℃以

上６００℃以下で行えばよい。また、当該加熱処理は、酸化膜２３０Ｂ成膜後に行う加熱処理温度よりも低いことが好ましい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行う。当該加熱処理を行うことで、絶縁体２８０に添加された酸素の一部が、絶縁体２５０などを介して酸化物２３０に拡散する。

［０３６７］

また、当該加熱処理を行うことで、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２２、および絶縁体２１６の加工により、形成された絶縁体２８０の側面から、絶縁体２８０に含まれる酸素、および当該酸素と結合した水素を外部に放出することができる。なお、酸素と結合した水素は、水として放出される。従って、絶縁体２８０に含まれる、不要な酸素、および水素を低減することができる。

［０３６８］

さらに、酸化物２３０の導電体２６０と重なる領域において、酸化物２３０の上面および側面に接して絶縁体２５２が設けられている。絶縁体２５２は、酸素に対するバリア性を有するので、過剰な量の酸素が酸化物２３０に拡散するのを低減することができる。これにより、領域２３０ｂｃおよびその近傍に、過剰な量の酸素が供給されないように、酸素を供給することができる。これにより、過剰な酸素によって、導電体２４２の側面が酸化されるのを抑制しながら、領域２３０ｂｃに形成される、酸素欠損、およびV_OHを低減することができる。よって、トランジスタ２００の電気特性を良好にし、信頼性を向上させることができる。

［０３６９］

一方で、トランジスタ２００が高密度に集積化される場合、１個のトランジスタ２００に対する絶縁体２８０の体積が過剰に小さくなる場合がある。この場合、上記熱処理において、酸化物２３０に拡散する酸素量が顕著に小さくなる。酸素が十分に含まれていない酸化物絶縁体（例えば、絶縁体２５０など）が接した状態で酸化物２３０を加熱すると、酸化物２３０を構成する酸素が脱離する恐れがある。しかしながら、本実施の形態に示すトランジスタ２００では、酸化物２３０の導電体２６０と重なる領域において、酸化物２３０の上面および側面に接して絶縁体２５２が設けられている。絶縁体２５２は、酸素に対するバリア性を有するので、上記熱処理においても、酸化物２３０からの酸素の脱離を低減することができる。これにより、領域２３０ｂｃに形成される、酸素欠損、およびV_OHを低減することができる。よって、トランジスタ２００の電気特性を良好にし、信頼性を向上させることができる。

［０３７０］

以上に示すように、本実施の形態に係る半導体装置において、絶縁体２８０からの酸素の供給量が多い場合も、少ない場合も、良好な電気特性および良好な信頼性を有するトランジスタが形成することができる。よって、基板面内でトランジスタ２００の電気特性がばらつくことを抑制した半導体装置を提供することができる。

［０３７１］

次に、絶縁体２８２上に、絶縁体２８３を形成する（図２３Ａ乃至図２３Ｄ参照。）。絶縁体２８３の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。絶縁体２８３の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２８３中の水素濃度を低減することができる。また、絶縁体２８３は、多層としてもよい。例えば、スパッタリ

ング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、ＡＬＤ法を用いて窒化シリコンを成膜してもよい。バリア性の高い絶縁体２８３および絶縁体２１４でトランジスタ２００を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

［０３７２］

次に、絶縁体２８３上に、絶縁体２７４を形成する。絶縁体２７４の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体２７４として、ＣＶＤ法によって酸化シリコンを成膜する。

［０３７３］

次に、ＣＭＰ処理によって、絶縁体２７４を絶縁体２８３が露出するまで研磨することによって、絶縁体２７４の上面を平坦化する（図２３Ａ乃至図２３Ｄ参照。）。当該ＣＭＰ処理により、絶縁体２８３の上面の一部が除去される場合がある。

［０３７４］

次に、絶縁体２７４上、および絶縁体２８３上に、絶縁体２８５を形成する（図２４Ａ乃至図２４Ｄ参照。）。絶縁体２８５の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。絶縁体２８５の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体２８５中の水素濃度を低減することができる。

［０３７５］

本実施の形態では、絶縁体２８５として、スパッタリング法によって酸化シリコンを成膜する。

［０３７６］

次に、絶縁体２７１、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、および絶縁体２８５に、導電体２４２に達する開口を形成する（図２４Ａおよび図２４Ｂ参照。）。当該開口の形成は、リソグラフィー法を用いて行えばよい。なお、図２４Ａで当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

［０３７７］

次に、絶縁体２４１となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体２４１を形成する。（図２４Ｂ参照。）。絶縁体２４１となる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、またはＡＬＤ法などを用いて行うことができる。絶縁体２４１となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ＡＬＤ法を用いて、酸化アルミニウムを成膜し、その上に、ＰＥＡＬＤ法を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

［０３７８］

また、絶縁体２４１となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体２４１を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体２４０ａおよび導電体２４０ｂの酸化を防止することができる。また、導電体２４０ａおよび導電体２４０ｂに、絶縁体２８０などに含まれる、水、水素などの不純物が拡散することを防ぐことができる。

［０３７９］

次に、導電体２４０ａおよび導電体２４０ｂとなる導電膜を成膜する。導電体２４０ａおよび導電体２４０ｂとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、の積層とすることができる。導電体２４０となる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０３８０］

次に、ＣＭＰ処理を行うことで、導電体２４０ａおよび導電体２４０ｂとなる導電膜の一部を除去し、絶縁体２８５の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体２４０ａおよび導電体２４０ｂを形成することができる（図２４Ａ乃至図２４Ｄ参照。）。なお、当該ＣＭＰ処理により、絶縁体２８５の上面の一部が除去される場合がある。

［０３８１］

次に、導電体２４６となる導電膜を成膜する。導電体２４６となる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０３８２］

次に、導電体２４６となる導電膜をリソグラフィー法によって加工し、導電体２４０ａの上面と接する導電体２４６ａ、および導電体２４０ｂの上面と接する導電体２４６ｂを形成する。この時、導電体２４６ａおよび導電体２４６ｂと、絶縁体２８５とが重ならない領域の絶縁体２８５の一部が除去されることがある。

［０３８３］

以上により、図７Ａ乃至図７Ｄに示すトランジスタ２００を有する半導体装置を作製することができる。図１３Ａ乃至図２４Ｄに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ２００を作製することができる。

［０３８４］

＜マイクロ波処理装置＞

以下では、上記半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

［０３８５］

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図２５乃至図２８を用いて説明する。

［０３８６］

図２５は、枚葉式マルチチャンバーの製造装置２７００の上面図を模式的に示している。製造装置２７００は、基板を収容するカセットポート２７６１と、基板のアライメントを行うアライメントポート２７６２と、を備える大気側基板供給室２７０１と、大気側基板供給室２７０１から、基板を搬送する大気側基板搬送室２７０２と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室２７０３ａと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室２７０３ｂと、真空中の基板の搬送を行う搬送室２７０４と、チャンバー２７０６ａと、チャンバー２７０６ｂと、チャンバー２７０６ｃと、チャンバー２７０６ｄと、を有する。

［０３８７］

また、大気側基板搬送室２７０２は、ロードロック室２７０３ａおよびアンロードロック室２７

０３ｂと接続され、ロードロック室２７０３ａおよびアンロードロック室２７０３ｂは、搬送室２７０４と接続され、搬送室２７０４は、チャンバー２７０６ａ、チャンバー２７０６ｂ、チャンバー２７０６ｃおよびチャンバー２７０６ｄと接続する。

［０３８８］

なお、各室の接続部にはゲートバルブＧＶが設けられており、大気側基板供給室２７０１と、大気側基板搬送室２７０２を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室２７０２には搬送ロボット２７６３ａが設けられており、搬送室２７０４には搬送ロボット２７６３ｂが設けられている。搬送ロボット２７６３ａおよび搬送ロボット２７６３ｂによって、製造装置２７００内で基板を搬送することができる。

［０３８９］

搬送室２７０４および各チャンバーの背圧（全圧）は、例えば、1×10^{-4}Ｐａ以下、好ましくは3×10^{-5}Ｐａ以下、さらに好ましくは1×10^{-5}Ｐａ以下とする。また、搬送室２７０４および各チャンバーの質量電荷比（ｍ／ｚ）が１８である気体分子（原子）の分圧は、例えば、3×10^{-5}Ｐａ以下、好ましくは1×10^{-5}Ｐａ以下、さらに好ましくは3×10^{-6}Ｐａ以下とする。また、搬送室２７０４および各チャンバーのｍ／ｚが２８である気体分子（原子）の分圧は、例えば、3×10^{-5}Ｐａ以下、好ましくは1×10^{-5}Ｐａ以下、さらに好ましくは3×10^{-6}Ｐａ以下とする。また、搬送室２７０４および各チャンバーのｍ／ｚが４４である気体分子（原子）の分圧は、例えば、3×10^{-5}Ｐａ以下、好ましくは1×10^{-5}Ｐａ以下、さらに好ましくは3×10^{-6}Ｐａ以下とする。

［０３９０］

なお、搬送室２７０４および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Ｑ－ｍａｓｓともいう。）Ｑｕｌｅｅ　ＣＧＭ－０５１を用いればよい。

［０３９１］

また、搬送室２７０４および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室２７０４および各チャンバーのリークレートは、3×10^{-6}Ｐａ・m^3／ｓ以下、好ましくは1×10^{-6}Ｐａ・m^3／ｓ以下とする。また、例えば、ｍ／ｚが１８である気体分子（原子）のリークレートが1×10^{-7}Ｐａ・m^3／ｓ以下、好ましくは3×10^{-8}Ｐａ・m^3／ｓ以下とする。また、例えば、ｍ／ｚが２８である気体分子（原子）のリークレートが1×10^{-5}Ｐａ・m^3／ｓ以下、好ましくは1×10^{-6}Ｐａ・m^3／ｓ以下とする。また、例えば、ｍ／ｚが４４である気体分子（原子）のリークレートが3×10^{-6}Ｐａ・m^3／ｓ以下、好ましくは1×10^{-6}Ｐａ・m^3／ｓ以下とする。

［０３９２］

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴、シール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れまたは内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

［０３９３］

例えば、搬送室２７０４および各チャンバーの開閉部分はメタルガスケットでシールするとよい。

メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

［０３９４］

また、製造装置２７００を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の不純物を含む放出ガスの少ない金属を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくと、放出ガスを低減できる。

［０３９５］

または、前述の製造装置２７００の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

［０３９６］

製造装置２７００の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

［０３９７］

搬送室２７０４および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室２７０４および各チャンバーの圧力に影響しないが、搬送室２７０４および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室２７０４および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室２７０４および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を１０倍程度大きくすることができる。ベーキングは１００℃以上４５０℃以下で行えばよい。このとき、不活性ガスを搬送室２７０４および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

［０３９８］

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室２７０４および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室２７０４および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室２７０４および各チャンバー内の吸着物を脱離させることができ、搬送室２７０４および各チャンバー内に存在する不純物を低減することができる。なお、この処理は２回以上３０回以下、好ましくは５回以上１５回以下の範囲で繰り返し行うと効果的である。具体的には、温度が４０℃以上４００℃以下、好ましくは５０℃以上２００℃以下である不活性ガスまたは酸素などを導入することで搬送室２７０４および各チャンバー内の圧力を０．１Ｐａ以上１０ｋＰａ以下、好ましくは１Ｐａ以上１ｋＰａ以下、さらに好まし

くは５Ｐａ以上１００Ｐａ以下とし、圧力を保つ期間を１分以上３００分以下、好ましくは５分以上１２０分以下とすればよい。その後、搬送室２７０４および各チャンバーを５分以上３００分以下、好ましくは１０分以上１２０分以下の期間排気する。

［０３９９］

次に、チャンバー２７０６ｂおよびチャンバー２７０６ｃについて図２６に示す断面模式図を用いて説明する。

［０４００］

チャンバー２７０６ｂおよびチャンバー２７０６ｃは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー２７０６ｂと、チャンバー２７０６ｃと、はマイクロ波処理を行う際の雰囲気が異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

［０４０１］

チャンバー２７０６ｂおよびチャンバー２７０６ｃは、スロットアンテナ板２８０８と、誘電体板２８０９と、基板ホルダ２８１２と、排気口２８１９と、を有する。また、チャンバー２７０６ｂおよびチャンバー２７０６ｃの外などには、ガス供給源２８０１と、バルブ２８０２と、高周波発生器２８０３と、導波管２８０４と、モード変換器２８０５と、ガス管２８０６と、導波管２８０７と、マッチングボックス２８１５と、高周波電源２８１６と、真空ポンプ２８１７と、バルブ２８１８と、が設けられる。

［０４０２］

高周波発生器２８０３は、導波管２８０４を介してモード変換器２８０５と接続している。モード変換器２８０５は、導波管２８０７を介してスロットアンテナ板２８０８に接続している。スロットアンテナ板２８０８は、誘電体板２８０９と接して配置される。また、ガス供給源２８０１は、バルブ２８０２を介してモード変換器２８０５に接続している。そして、モード変換器２８０５、導波管２８０７および誘電体板２８０９を通るガス管２８０６によって、チャンバー２７０６ｂおよびチャンバー２７０６ｃにガスが送られる。また、真空ポンプ２８１７は、バルブ２８１８および排気口２８１９を介して、チャンバー２７０６ｂおよびチャンバー２７０６ｃからガスなどを排気する機能を有する。また、高周波電源２８１６は、マッチングボックス２８１５を介して基板ホルダ２８１２に接続している。

［０４０３］

基板ホルダ２８１２は、基板２８１１を保持する機能を有する。例えば、基板２８１１を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源２８１６から電力を供給される電極としての機能を有する。また、内部に加熱機構２８１３を有し、基板２８１１を加熱する機能を有する。

［０４０４］

真空ポンプ２８１７としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリメーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ２８１７に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

［０４０５］

また、加熱機構２８１３としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすれば

よい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、ＧＲＴＡ（Ｇａｓ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）またはＬＲＴＡ（Ｌａｍｐ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）などのＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）を用いることができる。ＧＲＴＡは、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

［０４０６］

また、ガス供給源２８０１は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が－８０℃以下、好ましくは－１００℃以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いればよい。

［０４０７］

誘電体板２８０９としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板２８０９の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板２８０９は、後述する高密度プラズマ２８１０の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

［０４０８］

高周波発生器２８０３では、例えば、０．３ＧＨｚ以上３．０ＧＨｚ以下、０．７ＧＨｚ以上１．１ＧＨｚ以下、または２．２ＧＨｚ以上２．８ＧＨｚ以下のマイクロ波を発生させる機能を有する。高周波発生器２８０３で発生させたマイクロ波は、導波管２８０４を介してモード変換器２８０５に伝わる。モード変換器２８０５では、ＴＥモードとして伝わったマイクロ波がＴＥＭモードに変換される。そして、マイクロ波は、導波管２８０７を介してスロットアンテナ板２８０８に伝わる。スロットアンテナ板２８０８は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板２８０９を通過する。そして、誘電体板２８０９の下方に電界を生じさせ、高密度プラズマ２８１０を生成することができる。高密度プラズマ２８１０には、ガス供給源２８０１から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

［０４０９］

このとき、基板２８１１が高密度プラズマ２８１０で生成されたイオンおよびラジカルによって、基板２８１１上の膜などを改質することができる。なお、高周波電源２８１６を用いて、基板２８１１側にバイアスを印加すると好ましい場合がある。高周波電源２８１６には、例えば、１３．５６ＭＨｚ、２７．１２ＭＨｚなどの周波数のＲＦ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ）電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ２８１０中のイオンを基板２８１１上の膜などの開口部の奥まで効率よく到達させることができる。

［０４１０］

例えば、チャンバー２７０６ｂまたはチャンバー２７０６ｃで、ガス供給源２８０１から酸素を導入することで高密度プラズマ２８１０を用いた酸素ラジカル処理を行うことができる。

［０４１１］

次に、チャンバー２７０６ａおよびチャンバー２７０６ｄについて図２７に示す断面模式図を用

いて説明する。

［０４１２］

チャンバー２７０６ａおよびチャンバー２７０６ｄは、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー２７０６ａと、チャンバー２７０６ｄと、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

［０４１３］

チャンバー２７０６ａおよびチャンバー２７０６ｄは、一または複数のランプ２８２０と、基板ホルダ２８２５と、ガス導入口２８２３と、排気口２８３０と、を有する。また、チャンバー２７０６ａおよびチャンバー２７０６ｄの外などには、ガス供給源２８２１と、バルブ２８２２と、真空ポンプ２８２８と、バルブ２８２９と、が設けられる。

［０４１４］

ガス供給源２８２１は、バルブ２８２２を介してガス導入口２８２３に接続している。真空ポンプ２８２８は、バルブ２８２９を介して排気口２８３０に接続している。ランプ２８２０は、基板ホルダ２８２５と向かい合って配置されている。基板ホルダ２８２５は、基板２８２４を保持する機能を有する。また、基板ホルダ２８２５は、内部に加熱機構２８２６を有し、基板２８２４を加熱する機能を有する。

［０４１５］

ランプ２８２０としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長１０ｎｍ以上２５００ｎｍ以下、５００ｎｍ以上２０００ｎｍ以下、または４０ｎｍ以上３４０ｎｍ以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

［０４１６］

例えば、ランプ２８２０としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

［０４１７］

例えば、ランプ２８２０から放射される電磁波は、その一部または全部が基板２８２４に吸収されることで基板２８２４上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板２８２４を加熱しながら行うと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

［０４１８］

または、例えば、ランプ２８２０から放射される電磁波によって、基板ホルダ２８２５を発熱させ、基板２８２４を加熱してもよい。その場合、基板ホルダ２８２５の内部に加熱機構２８２６を有さなくてもよい。

［０４１９］

真空ポンプ２８２８は、真空ポンプ２８１７についての記載を参照する。また、加熱機構２８２６は、加熱機構２８１３についての記載を参照する。また、ガス供給源２８２１は、ガス供給源２８０１についての記載を参照する。

［０４２０］

本実施の形態に用いることができるマイクロ波処理装置は、上記に限らない。図２８に示すマイクロ波処理装置２９００を用いることができる。マイクロ波処理装置２９００は、石英管２９０１、排気口２８１９、ガス供給源２８０１、バルブ２８０２、高周波発生器２８０３、導波管２８０４、ガス管２８０６、真空ポンプ２８１７、およびバルブ２８１８を有する。また、マイクロ波処理装置２９００は、石英管２９０１内に、複数の基板２８１１（２８１１＿１乃至２８１１＿ｎ、ｎは２以上の整数）を保持する基板ホルダ２９０２を有する。また、マイクロ波処理装置２９００は、石英管２９０１の外側に、加熱手段２９０３を有していてもよい。

［０４２１］

高周波発生器２８０３で発生させたマイクロ波は、導波管２８０４を介して、石英管２９０１内に設けられた基板に照射される。真空ポンプ２８１７は、バルブ２８１８を介して排気口２８１９と接続されており、石英管２９０１内部の圧力を調整することができる。また、ガス供給源２８０１は、バルブ２８０２を介して、ガス管２８０６に接続されており、石英管２９０１内に所望のガスを導入することができる。また、加熱手段２９０３により、石英管２９０１内の基板２８１１を、所望の温度に加熱することができる。または、加熱手段２９０３により、ガス供給源２８０１から供給されるガスを加熱してもよい。マイクロ波処理装置２９００により、基板２８１１に対して、加熱処理と、マイクロ波処理を同時に行うことができる。また、基板２８１１を加熱した後に、マイクロ波処理を行うことができる。また、基板２８１１に対してマイクロ波処理を行った後に、加熱処理を行うことができる。

［０４２２］

基板２８１１＿１乃至基板２８１１＿ｎは、全て半導体装置、または記憶装置を形成する処理基板でもよいし、一部の基板をダミー基板としてもよい。例えば、基板２８１１＿１、および基板２８１１＿ｎをダミー基板とし、基板２８１１＿２乃至基板２８１１＿ｎ－１を処理基板としてもよい。また、基板２８１１＿１、基板２８１１＿２、基板２８１１＿ｎ－１、および基板２８１１＿ｎをダミー基板とし、基板２８１１＿３乃至基板２８１１＿ｎ－２を処理基板としてもよい。ダミー基板を用いることで、マイクロ波処理、または加熱処理の際、複数の処理基板が均一に処理され、処理基板間のばらつきを低減できるため好ましい。例えば、高周波発生器２８０３、および導波管２８０４に最も近い処理基板上にダミー基板を配置することで、該処理基板が直接マイクロ波に曝されることを抑制できるため、好ましい。

［０４２３］

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

［０４２４］

＜半導体装置の変形例＞

以下では、図１０Ａ乃至図１２Ｄを用いて、本発明の一態様である半導体装置の一例について説明する。

［０４２５］

各図Ａは半導体装置の上面図を示す。また、各図Ｂは、各図Ａに示すＡ１－Ａ２の一点鎖線で示す部位に対応する断面図である。また、各図Ｃは、各図ＡにＡ３－Ａ４の一点鎖線で示す部位に対応する断面図である。また、各図Ｄは、各図ＡにＡ５－Ａ６の一点鎖線で示す部位に対応する断面図である。各図Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０４２６］

なお、各図Ａ乃至Ｄに示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

［０４２７］

＜半導体装置の変形例１＞

図１０Ａ乃至図１０Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置の変形例である。図１０Ａ乃至図１０Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置とは、絶縁体２８２が設けられていないことが異なる。従って、図１０Ａ乃至図１０Ｄに示す半導体装置では、絶縁体２８３が、導電体２６０の上面、絶縁体２８０の上面、絶縁体２５４の最上部、絶縁体２５０の最上部、および絶縁体２５２の最上部に接する。

［０４２８］

例えば、図１８または図１９に示すマイクロ波処理などによって、酸化物２３０に十分な酸素を供給することができる場合、絶縁体２８２を設けて絶縁体２８０に酸素を添加しなくても、領域２３０ｂｃを実質的にｉ型にすることができる。このような場合、図１０Ａ乃至図１０Ｄに示すように、絶縁体２８２を設けない構成にすることで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

［０４２９］

＜半導体装置の変形例２＞

図１１Ａ乃至図１１Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置の変形例である。図１１Ａ乃至図１１Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置とは、酸化物２４３（酸化物２４３ａ、酸化物２４３ｂ）が設けられていることが異なる。酸化物２４３ａは、酸化物２３０ｂと導電体２４２ａの間に設けられ、酸化物２４３ｂは、酸化物２３０ｂと導電体２４２ｂの間に設けられる。ここで、酸化物２４３ａは、酸化物２３０ｂの上面、および導電体２４２ａの下面に接することが好ましい。また、酸化物２４３ｂは、酸化物２３０ｂの上面、および導電体２４２ｂの下面に接することが好ましい。

［０４３０］

酸化物２４３は、酸素の透過を抑制する機能を有することが好ましい。ソース電極またはドレイン電極として機能する導電体２４２と酸化物２３０ｂとの間に酸素の透過を抑制する機能を有する酸化物２４３を配置することで、導電体２４２と、酸化物２３０ｂとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ２００の電気特性を向上させることができる場合がある。また、トランジスタ２００の電界効果移動度を向上させることができる場合がある。また、トランジスタ２００の信頼性を向上させることができる場合がある。

［０４３１］

また、酸化物２４３として、元素Ｍを有する金属酸化物を用いてもよい。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物２４３は、酸化物２３０ｂよりも元素Ｍの濃度が高いことが好ましい。また、酸化物２４３として、酸化ガリウムを用いてもよい。また、酸化物２４３として、Ｉｎ－Ｍ－Ｚｎ酸化物等の金属酸化物を用いてもよい。具体的には、酸化物２４３に用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物２３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好まし

い。また、酸化物２４３の膜厚は、０．５ｎｍ以上５ｎｍ以下が好ましく、より好ましくは１ｎｍ以上３ｎｍ以下、さらに好ましくは１ｎｍ以上２ｎｍ以下である。また、酸化物２４３は、結晶性を有すると好ましい。酸化物２４３が結晶性を有する場合、酸化物２３０中の酸素の放出を好適に抑制することが出来る。例えば、酸化物２４３としては、六方晶などの結晶構造であれば、酸化物２３０中の酸素の放出を抑制できる場合がある。

［０４３２］

＜半導体装置の変形例３＞

図１２Ａ乃至図１２Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置の変形例である。図１２Ａ乃至図１２Ｄに示す半導体装置は、図７Ａ乃至図７Ｄに示した半導体装置とは、絶縁体２８３が、絶縁体２１２の上面の一部と接する構造となっているところが異なる。従って、トランジスタ２００は、絶縁体２８３、および絶縁体２１２で封止された領域内に配置される。上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。また、図１２Ａ乃至図１２Ｄに示すトランジスタ２００では、絶縁体２１２、および絶縁体２８３を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体２１２、および絶縁体２８３のそれぞれを２層以上の積層構造として設ける構成にしてもよい。

［０４３３］

＜半導体装置の応用例＞

以下では、図２９を用いて、本発明の一態様である半導体装置の一例について説明する。

［０４３４］

図２９Ａは半導体装置５００の上面図を示す。図２９Ａに示すｘ軸は、トランジスタ２００のチャネル長方向に平行にとっており、ｙ軸はｘ軸に垂直にとっている。また、図２９Ｂは、図２９Ａに示すＡ１－Ａ２の一点鎖線で示す部位に対応する断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。図２９Ｃは、図２９Ａに示すＡ３－Ａ４の一点鎖線で示す部位に対応する断面図であり、開口領域４００およびその近傍の断面図でもある。なお、図２９Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０４３５］

なお、図２９Ａ乃至図２９Ｃに示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

［０４３６］

図２９Ａ乃至図２９Ｃに示す半導体装置５００は、図７Ａ乃至図７Ｄに示した半導体装置の変形例である。図２９Ａ乃至図２９Ｃに示す半導体装置５００は、絶縁体２８２および絶縁体２８０に開口領域４００が形成されている点が、図７Ａ乃至図７Ｄに示す半導体装置と異なる。また、複数のトランジスタ２００を取り囲むように封止部２６５が形成されている点が、図７Ａ乃至図７Ｄに示す半導体装置と異なる。

［０４３７］

半導体装置５００は、マトリクス状に配列された、複数のトランジスタ２００、および複数の開口領域４００を有している。また、トランジスタ２００のゲート電極として機能する、複数の導電

体２６０が、ｙ軸方向に延伸して設けられている。開口領域４００は、酸化物２３０、および導電体２６０と重畳しない領域に形成されている。また、複数のトランジスタ２００、複数の導電体２６０、および複数の開口領域４００を取り囲むように封止部２６５が形成されている。なお、トランジスタ２００、導電体２６０、および開口領域４００の個数、配置、および大きさは、図２９に示す構造に限られることなく、半導体装置５００の設計に合わせて適宜設定すればよい。

［０４３８］

図２９Ｂおよび図２９Ｃに示すように、封止部２６５は、複数のトランジスタ２００、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、および絶縁体２８２を取り囲むように設けられている。言い換えると、絶縁体２８３は、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、および絶縁体２８２を覆うように設けられている。また、封止部２６５では、絶縁体２８３が絶縁体２１４の上面に接している。また、封止部２６５では、絶縁体２８３と絶縁体２８５の間に絶縁体２７４が設けられている。絶縁体２７４の上面は、絶縁体２８３の最上面と高さが概略一致している。また、絶縁体２７４としては、絶縁体２８０と同様の絶縁体を用いることができる。

［０４３９］

このような構造にすることで、複数のトランジスタ２００を、絶縁体２８３と絶縁体２１４および絶縁体２１２で包み込むことができる。ここで、絶縁体２８３、絶縁体２１４、および絶縁体２１２の一または複数は、水素に対するバリア絶縁膜として機能することが好ましい。これにより、封止部２６５の領域外に含まれる水素が、封止部２６５の領域内に混入することを抑制することができる。

［０４４０］

図２９Ｃに示すように、開口領域４００において、絶縁体２８２は開口部を有する。また、開口領域４００において、絶縁体２８０は、絶縁体２８２の開口部に重なって、溝部を有していてもよい。絶縁体２８０の溝部の深さは、深くとも絶縁体２７５の上面が露出するまでにすればよく、例えば、絶縁体２８０の最大膜厚の１／４以上１／２以下程度にすればよい。

［０４４１］

また、図２９Ｃに示すように、絶縁体２８３は、開口領域４００の内側で、絶縁体２８２の側面、絶縁体２８０の側面、および絶縁体２８０の上面に接する。また、開口領域４００内で、絶縁体２８３に形成された凹部を埋め込むように、絶縁体２７４の一部が形成される場合がある。このとき、開口領域４００内に形成された絶縁体２７４の上面と、絶縁体２８３の最上面の高さが、概略一致する場合がある。

［０４４２］

このような開口領域４００が形成され、絶縁体２８２の開口部から絶縁体２８０が露出した状態で、加熱処理を行うことにより、酸化物２３０に酸素を供給しながら、絶縁体２８０に含まれる酸素の一部を開口領域４００から外方拡散させることができる。これにより、加熱により脱離する酸素を含む絶縁体２８０から、酸化物半導体層中の、チャネル形成領域として機能する領域、およびその近傍に、十分な酸素を供給し、かつ過剰な量の酸素が供給されないようにすることができる。

［０４４３］

このとき、絶縁体２８０に含まれる水素を、酸素と結合させて、開口領域４００を介して外部に放出することができる。酸素と結合した水素は、水として放出される。よって、絶縁体２８０に含まれる水素を低減し、絶縁体２８０中に含まれる水素が酸化物２３０に混入するのを低減すること

ができる。

［０４４４］

また、図２９Ａにおいて、開口領域４００の上面視における形状は、略長方形状にしているが、本発明はこれに限られるものではない。例えば、開口領域４００の上面視における形状は、長方形、楕円形、円形、菱形、またはこれらを組み合わせた形状としてもよい。また、開口領域４００の面積、および配置間隔は、トランジスタ２００を含む半導体装置の設計に合わせて適宜設定することができる。例えば、トランジスタ２００の密度が小さい領域では、開口領域４００の面積を広げる、または、開口領域４００の配置間隔を狭めればよい。また、例えば、トランジスタ２００の密度が大きい領域では、開口領域４００の面積を狭める、または開口領域４００の配置間隔を広げればよい。

［０４４５］

本発明の一態様により、新規のトランジスタを提供することができる。または、本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、電界効果移動度が大きい半導体装置を提供することができる。または、本発明の一態様により、周波数特性が良好な半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。

［０４４６］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［０４４７］

（実施の形態４）

本実施の形態では、半導体装置の一形態を、図３０乃至図３４を用いて説明する。

［０４４８］

［記憶装置１］

本発明の一態様に係る半導体装置（記憶装置）の一例を図３０に示す。本発明の一態様の半導体装置は、トランジスタ２００はトランジスタ３００の上方に設けられ、容量素子１００はトランジスタ３００、およびトランジスタ２００の上方に設けられている。なお、トランジスタ２００として、先の実施の形態で説明したトランジスタ２００を用いることができる。

［０４４９］

トランジスタ２００は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ２００は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

［０４５０］

図３０に示す半導体装置において、配線１００１はトランジスタ３００のソースと電気的に接続

され、配線１００２はトランジスタ３００のドレインと電気的に接続されている。また、配線１００３はトランジスタ２００のソースおよびドレインの一方と電気的に接続され、配線１００４はトランジスタ２００の第１のゲートと電気的に接続され、配線１００６はトランジスタ２００の第２のゲートと電気的に接続されている。そして、トランジスタ３００のゲート、およびトランジスタ２００のソースおよびドレインの他方は、容量素子１００の電極の一方と電気的に接続され、配線１００５は容量素子１００の電極の他方と電気的に接続されている。

［０４５１］

また、図３０に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

［０４５２］

＜トランジスタ３００＞

トランジスタ３００は、基板３１１上に設けられ、ゲートとして機能する導電体３１６、ゲート絶縁体として機能する絶縁体３１５、基板３１１の一部からなる半導体領域３１３、およびソース領域またはドレイン領域として機能する低抵抗領域３１４ａ、および低抵抗領域３１４ｂを有する。トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０４５３］

ここで、図３０に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面および上面を、絶縁体３１５を介して、導電体３１６が覆うように設けられている。なお、導電体３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

［０４５４］

なお、図３０に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いればよい。

［０４５５］

＜容量素子１００＞

容量素子１００は、トランジスタ２００の上方に設けられる。容量素子１００は、第１の電極として機能する導電体１１０と、第２の電極として機能する導電体１２０と、誘電体として機能する絶縁体１３０とを有する。ここで、絶縁体１３０は、上記実施の形態に示す絶縁体２８３として用いることができる絶縁体を用いることが好ましい。

［０４５６］

また、例えば、導電体２４０上に設けた導電体１１２と、導電体１１０は、同時に形成することができる。なお、導電体１１２は、容量素子１００、トランジスタ２００、またはトランジスタ３００と電気的に接続するプラグ、または配線としての機能を有する。

［０４５７］

図３０では、導電体１１２、および導電体１１０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよ

い。

［０４５８］

また、絶縁体１３０は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

［０４５９］

例えば、絶縁体１３０には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（ｈｉｇｈ－ｋ）材料との積層構造を用いることが好ましい。当該構成により、容量素子１００は、高誘電率（ｈｉｇｈ－ｋ）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制することができる。

［０４６０］

なお、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

［０４６１］

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

［０４６２］

＜配線層＞

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

［０４６３］

例えば、トランジスタ３００上には、層間膜として、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６が順に積層して設けられている。また、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６には容量素子１００、またはトランジスタ２００と電気的に接続する導電体３２８、および導電体３３０等が埋め込まれている。なお、導電体３２８、および導電体３３０はプラグ、または配線として機能する。

［０４６４］

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

［０４６５］

絶縁体３２６、および導電体３３０上に、配線層を設けてもよい。例えば、図３０において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５

０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線として機能する。

［０４６６］

同様に、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６には、導電体２１８、及びトランジスタ２００を構成する導電体（導電体２０５）等が埋め込まれている。なお、導電体２１８は、容量素子１００、またはトランジスタ３００と電気的に接続するプラグ、または配線としての機能を有する。さらに、導電体１２０、および絶縁体１３０上には、絶縁体１５０が設けられている。

［０４６７］

ここで、上記実施の形態に示す絶縁体２４１と同様に、プラグとして機能する導電体２１８の側面に接して絶縁体２１７が設けられる。絶縁体２１７は、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６に形成された開口の内壁に接して設けられている。つまり、絶縁体２１７は、導電体２１８と、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６と、の間に設けられている。なお、導電体２０５は導電体２１８と並行して形成することができるので、導電体２０５の側面に接して絶縁体２１７が形成される場合もある。

［０４６８］

絶縁体２１７としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体２１７は、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２２２に接して設けられるので、絶縁体２１０または絶縁体２１６などから水または水素などの不純物が、導電体２１８を通じて酸化物２３０に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体２１０または絶縁体２１６に含まれる酸素が導電体２１８に吸収されるのを防ぐことができる。

［０４６９］

絶縁体２１７は、絶縁体２４１と同様の方法で形成することができる。例えば、ＰＥＡＬＤ法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体３５６に達する開口を形成すればよい。

［０４７０］

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０４７１］

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

［０４７２］

例えば、絶縁体１５０、絶縁体２１０、絶縁体３５２、および絶縁体３５４等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、

樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

［０４７３］

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体２１４、絶縁体２１２および絶縁体３５０等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

［０４７４］

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

［０４７５］

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を１種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０４７６］

例えば、導電体３２８、導電体３３０、導電体３５６、導電体２１８、および導電体１１２等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０４７７］

＜酸化物半導体が設けられた層の配線、またはプラグ＞

なお、トランジスタ２００に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

［０４７８］

例えば、図３０では、過剰酸素を有する絶縁体２２４および絶縁体２８０と、導電体２４０との間に、絶縁体２４１を設けるとよい。絶縁体２４１と、絶縁体２２２、絶縁体２８２、および絶縁体２８３とが接して設けられることで、絶縁体２２４、およびトランジスタ２００は、バリア性を

有する絶縁体により、封止する構造とすることができる。

［０４７９］

つまり、絶縁体２４１を設けることで、絶縁体２２４および絶縁体２８０が有する過剰酸素が、導電体２４０に吸収されることを抑制することができる。また、絶縁体２４１を有することで、不純物である水素が、導電体２４０を介して、トランジスタ２００へ拡散することを抑制することができる。

［０４８０］

なお、絶縁体２４１としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

［０４８１］

また、上記実施の形態で示したように、トランジスタ２００は、絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３で封止される構成にしてもよい。このような構成とすることで、絶縁体２７４、絶縁体１５０などに含まれる水素が絶縁体２８０などに混入するのを低減することができる。

［０４８２］

ここで絶縁体２８３、および絶縁体２８２には導電体２４０が、絶縁体２１４、および絶縁体２１２には導電体２１８が貫通しているが、上記の通り、絶縁体２４１が導電体２４０に接して設けられ、絶縁体２１７が導電体２１８に接して設けられている。これにより、導電体２４０および導電体２１８を介して、絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３の内側に混入する水素を低減することができる。このようにして、絶縁体２１２、絶縁体２１４、絶縁体２８２、絶縁体２８３、絶縁体２４１、および絶縁体２１７でトランジスタ２００を封止し、絶縁体２７４等に含まれる水素などの不純物が外側から混入するのを低減することができる。

［０４８３］

＜ダイシングライン＞

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

［０４８４］

ここで、例えば、図３０に示すように、絶縁体２８３と、絶縁体２１４とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ２００を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２４、絶縁体２２２、および絶縁体２１６に開口を設ける。

［０４８５］

つまり、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２４、絶縁体２２２、および絶

縁体２１６に設けた開口において、絶縁体２１４と、絶縁体２８３とが接する。

［０４８６］

また、例えば、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２４、絶縁体２２２、絶縁体２１６、および絶縁体２１４に開口を設けてもよい。このような構成とすることで、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２４、絶縁体２２２、絶縁体２１６、および絶縁体２１４に設けた開口において、絶縁体２１２と、絶縁体２８３とが接する。このとき、絶縁体２１２と、絶縁体２８３とを同材料及び同方法を用いて形成してもよい。絶縁体２１２、および絶縁体２８３を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

［０４８７］

当該構造により、絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３で、トランジスタ２００を包み込むことができる。絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ２００に拡散することを防ぐことができる。

［０４８８］

また、当該構造により、絶縁体２８０、および絶縁体２２４の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体２８０、および絶縁体２２４の過剰酸素は、効率的にトランジスタ２００におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ２００におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ２００におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ２００の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

［０４８９］

なお、図３０に示す記憶装置では、容量素子１００の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図３１に示すように、容量素子１００の形状をシリンダ型にしてもよい。なお、図３１に示す記憶装置は、絶縁体１５０より下の構成は、図３０に示す半導体装置と同様である。

［０４９０］

図３１に示す容量素子１００は、絶縁体１３０上の絶縁体１５０と、絶縁体１５０上の絶縁体１４２と、絶縁体１５０および絶縁体１４２に形成された開口の中に配置された導電体１１５と、導電体１１５および絶縁体１４２上の絶縁体１４５と、絶縁体１４５上の導電体１２５と、導電体１２５および絶縁体１４５上の絶縁体１５２と、を有する。ここで、絶縁体１５０および絶縁体１４２に形成された開口の中に導電体１１５、絶縁体１４５、および導電体１２５の少なくとも一部が配置される。

［０４９１］

導電体１１５は容量素子１００の下部電極として機能し、導電体１２５は容量素子１００の上部電極として機能し、絶縁体１４５は、容量素子１００の誘電体として機能する。容量素子１００は、絶縁体１５０および絶縁体１４２の開口において、底面だけでなく、側面においても上部電極と下

部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子１００の静電容量を大きくすることができる。このように容量素子１００の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

［０４９２］

絶縁体１５２は、絶縁体２８０に用いることができる絶縁体を用いればよい。また、絶縁体１４２は、絶縁体１５０の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体２１４に用いることができる絶縁体を用いればよい。

［０４９３］

絶縁体１５０および絶縁体１４２に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ２００の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子１００とトランジスタ２００を有する半導体装置の占有面積を低減することができる。

［０４９４］

導電体１１５は、絶縁体１４２、および絶縁体１５０に形成された開口に接して配置される。導電体１１５の上面は、絶縁体１４２の上面と概略一致することが好ましい。また、導電体１１５の下面は、絶縁体１３０の開口を介して導電体１１０に接する。導電体１１５は、ＡＬＤ法またはＣＶＤ法などを用いて成膜することが好ましく、例えば、導電体２０５に用いることができる導電体を用いればよい。

［０４９５］

絶縁体１４５は、導電体１１５および絶縁体１４２を覆うように配置される。例えば、ＡＬＤ法またはＣＶＤ法などを用いて絶縁体１４５を成膜することが好ましい。絶縁体１４５は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体１４５として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

［０４９６］

また、絶縁体１４５には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率（ｈｉｇｈ－ｋ）材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率（ｈｉｇｈ－ｋ）材料の積層構造を用いてもよい。

［０４９７］

なお、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このようなｈｉｇｈ－ｋ材料を用いることで、絶縁体１４５を厚くしても容量素子１００の静電容量を十分確保することができる。絶縁体１４５を厚くすることにより、導電体１１５と導電体１２５の間に生じるリーク電流を抑制することができる。

［０４９８］

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ＰＥＡＬＤ法を用いて成膜した窒化シリコン（SiN_x）、ＰＥＡＬＤ法を用いて成膜した酸化シリコン（SiO_x）、ＰＥＡＬＤ法を用いて成膜した窒化シリコン（SiN_x）の順番で積層された絶縁膜を用いることができる。または、酸化ジルコニウム、ＡＬＤ法を用いて成膜した酸化シリコン、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制することができる。

［０４９９］

導電体１２５は、絶縁体１４２および絶縁体１５０に形成された開口を埋めるように配置される。また、導電体１２５は、導電体１４０、および導電体１５３を介して配線１００５と電気的に接続している。導電体１２５は、ＡＬＤ法またはＣＶＤ法などを用いて成膜することが好ましく、例えば、導電体２０５に用いることができる導電体を用いればよい。

［０５００］

また、導電体１５３は、絶縁体１５４上に設けられており、絶縁体１５６に覆われている。導電体１５３は、導電体１１２に用いることができる導電体を用いればよく、絶縁体１５６は、絶縁体１５２に用いることができる絶縁体を用いればよい。ここで、導電体１５３は導電体１４０の上面に接しており、容量素子１００、トランジスタ２００、またはトランジスタ３００の端子として機能する。

［０５０１］

［記憶装置２］

本発明の一態様に係る半導体装置（記憶装置）の一例を図３２に示す。

［０５０２］

＜メモリデバイスの構成例＞

図３２は、メモリデバイス２９０を有する半導体装置の断面図である。図３２に示すメモリデバイス２９０は、図７Ａ乃至図７Ｄに示すトランジスタ２００に加えて、容量デバイス２９２を有する。図３２は、トランジスタ２００のチャネル長方向の断面図に相当する。

［０５０３］

容量デバイス２９２は、導電体２４２ｂと、導電体２４２ｂ上に設けられた絶縁体２７１ｂと、絶縁体２７１ｂの上面、絶縁体２７１ｂの側面、導電体２４２ｂの側面に接して設けられた絶縁体２７５と、絶縁体２７５上の導電体２９４と、を有する。すなわち、容量デバイス２９２は、ＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）容量を構成している。なお、容量デバイス２９２が有する一対の電極の一方、すなわち導電体２４２ｂは、トランジスタのソース電極を兼ねることができる。また、容量デバイス２９２が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体２７１、および絶縁体２７５を兼ねることができる。したがって、容量デバイス２９２の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス２９２が有する一対の電極の一方、すなわち導電体２４２ｂは、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

［０５０４］

なお、導電体２９４としては、例えば、導電体２４２に用いることのできる材料を用いればよい。

［０５０５］

＜メモリデバイスの変形例＞

以下では、図３３Ａ、図３３Ｂ、および図３４を用いて、先の＜メモリデバイスの構成例＞で示したものとは異なる、本発明の一態様に係るトランジスタ２００、および容量デバイス２９２を有する半導体装置の一例について説明する。なお図３３Ａ、図３３Ｂ、および図３４に示す半導体装置において、先の実施の形態および＜メモリデバイスの構成例＞に示した半導体装置（図３２参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ２００、および容量デバイス２９２の構成材料については、先の実施の形態および＜メモリデバイスの構成例＞で詳細に説明した材料を用いることができる。また、図３３Ａ、図３３Ｂ、および図３４などでは、メモリデバイスとして、図３２に示すメモリデバイスを用いているが、これに限られるものではない。

［０５０６］

＜＜メモリデバイスの変形例１＞＞

以下では、本発明の一態様に係るトランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａ、および容量デバイス２９２ｂを有する半導体装置６００の一例について図３３Ａを用いて説明する。

［０５０７］

図３３Ａは、トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａ、および容量デバイス２９２ｂを有する半導体装置６００のチャネル長方向の断面図である。ここで、容量デバイス２９２ａは、導電体２４２ａと、導電体２４２ａ上の絶縁体２７１ａと、絶縁体２７１ａ上面、絶縁体２７１ａの側面、および導電体２４２ａの側面と接する絶縁体２７５と、絶縁体２７５上の導電体２９４ａと、を有する。また、容量デバイス２９２ｂは、導電体２４２ｂと、導電体２４２ｂ上の絶縁体２７１ｂと、絶縁体２７１ｂの上面、絶縁体２７１ｂの側面、および導電体２４２ｂの側面に接する絶縁体２７５と、絶縁体２７５上の導電体２９４ｂと、を有する。

［０５０８］

半導体装置６００は、図３３Ａに示すように、Ａ３－Ａ４の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ２００ａのソース電極またはドレイン電極の一方と、トランジスタ２００ｂのソース電極またはドレイン電極の一方は、導電体２４２ｃが兼ねる構成となっている。なお、導電体２４２ｃ上には絶縁体２７１ｃが設けられる。また、配線として機能する導電体２４６と、トランジスタ２００ａ、およびトランジスタ２００ｂとの接続もプラグとして機能する導電体２４０が、兼ねる構成となっている。このように、２つのトランジスタと、２つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

［０５０９］

トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａ、および容量デバイス２９２ｂのそれぞれの構成および効果については、図３３Ａに示す半導体装置の構成例を参酌することができる。

［０５１０］

＜＜メモリデバイスの変形例２＞＞

上記においては、半導体装置の構成例としてトランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａおよび容量デバイス２９２ｂを挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図３３Ｂに示すように半導体装置６００と、半導体装置６００と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａ、および容量デバイス２９２ｂを有する半導体装置をセルと称する。トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａおよび容量デバイス２９２ｂの構成については、上述のトランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａおよび容量デバイス２９２ｂに係る記載を参酌することができる。

［０５１１］

図３３Ｂは、トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａ、および容量デバイス２９２ｂを有する半導体装置６００と、半導体装置６００と同様の構成を有するセルが容量部を介して接続されている断面図である。

［０５１２］

図３３Ｂに示すように、半導体装置６００が有する容量デバイス２９２ｂの一方の電極として機能する導電体２９４ｂは、半導体装置６００と同様の構成を有する半導体装置６０１が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置６００が有する容量デバイス２９２ａの一方の電極として機能する導電体２９４ａが、半導体装置６００の左側、つまり図３３Ｂにおいて、Ａ１方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置６０１の右側、つまり、図３３Ｂにおいて、Ａ２方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。この様なセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図３３Ｂに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

［０５１３］

上述のように、本実施の形態に示す構成で、トランジスタ２００ａ、トランジスタ２００ｂ、容量デバイス２９２ａおよび容量デバイス２９２ｂを形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

［０５１４］

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図３４にセルアレイ６１０をｎ層積層する構成の断面図を示す。図３４に示すように、複数のセルアレイ（セルアレイ６１０＿１乃至セルアレイ６１０＿ｎ）を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、３Ｄセルアレイを構成することができる。

［０５１５］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［０５１６］

（実施の形態５）

本実施の形態では、図３５Ａ、図３５Ｂおよび図３６Ａ乃至図３６Ｈを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、ＯＳトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、ＯＳメモリ装置と呼ぶ場合がある。）について説明する。ＯＳメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するＯＳトランジスタを有する記憶装置である。ＯＳトランジスタのオフ電流は極めて小さいので、ＯＳメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

［０５１７］

＜記憶装置の構成例＞

図３５ＡにＯＳメモリ装置の構成の一例を示す。記憶装置１４００は、周辺回路１４１１、およびメモリセルアレイ１４７０を有する。周辺回路１４１１は、行回路１４２０、列回路１４３０、出力回路１４４０、およびコントロールロジック回路１４６０を有する。

［０５１８］

列回路１４３０は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ１４７０が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路１４４０を介して、データ信号ＲＤＡＴＡとして記憶装置１４００の外部に出力される。また、行回路１４２０は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

［０５１９］

記憶装置１４００には、外部から電源電圧として低電源電圧（ＶＳＳ）、周辺回路１４１１用の高電源電圧（ＶＤＤ）、メモリセルアレイ１４７０用の高電源電圧（ＶＩＬ）が供給される。また、記憶装置１４００には、制御信号（ＣＥ、ＷＥ、ＲＥ）、アドレス信号ＡＤＤＲ、データ信号ＷＤＡＴＡが外部から入力される。アドレス信号ＡＤＤＲは、行デコーダおよび列デコーダに入力され、データ信号ＷＤＡＴＡは書き込み回路に入力される。

［０５２０］

コントロールロジック回路１４６０は、外部から入力される制御信号（ＣＥ、ＷＥ、ＲＥ）を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号ＣＥは、チップイネーブル信号であり、制御信号ＷＥは、書き込みイネーブル信号であり、制御信号ＲＥは、読み出しイネーブル信号である。コントロールロジック回路１４６０が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

［０５２１］

メモリセルアレイ１４７０は、行列状に配置された、複数個のメモリセルＭＣと、複数の配線を有する。なお、メモリセルアレイ１４７０と行回路１４２０とを接続している配線の数は、メモリセルＭＣの構成、一列に有するメモリセルＭＣの数などによって決まる。また、メモリセルアレイ１４７０と列回路１４３０とを接続している配線の数は、メモリセルＭＣの構成、一行に有するメモリセルＭＣの数などによって決まる。

［０５２２］

なお、図３５Ａにおいて、周辺回路１４１１とメモリセルアレイ１４７０を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図３５Ｂに示すよ

うに、周辺回路１４１１の一部の上に、メモリセルアレイ１４７０が重なるように設けられてもよい。例えば、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にしてもよい。

［０５２３］

図３６Ａ乃至図３６Ｈに上述のメモリセルＭＣに適用できるメモリセルの構成例について説明する。

［０５２４］

［ＤＯＳＲＡＭ］

図３６Ａ乃至図３６Ｃに、ＤＲＡＭのメモリセルの回路構成例を示す。本明細書等において、１ＯＳトランジスタ１容量素子型のメモリセルを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）と呼ぶ場合がある。図３６Ａに示す、メモリセル１４７１は、トランジスタＭ１と、容量素子ＣＡと、を有する。なお、トランジスタＭ１は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

［０５２５］

トランジスタＭ１の第１端子は、容量素子ＣＡの第１端子と接続され、トランジスタＭ１の第２端子は、配線ＢＩＬと接続され、トランジスタＭ１のゲートは、配線ＷＯＬと接続され、トランジスタＭ１のバックゲートは、配線ＢＧＬと接続されている。容量素子ＣＡの第２端子は、配線ＬＬと接続されている。

［０５２６］

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＬＬは、容量素子ＣＡの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線ＬＬは、接地電位でも、低レベル電位としてもよい。配線ＢＧＬは、トランジスタＭ１のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ１のしきい値電圧を増減することができる。

［０５２７］

ここで、図３６Ａに示すメモリセル１４７１は、図３２に示す記憶装置に対応している。つまり、トランジスタＭ１はトランジスタ２００に、容量素子ＣＡは容量デバイス２９２に対応している。

［０５２８］

また、メモリセルＭＣは、メモリセル１４７１に限定されず、回路構成の変更を行うことができる。例えば、メモリセルＭＣは、図３６Ｂに示すメモリセル１４７２のように、トランジスタＭ１のバックゲートが、配線ＢＧＬでなく、配線ＷＯＬと接続される構成にしてもよい。また、例えば、メモリセルＭＣは、図３６Ｃに示すメモリセル１４７３のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタＭ１で構成されたメモリセルとしてもよい。

［０５２９］

上記実施の形態に示す半導体装置をメモリセル１４７１等に用いる場合、トランジスタＭ１としてトランジスタ２００を用い、容量素子ＣＡとして容量素子１００を用いることができる。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモ

リセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル１４７１、メモリセル１４７２、メモリセル１４７３に対して多値データ、又はアナログデータを保持することができる。

［０５３０］

また、ＤＯＳＲＡＭにおいて、上記のように、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

［０５３１］

［ＮＯＳＲＡＭ］

図３６Ｄ乃至図３６Ｇに、２トランジスタ１容量素子のゲインセル型のメモリセルの回路構成例を示す。図３６Ｄに示す、メモリセル１４７４は、トランジスタＭ２と、トランジスタＭ３と、容量素子ＣＢと、を有する。なお、トランジスタＭ２は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタＭ２にＯＳトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、ＮＯＳＲＡＭ（Ｎｏｎｖｏｌａｔｉｌｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ ＲＡＭ）と呼ぶ場合がある。

［０５３２］

トランジスタＭ２の第１端子は、容量素子ＣＢの第１端子と接続され、トランジスタＭ２の第２端子は、配線ＷＢＬと接続され、トランジスタＭ２のゲートは、配線ＷＯＬと接続され、トランジスタＭ２のバックゲートは、配線ＢＧＬと接続されている。容量素子ＣＢの第２端子は、配線ＣＡＬと接続されている。トランジスタＭ３の第１端子は、配線ＲＢＬと接続され、トランジスタＭ３の第２端子は、配線ＳＬと接続され、トランジスタＭ３のゲートは、容量素子ＣＢの第１端子と接続されている。

［０５３３］

配線ＷＢＬは、書き込みビット線として機能し、配線ＲＢＬは、読み出しビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＢの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、およびデータの読み出し時においては、配線ＣＡＬには、高レベル電位を印加するのが好ましい。また、データ保持中においては、配線ＣＡＬには、低レベル電位を印加するのが好ましい。配線ＢＧＬは、トランジスタＭ２のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ２のしきい値電圧を増減することができる。

［０５３４］

ここで、図３６Ｄに示すメモリセル１４７４は、図３０および図３１に示す記憶装置に対応している。つまり、トランジスタＭ２はトランジスタ２００に、容量素子ＣＢは容量素子１００に、トランジスタＭ３はトランジスタ３００に、配線ＷＢＬは配線１００３に、配線ＷＯＬは配線１００４に、配線ＢＧＬは配線１００６に、配線ＣＡＬは配線１００５に、配線ＲＢＬは配線１００２に、配線ＳＬは配線１００１に対応している。

［０５３５］

また、メモリセルＭＣは、メモリセル１４７４に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルＭＣは、図３６Ｅに示すメモリセル１４７５のように、トランジスタＭ２のバックゲートが、配線ＢＧＬでなく、配線ＷＯＬと接続される構成にしてもよい。また、例

えば、メモリセルＭＣは、図３６Ｆに示すメモリセル１４７６のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタＭ２で構成されたメモリセルとしてもよい。また、例えば、メモリセルＭＣは、図３６Ｇに示すメモリセル１４７７のように、配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとしてまとめた構成であってもよい。

［０５３６］

上記実施の形態に示す半導体装置をメモリセル１４７４等に用いる場合、トランジスタＭ２としてトランジスタ２００を用い、トランジスタＭ３としてトランジスタ３００を用い、容量素子ＣＢとして容量素子１００を用いることができる。トランジスタＭ２としてＯＳトランジスタを用いることによって、トランジスタＭ２のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタＭ２によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル１４７４に多値データ、又はアナログデータを保持することができる。メモリセル１４７５乃至メモリセル１４７７も同様である。

［０５３７］

なお、トランジスタＭ３は、チャネル形成領域にシリコンを有するトランジスタ（以下、Ｓｉトランジスタと呼ぶ場合がある）であってもよい。Ｓｉトランジスタの導電型は、ｎチャネル型としてもよいし、ｐチャネル型としてもよい。Ｓｉトランジスタは、ＯＳトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタＭ３として、Ｓｉトランジスタを用いてもよい。また、トランジスタＭ３にＳｉトランジスタを用いることで、トランジスタＭ３の上に積層してトランジスタＭ２を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

［０５３８］

また、トランジスタＭ３はＯＳトランジスタであってもよい。トランジスタＭ２およびトランジスタＭ３にＯＳトランジスタを用いた場合、メモリセルアレイ１４７０をｎ型トランジスタのみを用いて回路を構成することができる。

［０５３９］

また、図３６Ｈに３トランジスタ１容量素子のゲインセル型のメモリセルの一例を示す。図３６Ｈに示すメモリセル１４７８は、トランジスタＭ４乃至トランジスタＭ６、および容量素子ＣＣを有する。容量素子ＣＣは適宜設けられる。メモリセル１４７８は、配線ＢＩＬ、配線ＲＷＬ、配線ＷＷＬ、配線ＢＧＬ、および配線ＧＮＤＬに電気的に接続されている。配線ＧＮＤＬは低レベル電位を与える配線である。なお、メモリセル１４７８を、配線ＢＩＬに代えて、配線ＲＢＬ、配線ＷＢＬに電気的に接続してもよい。

［０５４０］

トランジスタＭ４は、バックゲートを有するＯＳトランジスタであり、バックゲートは配線ＢＧＬに電気的に接続されている。なお、トランジスタＭ４のバックゲートとゲートとを互いに電気的に接続してもよい。あるいは、トランジスタＭ４はバックゲートを有さなくてもよい。

［０５４１］

なお、トランジスタＭ５、トランジスタＭ６はそれぞれ、ｎチャネル型Ｓｉトランジスタまたはｐチャネル型Ｓｉトランジスタでもよい。或いは、トランジスタＭ４乃至トランジスタＭ６がＯＳトランジスタでもよい。この場合、メモリセルアレイ１４７０をｎ型トランジスタのみを用いて回

路を構成することができる。

［０５４２］

上記実施の形態に示す半導体装置をメモリセル１４７８に用いる場合、トランジスタＭ４としてトランジスタ２００を用い、トランジスタＭ５、トランジスタＭ６としてトランジスタ３００を用い、容量素子ＣＣとして容量素子１００を用いることができる。トランジスタＭ４としてＯＳトランジスタを用いることによって、トランジスタＭ４のリーク電流を非常に小さくすることができる。

［０５４３］

なお、本実施の形態に示す、周辺回路１４１１、メモリセルアレイ１４７０等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。

［０５４４］

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

［０５４５］

（実施の形態６）

本実施の形態では、図３７Ａおよび図３７Ｂを用いて、本発明の半導体装置が実装されたチップ１２００の一例を示す。チップ１２００には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（Ｓｙｓｔｅｍ　ｏｎ　Ｃｈｉｐ：ＳｏＣ）と呼ぶ場合がある。

［０５４６］

図３７Ａに示すように、チップ１２００は、ＣＰＵ１２１１、ＧＰＵ１２１２、一または複数のアナログ演算部１２１３、一または複数のメモリコントローラ１２１４、一または複数のインターフェース１２１５、一または複数のネットワーク回路１２１６等を有する。

［０５４７］

チップ１２００には、バンプ（図示しない）が設けられ、図３７Ｂに示すように、パッケージ基板１２０１の第１の面と接続する。また、パッケージ基板１２０１の第１の面の裏面には、複数のバンプ１２０２が設けられており、マザーボード１２０３と接続する。

［０５４８］

マザーボード１２０３には、ＤＲＡＭ１２２１、フラッシュメモリ１２２２等の記憶装置が設けられていてもよい。例えば、ＤＲＡＭ１２２１に先の実施の形態に示すＤＯＳＲＡＭを用いることができる。また、例えば、フラッシュメモリ１２２２に先の実施の形態に示すＮＯＳＲＡＭを用いることができる。

［０５４９］

ＣＰＵ１２１１は、複数のＣＰＵコアを有することが好ましい。また、ＧＰＵ１２１２は、複数のＧＰＵコアを有することが好ましい。また、ＣＰＵ１２１１、およびＧＰＵ１２１２は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、ＣＰＵ１２１１、およびＧＰＵ１２１２に共通のメモリが、チップ１２００に設けられていてもよい。該メモリには、前述したＮＯＳＲＡＭまたは、ＤＯＳＲＡＭを用いることができる。また、ＧＰＵ１２１２は、多数のデータの並列計算に適しており、画像処理または積和演算に用いることができる。ＧＰＵ１２１２に、本

発明の酸化物半導体を用いた画像処理回路または、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

［０５５０］

また、ＣＰＵ１２１１、およびＧＰＵ１２１２が同一チップに設けられていることで、ＣＰＵ１２１１およびＧＰＵ１２１２間の配線を短くすることができ、ＣＰＵ１２１１からＧＰＵ１２１２へのデータ転送、ＣＰＵ１２１１、およびＧＰＵ１２１２が有するメモリ間のデータ転送、およびＧＰＵ１２１２での演算後に、ＧＰＵ１２１２からＣＰＵ１２１１への演算結果の転送を高速に行うことができる。

［０５５１］

アナログ演算部１２１３はA／D（アナログ／デジタル）変換回路、およびD／A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部１２１３に上記積和演算回路を設けてもよい。

［０５５２］

メモリコントローラ１２１４は、ＤＲＡＭ１２２１のコントローラとして機能する回路、およびフラッシュメモリ１２２２のインターフェースとして機能する回路を有する。

［０５５３］

インターフェース１２１５は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＨＤＭＩ（登録商標）（Ｈｉｇｈ－Ｄｅｆｉｎｉｔｉｏｎ　Ｍｕｌｔｉｍｅｄｉａ　Ｉｎｔｅｒｆａｃｅ）などを用いることができる。

［０５５４］

ネットワーク回路１２１６は、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）などのネットワーク回路を有する。また、ネットワークセキュリティー用の回路を有してもよい。

［０５５５］

チップ１２００には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ１２００に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ１２００を低コストで作製することができる。

［０５５６］

ＧＰＵ１２１２を有するチップ１２００が設けられたパッケージ基板１２０１、ＤＲＡＭ１２２１、およびフラッシュメモリ１２２２が設けられたマザーボード１２０３は、ＧＰＵモジュール１２０４と呼ぶことができる。

［０５５７］

ＧＰＵモジュール１２０４は、ＳｏＣ技術を用いたチップ１２００を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップＰＣ、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、ＧＰＵ１２１２を用いた積和演算回路により、ディープニューラルネットワーク（ＤＮＮ）、畳み込みニューラルネットワーク（ＣＮＮ）、再帰型ニューラルネットワーク（ＲＮＮ）、自己符号化器、深層ボルツマンマシン（ＤＢＭ）、深層信念ネットワーク（ＤＢＮ）などの手法を実行することができるため、チップ１２００をＡＩチップ、またはＧＰＵモジュール

１２０４をＡＩシステムモジュールとして用いることができる。

［０５５８］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［０５５９］

（実施の形態７）

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

［０５６０］

＜電子部品＞

まず、記憶装置７２０が組み込まれた電子部品の例を、図３８Ａおよび図３８Ｂを用いて説明を行う。

［０５６１］

図３８Ａに電子部品７００および電子部品７００が実装された基板（実装基板７０４）の斜視図を示す。図３８Ａに示す電子部品７００は、モールド７１１内に記憶装置７２０を有している。図３８Ａは、電子部品７００の内部を示すために、一部を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は記憶装置７２０とワイヤ７１４によって電気的に接続されている。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０５６２］

記憶装置７２０は、駆動回路層７２１と、記憶回路層７２２と、を有する。

［０５６３］

図３８Ｂに電子部品７３０の斜視図を示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、および複数の記憶装置７２０が設けられている。

［０５６４］

電子部品７３０では、記憶装置７２０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡなどの集積回路（半導体装置）を用いることができる。

［０５６５］

パッケージ基板７３２は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

［０５６６］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間

基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）を用いることも出来る。

［０５６７］

インターポーザ７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０５６８］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０５６９］

また、シリコンインターポーザを用いたＳｉＰ、ＭＣＭなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０５７０］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、記憶装置７２０と半導体装置７３５の高さを揃えることが好ましい。

［０５７１］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図３８Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０５７２］

電子部品７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０５７３］

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

［０５７４］

（実施の形態８）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、ＳＤカード）、ＵＳＢメモリ、ＳＳＤ（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図３９Ａ乃至図３９Ｅにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

［０５７５］

図３９ＡはＵＳＢメモリの模式図である。ＵＳＢメモリ１１００は、筐体１１０１、キャップ１１０２、ＵＳＢコネクタ１１０３および基板１１０４を有する。基板１１０４は、筐体１１０１に収納されている。例えば、基板１１０４には、メモリチップ１１０５、コントローラチップ１１０６が取り付けられている。メモリチップ１１０５などに先の実施の形態に示す半導体装置を組み込むことができる。

［０５７６］

図３９ＢはＳＤカードの外観の模式図であり、図３９Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード１１１０は、筐体１１１１、コネクタ１１１２および基板１１１３を有する。基板１１１３は筐体１１１１に収納されている。例えば、基板１１１３には、メモリチップ１１１４、コントローラチップ１１１５が取り付けられている。基板１１１３の裏面側にもメモリチップ１１１４を設けることで、ＳＤカード１１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板１１１３に設けてもよい。これによって、ホスト装置とＳＤカード１１１０間の無線通信によって、メモリチップ１１１４のデータの読み出し、書き込みが可能となる。メモリチップ１１１４などに先の実施の形態に示す半導体装置を組み込むことができる。

［０５７７］

図３９ＤはＳＳＤの外観の模式図であり、図３９Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ１１５０は、筐体１１５１、コネクタ１１５２および基板１１５３を有する。基板１１５３は筐体１１５１に収納されている。例えば、基板１１５３には、メモリチップ１１５４、メモリチップ１１５５、コントローラチップ１１５６が取り付けられている。メモリチップ１１５５はコントローラチップ１１５６のワークメモリであり、例えばＤＯＳＲＡＭチップを用いればよい。基板１１５３の裏面側にもメモリチップ１１５４を設けることで、ＳＳＤ１１５０の容量を増やすことができる。メモリチップ１１５４などに先の実施の形態に示す半導体装置を組み込むことができる。

［０５７８］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［０５７９］

（実施の形態９）

本発明の一態様に係る半導体装置は、ＣＰＵ、ＧＰＵなどのプロセッサ、またはチップに用いることができる。図４０Ａ乃至図４０Ｈに、本発明の一態様に係るＣＰＵ、ＧＰＵなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

［０５８０］

＜電子機器・システム＞

本発明の一態様に係るＧＰＵまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｇｅ：電子看板）、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るＧＰＵまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

［０５８１］

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像、情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

［０５８２］

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

［０５８３］

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図４０Ａ乃至図４０Ｈに、電子機器の例を示す。

［０５８４］

［情報端末］

図４０Ａには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末５１００は、筐体５１０１と、表示部５１０２と、を有しており、入力用インターフェースとして、タッチパネルが表示部５１０２に備えられ、ボタンが筐体５１０１に備えられている。

［０５８５］

情報端末５１００は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部５１０２に表示するアプリケーション、表示部５１０２に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部５１０２に表示するアプリケーション、指紋、声紋などの生体認証を行うアプリケーションなどが挙げられる。

［０５８６］

図４０Ｂには、ノート型情報端末５２００が図示されている。ノート型情報端末５２００は、情報端末の本体５２０１と、表示部５２０２と、キーボード５２０３と、を有する。

［０５８７］

ノート型情報端末５２００は、先述した情報端末５１００と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末５２００を用いることで、新規の人工知能の開発を行うことができる。

［０５８８］

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図４０Ａ、図４０Ｂに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

［０５８９］

［ゲーム機］

図４０Ｃは、ゲーム機の一例である携帯ゲーム機５３００を示している。携帯ゲーム機５３００は、筐体５３０１、筐体５３０２、筐体５３０３、表示部５３０４、接続部５３０５、操作キー５３０６等を有する。筐体５３０２、および筐体５３０３は、筐体５３０１から取り外すことが可能である。筐体５３０１に設けられている接続部５３０５を別の筐体（図示せず）に取り付けることで、表示部５３０４に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体５３０２、および筐体５３０３は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体５３０１、筐体５３０２、および筐体５３０３の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

［０５９０］

また、図４０Ｄは、ゲーム機の一例である据え置き型ゲーム機５４００を示している。据え置き型ゲーム機５４００には、無線または有線でコントローラ５４０２が接続されている。

［０５９１］

携帯ゲーム機５３００、据え置き型ゲーム機５４００などのゲーム機に本発明の一態様のＧＰＵまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

［０５９２］

更に、携帯ゲーム機５３００に本発明の一態様のＧＰＵまたはチップを適用することによって、人工知能を有する携帯ゲーム機５３００を実現することができる。

［０５９３］

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機５３００に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するといった表現が可能となる。

［０５９４］

また、携帯ゲーム機５３００で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、１人でもゲームを行うことができる。

［０５９５］

図４０Ｃ、図４０Ｄでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のＧＰＵまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のＧＰＵまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

［０５９６］

［大型コンピュータ］

本発明の一態様のＧＰＵまたはチップは、大型コンピュータに適用することができる。

［０５９７］

図４０Ｅは、大型コンピュータの一例である、スーパーコンピュータ５５００を示す図である。図４０Ｆは、スーパーコンピュータ５５００が有するラックマウント型の計算機５５０２を示す図である。

［０５９８］

スーパーコンピュータ５５００は、ラック５５０１と、複数のラックマウント型の計算機５５０２と、を有する。なお、複数の計算機５５０２は、ラック５５０１に格納されている。また、計算機５５０２には、複数の基板５５０４が設けられ、当該基板上に上記実施の形態で説明したＧＰＵまたはチップを搭載することができる。

［０５９９］

スーパーコンピュータ５５００は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ５５００に本発明の一態様のＧＰＵまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

［０６００］

図４０Ｅ、図４０Ｆでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のＧＰＵまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のＧＰＵまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

［０６０１］

［移動体］

本発明の一態様のＧＰＵまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

［０６０２］

図４０Ｇは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図

４０Ｇでは、ダッシュボードに取り付けられた表示パネル５７０１、表示パネル５７０２、表示パネル５７０３の他、ピラーに取り付けられた表示パネル５７０４を図示している。

［０６０３］

表示パネル５７０１乃至表示パネル５７０３は、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目、レイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル５７０１乃至表示パネル５７０３は、照明装置として用いることも可能である。

［０６０４］

表示パネル５７０４には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

［０６０５］

本発明の一態様のＧＰＵまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル５７０１乃至表示パネル５７０４には、道路案内、危険予測などの情報を表示する構成としてもよい。

［０６０６］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

［０６０７］

［電化製品］

図４０Ｈは、電化製品の一例である電気冷凍冷蔵庫５８００を示している。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

［０６０８］

電気冷凍冷蔵庫５８００に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

［０６０９］

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

［０６１０］

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

［０６１１］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［実施例１］

［０６１２］

本実施例では、ＡＬＤ法を用い、異なる成膜条件で成膜した酸化ハフニウム膜、及び当該酸化ハフニウム膜を用いた積層膜について、水素濃度を評価した結果について説明する。

［０６１３］

[酸化ハフニウム膜の水素濃度評価]

ここでは、成膜条件を異ならせた試料Ａ１及び試料Ａ２を作製した。各試料は、基板としてシリコンの単結晶ウエハを用いた。さらに基板表面には、熱酸化処理により酸化シリコン膜を形成した。

［０６１４］

試料Ａ１は、プリカーサにＨｆ（Ｎ（CH_3）$_2$）$_4$を、酸化剤にH_2O及びO_3をそれぞれ用い、基板上に酸化ハフニウム膜を膜厚が２０ｎｍになるように成膜した。試料Ａ１は、成膜時の基板温度を２００℃とした。

［０６１５］

試料Ａ２は、プリカーサにＨｆＣｌ$_4$を、酸化剤にO_3をそれぞれ用い、基板上に酸化ハフニウム膜を膜厚が２０ｎｍになるように成膜した。試料Ａ２は、成膜時の基板温度を２５０℃とした。

［０６１６］

続いて、各試料について酸化ハフニウム膜中の水素濃度を評価した。水素濃度は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により測定した。

［０６１７］

図４１Ａに、試料Ａ１及び試料Ａ２のＳＩＭＳ分析結果を示す。図４１Ａにおいて、横軸は表面からの深さ［ｎｍ］、縦軸は単位体積当たりの水素原子の濃度（Ｈ濃度）［ａｔｏｍｓ／ｃｍ^3］を示している。図４１Ａにおいて、試料Ａ１を実線で、試料Ａ２を破線で示している。また図４１Ａでは、酸化ハフニウム膜と熱酸化膜との界面近傍の範囲も含まれている。

［０６１８］

図４１Ａから、試料Ａ１における酸化ハフニウム膜中の水素濃度は、１×１０^{21}ａｔｏｍｓ／ｃｍ^{3}以上であることが分かる。一方、試料Ａ２における酸化ハフニウム膜中の水素濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満であること、また１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満の領域があることが分かる。

［０６１９］

このように、プリカーサ及び酸化剤に水素を含まないガスを用いることで、極めて水素濃度の低い酸化ハフニウム膜が得られることが確認できた。

［０６２０］

[積層膜の水素濃度評価]

続いて、上記２種類の酸化ハフニウムを含む積層膜を有する試料（試料Ｂ１、試料Ｂ２）を作製

し、その水素濃度を評価した。図４２に、積層膜の積層構造を示す。図４２に示すように、シリコンウエハ上に、層Ｌ１から層Ｌ１３までの膜を順に形成した。

［０６２１］

層Ｌ１として、基板表面を熱酸化して形成した酸化シリコン膜を用いた。層Ｌ２及び層Ｌ１３として、スパッタリング法により形成した窒化シリコン膜を用いた。層Ｌ３、層Ｌ９、及び層Ｌ１２には、スパッタリング法により形成した酸化アルミニウム膜を用いた。層Ｌ４、層Ｌ６、及び層Ｌ１１には、スパッタリング法により形成した酸化シリコン膜を用いた。層Ｌ７には、スパッタリング法により形成した、Ｉｎ－Ｇａ－Ｚｎ酸化物膜（以下、ＩＧＺＯ膜と表記する）を用いた。層Ｌ８には、スパッタリング法により形成した窒化タンタル膜を用いた。層Ｌ１０には、ＡＬＤ法により形成した窒化シリコン膜を用いた。

［０６２２］

ここで、層Ｌ５の酸化ハフニウム膜の成膜条件を異ならせた２種類の試料を作製した。層Ｌ５に用いる酸化ハフニウム膜を、上記試料Ａ１と同じ条件で成膜した試料を試料Ｂ１、試料Ａ２と同じ条件で成膜した試料を試料Ｂ２とした。

［０６２３］

試料Ｂ１及び試料Ｂ２について、酸化ハフニウム膜中の水素濃度をＳＩＭＳにより評価した。図４１Ｂに、その結果を示す。図４１Ｂにおいて、試料Ｂ１を実線で、試料Ｂ２を破線で示している。また、図４１Ｂでは、層Ｌ４乃至層Ｌ７に相当する範囲を、それぞれ矢印で示している。なお、図４１Ｂでは、隣接する２つの矢印間に隙間があるように明示しているが、これは、ＳＩＭＳ分析では２つの膜の界面を厳密に特定することが困難であるためである。

［０６２４］

層Ｌ４、層Ｌ６、及び層Ｌ７に着目すると、同じ成膜条件で成膜したにもかかわらず、試料Ｂ１よりも試料Ｂ２の方が、水素濃度が低いことが分かる。

［０６２５］

一方、層Ｌ５に着目すると、試料Ｂ１と試料Ｂ２の水素濃度が同程度であった。図４１Ａで示したように、試料Ｂ２における酸化ハフニウム膜の成膜条件では、試料Ｂ１よりも水素濃度の低い酸化ハフニウム膜が期待できるはずである。

［０６２６］

試料Ｂ２において、試料Ｂ１よりも層Ｌ４、層Ｌ６、及び層Ｌ７等の水素濃度が低いこと、及び、試料Ｂ１と層Ｌ５の水素濃度が同程度であることから、以下のことが推察される。すなわち、試料Ｂ２では、層Ｌ５の酸化ハフニウム膜の成膜工程以降の工程において、周辺の層（例えば層Ｌ４、層Ｌ６、層Ｌ７など）から水素が拡散することで、層Ｌ５（酸化ハフニウム膜）中の水素濃度が試料Ｂ１の層Ｌ５と同等の濃度にまで上昇し、層Ｌ４、層Ｌ６、及び層Ｌ７等の水素濃度が、試料Ｂ１と比較して減少したことが、推察される。

［０６２７］

以上のことから、プリカーサ及び酸化剤に水素を含まないガスを用いて成膜した、極めて水素濃度の低い酸化ハフニウム膜を、積層膜の一部に用いることで、酸化ハフニウム膜の周辺の膜の水素濃度を低下させることが可能であることが分かった。特に、チャネルが形成される半導体膜に酸化物半導体を用いたトランジスタにおいて、半導体膜と重畳する膜に、このような酸化ハフニウム膜を用いることで、半導体膜中の水素濃度を低減でき、信頼性の高いトランジスタを実現することが

できる。

［０６２８］

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

［実施例２］

［０６２９］

本実施例では、図７Ａ乃至図７Ｄに示す、トランジスタ２００を含む試料を作製し、その電気特性、及び信頼性を評価した。

［０６３０］

［試料の作製］

トランジスタ２００の断面構造は図７Ａ乃至図７Ｄを援用できる。ここでは、絶縁体２２２の成膜条件を異ならせた２種類の試料（試料Ｃ１、試料Ｃ２）を作製した。

［０６３１］

以下では、試料の作製方法について説明する。なお、作製方法の詳細については上記実施の形態１乃至実施の形態３を参照できる。

［０６３２］

絶縁体２１２として膜厚６０ｎｍの窒化シリコンを用いた。絶縁体２１２は、シリコンターゲットを用いて、パルスＤＣスパッタリング法で成膜した。

［０６３３］

絶縁体２１４として膜厚４０ｎｍの酸化アルミニウムを用いた。絶縁体２１４は、アルミニウムターゲットを用いて、パルスＤＣスパッタリング法で成膜した。

［０６３４］

絶縁体２１６として膜厚１３０ｎｍの酸化シリコンを用いた。絶縁体２１６は、シリコンターゲットを用いて、パルスＤＣスパッタリング法で成膜した。

［０６３５］

上記、絶縁体２１２、絶縁体２１４、および絶縁体２１６は、マルチチャンバー型のスパッタ装置を用いて、外気にさらさず、連続して成膜を行った。

［０６３６］

導電体２０５ａとして、メタルＣＶＤ法で窒化チタンを用いた。導電体２０５ｂとして、メタルＣＶＤ法で成膜されたタングステンを用いた。

［０６３７］

絶縁体２２２として、膜厚２０ｎｍのＡＬＤ法で成膜した酸化ハフニウム膜を用いた。試料Ｃ１では、上記実施例１における試料Ａ１と同じ条件で酸化ハフニウム膜を成膜した。試料Ｃ２では、試料Ａ２と同じ条件で酸化ハフニウム膜を成膜した。

［０６３８］

絶縁体２２４として、スパッタリング法で成膜した、膜厚２０ｎｍの酸化シリコンを用いた。

［０６３９］

酸化物２３０ａとして、ＤＣスパッタリング法で成膜した、膜厚が１０ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物を用いた。なお、酸化物２３０ａの成膜には、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］のターゲットを用いた。

［０６４０］

酸化物２３０ｂとして、ＤＣスパッタリング法で成膜した、膜厚が１５ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物を用いた。なお、酸化物２３０ｂの成膜には、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２［原子数比］のターゲットを用いた。

［０６４１］

導電体２４２ａおよび導電体２４２ｂは、スパッタリング法で成膜した膜厚２０ｎｍの窒化タンタルを用いた。また、絶縁体２７１ａ、絶縁体２７１ｂは、スパッタリング法で成膜した膜厚５ｎｍの酸化アルミニウムを用いた。また、絶縁体２７５は、スパッタリング法で成膜した膜厚５ｎｍの酸化アルミニウムと、その上にＡＬＤ法で成膜した膜厚５ｎｍの窒化シリコンの積層膜とした。絶縁体２８０は、スパッタリング法で成膜した酸化シリコンを用いた。

［０６４２］

ここで、導電体２４２、酸化物２３０、および絶縁体２２４を、図１５Ａ乃至図１５Ｄに示すように、ドライエッチング法を用いて島状に加工した。導電体２４２の加工には、Cl_2、CHF_3、およびＡｒの混合ガスを、エッチングガスとして用いた。酸化物２３０の加工には、CH_4、およびＡｒの混合ガスを、エッチングガスとして用いた。絶縁体２２４の加工には、CHF_3、およびO_2の混合ガスを、エッチングガスとして用いた。

［０６４３］

導電体２４２、酸化物２３０、および絶縁体２２４を、島状に加工した直後の試料Ｃ１の断面ＳＴＥＭ像を図４３Ａに示す。なお、断面ＳＴＥＭ像の撮影は、日立ハイテクノロジーズ製「ＨＤ－２７００」を用いて行った。図４３Ａより、上記エッチングガスを用いてエッチングすることで、導電体２４２、酸化物２３０、および絶縁体２２４を、エッチング残渣または副生成物を形成することなく、島状に加工できることが確認できた。

［０６４４］

また、絶縁体２２４のドライエッチング条件における、絶縁体２２４（SiO_x（ｘは０より大きい任意数））、および絶縁体２２２（HfO_x（ｘは０より大きい任意数））のエッチレート（Ｅｔｃｈ　Ｒａｔｅ）［ｎｍ／ｍｉｎ］を図４３Ｂに示す。図４３Ｂに示すように、絶縁体２２４はエッチレートが約３５ｎｍ／ｍｉｎであり、絶縁体２２２はエッチレートが１ｎｍ／ｍｉｎ未満である。このように、上記のエッチングガスを用いた条件では、絶縁体２２４は、絶縁体２２２に対して、十分大きいエッチング選択比を有する。

［０６４５］

以上に示すように、絶縁体２２２に酸化ハフニウムを用いることで、酸化物２３０などの水素を吸い取るだけではなく、導電体２４２、酸化物２３０、および絶縁体２２４を島状に加工する際のエッチングストッパ膜として機能させることもできる。

［０６４６］

また、絶縁体２５２として、ＡＬＤ法で成膜した、膜厚１ｎｍの酸化アルミニウム膜を用いた。絶縁体２５０として、ＣＶＤ法で成膜した、膜厚５ｎｍの酸化窒化シリコン膜を用いた。絶縁体２５４として、ＡＬＤ法で成膜した、膜厚１ｎｍの窒化シリコン膜を用いた。

［０６４７］

導電体２６０ａとして、メタルＣＶＤ法で成膜した、膜厚５ｎｍの窒化チタンを用いた。また、導電体２６０ｂとして、メタルＣＶＤ法で成膜した、タングステンを用いた。

［０６４８］

絶縁体２８２として、スパッタリング法で成膜した、膜厚４０ｎｍの酸化アルミニウムを用いた。絶縁体２８３として、スパッタリング法で成膜した窒化シリコンを用いた。絶縁体２７４として、ＣＶＤ法で成膜した、酸化窒化シリコンを用いた。絶縁体２８５として、スパッタリング法で成膜した膜厚５０ｎｍの酸化シリコン膜を用いた。

［０６４９］

絶縁体２４１ａおよび絶縁体２４１ｂとして、ＡＬＤ法で成膜した酸化アルミニウム膜と、窒化シリコン膜の積層膜を用いた。導電体２４０ａおよび導電体２４０ｂとして、メタルＣＶＤ法で成膜した窒化チタン膜と、タングステン膜とを用いた。

［０６５０］

以上のようにして、試料Ｃ１と試料Ｃ２とをそれぞれ作製した。試料Ｃ１は、プリカーサ及び酸化剤に、水素を含むガスを用いて成膜した酸化ハフニウム膜を絶縁体２２２に用いた試料であり、試料Ｃ２は、プリカーサ及び酸化剤に、水素を含まないガスを用いて成膜した酸化ハフニウム膜を絶縁体２２２に用いた試料である。

［０６５１］

作製した試料Ｃ１について、日立ハイテクノロジーズ製「ＨＤ－２７００」を用いて、断面ＳＴＥＭ像の撮影を行った。図４４Ａに試料Ｃ１のチャネル長方向の断面ＳＴＥＭ像を、図４４Ｂに試料Ｃ１のチャネル幅方向の断面ＳＴＥＭ像を示す。なお、図４４Ａおよび図４４Ｂにおいては、一部の構成（例えば、絶縁体２５２など）には、符号を付していない。

［０６５２］

図４４Ａおよび図４４Ｂに示すように、試料Ｃ１のチャネル長Ｌは４３．９ｎｍ、酸化物２３０のチャネル幅方向の長さＷは３３．５ｎｍとなった。また、試料Ｃ１のトップゲート絶縁膜の等価酸化膜厚（ＥＯＴ：Ｅｑｕｉｖａｌｅｎｔ　ｏｘｉｄｅ　ｔｈｉｃｋｎｅｓｓ）が約６ｎｍに、バックゲート絶縁膜の等価酸化膜厚（ＥＯＴ）が約２６ｎｍになった。

［０６５３］

［電気特性評価］

作製した試料Ｃ１及び試料Ｃ２について、トランジスタ２００の電気特性を評価した。

［０６５４］

トランジスタ２００は、バックゲートに印加する電位に応じて、しきい値電圧を調整することができる。図４５Ａに、試料Ｃ２のトランジスタ２００について、バックゲート電圧Ｖｂｇを変化させたときのＩｄ－Ｖｇ特性を示す。Ｉｄ－Ｖｇ特性の測定は、ドレイン電圧Ｖｄを１．２Ｖ、ソース電圧Ｖｓを０Ｖとし、トップゲート電圧Ｖｇを－２Ｖから＋４Ｖまで、０．０５Ｖステップで掃引した。

［０６５５］

図４５Ａに示すように、バックゲート電圧Ｖｂｇに応じて、Ｉｄ－Ｖｇ特性がシフトすることが確認できた。

［０６５６］

図４５Ｂには、試料Ｃ１及び試料Ｃ２のトランジスタ２００に、バックゲート電圧Ｖｂｇを印加することでしきい値電圧を制御したのちのＩｄ－Ｖｇ特性を示す。図４５Ｂでは、試料Ｃ１ではバックゲート電圧Ｖｂｇを－３．５Ｖ、試料Ｃ２ではバックゲート電圧Ｖｂｇを－３．０Ｖ印加した

ときのＩｄ－Ｖｇ特性を示している。

［０６５７］

図４６には、試料Ｃ２のトランジスタ２００について、ゲート電圧Ｖｇを変化させたときのＩｄ－Ｖｄ特性を示している。なおこのときのバックゲート電圧Ｖｂｇは０Ｖとした。

［０６５８］

図４５Ａ、図４５Ｂ、及び図４６より、試料Ｃ１及び試料Ｃ２のトランジスタ２００は、良好な電気特性を示すことが確認できた。

［０６５９］

［信頼性評価］

続いて、試料Ｃ１及び試料Ｃ２のトランジスタ２００について、信頼性評価として、ストレス時間依存性を評価した。信頼性の評価は、ストレス温度を１５０℃とし、ゲート電圧Ｖｇを３．６３Ｖ、ソース電圧Ｖｓ及びドレイン電圧Ｖｄを０Ｖとした状態で保持し、一定時間ごとにＩｄ－Ｖｇ特性を測定してしきい値電圧の変化（ΔＶｔｈ）を調査した。評価数ｎは試料Ｃ１及び試料Ｃ２のそれぞれｎ＝２とした。なお、ここではしきい値電圧Ｖｔｈとして、ドレイン電流が1×10^{-12}ＡとなるＶｇｓの値を用いた。

［０６６０］

図４７Ａに試料Ｃ１の、図４７Ｂに試料Ｃ２の、ΔＶｔｈの時間依存を示す。図４７Ａに示すように試料Ｃ１では、試験時間（Ｔｉｍｅ）経過に伴って、しきい値電圧のマイナスドリフトが確認された。一方、試料Ｃ２では、５００時間経過後までほとんど変動が見られない結果となった。

［０６６１］

以上の結果から、プリカーサ及び酸化剤に水素を含まないガスを用いたＡＬＤ法により成膜した、極めて水素濃度の低い絶縁膜を、半導体層と重畳して設けることで、電気特性が良好で、且つ信頼性の高いトランジスタが得られることが確認できた。

［０６６２］

［書き換え耐性評価］

試料Ｃ１及び試料Ｃ２のトランジスタ２００を用いて、図４８Ａに示す３Ｔ１Ｃのメモリセルを作製し、当該メモリセルの書き換え耐性評価を行った。図４８Ａに示すメモリセルは、トランジスタＴｒ１乃至トランジスタＴｒ３と、容量素子Ｃｓ１と、を有している。本実施例では、トランジスタＴｒ１乃至トランジスタＴｒ３に試料Ｃ１のトランジスタ２００を用いたメモリセルと、試料Ｃ２のトランジスタ２００を用いたメモリセルと、を作製した。なお、トランジスタＴｒ１乃至トランジスタＴｒ３に用いたトランジスタ２００は、チャネル長を６０ｎｍ、チャネル幅を６０ｎｍとして設計した。また、容量素子Ｃｓ１は静電容量が５２ｆＦとして設計した。

［０６６３］

トランジスタＴｒ１のトップゲートは、配線ＷＷＬに電気的に接続され、トランジスタＴｒ１のバックゲートは、配線ＢＧ１に電気的に接続されている。また、トランジスタＴｒ１のソースおよびドレインの一方は、配線ＷＢＬに電気的に接続されている。また、トランジスタＴｒ１のソースおよびドレインの他方は、容量素子Ｃｓ１の一方の電極、およびトランジスタＴｒ２のトップゲートに電気的に接続されている（以下において、このノードをノードｓｎと呼ぶ。）。また、トランジスタＴｒ２およびトランジスタＴｒ３のバックゲートは、配線ＢＧ２に電気的に接続されている。また、トランジスタＴｒ２のソースおよびドレインの一方は、配線ＲＢＬに電気的に接続されてい

る。また、トランジスタＴｒ２のソースおよびドレインの他方は、トランジスタＴｒ３のソースおよびドレインの一方と、電気的に接続されている。トランジスタＴｒ３のトップゲートは、配線ＲＷＬに電気的に接続されている。トランジスタＴｒ３のソースおよびドレインの他方は、配線ＳＬに電気的に接続されている。また、容量素子Ｃｓ１の他方の電極は、配線ＣＬに電気的に接続されている。

［０６６４］

書き換え耐性評価として、配線ＷＢＬを介してノードｓｎにｄａｔａ“０”およびｄａｔａ“１”に対応する電位を繰り返し書き込む試験（以下、サイクル試験と呼ぶ。）を行った。具体的には、配線WWLおよび配線ＷＢＬに、図４８Ｂに示すタイミングチャートの電位を与えた。ここで、配線WWLの電位“Ｈ”／“Ｌ”は３．３Ｖ／０Ｖとし、配線ＷＢＬの電位“Ｈ”／“Ｌ”は１．２Ｖ／０Ｖとした。また、サイクル試験中、配線ＣＬは０Ｖとし、配線ＢＧ１は－１．０Ｖとし、配線ＢＧ２は５．０Ｖとし、配線ＲＷＬは０Ｖとし、配線ＲＢＬは０Ｖとし、配線ＳＬは０Ｖとした。

［０６６５］

サイクル試験のサイクル数の累積が１０のｎ乗（ｎは０乃至１２の整数）になるごとに、データの読み出しを行った。まず、トランジスタＴｒ２について、ゲート電圧（Ｖｇ）を走査しながらドレイン電流（Ｉｄ）を測定し、トランジスタＴｒ２のＩｄ－Ｖｇ特性を確認した。次に、ｄａｔａ“０”またはｄａｔａ“１”がノードｓｎに書き込まれた状態で、トランジスタＴｒ２およびトランジスタＴｒ３のドレイン電流を測定し、トランジスタＴｒ２に印加されるゲート電圧を想定することでノードｓｎの電圧Ｖｓｎ［Ｖ］を算出した。このとき、配線WWLは０Ｖとし、配線ＣＬは０Ｖとし、配線ＢＧ１は－１．０Ｖとし、配線ＢＧ２は５．０Ｖとし、配線ＲＷＬは３．３Ｖとし、配線ＲＢＬは０Ｖとし、配線ＳＬは１．２Ｖとした。

［０６６６］

サイクル試験の結果を図４９Ａおよび図４９Ｂに示す。図４９Ａおよび図４９Ｂは、横軸にサイクル数［回］をとり、縦軸に電圧Ｖｓｎ［Ｖ］をとる。図４９Ａが試料Ｃ１のトランジスタ２００を用いたメモリセルの結果で、図４９Ｂが試料Ｃ２のトランジスタ２００を用いたメモリセルの結果である。

［０６６７］

図４９Ａおよび図４９Ｂから、試料Ｃ１のメモリセル、試料Ｃ２のメモリセルともに、ｄａｔａ“０”とｄａｔａ“１”が明瞭に読み出されていることが分かる。このように、試料Ｃ１のメモリセル、試料Ｃ２のメモリセルともに、10^{12}サイクル以上の書き換え耐性を有することが確認された。

［０６６８］

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

［符号の説明］

［０６６９］

１００：容量素子、１１０：導電体、１１２：導電体、１１５：導電体、１２０：導電体、１２５：導電体、１３０：絶縁体、１４０：導電体、１４２：絶縁体、１４５：絶縁体、１５０：絶縁体、１５２：絶縁体、１５３：導電体、１５４：絶縁体、１５６：絶縁体、２００：トランジスタ、２００ａ：トランジスタ、２００ｂ：トランジスタ、２０５：導電体、２０５ａ：導電体、２０５

ｂ：導電体、２１０：絶縁体、２１２：絶縁体、２１４：絶縁体、２１６：絶縁体、２１７：絶縁体、２１８：導電体、２２２：絶縁体、２２４：絶縁体、２２４Ａ：絶縁膜、２３０：酸化物、２３０ａ：酸化物、２３０Ａ：酸化膜、２３０ｂ：酸化物、２３０Ｂ：酸化膜、２３０ｂａ：領域、２３０ｂｂ：領域、２３０ｂｃ：領域、２４０：導電体、２４０ａ：導電体、２４０ｂ：導電体、２４１：絶縁体、２４１ａ：絶縁体、２４１ｂ：絶縁体、２４２：導電体、２４２ａ：導電体、２４２Ａ：導電膜、２４２ｂ：導電体、２４２Ｂ：導電層、２４２ｃ：導電体、２４３：酸化物、２４３ａ：酸化物、２４３ｂ：酸化物、２４６：導電体、２４６ａ：導電体、２４６ｂ：導電体、２５０：絶縁体、２５０ａ：絶縁体、２５０Ａ：絶縁膜、２５０ｂ：絶縁体、２５２：絶縁体、２５２Ａ：絶縁膜、２５４：絶縁体、２５４Ａ：絶縁膜、２６０：導電体、２６０ａ：導電体、２６０ｂ：導電体、２６５：封止部、２７１：絶縁体、２７１ａ：絶縁体、２７１Ａ：絶縁膜、２７１ｂ：絶縁体、２７１Ｂ：絶縁層、２７１ｃ：絶縁体、２７４：絶縁体、２７５：絶縁体、２８０：絶縁体、２８２：絶縁体、２８３：絶縁体、２８５：絶縁体、２９０：メモリデバイス、２９２：容量デバイス、２９２ａ：容量デバイス、２９２ｂ：容量デバイス、２９４：導電体、２９４ａ：導電体、２９４ｂ：導電体、３００：トランジスタ、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、４００：開口領域、４０１：プリカーサ、４０２：プリカーサ、４０３：酸化性ガス、４０４：キャリア・パージガス、５００：半導体装置、６００：半導体装置、６０１：半導体装置、６１０：セルアレイ、６１０＿ｎ：セルアレイ、６１０＿１：セルアレイ、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７２０：記憶装置、７２１：駆動回路層、７２２：記憶回路層、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、９００：製造装置、９０１：反応室、９０３：ガス導入口、９０４：反応室入り口、９０５：排気口、９０７：ウエハステージ、９０８：軸、９１６：絶縁体、９２２：絶縁体、９２４：絶縁体、９３０：酸化物、９３０ａ：酸化物、９３０ｂ：酸化物、９５０：ウエハ、１００１：配線、１００２：配線、１００３：配線、１００４：配線、１００５：配線、１００６：配線、１１００：ＵＳＢメモリ、１１０１：筐体、１１０２：キャップ、１１０３：ＵＳＢコネクタ、１１０４：基板、１１０５：メモリチップ、１１０６：コントローラチップ、１１１０：ＳＤカード、１１１１：筐体、１１１２：コネクタ、１１１３：基板、１１１４：メモリチップ、１１１５：コントローラチップ、１１５０：ＳＳＤ、１１５１：筐体、１１５２：コネクタ、１１５３：基板、１１５４：メモリチップ、１１５５：メモリチップ、１１５６：コントローラチップ、１２００：チップ、１２０１：パッケージ基板、１２０２：バンプ、１２０３：マザーボード、１２０４：ＧＰＵモジュール、１２１１：ＣＰＵ、１２１２：ＧＰＵ、１２１３：アナログ演算部、１２１４：メモリコントローラ、１２１５：インターフェース、１２１６：ネットワーク回路、１２２１：ＤＲＡＭ、１２２２：フラッシュメモリ、１４００：記憶装置、１４１１：周辺回路、１４２０：行回路、１４３０：列回路、１４４０：出力回路、１４６０：コントロールロジック回路、１４７０：メモリセルアレイ、１４７１：メモリセル、１４７２：メモリセル、１４７３：メモリセル、１４７４：メモリセル、１４７５：メモリセル、１４７６：メモリセル、１４７７：メモリセル、１４７８：メモリセル、２７００：製造装置、２７０１：大気側基板供給室、２７０２：大気側基板搬送室、２７０３ａ：ロードロック室、２７０３

ｂ：アンロードロック室、２７０４：搬送室、２７０６ａ：チャンバー、２７０６ｂ：チャンバー、２７０６ｃ：チャンバー、２７０６ｄ：チャンバー、２７６１：カセットポート、２７６２：アライメントポート、２７６３ａ：搬送ロボット、２７６３ｂ：搬送ロボット、２８０１：ガス供給源、２８０２：バルブ、２８０３：高周波発生器、２８０４：導波管、２８０５：モード変換器、２８０６：ガス管、２８０７：導波管、２８０８：スロットアンテナ板、２８０９：誘電体板、２８１０：高密度プラズマ、２８１１：基板、２８１１＿ｎ：基板、２８１１＿ｎ－１：基板、２８１１＿ｎ－２：基板、２８１１＿１：基板、２８１１＿２：基板、２８１１＿３：基板、２８１２：基板ホルダ、２８１３：加熱機構、２８１５：マッチングボックス、２８１６：高周波電源、２８１７：真空ポンプ、２８１８：バルブ、２８１９：排気口、２８２０：ランプ、２８２１：ガス供給源、２８２２：バルブ、２８２３：ガス導入口、２８２４：基板、２８２５：基板ホルダ、２８２６：加熱機構、２８２８：真空ポンプ、２８２９：バルブ、２８３０：排気口、２９００：マイクロ波処理装置、２９０１：石英管、２９０２：基板ホルダ、２９０３：加熱手段、５１００：情報端末、５１０１：筐体、５１０２：表示部、５２００：ノート型情報端末、５２０１：本体、５２０２：表示部、５２０３：キーボード、５３００：携帯ゲーム機、５３０１：筐体、５３０２：筐体、５３０３：筐体、５３０４：表示部、５３０５：接続部、５３０６：操作キー、５４００：据え置き型ゲーム機、５４０２：コントローラ、５５００：スーパーコンピュータ、５５０１：ラック、５５０２：計算機、５５０４：基板、５７０１：表示パネル、５７０２：表示パネル、５７０３：表示パネル、５７０４：表示パネル、５８００：電気冷凍冷蔵庫、５８０１：筐体、５８０２：冷蔵室用扉、５８０３：冷凍室用扉

請求の範囲

［請求項１］

第１の絶縁膜を成膜し、

前記第１の絶縁体上にＡＬＤ法によって金属酸化物を成膜し、

前記金属酸化物上に第２の絶縁体を成膜し、

前記第２の絶縁体上に、酸化物を成膜し、

加熱処理を行うことで、前記第１の絶縁体中、前記第２の絶縁体中、および前記酸化物中の水素が、前記金属酸化物へ移動、および吸収される、

半導体装置の作製方法。

［請求項２］

請求項１において、

前記ＡＬＤ法は、

プリカーサ、およびキャリア・パージガスを反応室に導入する第１の工程と、

前記プリカーサの導入を止めて、前記プリカーサを排気する第２の工程と、

酸化性ガスを反応室に導入する第３の工程と、

前記酸化性ガスの導入を止めて、前記酸化性ガスを排気する第４の工程と、を有し、

前記第１の工程乃至第４の工程は、それぞれ２１０℃以上３００℃以下の温度範囲で行われる、

半導体装置の作製方法。

［請求項３］

請求項２において、

前記第１の工程乃至第４の工程は、繰り返し行われる、

半導体装置の作製方法。

［請求項４］

請求項２または請求項３において、

前記プリカーサは、ハフニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項５］

請求項２乃至請求項４のいずれか一項において、

前記酸化性ガスは、O_2、O_3、N_2O、NO_2、H_2O、およびH_2O_2の中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項６］

請求項２乃至請求項５のいずれか一項において、

前記キャリア・パージガスは、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項７］

請求項２乃至請求項６のいずれか一項において、

前記プリカーサは、$HfCl_4$であり、前記酸化性ガスは、O_3を含む、

半導体装置の作製方法。

［請求項８］

請求項１において、

前記ＡＬＤ法は、

第１のプリカーサ、およびキャリア・パージガスを反応室に導入する第１の工程と、

前記第１のプリカーサの導入を止めて、前記第１のプリカーサを排気する第２の工程と、

酸化性ガスを反応室に導入する第３の工程と、

前記酸化性ガスの導入を止めて、前記酸化性ガスを排気する第４の工程と、

第２のプリカーサを反応室に導入する第５の工程と、

前記第２のプリカーサの導入を止めて、

前記第２のプリカーサを排気する第６の工程と、

前記酸化性ガスを反応室に導入する第７の工程と、

前記酸化性ガスの導入を止めて、前記酸化性ガスを排気する第８の工程と、を有し、

前記第１の工程乃至第８の工程は、それぞれ２１０℃以上３００℃以下の温度範囲で行われる、

半導体装置の作製方法。

［請求項９］

請求項８において、

前記第１の工程乃至第８の工程は、繰り返し行われる、

半導体装置の作製方法。

［請求項１０］

請求項８または請求項９において、

前記第１のプリカーサは、ハフニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含み、

前記第２のプリカーサは、ジルコニウムを含み、さらに塩素、フッ素、臭素、ヨウ素、および水素の中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項１１］

請求項８乃至請求項１０のいずれか一項において、

前記酸化性ガスは、O_2、O_3、N_2O、NO_2、およびH_2Oの中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項１２］

請求項８乃至請求項１１のいずれか一項において、

前記キャリア・パージガスは、N_2、Ｈｅ、Ａｒ、Ｋｒ、およびＸｅの中から選ばれるいずれか一または複数を含む、

半導体装置の作製方法。

［請求項１３］

請求項８乃至請求項１２のいずれか一項において、

前記第１のプリカーサは、$HfCl_4$であり、

前記第２のプリカーサは、$ZrCl_4$であり、

前記酸化性ガスは、O_3を含む、

半導体装置の作製方法。

図1A



図1B

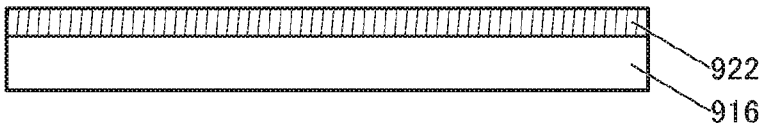


図1C

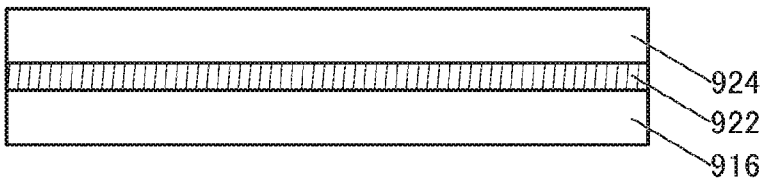


図1D

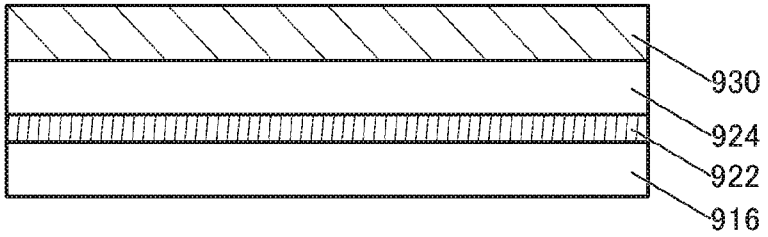


図2

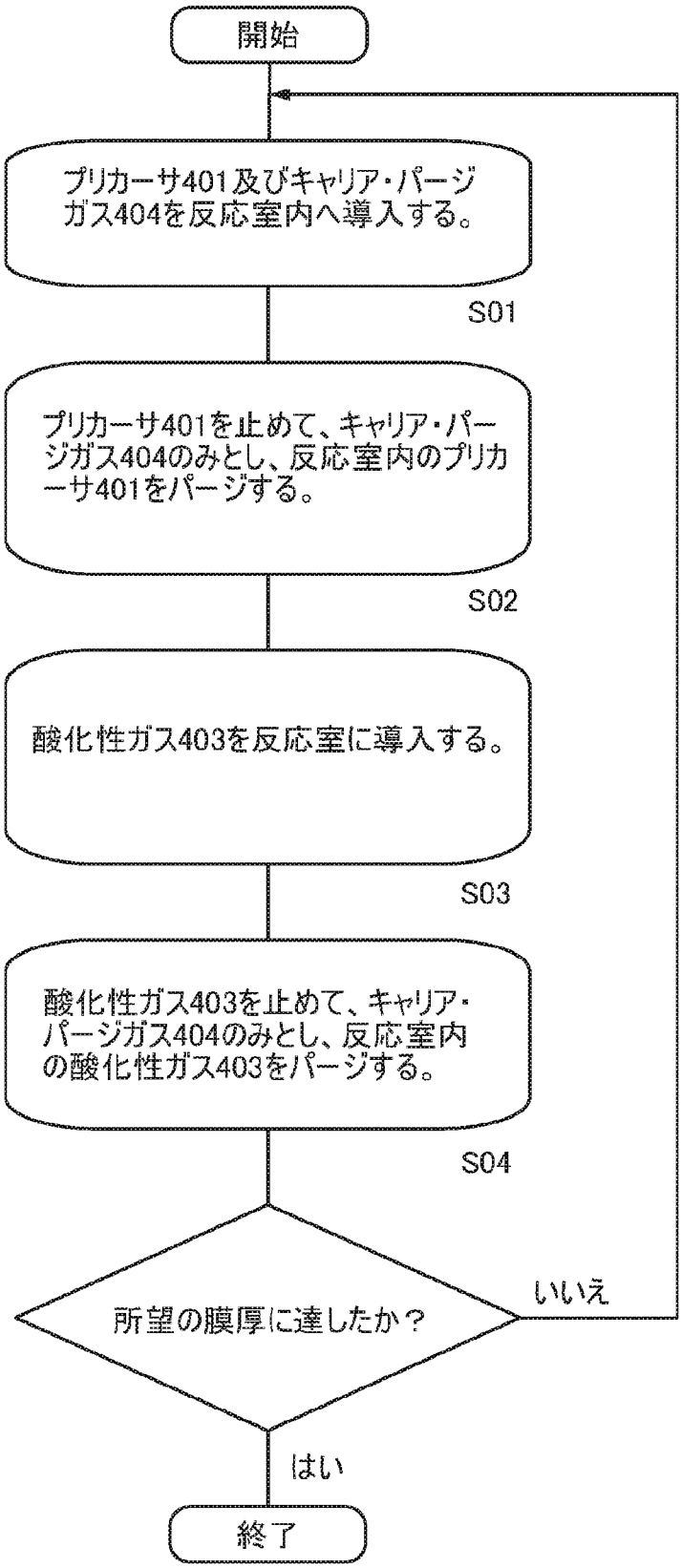

開始
プリカーサ401及びキャリア・パージガス404を反応室内へ導入する。
S01
プリカーサ401を止めて、キャリア・パージガス404のみとし、反応室内のプリカーサ401をパージする。
S02
酸化性ガス403を反応室に導入する。
S03
酸化性ガス403を止めて、キャリア・パージガス404のみとし、反応室内の酸化性ガス403をパージする。
S04
所望の膜厚に達したか？
いいえ
はい
終了

図3

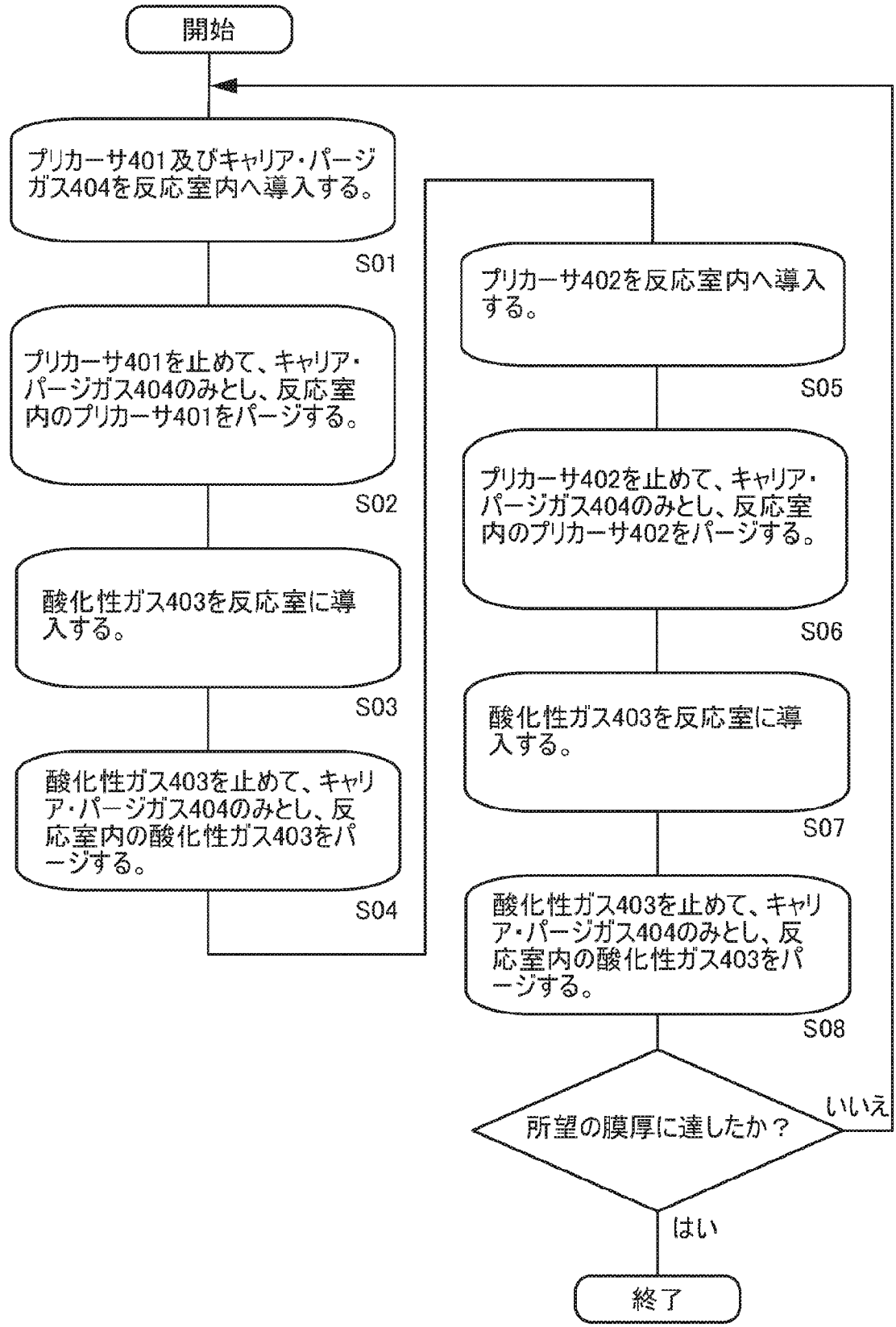
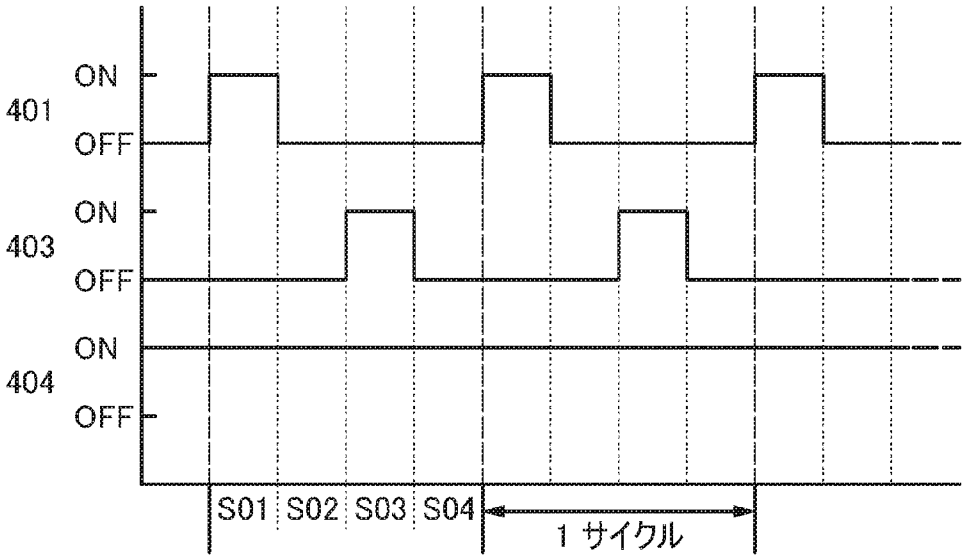

開始
プリカーサ401及びキャリア・パージガス404を反応室内へ導入する。
S01
プリカーサ401を止めて、キャリア・パージガス404のみとし、反応室内のプリカーサ401をパージする。
S02
酸化性ガス403を反応室に導入する。
S03
酸化性ガス403を止めて、キャリア・パージガス404のみとし、反応室内の酸化性ガス403をパージする。
S04
プリカーサ402を反応室内へ導入する。
S05
プリカーサ402を止めて、キャリア・パージガス404のみとし、反応室内のプリカーサ402をパージする。
S06
酸化性ガス403を反応室に導入する。
S07
酸化性ガス403を止めて、キャリア・パージガス404のみとし、反応室内の酸化性ガス403をパージする。
S08
所望の膜厚に達したか？
いいえ
はい
終了

図4



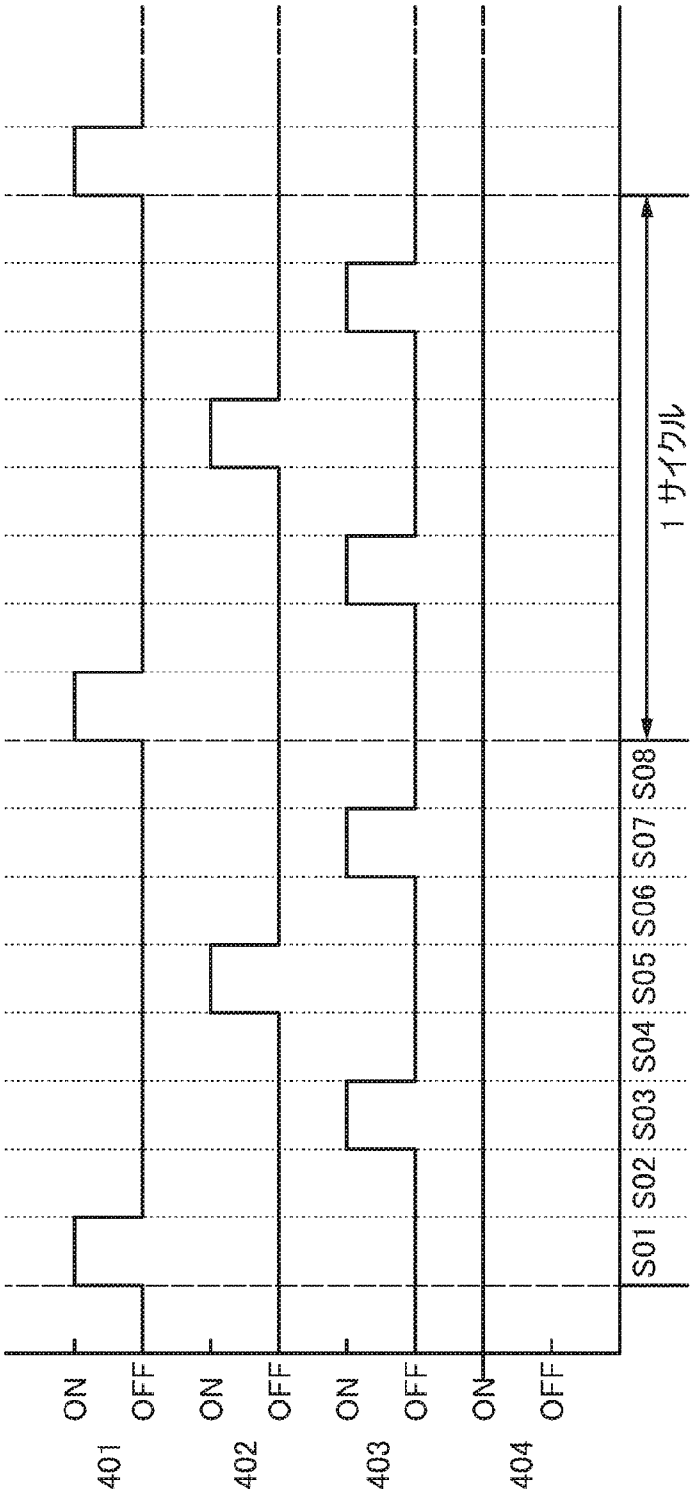

401
402
403
404
ON
OFF
ON
OFF
ON
OFF
ON
OFF
S01
S02
S03
S04
S05
S06
S07
S08
1サイクル

図5

図6

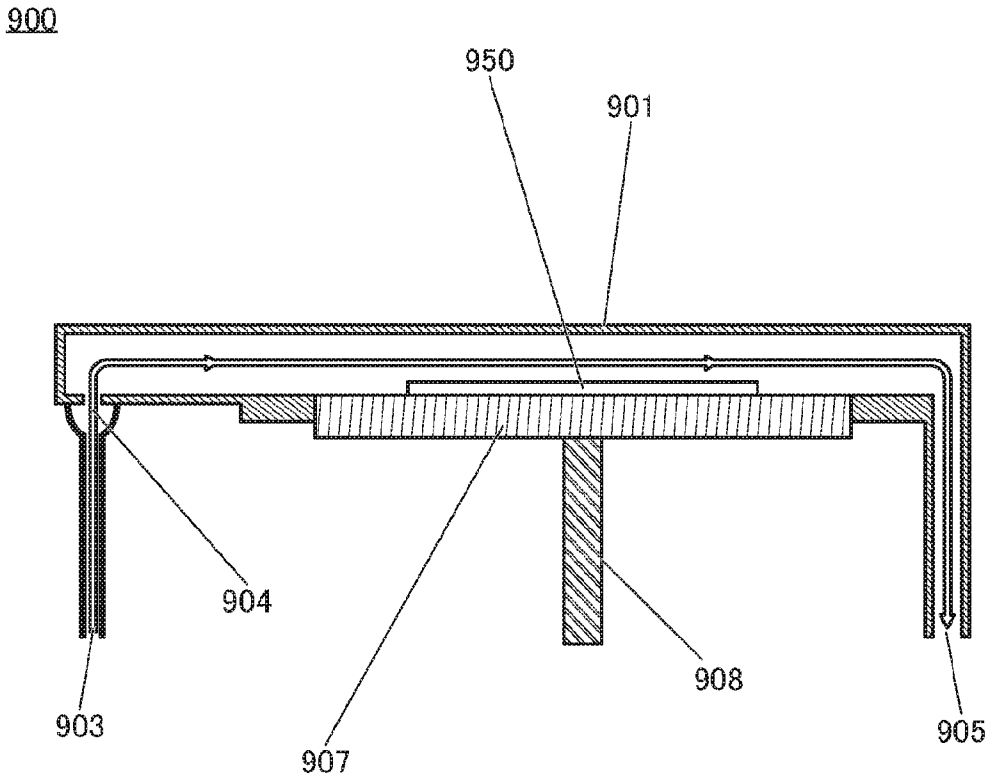


図7A

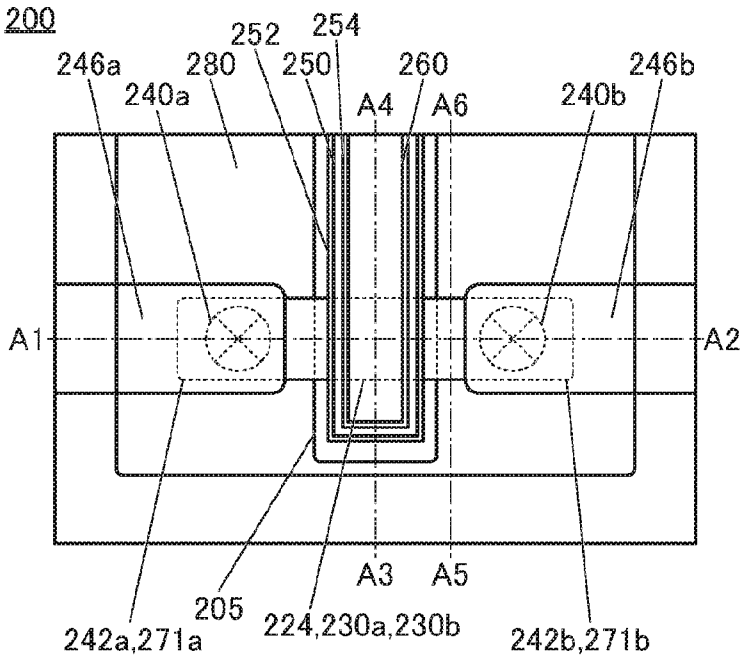


図7C

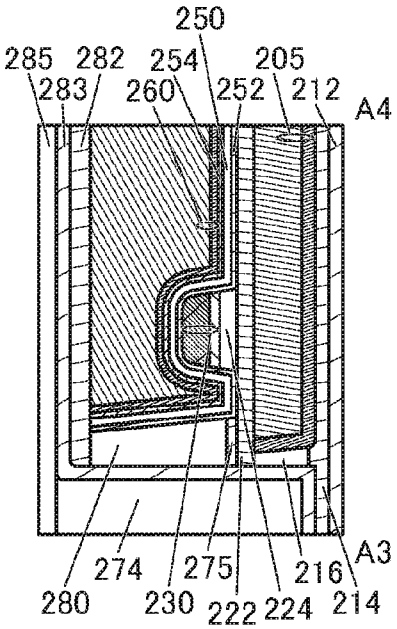


図7B

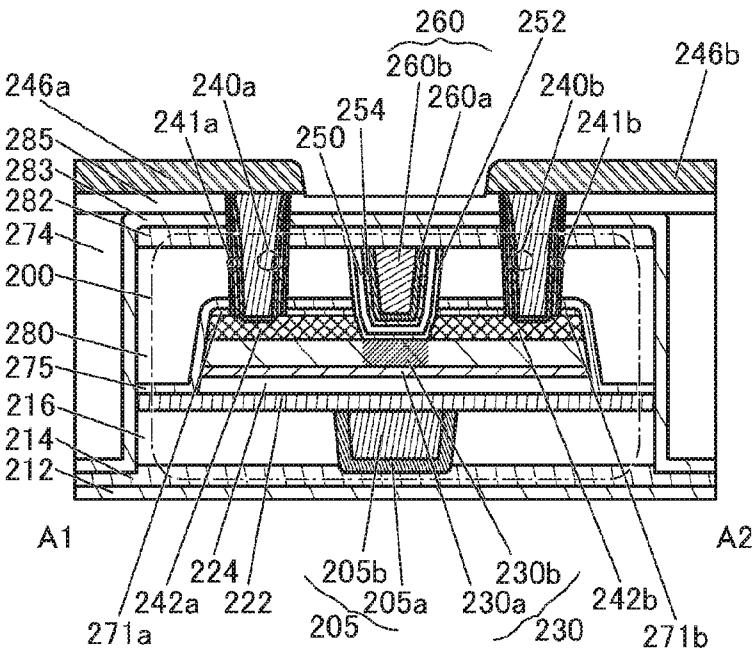


図7D

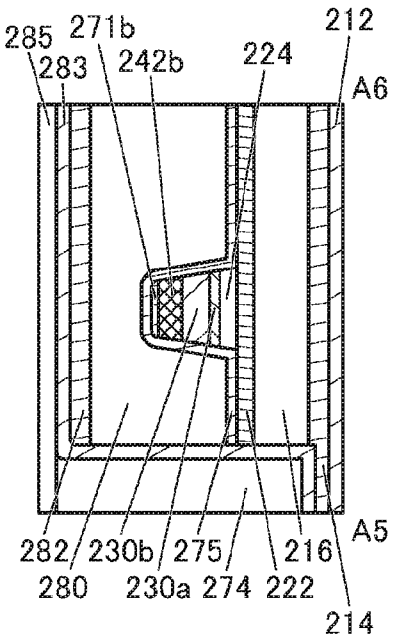


図8A

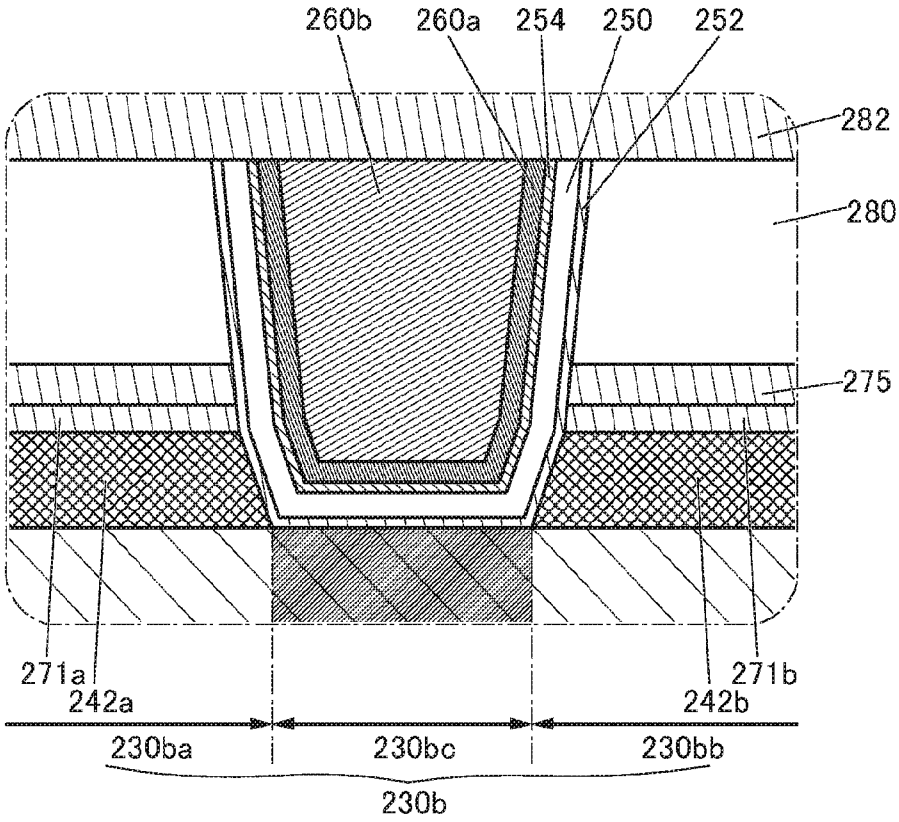

260b
260a
254
250
252
282
280
275
271a
242a
242b
271b
230ba
230bc
230bb
230b

図8B

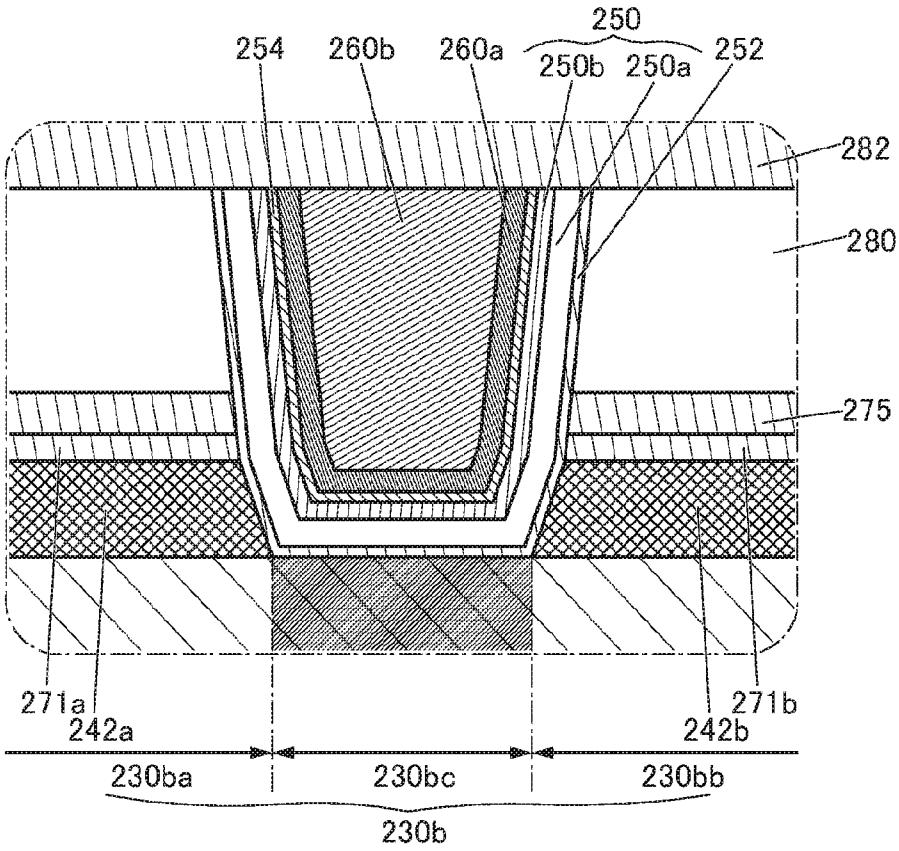

250
254
260b
260a
250b
250a
252
282
280
275
271a
242a
242b
271b
230ba
230bc
230bb
230b

図9A

中間状態
新しい境界領域

Amorphous （無定形）	Crystalline （結晶性）	Crystal （結晶）
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図9B

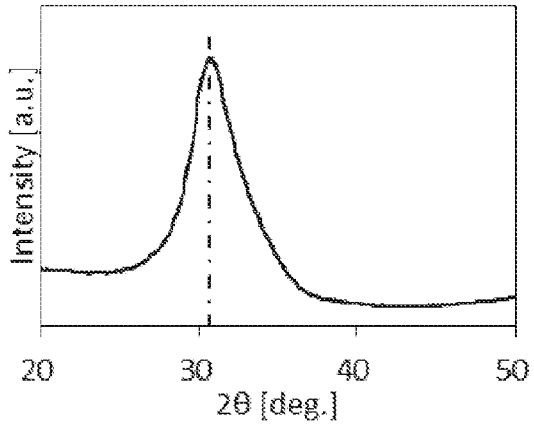


図9C

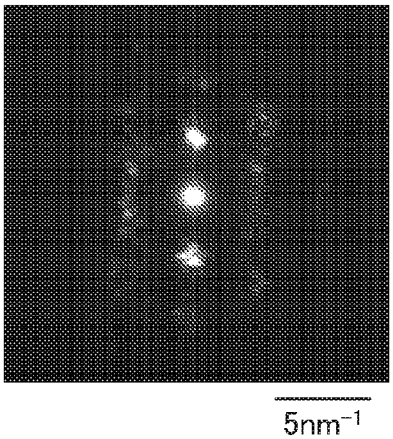


図10A

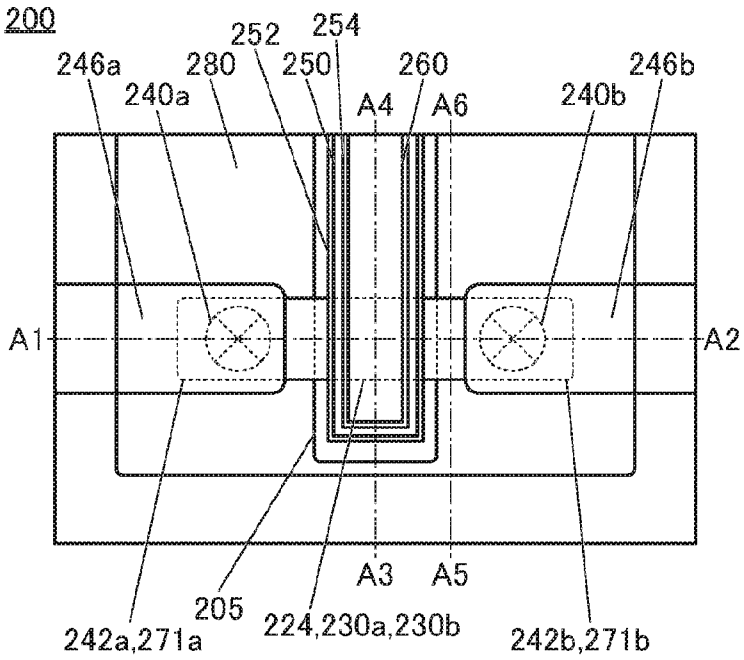


図10C

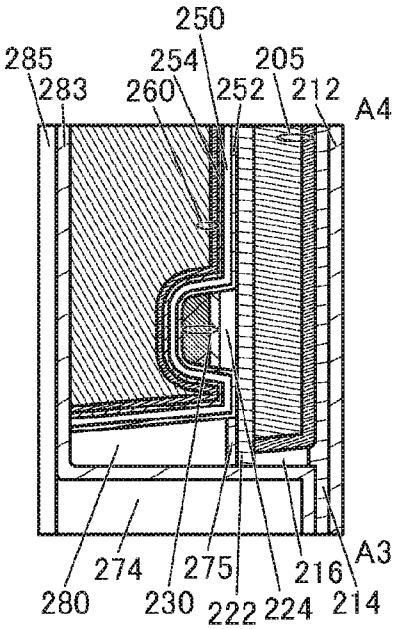


図10B

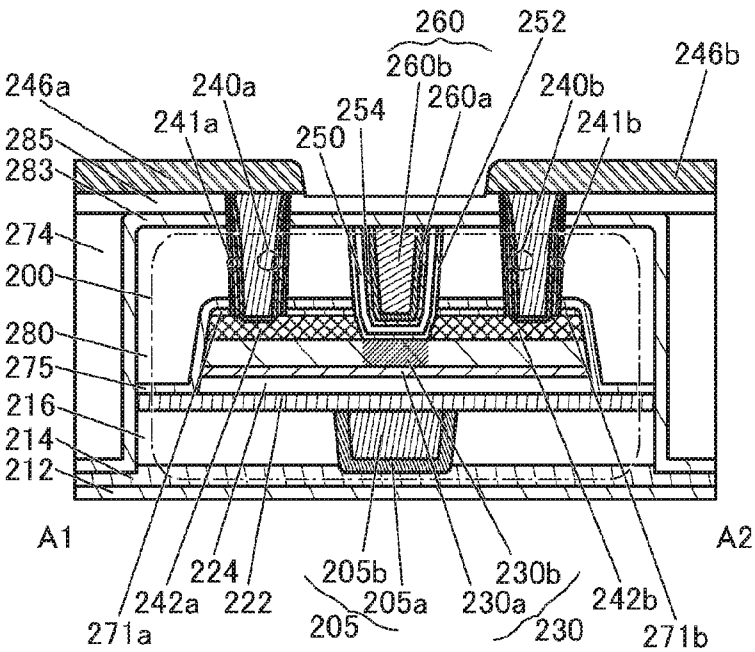


図10D

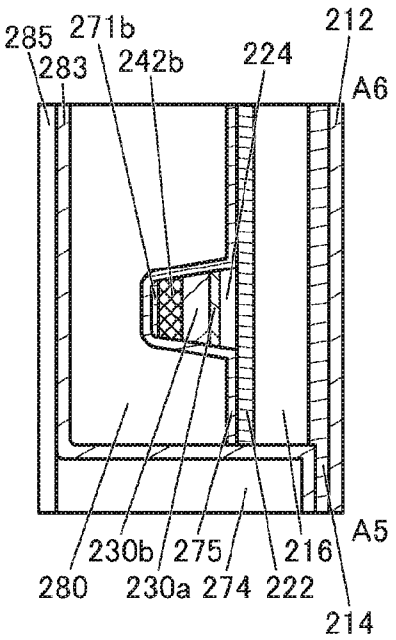


図11A

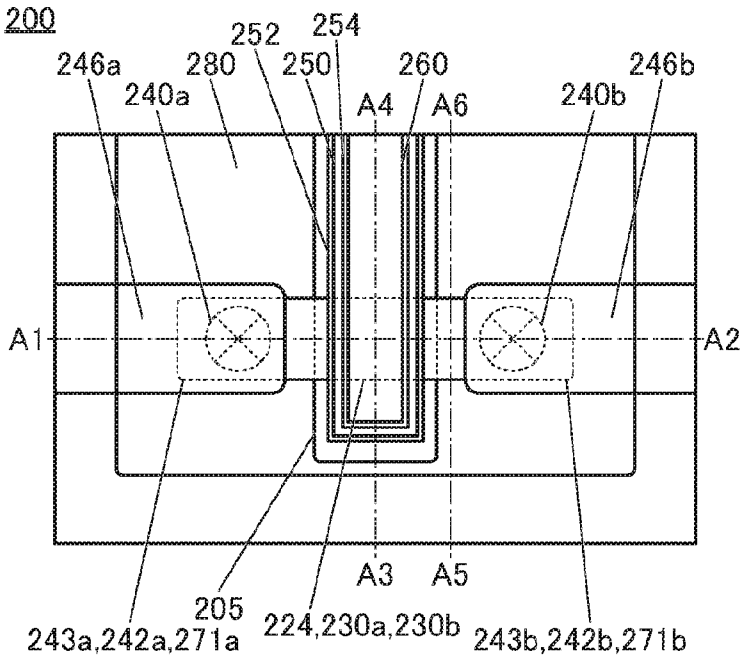


図11C

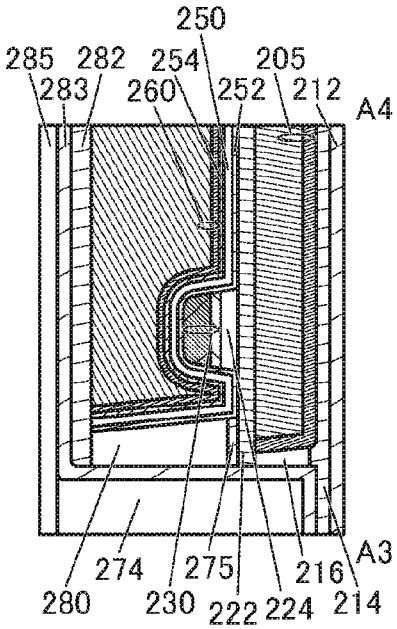


図11B

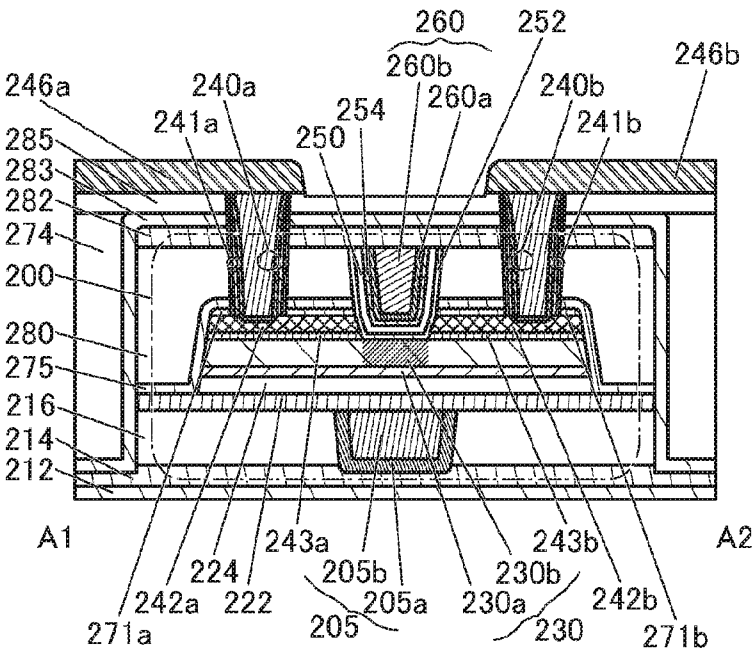


図11D

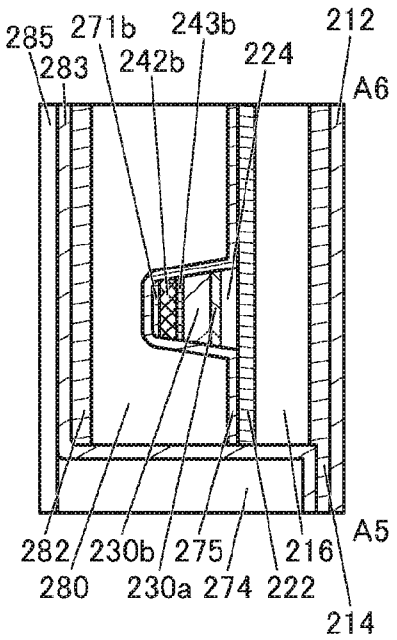


図12A

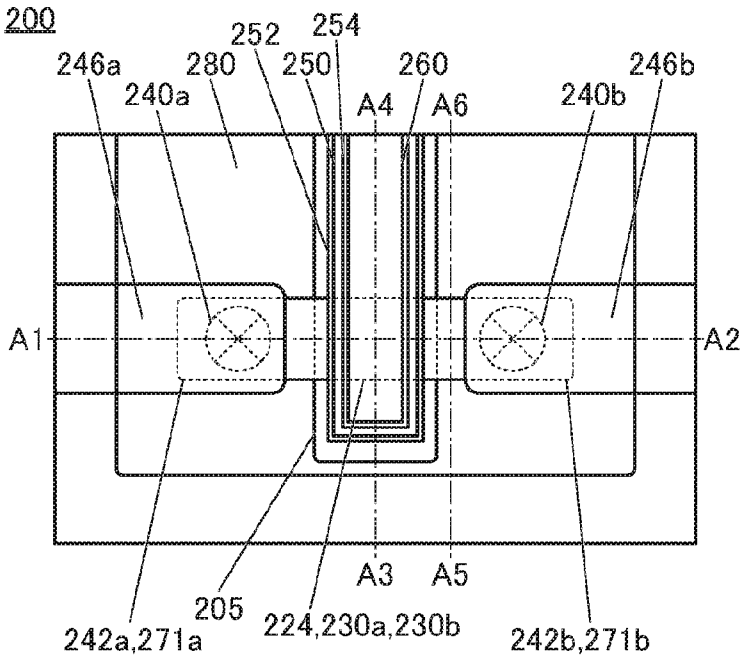


図12C

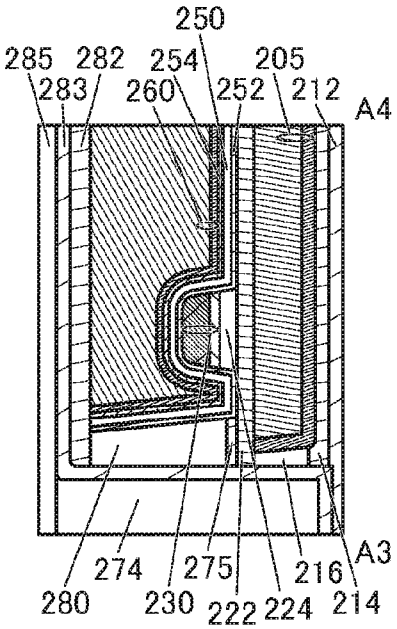


図12B

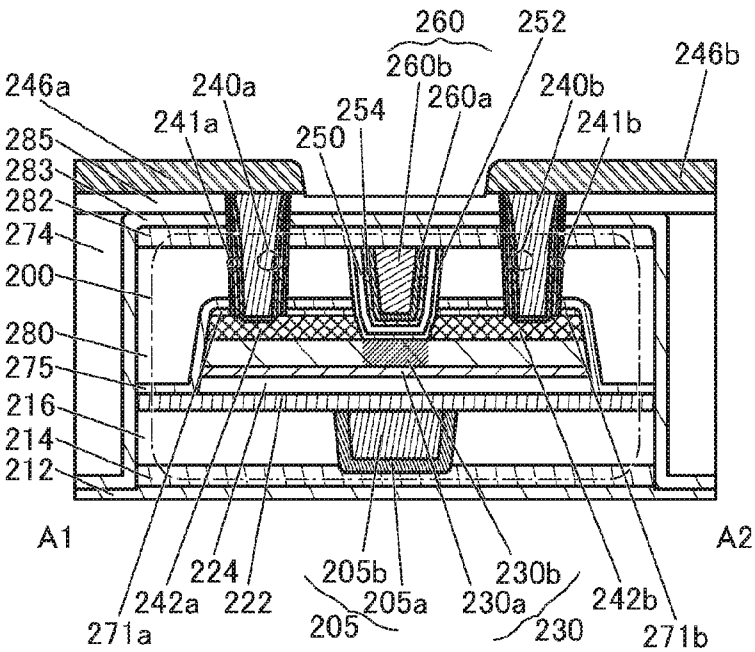


図12D

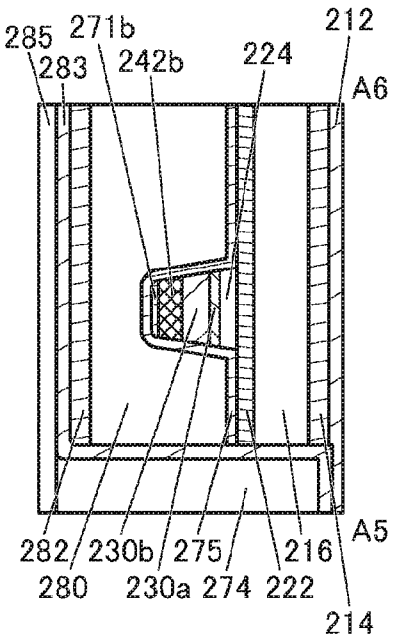


図13A

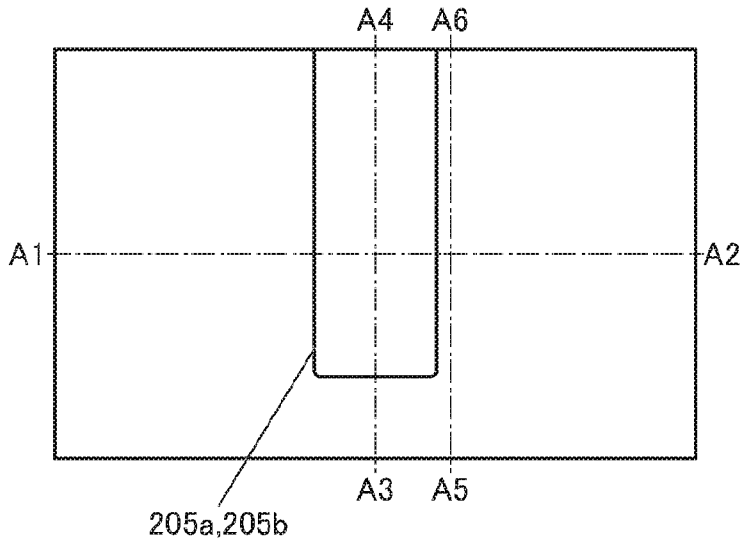


図13C

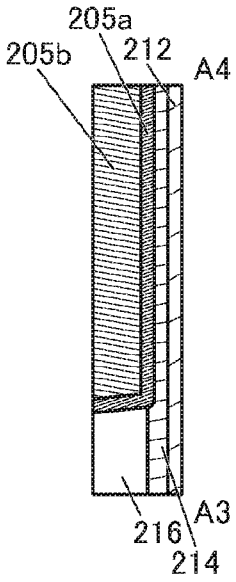


図13B

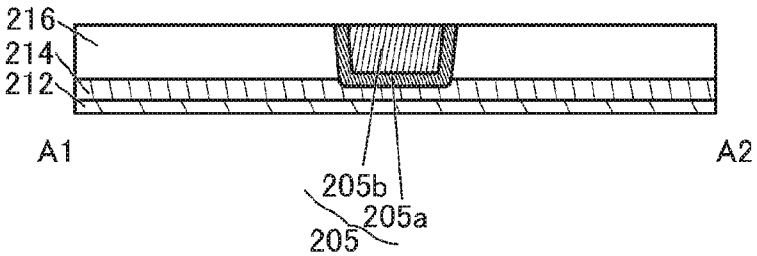


図13D

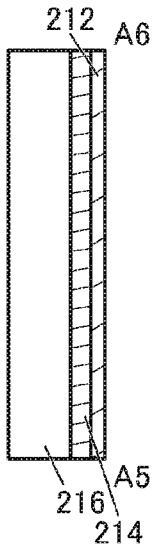


図14A

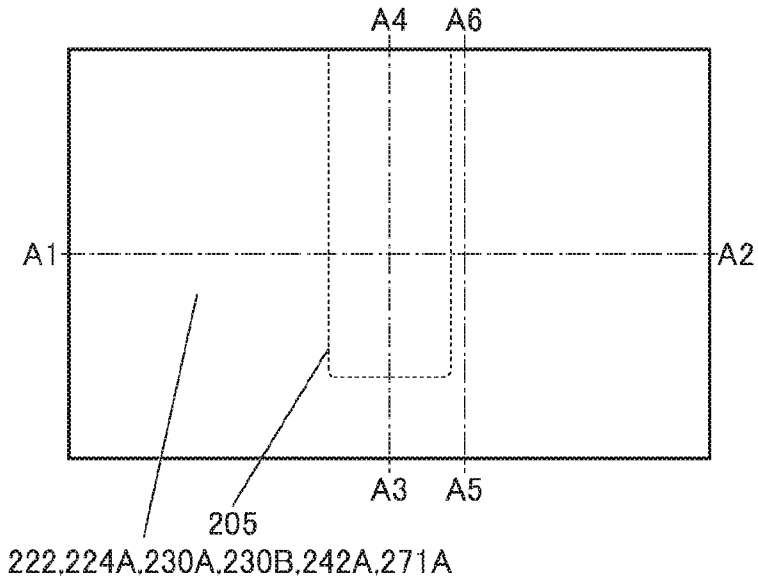


図14B

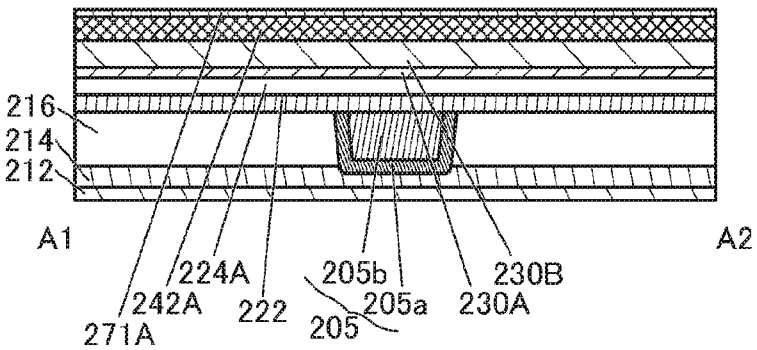


図14C

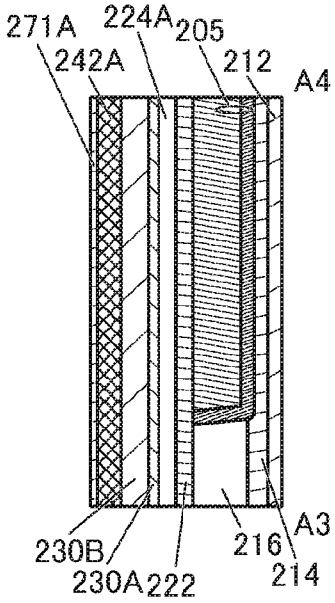


図14D

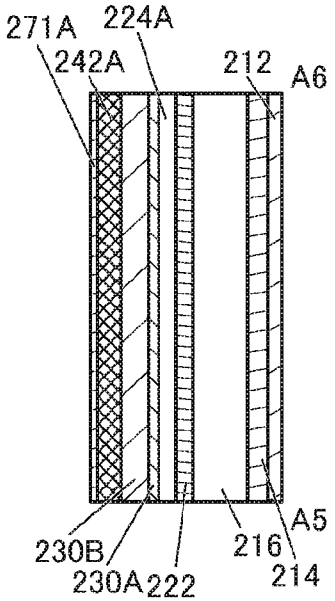


図15A

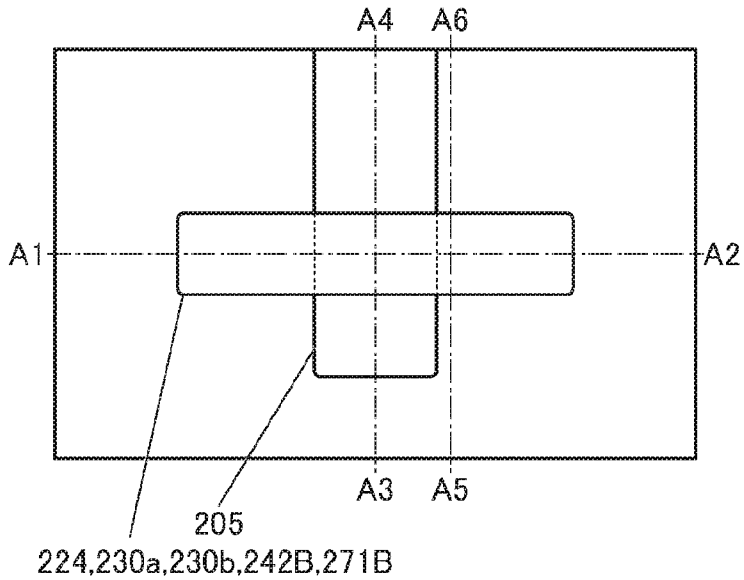


図15C

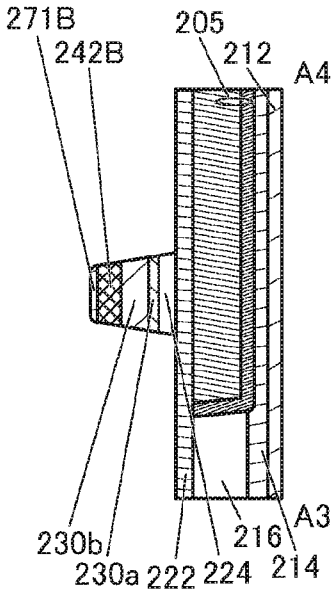


図15B

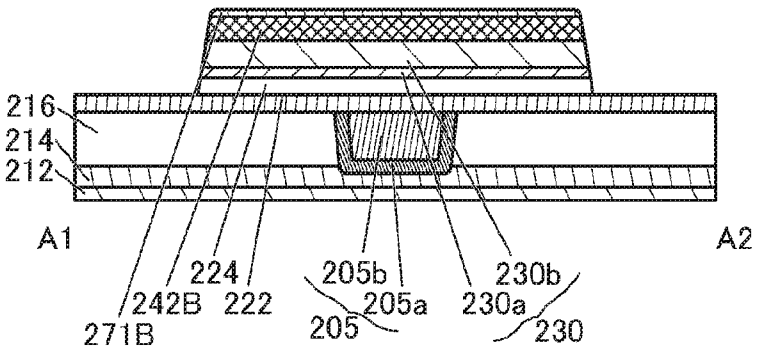


図15D

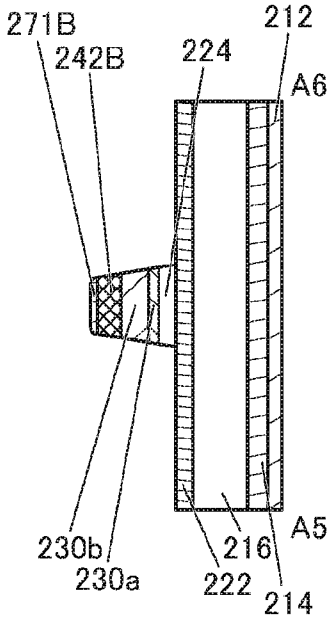


図16A

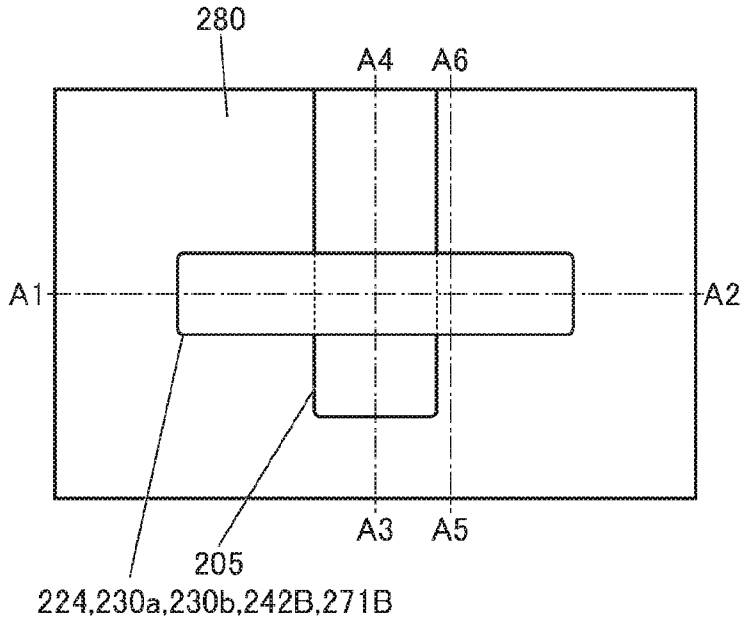


図16C

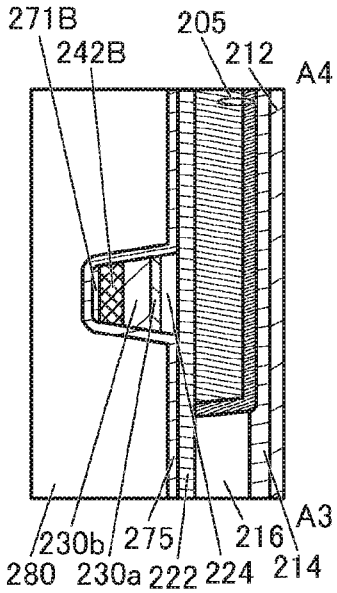


図16B

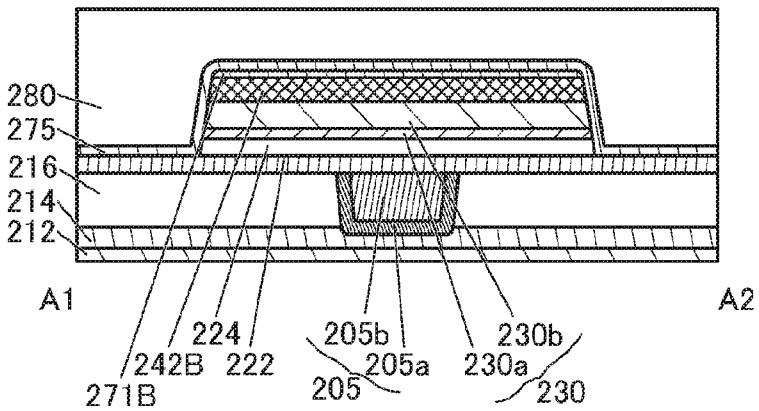


図16D

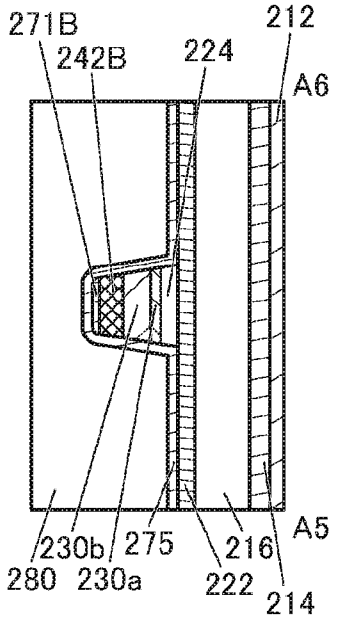


図17A

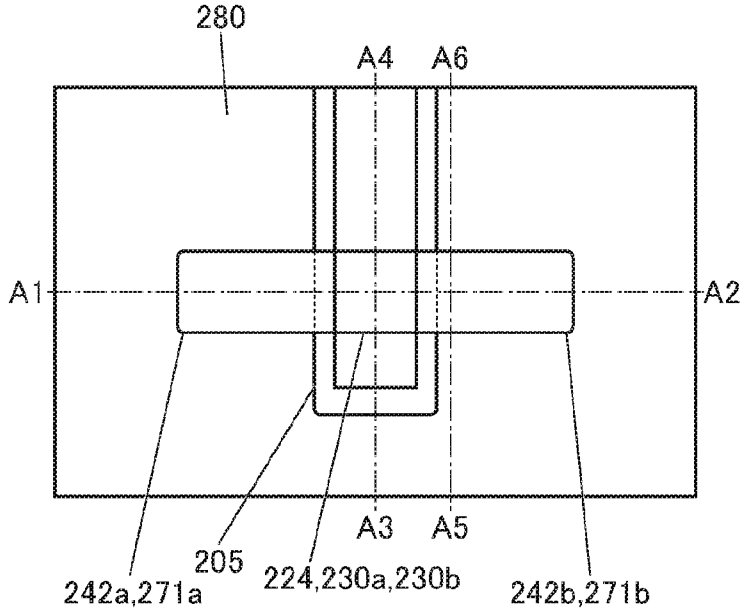


図17C

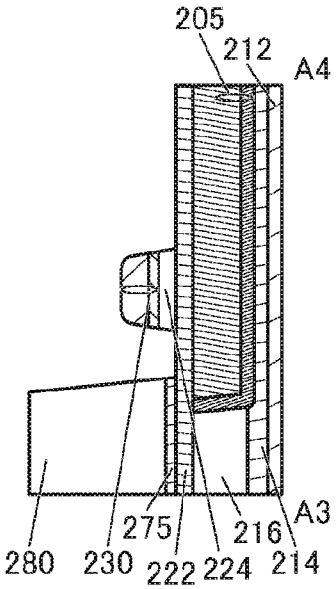


図17B

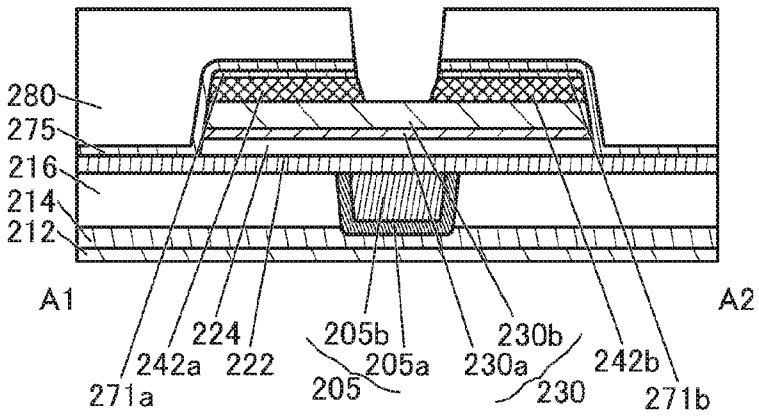


図17D

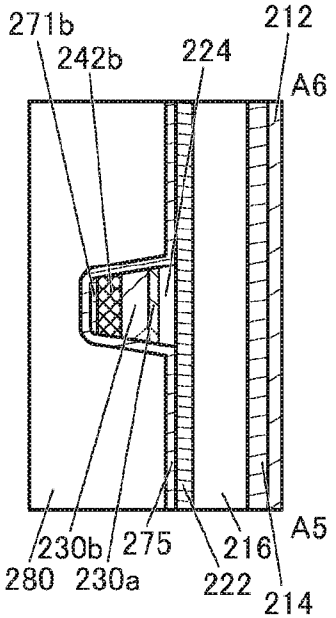


図18A

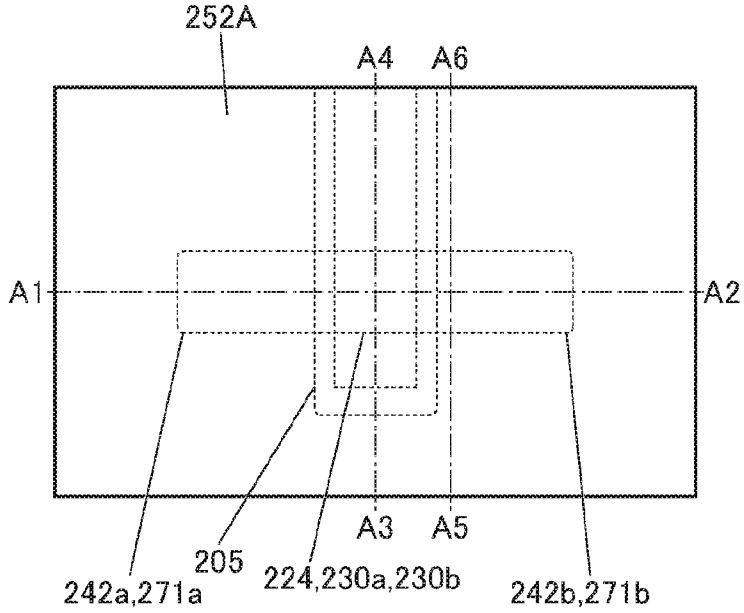


図18C

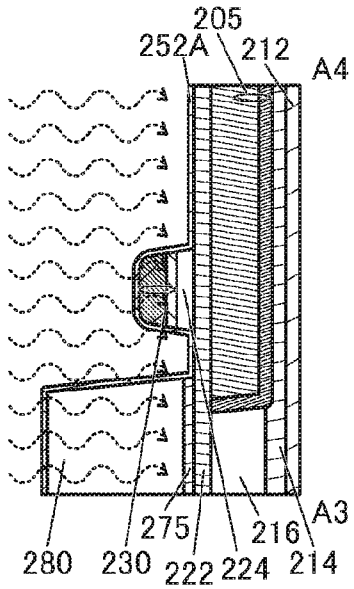


図18B

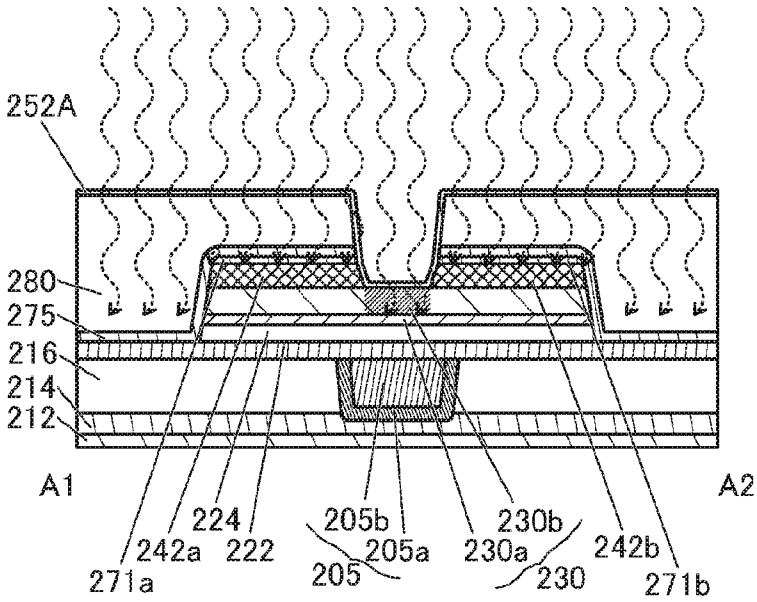


図18D

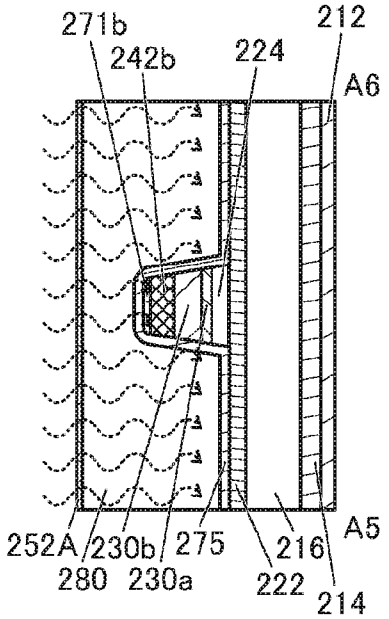


図19A

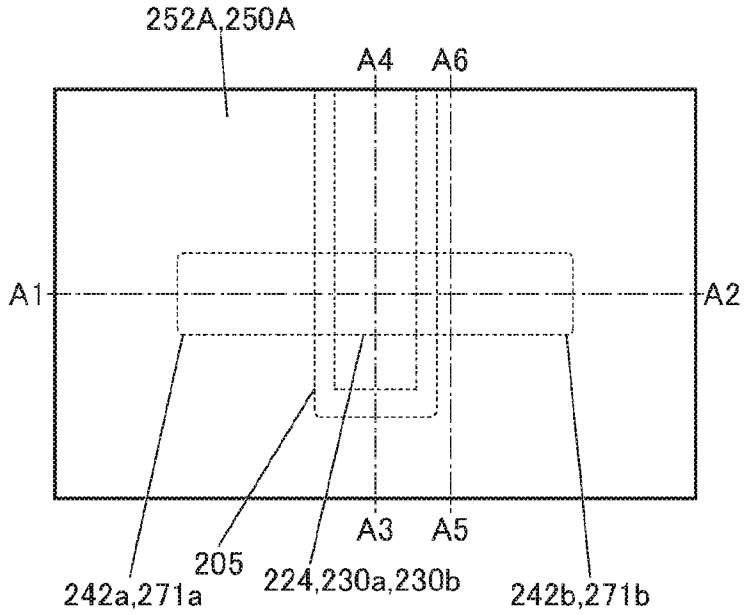


図19C

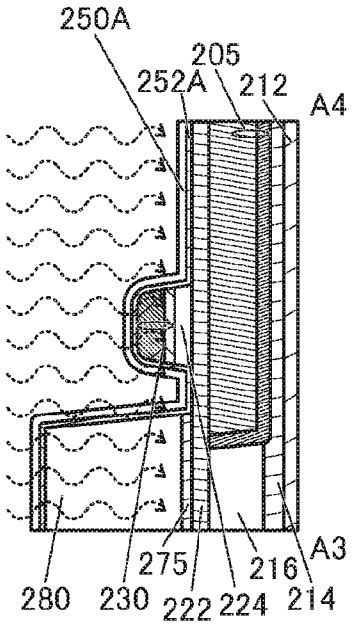


図19B

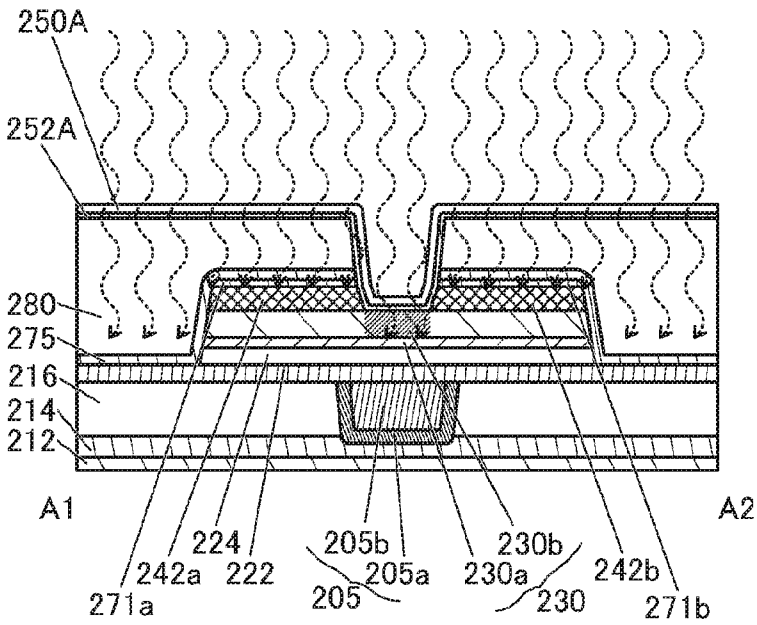


図19D

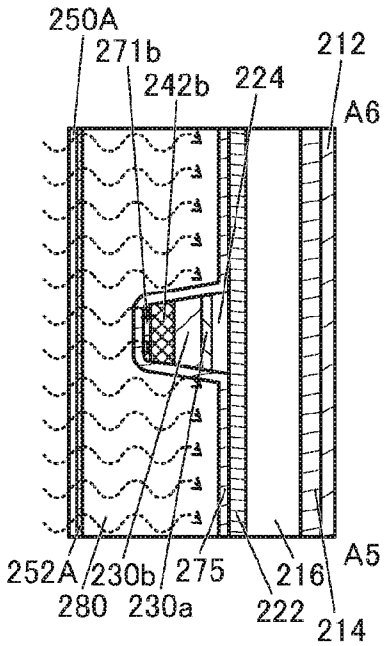


図20A

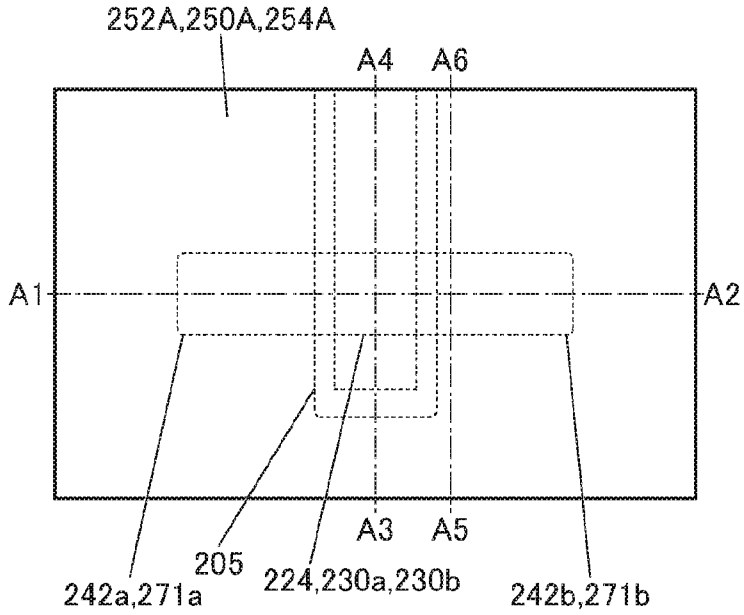


図20C

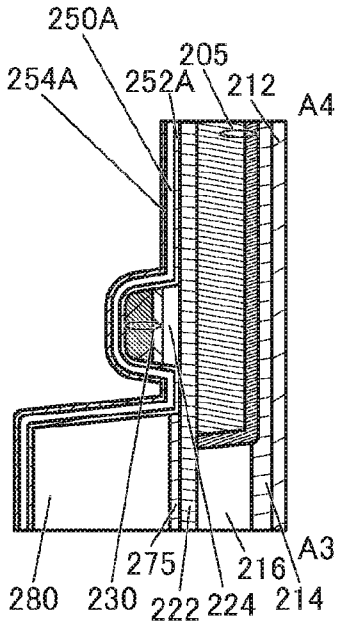


図20B

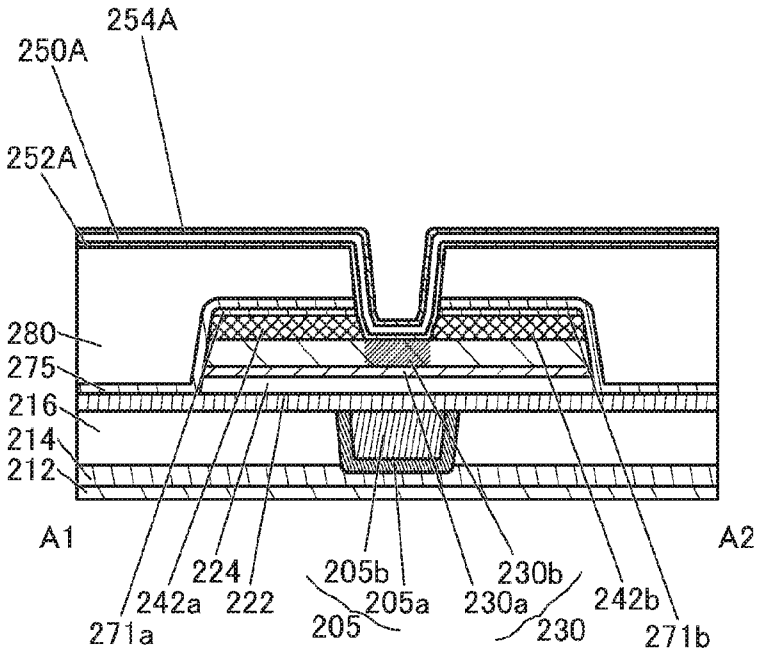


図20D

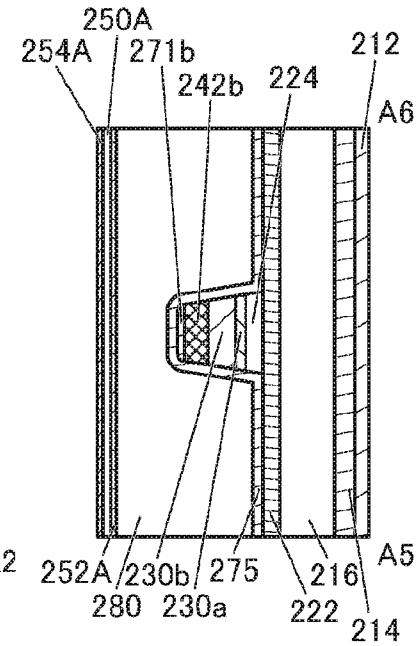


図21A

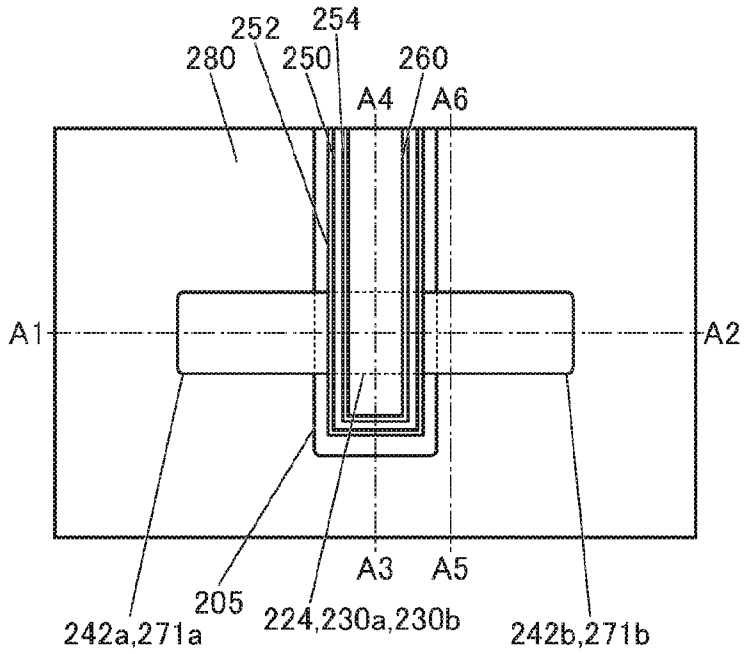


図21C

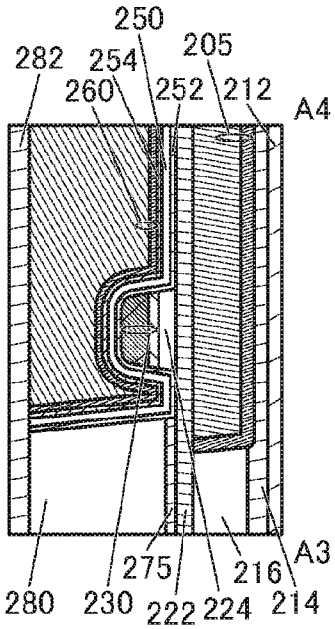


図21B

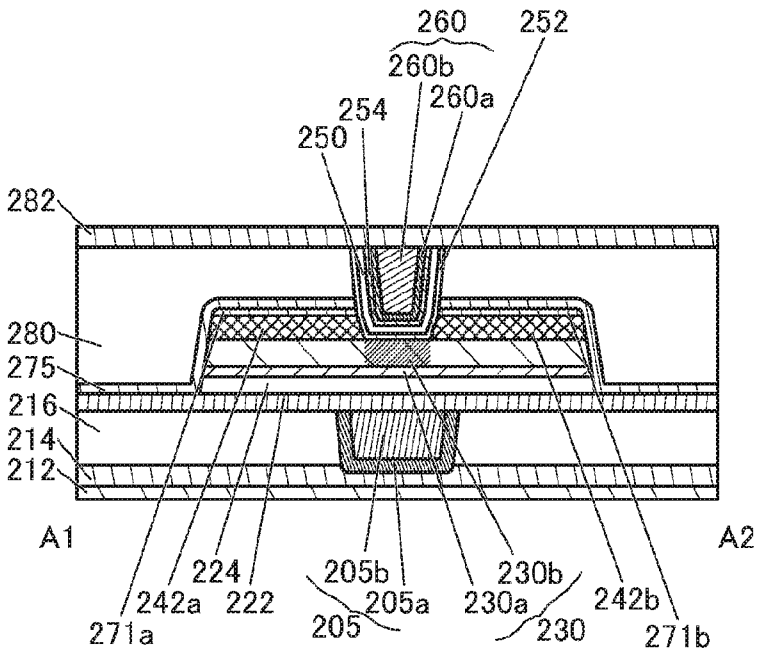


図21D

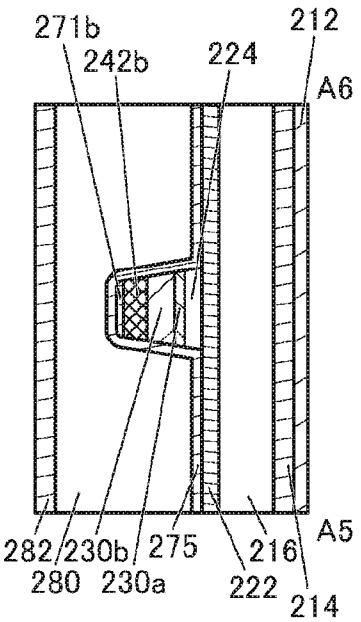


図22A

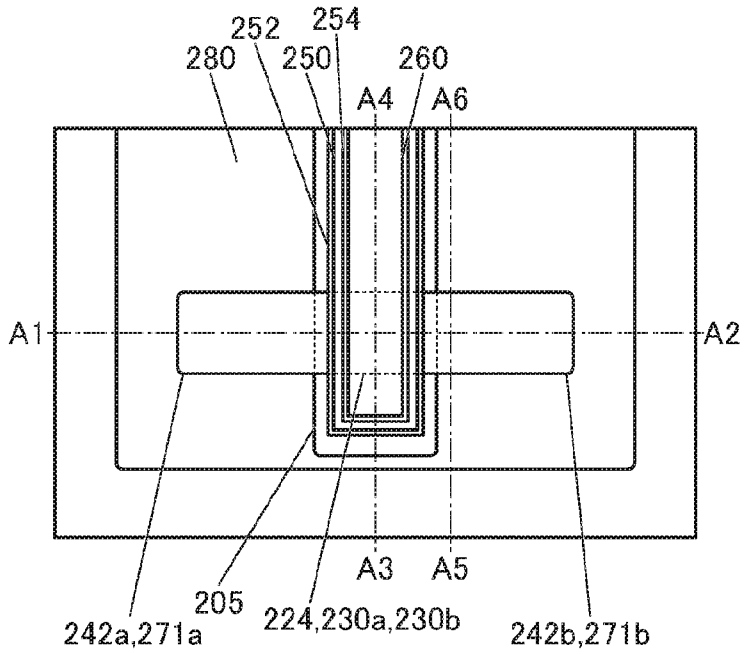


図22C

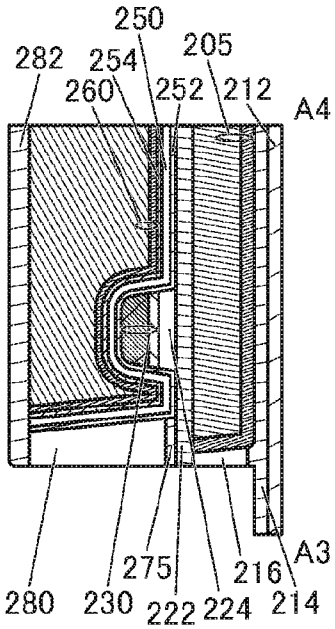


図22B

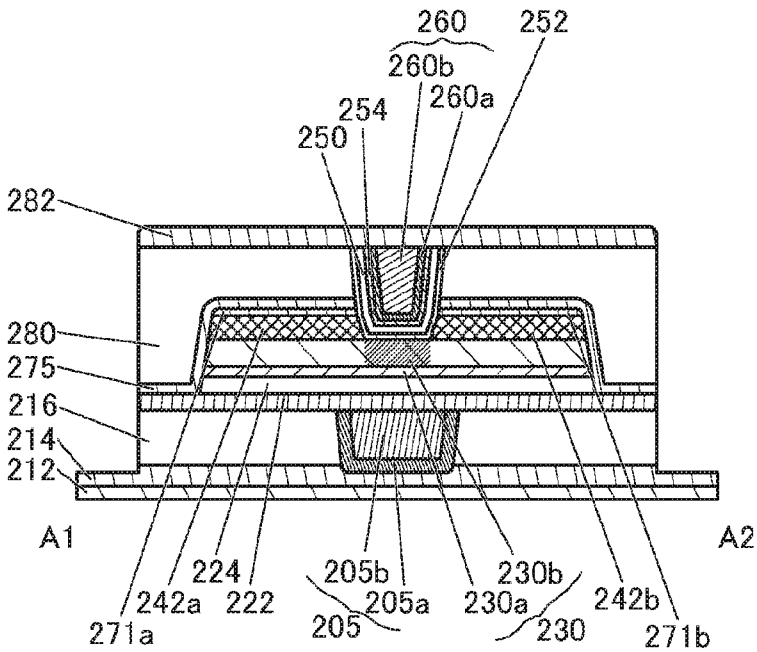


図22D

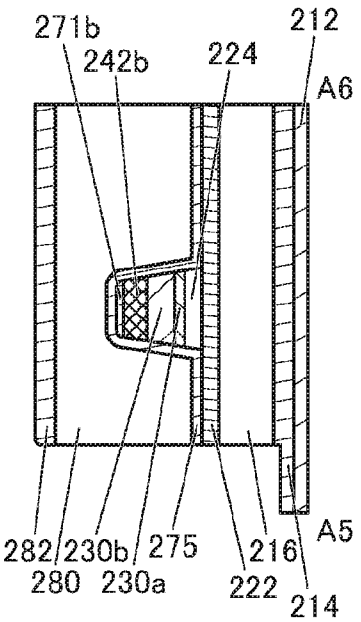


図23A

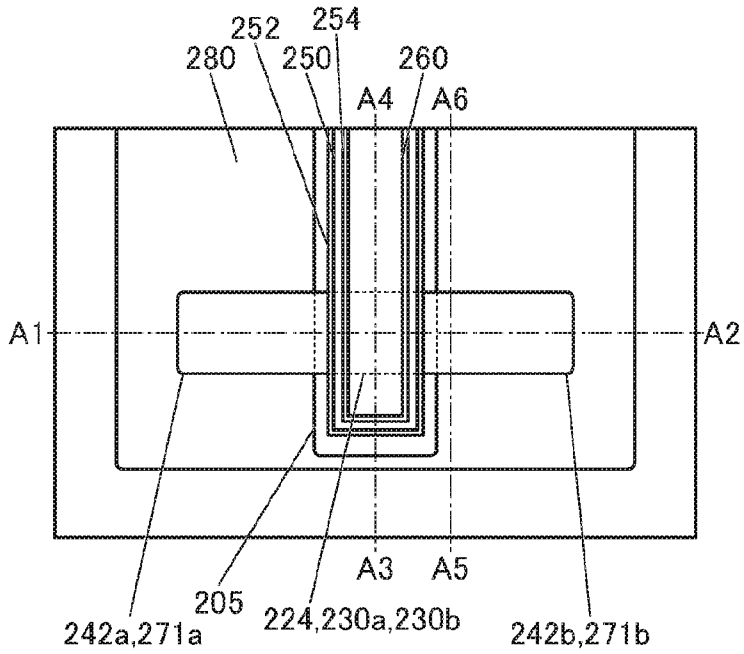


図23C

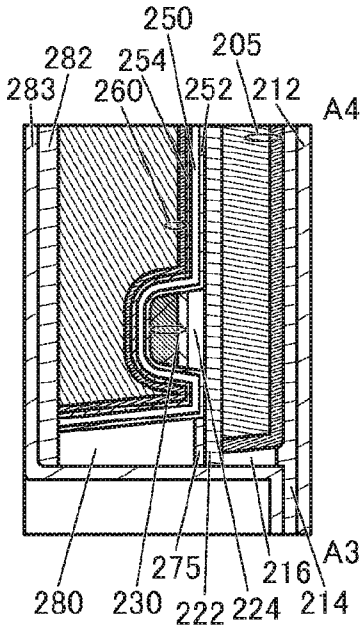


図23B

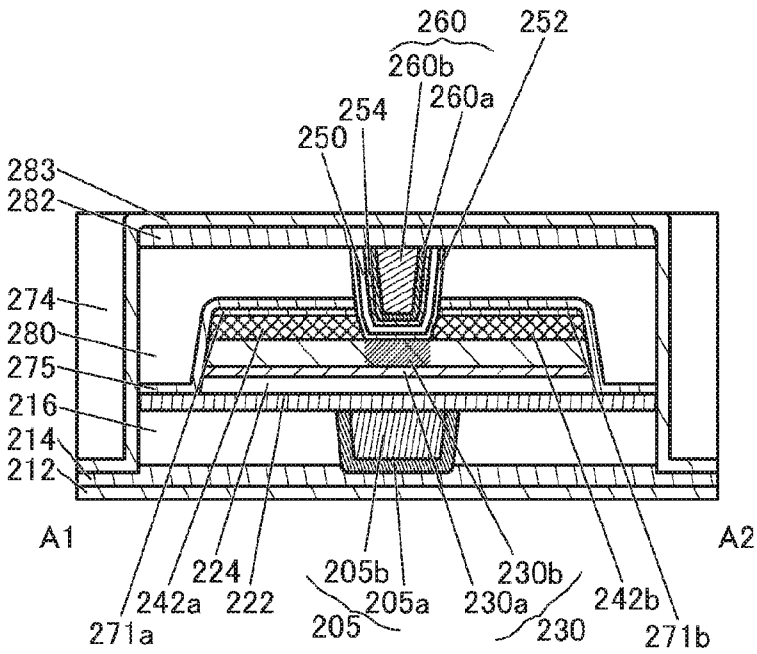


図23D

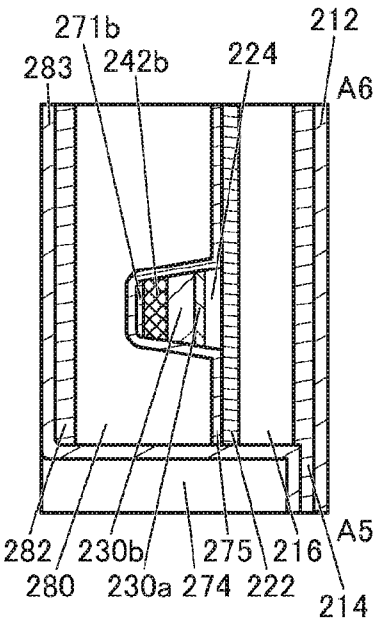


図24A

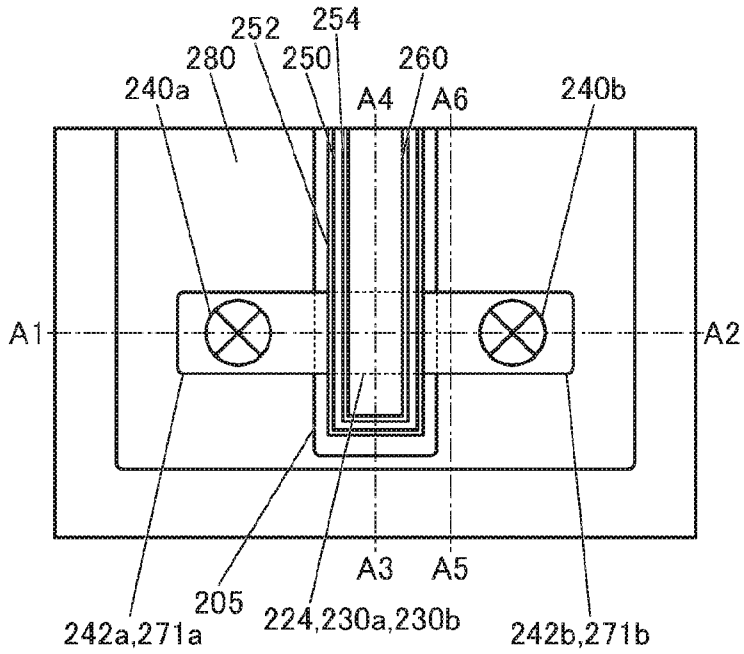


図24C

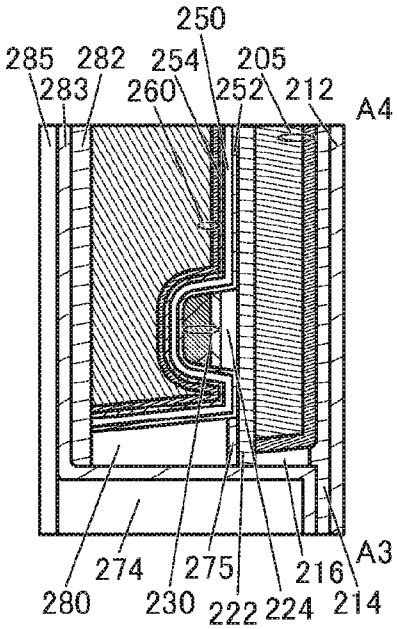


図24B

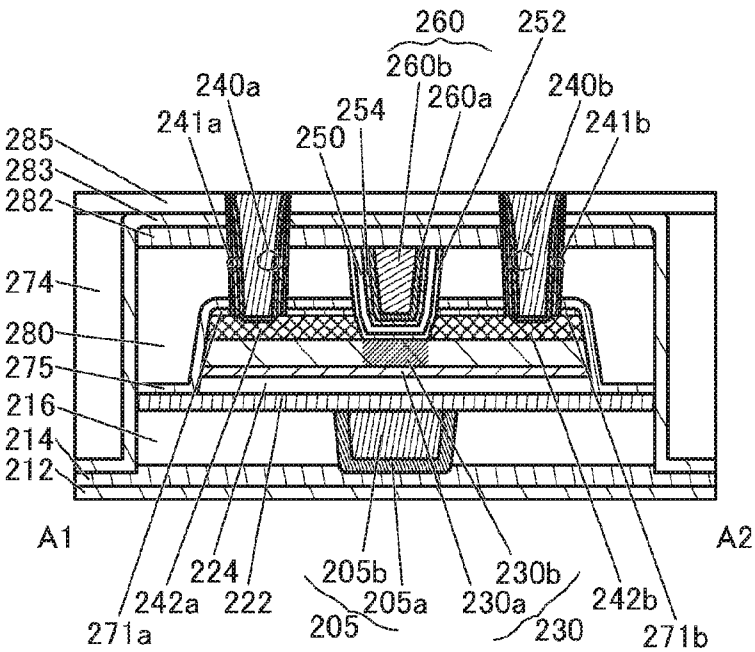


図24D

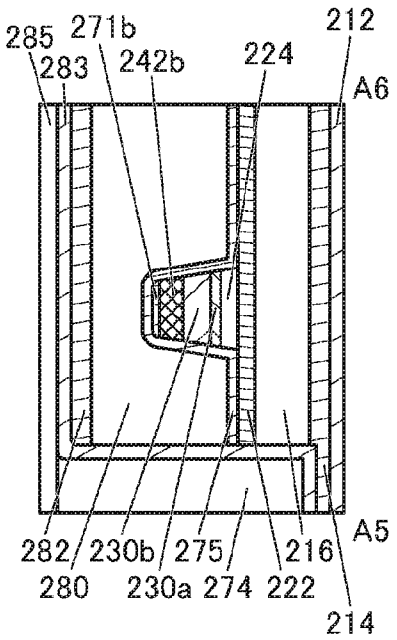


図25

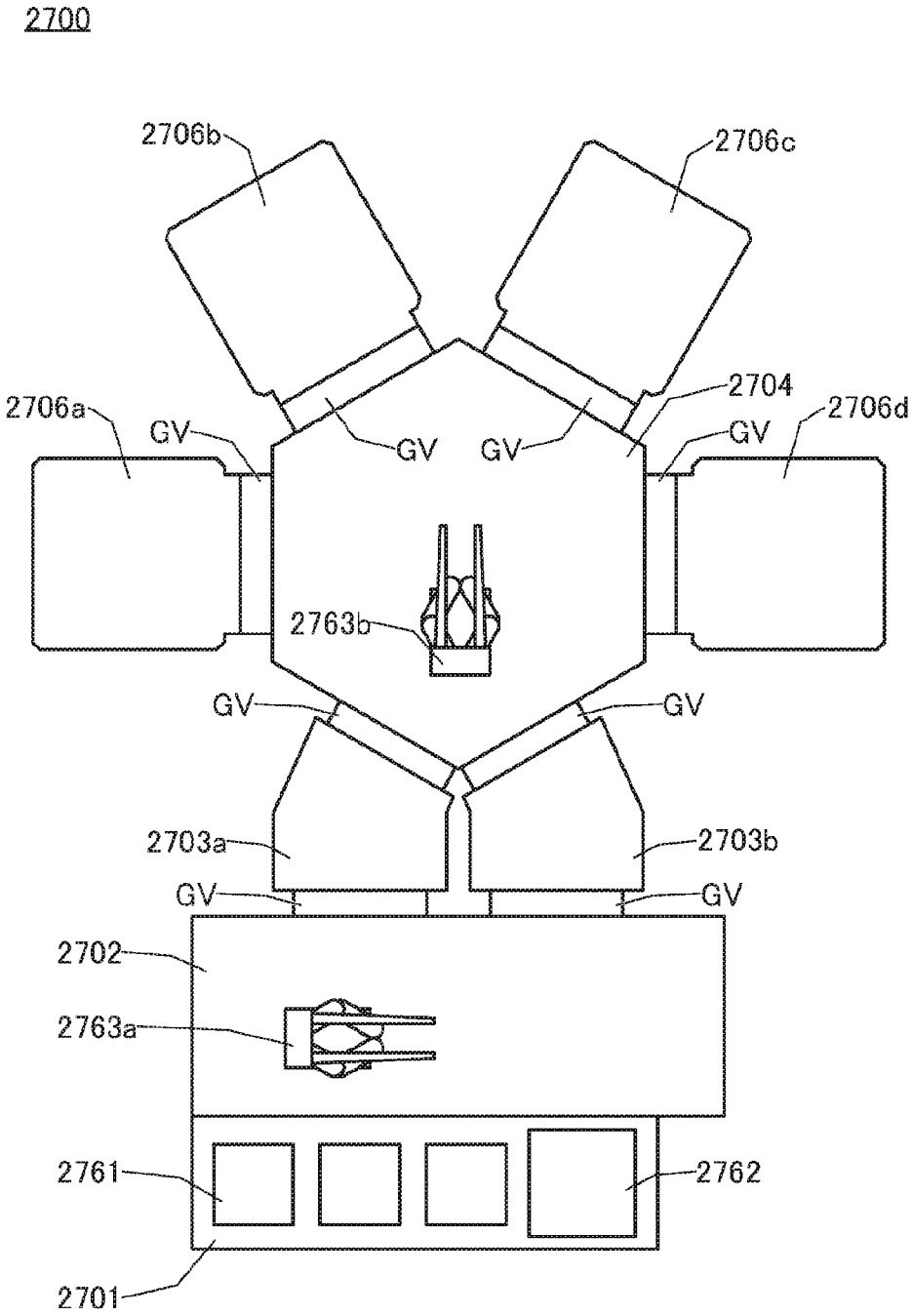

2700
2706b
2706c
2706a
GV
GV
GV
2704
GV
2706d
2763b
GV
GV
2703a
2703b
GV
GV
2702
2763a
2761
2762
2701

図26

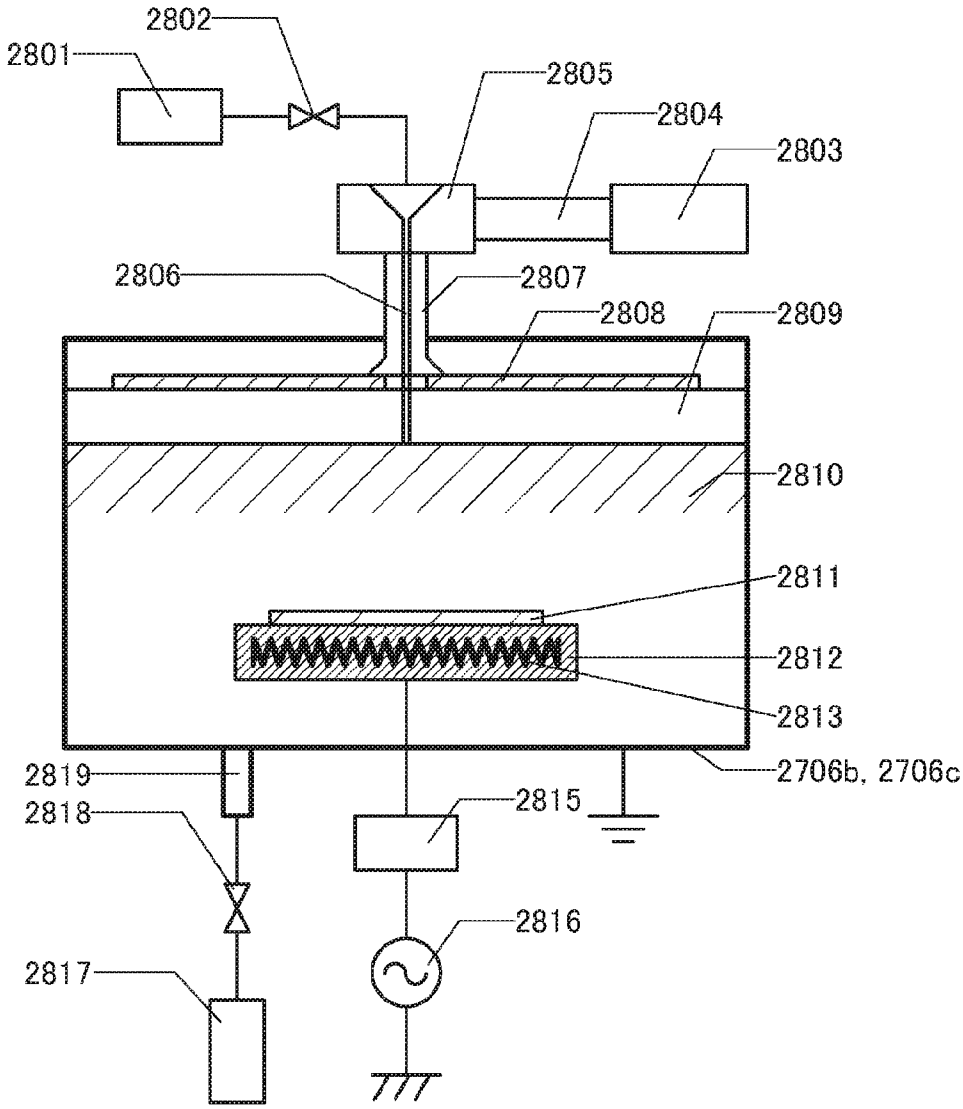

2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2819
2706b, 2706c
2818
2815
2816
2817

図27

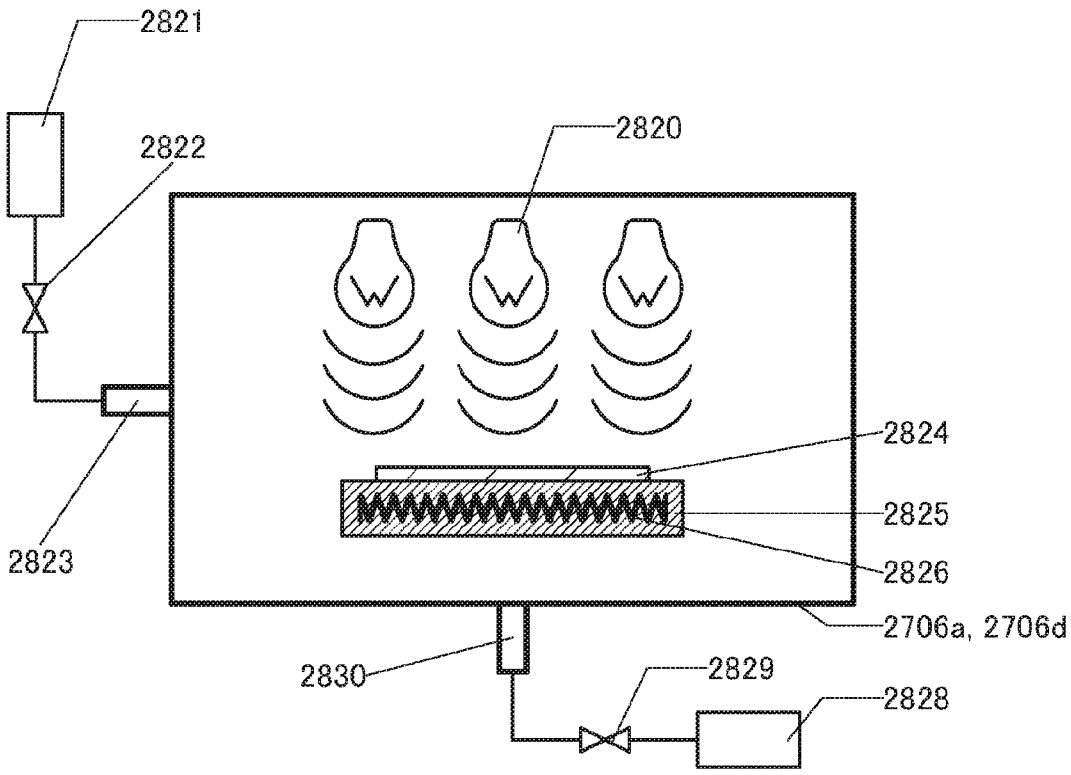

2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

図28

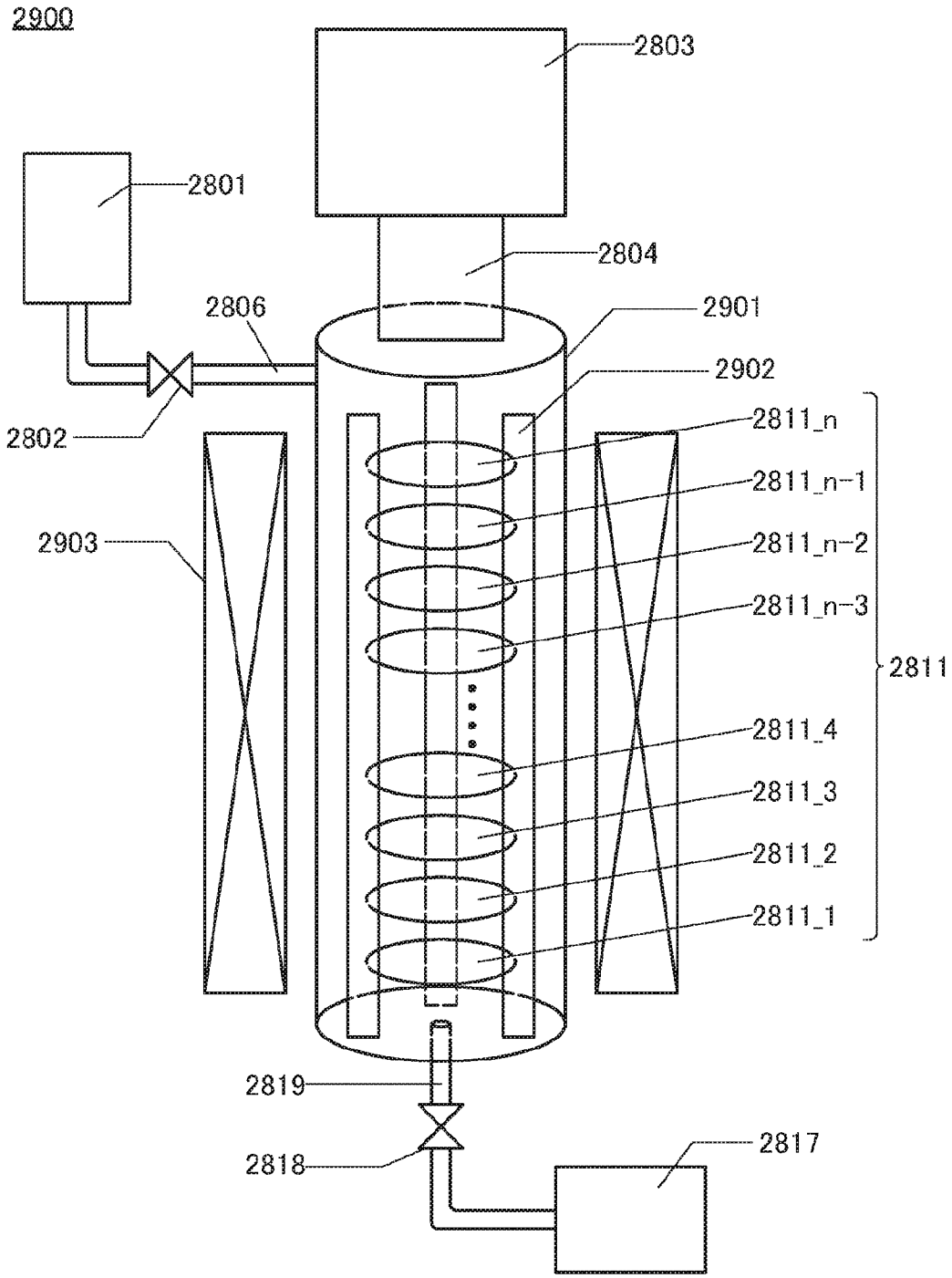

2900
2803
2801
2804
2806
2901
2902
2802
2811_n
2811_n-1
2811_n-2
2811_n-3
2903
2811
2811_4
2811_3
2811_2
2811_1
2819
2817
2818

図29A

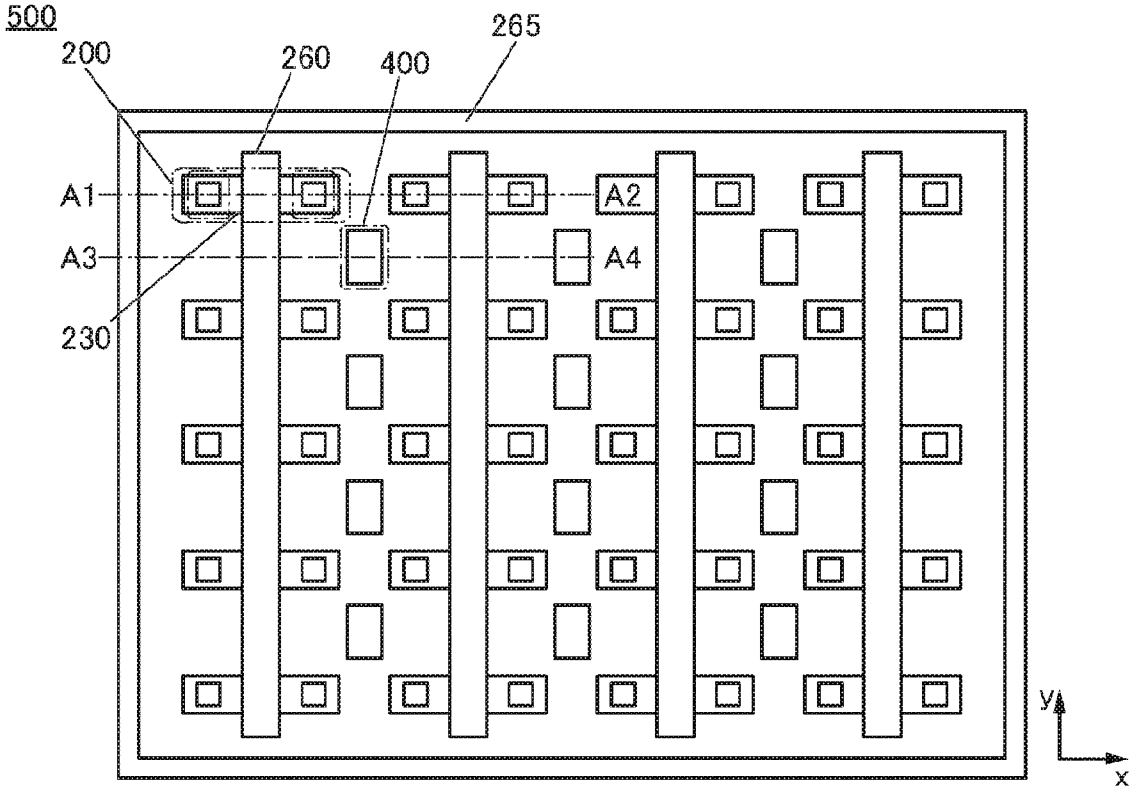


図29B

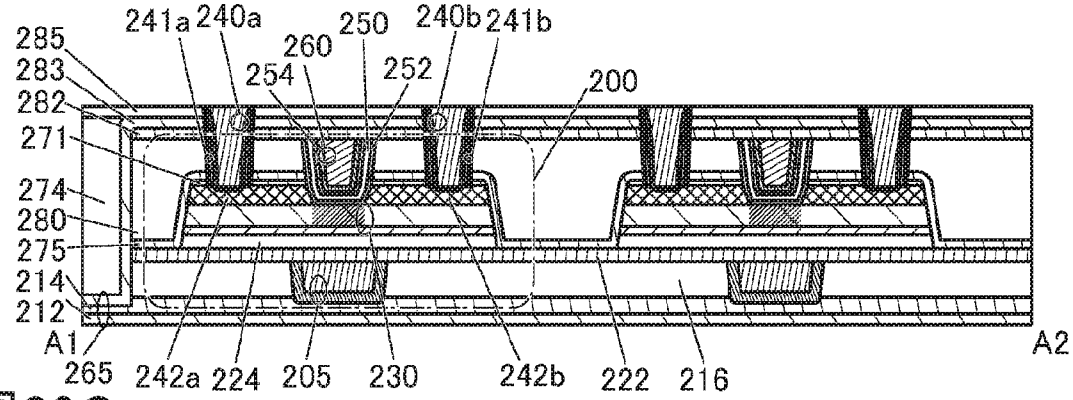


図29C

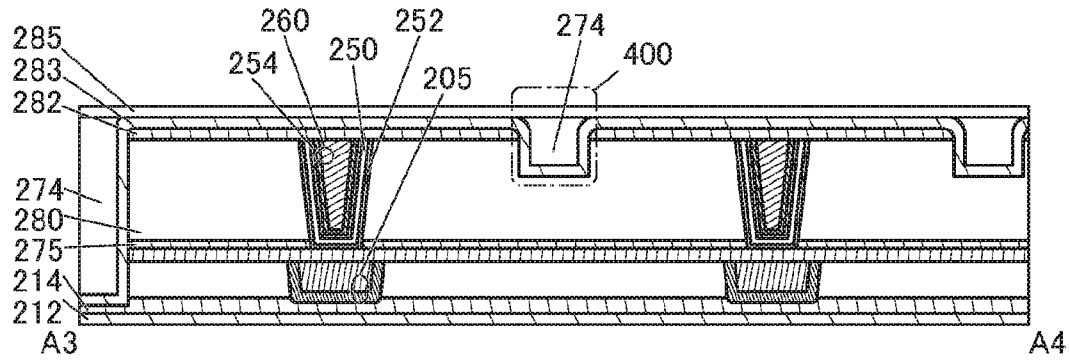


図30

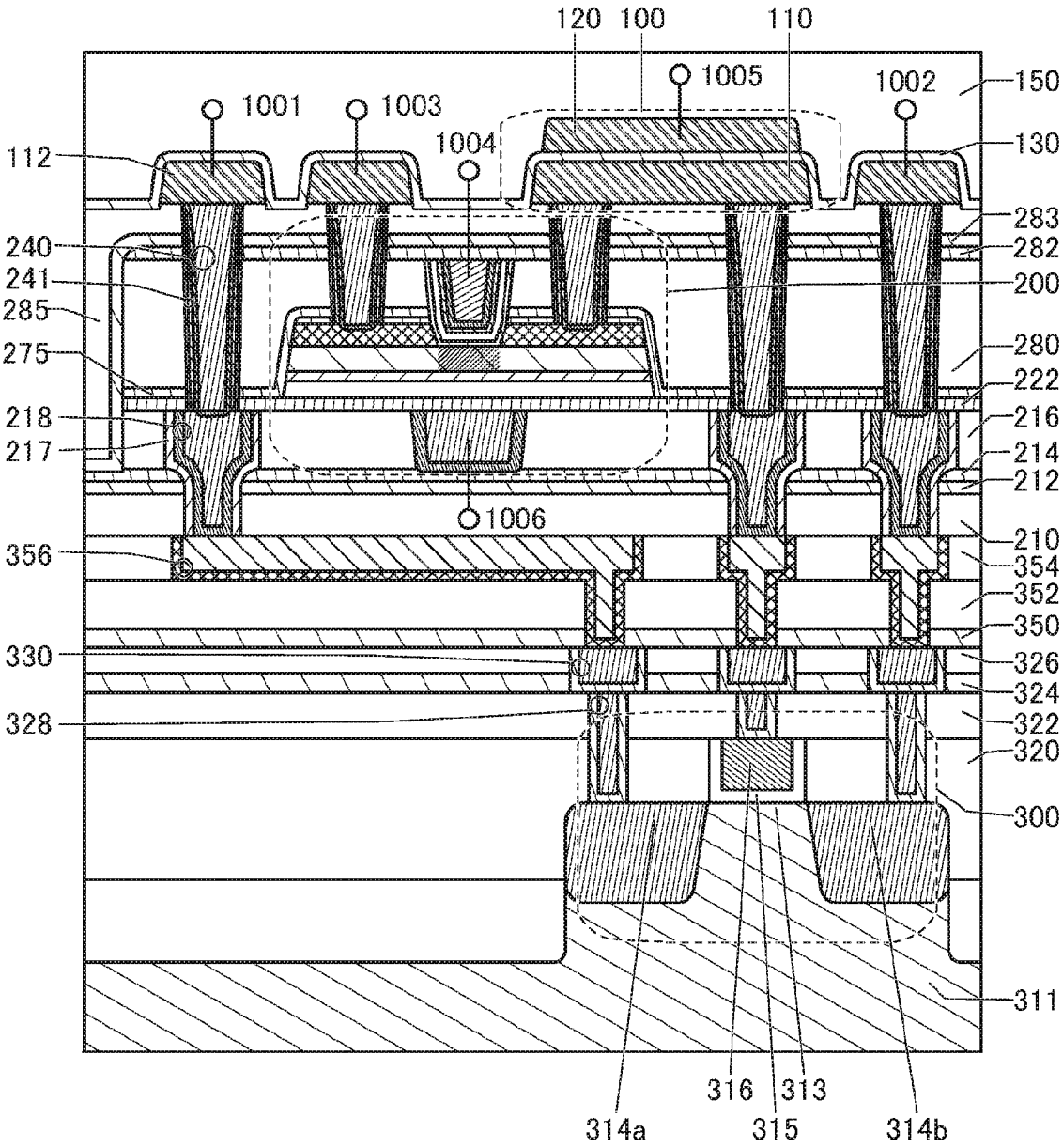

120
100
110
1005
1001
1003
1002
150
1004
130
112
283
240
282
241
200
285
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

図31

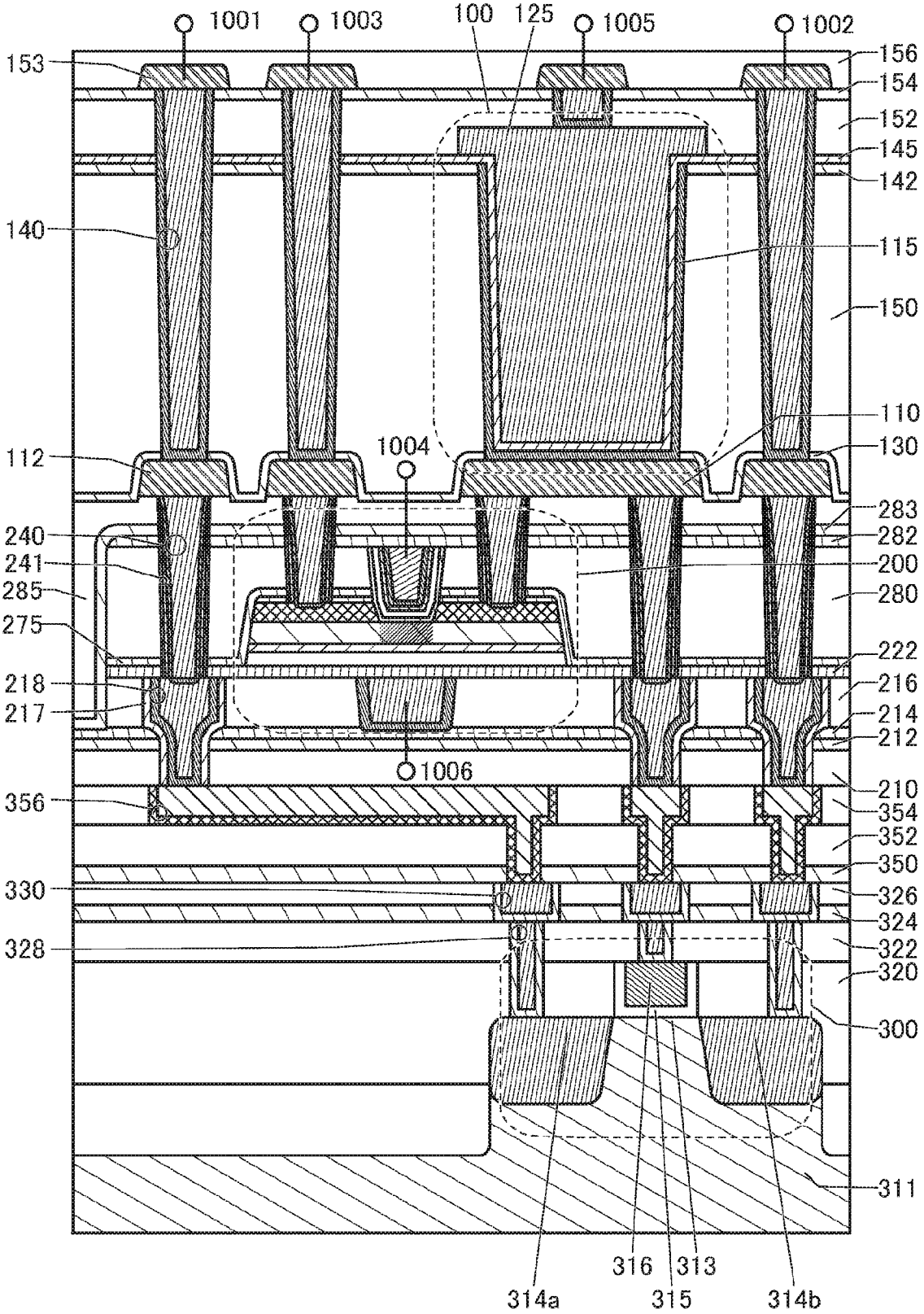
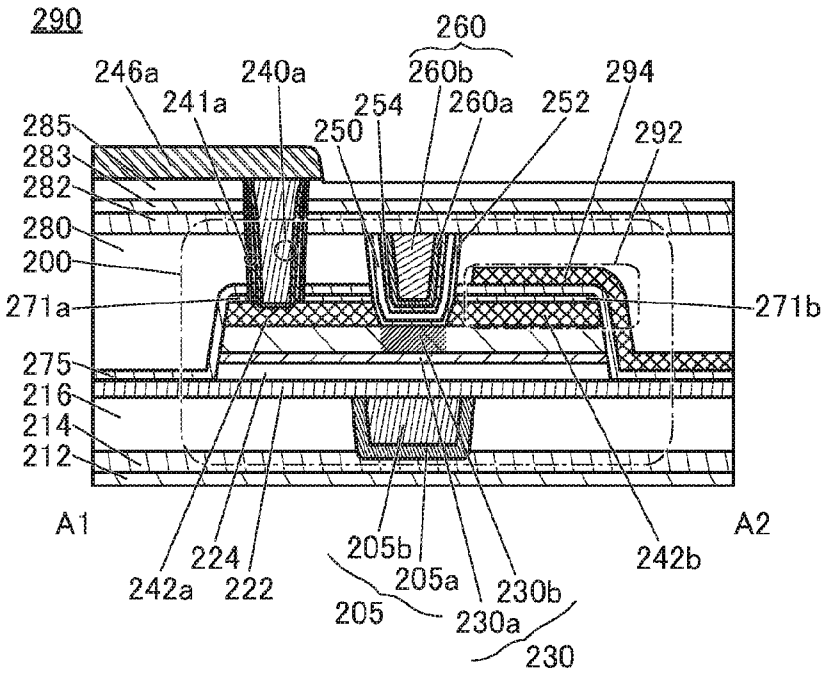

1001
1003
100
125
1005
1002
153
156
154
152
145
142
140
115
150
110
130
112
1004
283
282
240
241
200
285
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

図32


290
260
246a
240a
260b
294
241a
254
260a
252
285
250
292
283
282
280
200
271a
271b
275
216
214
212
A1
A2
205b
242b
224
205a
242a
222
230b
205
230a
230

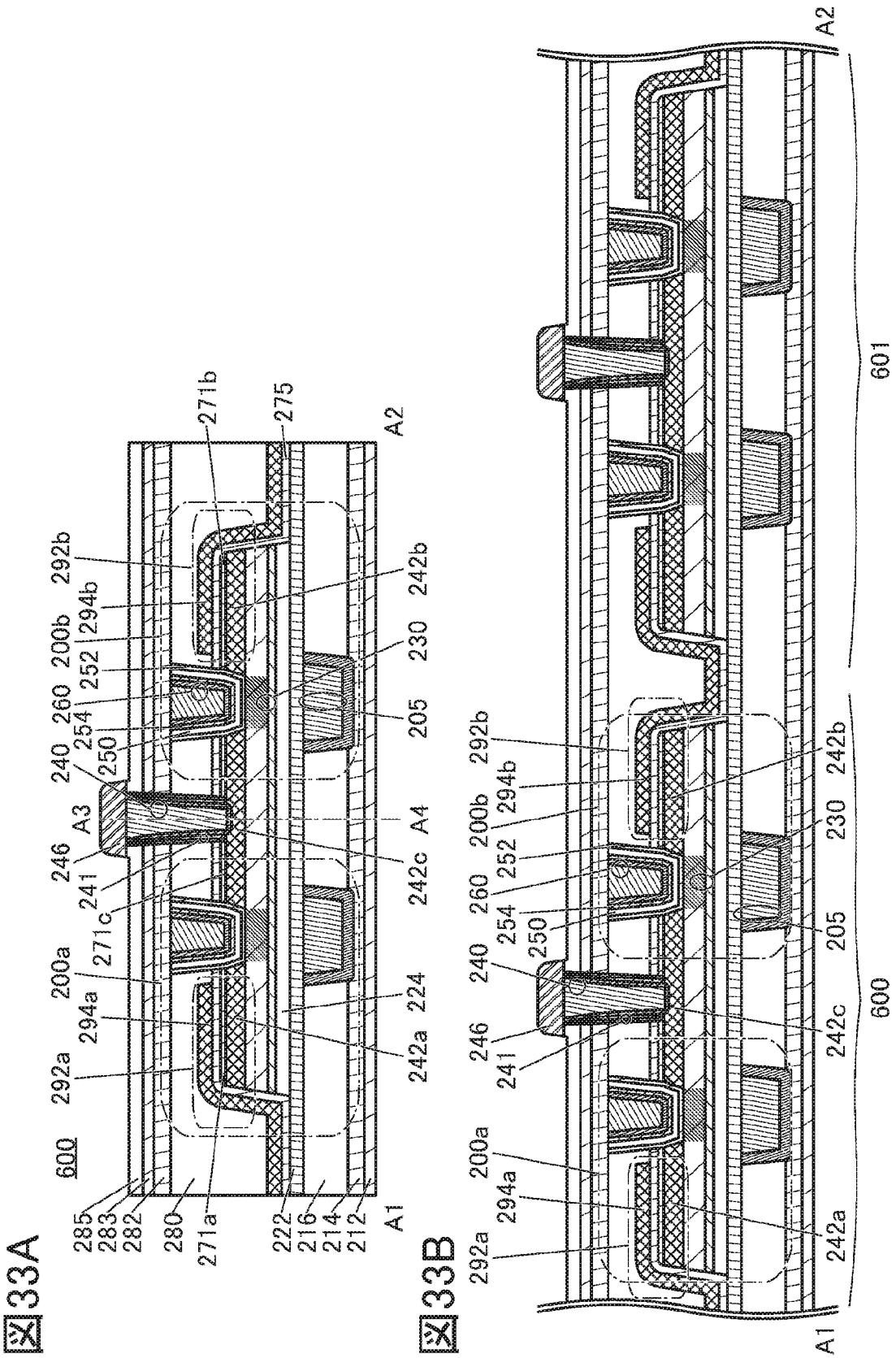

600
601
A1
A2
A3
A4
285
283
282
280
271a
222
216
214
212
292a
294a
200a
271c
241
246
240
254
250
260
252
200b
294b
292b
271b
275
242a
224
242c
205
230
242b

図33A

図33B

図34

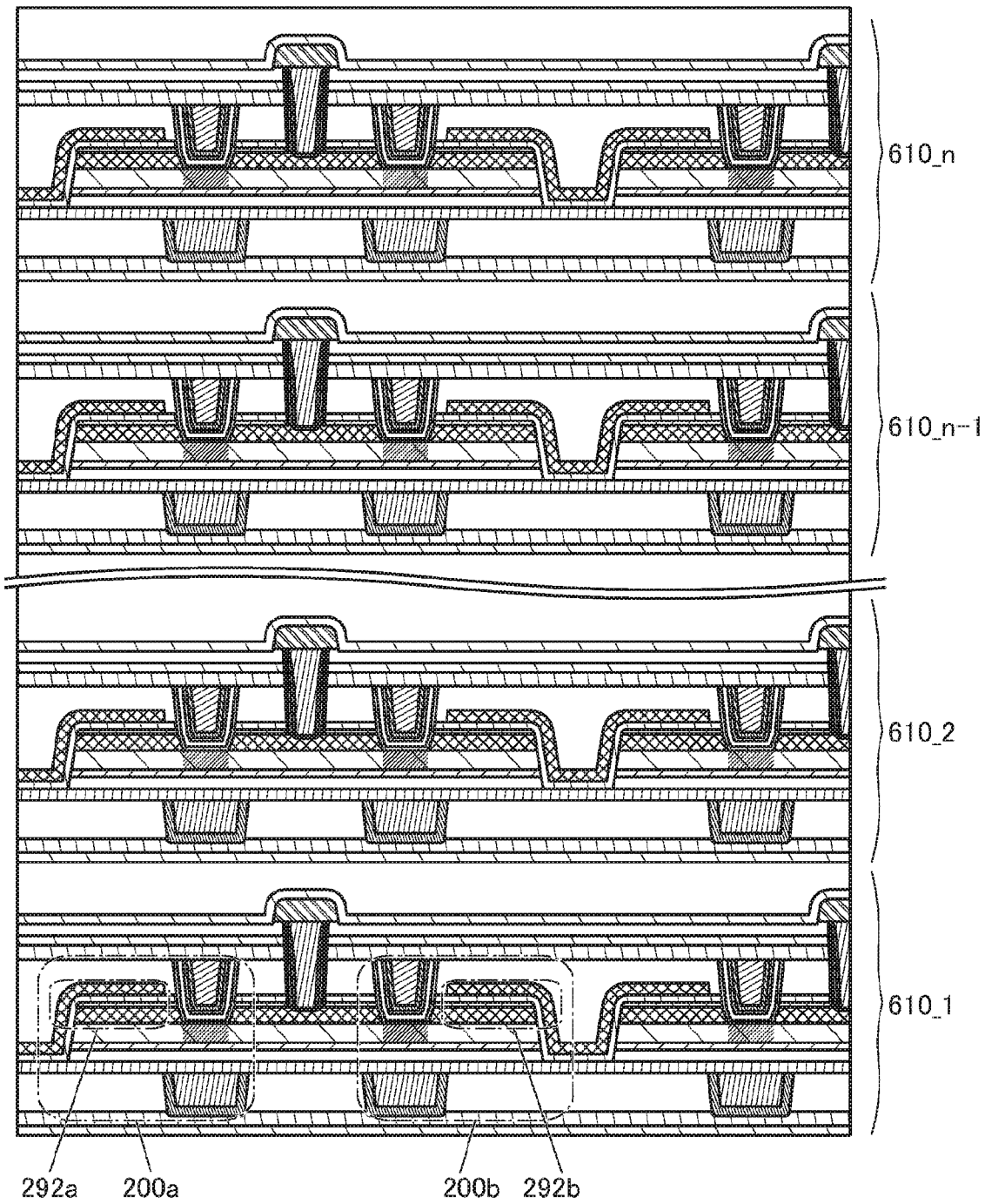


図35A

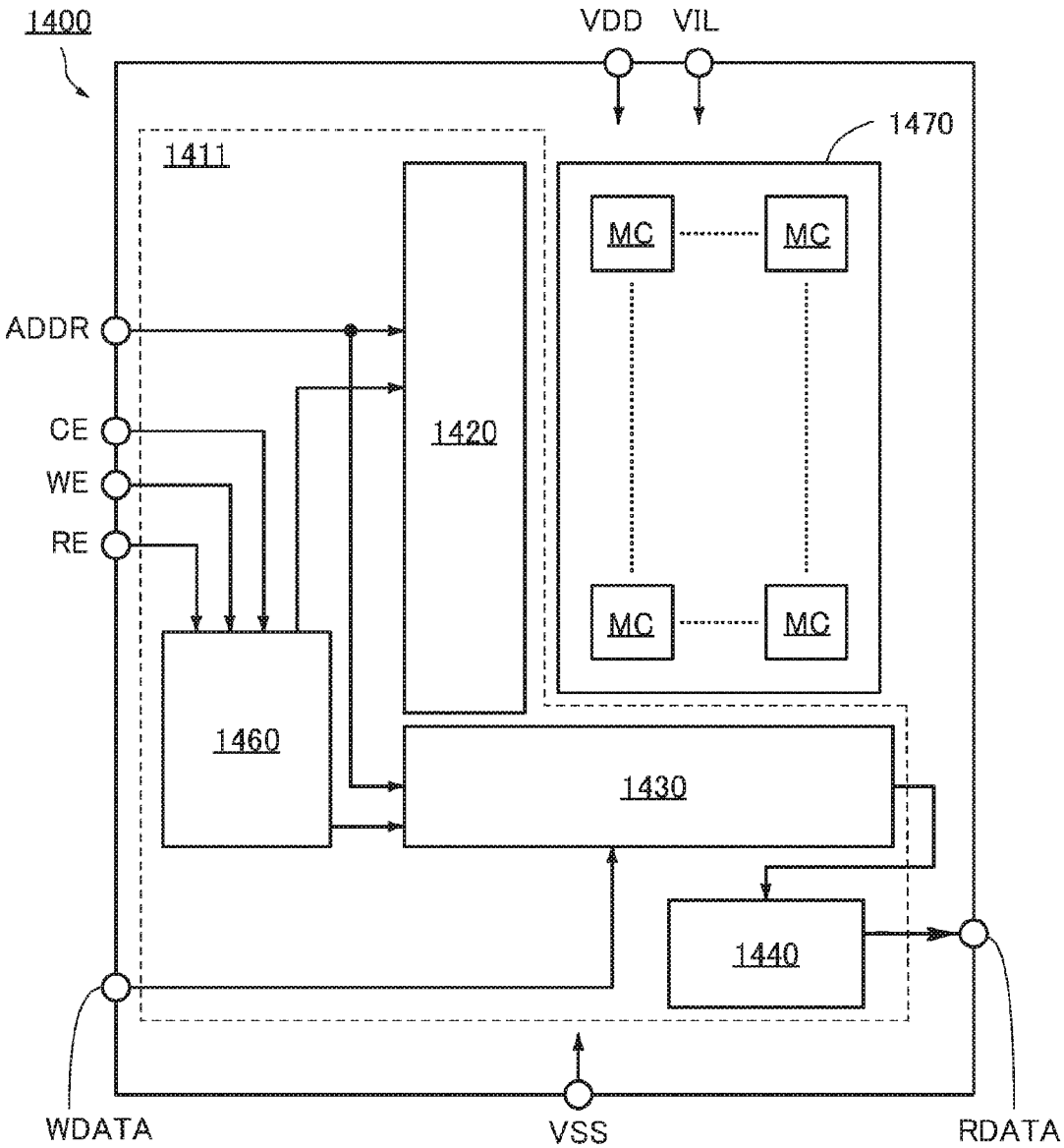

1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WE
RE
1420
1460
1430
1440
WDATA
VSS
RDATA

図35B

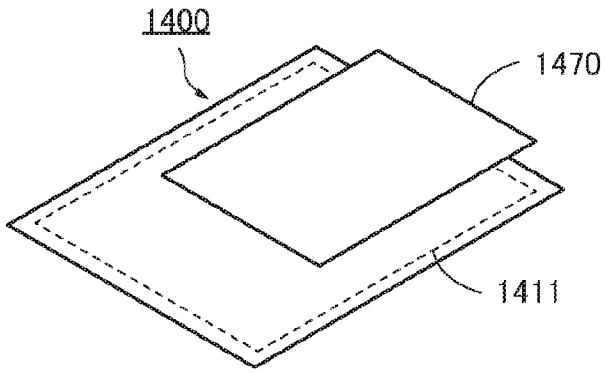

1400
1470
1411

図36A

1471

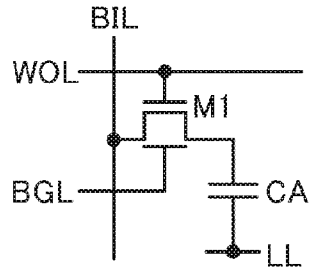


図36B

1472

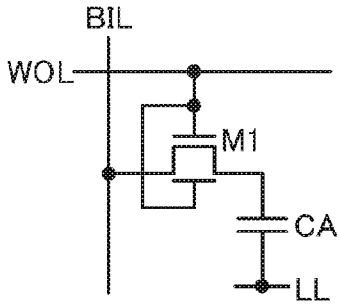


図36C

1473

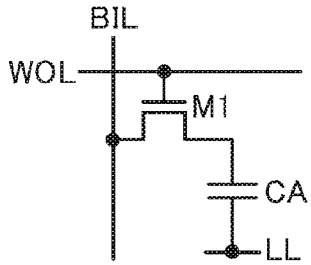


図36D

1474

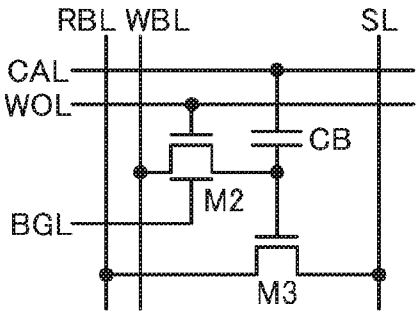


図36E

1475

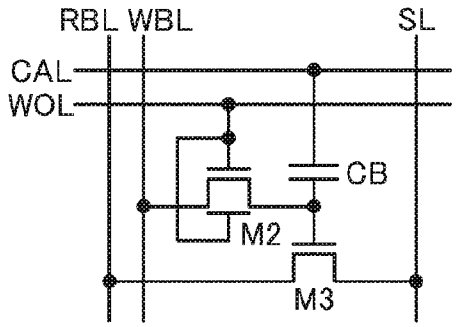


図36F

1476

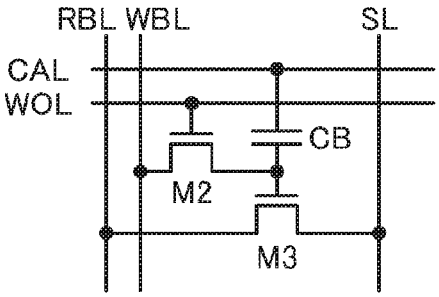


図36G

1477

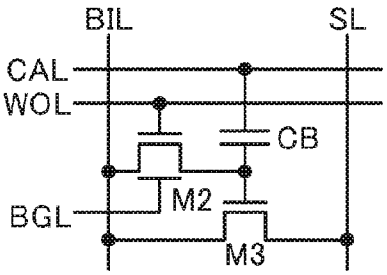


図36H

1478

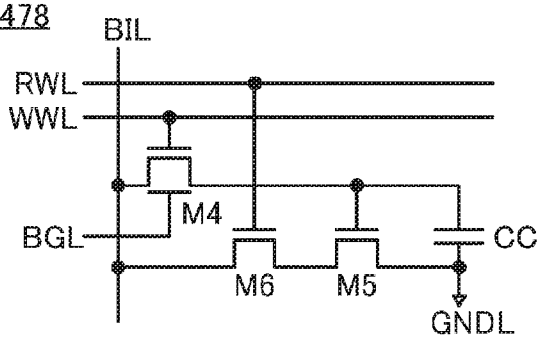


図37A

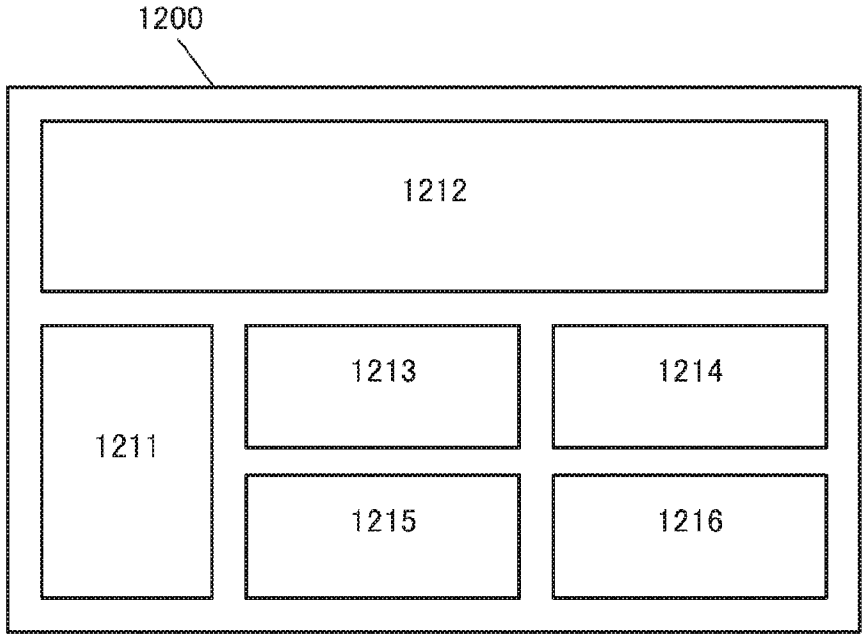

1200
1212
1211
1213
1214
1215
1216

図37B

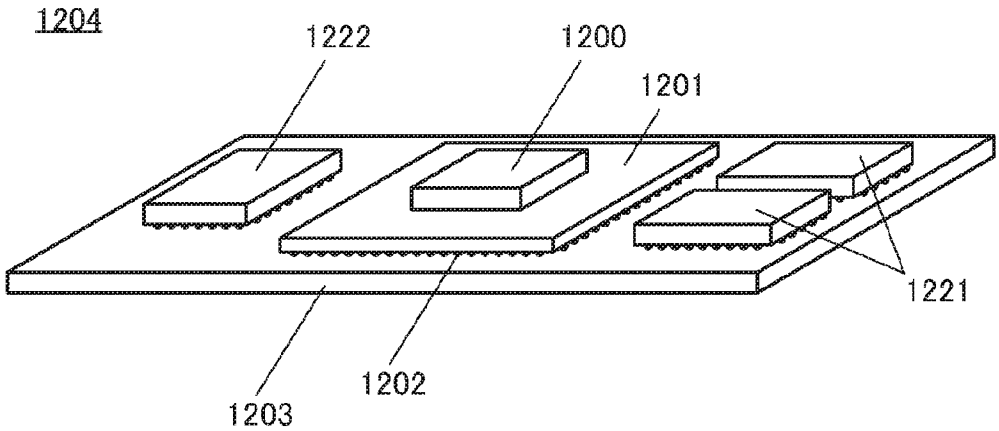

1204
1222
1200
1201
1221
1203
1202

図38A

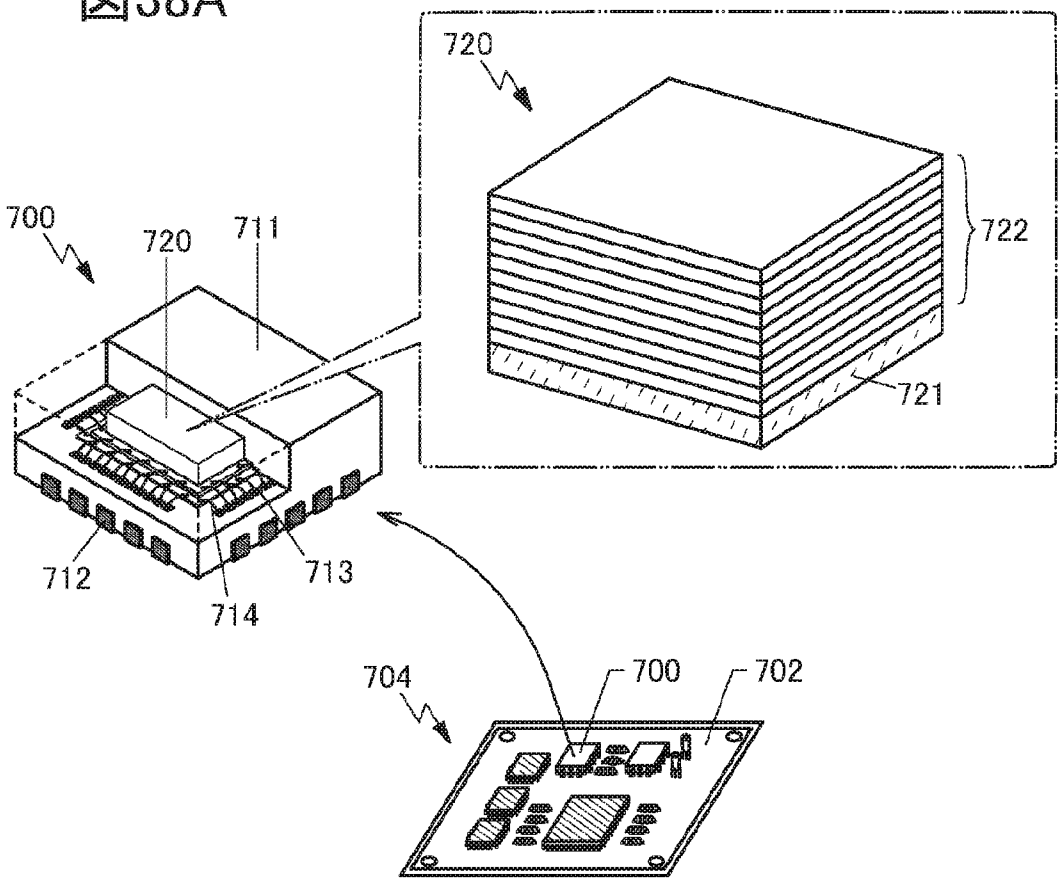

720
722
721
700
720
711
712
713
714
704
700
702

図38B

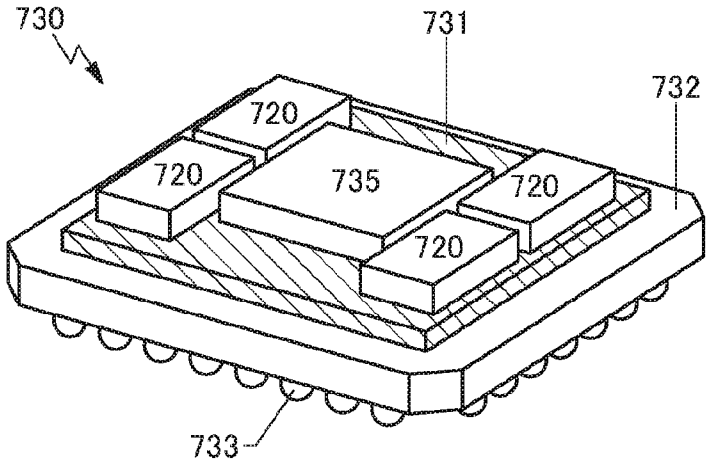

730
731
732
720
720
735
720
720
733

図39A

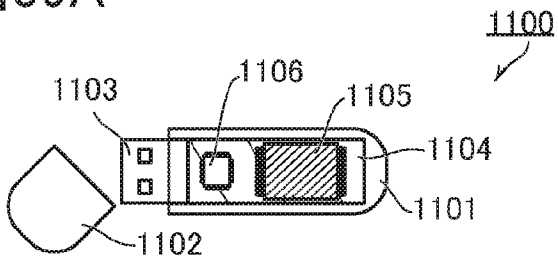


図39B

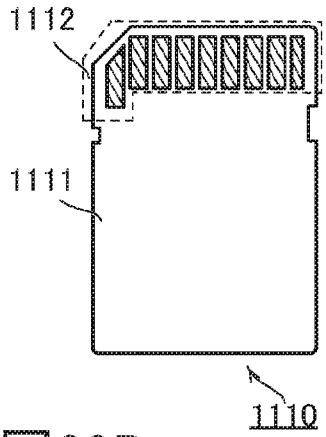


図39C

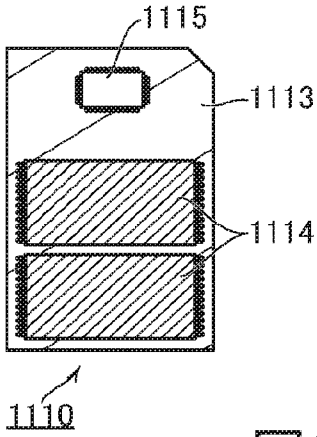


図39D

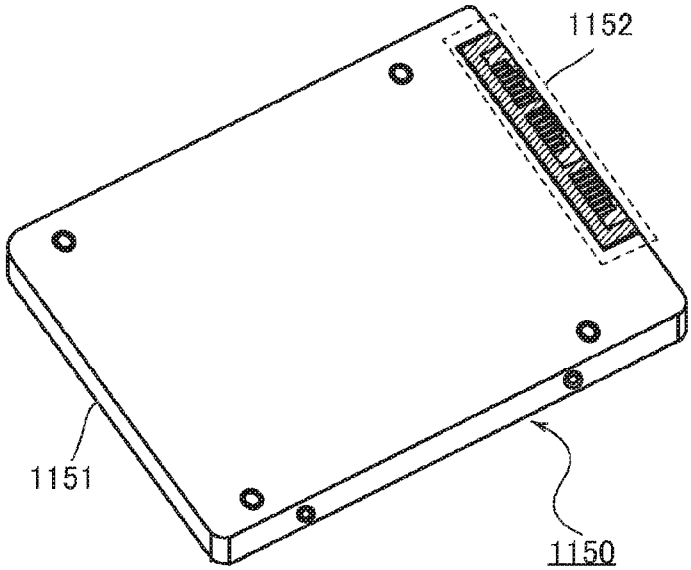


図39E

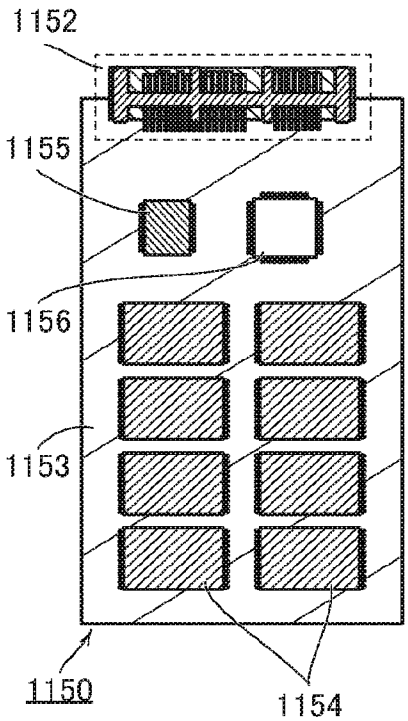


図40A

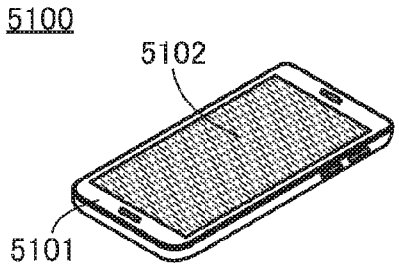


図40B

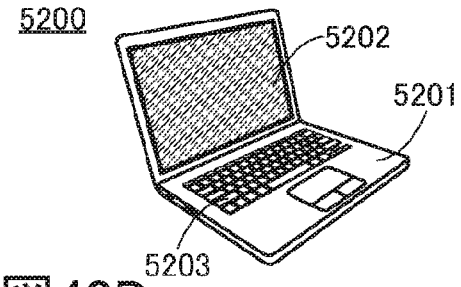


図40C

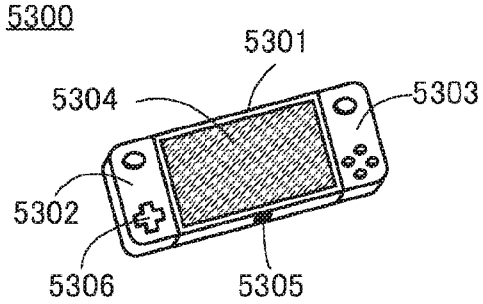


図40D

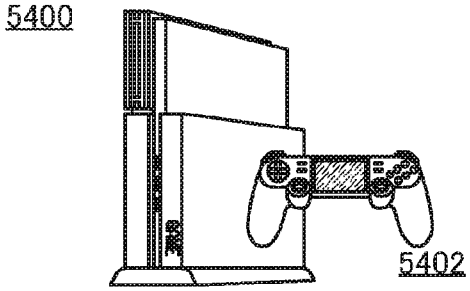


図40E

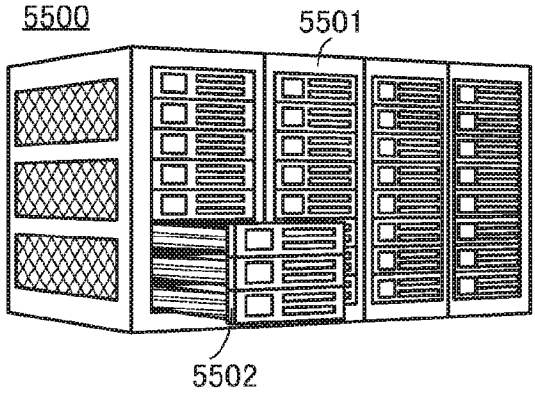


図40F

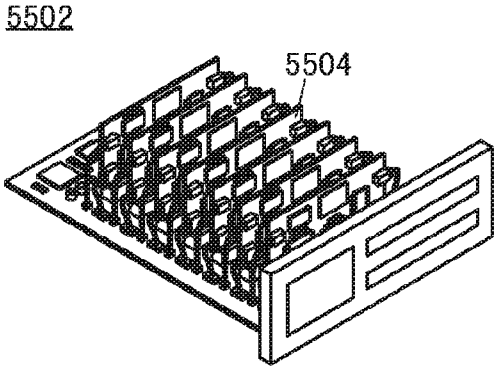


図40G

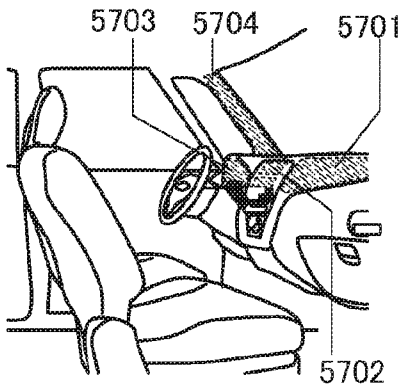


図40H

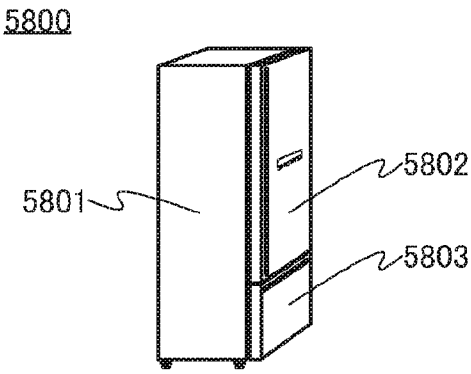


図41A

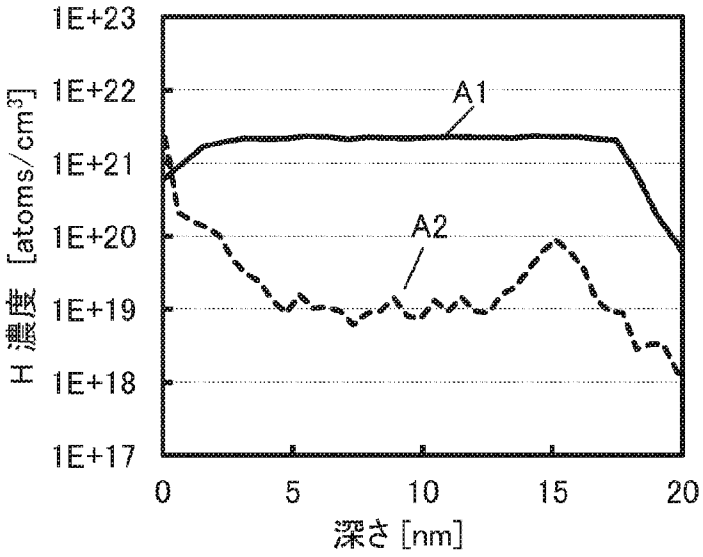

1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
H 濃度 [atoms/cm3]
A1
A2
0
5
10
15
20
深さ [nm]

図41B

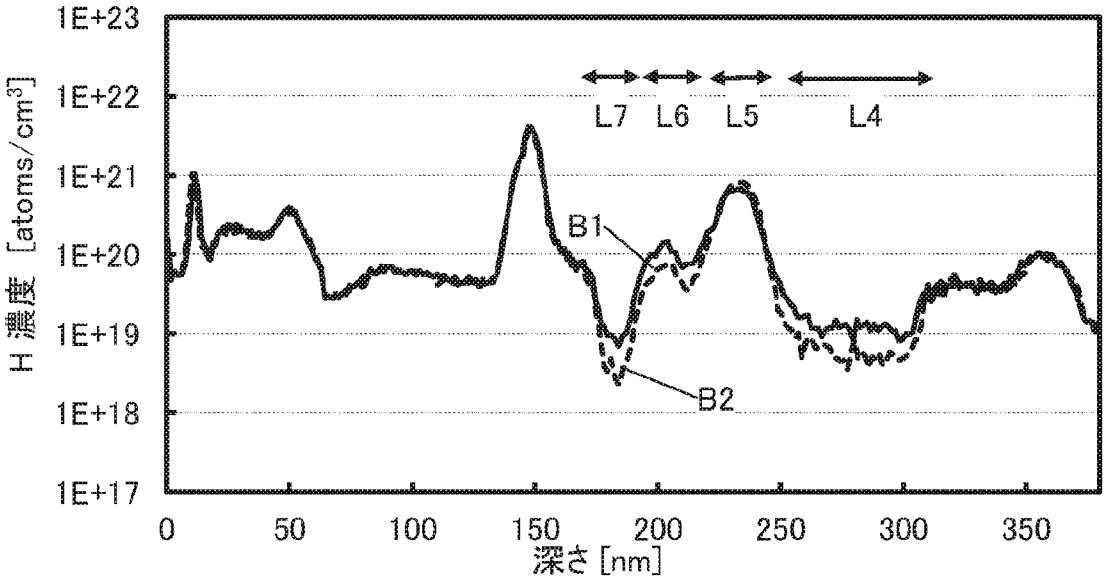

1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
H 濃度 [atoms/cm3]
L7
L6
L5
L4
B1
B2
0
50
100
150
200
250
300
350
深さ [nm]

図42

L13	窒化シリコン膜
L12	酸化アルミニウム膜
L11	酸化シリコン膜
L10	窒化シリコン膜
L9	酸化アルミニウム膜
L8	窒化タンタル膜
L7	IGZO膜
L6	酸化シリコン膜
L5	酸化ハフニウム膜
L4	酸化シリコン膜
L3	酸化アルミニウム膜
L2	窒化シリコン膜
L1	酸化シリコン膜
基板	シリコンウェハ

図43A

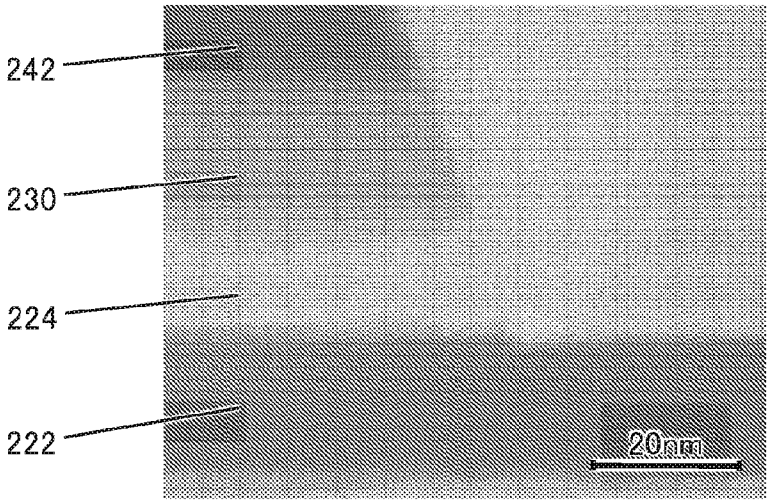

242
230
224
222
20nm

図43B

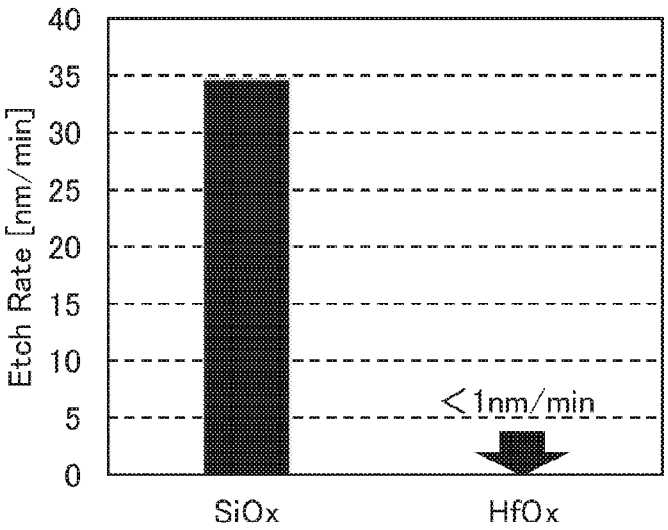

Etch Rate [nm/min]
40
35
30
25
20
15
10
5
0
<1nm/min
SiOx
HfOx

図44A

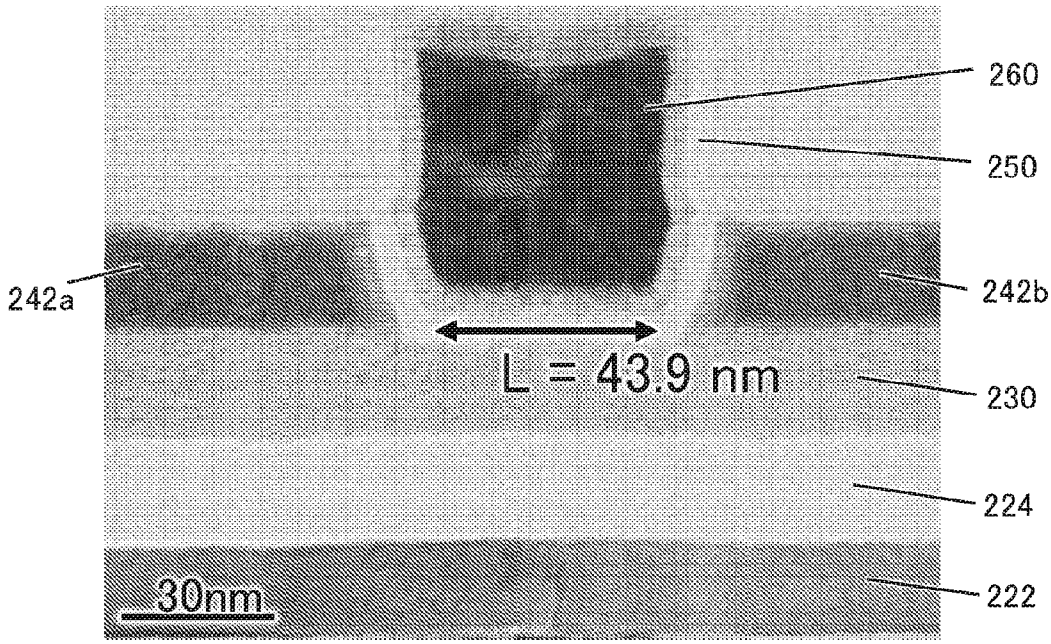

260
250
242a
242b
L = 43.9 nm
230
224
30nm
222

図44B

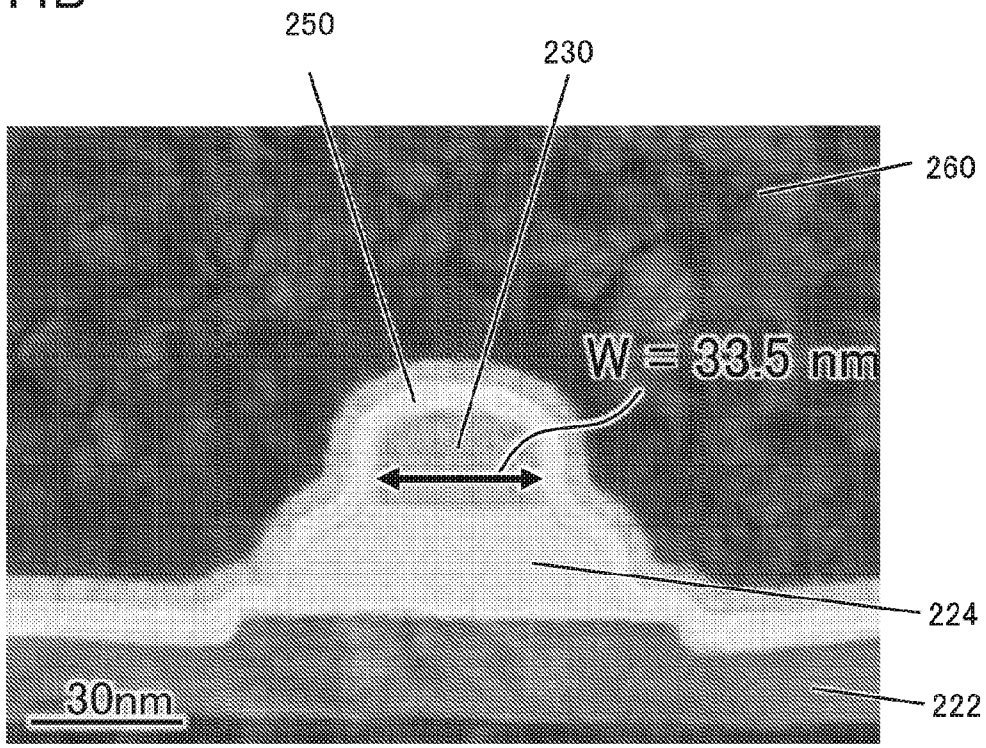

250
230
260
W = 33.5 nm
224
30nm
222

図45A

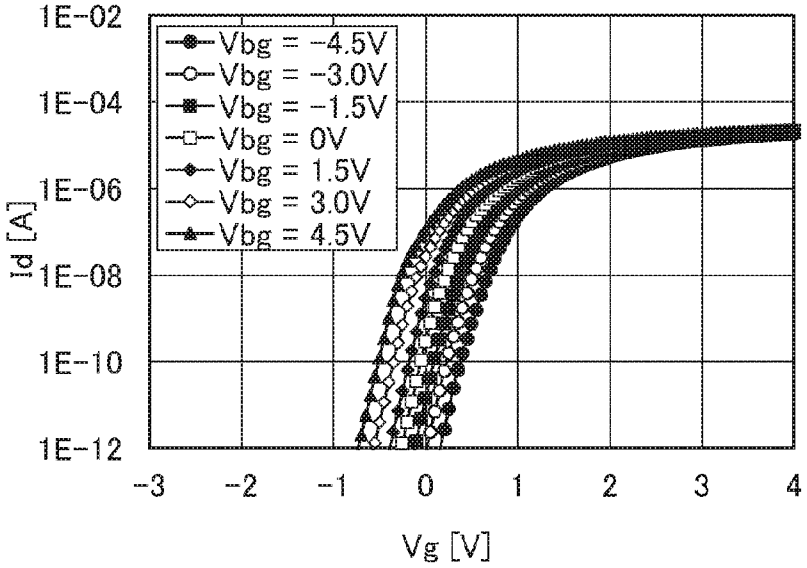

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
Vbg = −4.5V
Vbg = −3.0V
Vbg = −1.5V
Vbg = 0V
Vbg = 1.5V
Vbg = 3.0V
Vbg = 4.5V
−3
−2
−1
0
1
2
3
4
Vg [V]

図45B

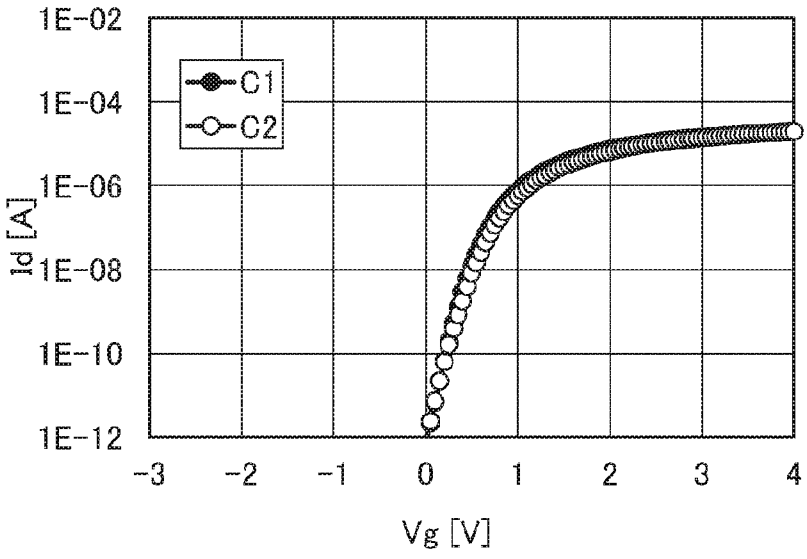

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
C1
C2
−3
−2
−1
0
1
2
3
4
Vg [V]

図46

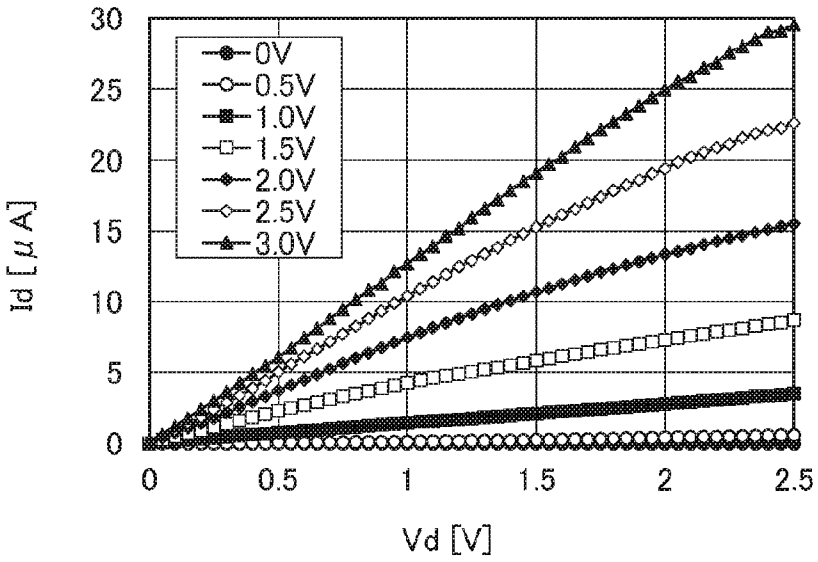


図47A

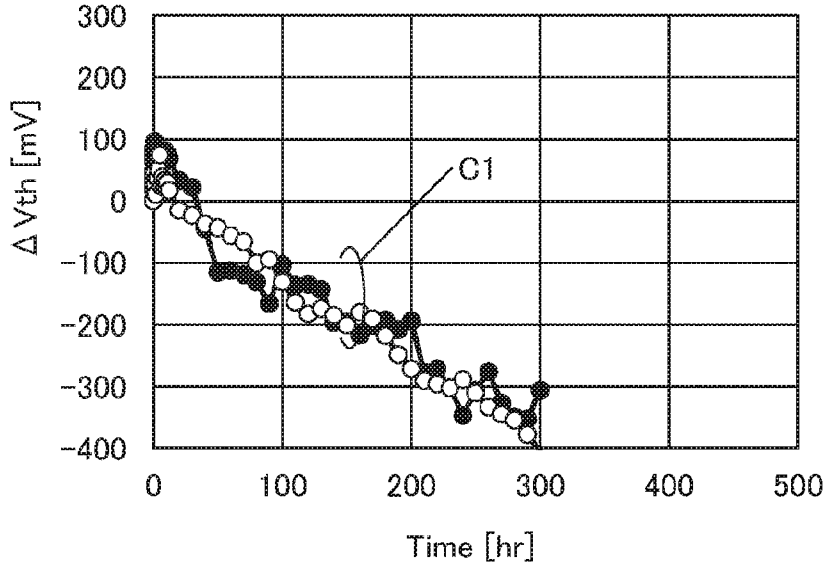

300
200
100
0
−100
−200
−300
−400
ΔVth [mV]
C1
0
100
200
300
400
500
Time [hr]

図47B

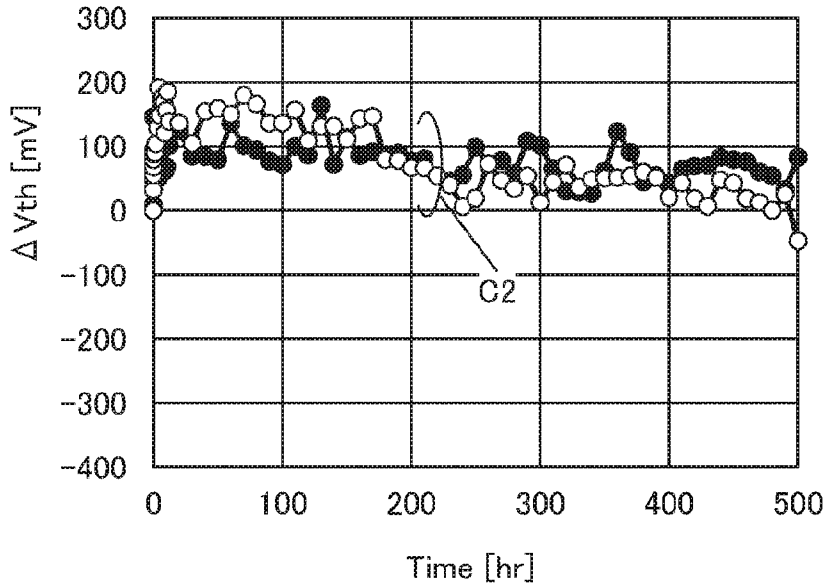

300
200
100
0
−100
−200
−300
−400
ΔVth [mV]
C2
0
100
200
300
400
500
Time [hr]

図48A

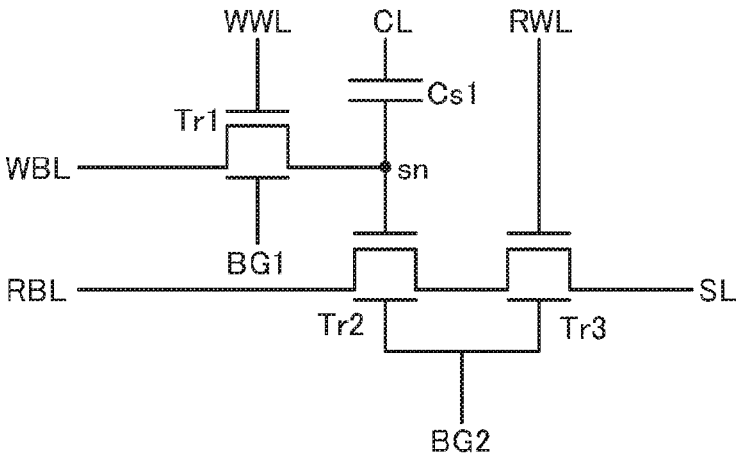

WWL
CL
RWL
Cs1
Tr1
WBL
sn
BG1
RBL
SL
Tr2
Tr3
BG2

図48B

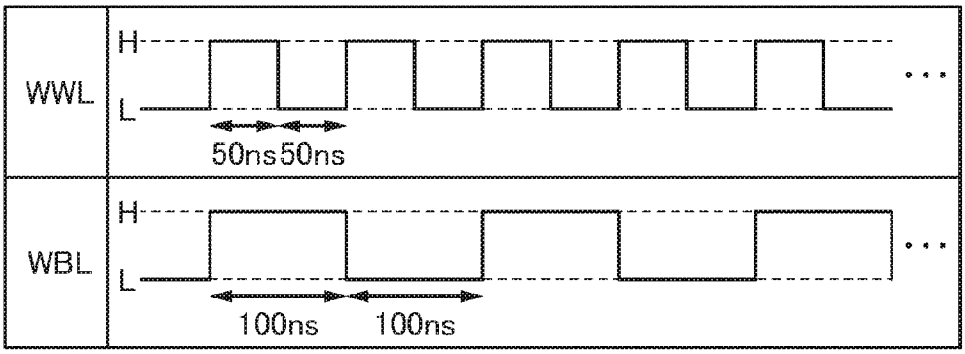

WWL
H
L
50ns
50ns
WBL
H
L
100ns
100ns

図49A

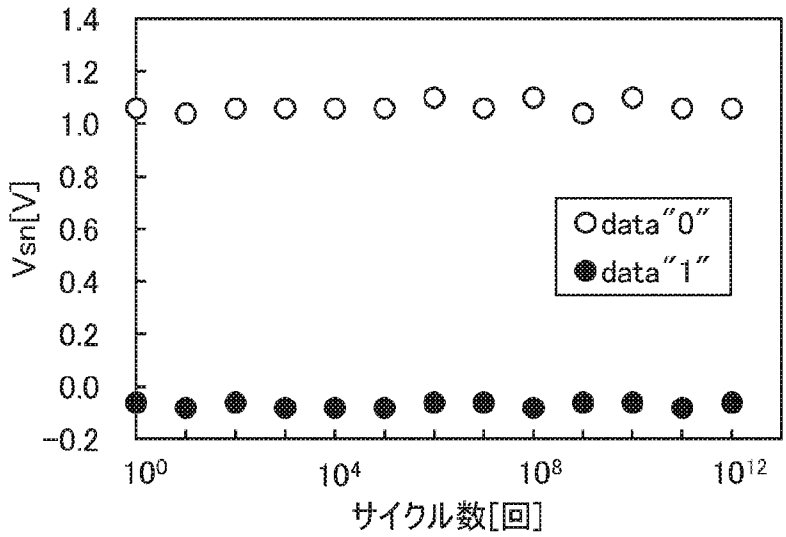
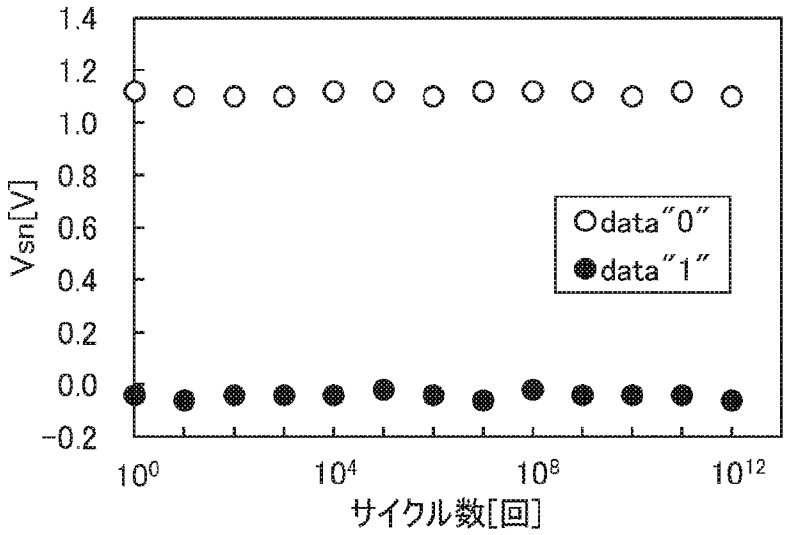

1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
−0.2
Vsn[V]
data″0″
data″1″
10^0
10^4
10^8
10^12
サイクル数[回]

図49B


1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
−0.2
Vsn[V]
data″0″
data″1″
10^0
10^4
10^8
10^12
サイクル数[回]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/057249

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; ***C23C 16/40***(2006.01)i; ***C23C 16/455***(2006.01)i; ***H01L 21/26***(2006.01)i; ***H01L 21/265***(2006.01)i; ***H01L 21/268***(2006.01)i; ***H01L 21/31***(2006.01)i; ***H01L 21/316***(2006.01)i; ***H01L 21/324***(2006.01)i; ***H01L 21/385***(2006.01)i; ***H01L 21/768***(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 21/8242***(2006.01)i; ***H01L 23/522***(2006.01)i; ***H01L 27/04***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 27/108***(2006.01)i; ***H01L 27/1156***(2017.01)i; ***H01L 29/786***(2006.01)i; ***H01L 29/788***(2006.01)i; ***H01L 29/792***(2006.01)i

FI: H01L29/78 626C; H01L29/78 617T; H01L29/78 627F; H01L21/90 D; H01L27/04 C; H01L27/088 331E; H01L27/088 E; H01L27/088 H; H01L27/06 102A; H01L21/26 G; H01L21/268 Z; H01L21/385; H01L21/31 B; H01L21/316 X; H01L29/78 619A; H01L27/108 671C; H01L27/108 671Z; H01L27/108 621Z; H01L27/1156; H01L29/78 371; H01L27/108 621C; H01L29/78 618B; H01L29/78 617V; H01L29/78 617U; H01L21/265 602Z; H01L21/324 J; C23C16/455; C23C16/40; H01L27/108 321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336; C23C16/40; C23C16/455; H01L21/26; H01L21/265; H01L21/268; H01L21/31; H01L21/316; H01L21/324; H01L21/385; H01L21/768; H01L21/822; H01L21/8234; H01L21/8242; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/108; H01L27/1156; H01L29/786; H01L29/788; H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-120107 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 06 August 2020 (2020-08-06) paragraphs [0055]-[0063], [0104], [0257], [0262], [0390], [0445], [0487]-[0517], fig. 30(B)	1
Y		2-6
A		7-13

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 November 2021	**30 November 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/057249

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-157881 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 01 September 2016 (2016-09-01) paragraphs [0120]-[0122]	2-6
Y	JP 2018-78227 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 17 May 2018 (2018-05-17) claim 7, paragraphs [0211], [0375]-[0389]	2-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/057249

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-120107 A	06 August 2020	US 2020/0212185 A1 paragraphs [0114]-[0122], [0162], [0316], [0321], [0449], [0504], [0546]-[0576], fig. 30B KR 10-2020-0083211 A	
JP 2016-157881 A	01 September 2016	(Family: none)	
JP 2018-78227 A	17 May 2018	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2021/057249

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/336(2006.01)i; C23C 16/40(2006.01)i; C23C 16/455(2006.01)i; H01L 21/26(2006.01)i; H01L 21/265(2006.01)i; H01L 21/268(2006.01)i; H01L 21/31(2006.01)i; H01L 21/316(2006.01)i; H01L 21/324(2006.01)i; H01L 21/385(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 29/786(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i

FI: H01L29/78 626C; H01L29/78 617T; H01L29/78 627F; H01L21/90 D; H01L27/04 C; H01L27/088 331E; H01L27/088 E; H01L27/088 H; H01L27/06 102A; H01L21/26 G; H01L21/268 Z; H01L21/385; H01L21/31 B; H01L21/316 X; H01L29/78 619A; H01L27/108 671C; H01L27/108 671Z; H01L27/108 621Z; H01L27/1156; H01L29/78 371; H01L27/108 621C; H01L29/78 618B; H01L29/78 617V; H01L29/78 617U; H01L21/265 602Z; H01L21/324 J; C23C16/455; C23C16/40; H01L27/108 321

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/336; C23C16/40; C23C16/455; H01L21/26; H01L21/265; H01L21/268; H01L21/31; H01L21/316; H01L21/324; H01L21/385; H01L21/768; H01L21/822; H01L21/8234; H01L21/8242; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/108; H01L27/1156; H01L29/786; H01L29/788; H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2020-120107 A (株式会社半導体エネルギー研究所) 06.08.2020 (2020-08-06) 段落0055-0063, 0104, 0257, 0262, 0390, 0445, 0487-0517、図30(B)	1
Y		2-6
A		7-13
Y	JP 2016-157881 A (株式会社半導体エネルギー研究所) 01.09.2016 (2016-09-01) 段落0120-0122	2-6

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
17.11.2021	30.11.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2018-78227 A (株式会社半導体エネルギー研究所) 17.05.2018 (2018-05-17) 請求項7、段落0211, 0375-0389	2-6

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2021/057249

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-120107 A	06.08.2020	US 2020/0212185 A1 段落0114-0122, 0162, 0316, 0321, 0449, 0504, 0546-0576、図30B KR 10-2020-0083211 A	
JP 2016-157881 A	01.09.2016	（ファミリーなし）	
JP 2018-78227 A	17.05.2018	（ファミリーなし）	