

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 24 日 (24.05.2018)



(10) 国际公布号
WO 2018/090426 A1

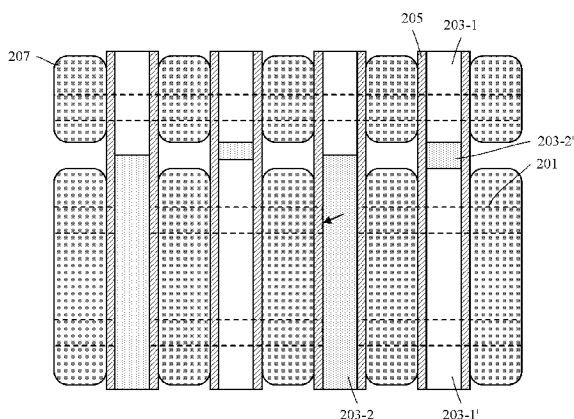
- (51) 国际专利分类号:
H01L 29/78 (2006.01) *H01L 29/423* (2006.01)
H01L 21/336 (2006.01) *H01L 21/28* (2006.01)
- (21) 国际申请号: PCT/CN2016/111274
- (22) 国际申请日: 2016 年 12 月 21 日 (21.12.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611033447.4 2016 年 11 月 15 日 (15.11.2016) CN
- (71) 申请人: 中国科学院微电子研究所
(INSTITUTE OF MICROELECTRONICS, CHINESE
ACADEMY OF SCIENCES) [CN/CN]; 中国北京市
朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波
基普西市奥特姆路 93 号, New York 12603 (US)。
张严波 (ZHANG, Yanbo); 中国北京市朝阳区
北土城西路 3 号, Beijing 100029 (CN)。 钟汇

才 (ZHONG, Huicai); 中国北京市朝阳区北土
城西路 3 号, Beijing 100029 (CN)。

- (74) 代理人: 中科专利商标代理有限责任
公司 (CHINA SCIENCE PATENT & TRADEMARK
AGENT LTD.); 中国北京市海淀区西三环北路
87 号 4-1105 室, Beijing 100089 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: SEMICONDUCTOR STRUCTURE HAVING CONTINUOUS SPACERS AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 具有连续侧墙的半导体设置及其制造方法



AA 鳍
BB 栅
CC 侧墙
DD 接触部

图2

AA Fin
BB Gate
CC Spacer
DD Contact portion

(57) Abstract: A semiconductor structure having continuous spacers and manufacturing method therefor, and an electronic device having such a semiconductor structure. The semiconductor structure comprises: a substrate (1001); a plurality of fins (201) formed on the substrate and extending along a first direction; a plurality of gate stacks (203-1, 203-1') formed on the substrate and extending along a second direction crossing the first direction and dummy gates 203-2 extending along the second direction and consisting of dielectrics, wherein the gate stacks intersect with at least one fin; spacers (205) formed on sidewalls of the gate stacks and the dummy gates; and dielectrics (1019) formed between first gate stacks (203-1) and second gate stacks (203-1') in the second direction to electrically isolate the first gate stacks (203-1) from the second gate stacks (203-1'), wherein the spacers of the first gate stacks and the second gate stacks extend integrally, the dielectrics are provided within a space enclosed by the integrally extending spacers of the first gate stacks and the second gate stacks, and at least part of intervals between the first gate stacks and the second gate stacks in the second direction are smaller than linear intervals implemented by photoetching in the manufacturing process of the semiconductor structure.



NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种具有连续侧墙的半导体设置及其制造方法以及包括这种半导体设置的电子设备。该半导体设置包括：衬底(1001)；在衬底上形成的沿第一方向延伸的多个鳍(201)；在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠(203-1、203-1')以及沿第二方向延伸且由电介质构成的伪栅203-2，其中各栅堆叠与至少一个鳍相交；在栅堆叠和伪栅的侧壁上形成的侧墙(205)；以及设于在第二方向上在第一栅堆叠(203-1)和第二栅堆叠(203-1')之间用以将它们电隔离的电介质(1019)，其中，第一栅堆叠和第二栅堆叠的侧墙一体延伸，且该电介质设于第一栅堆叠和第二栅堆叠的一体延伸的侧墙所围绕的空间内，第一栅堆叠和第二栅堆叠在第二方向上的至少一部分间隔小于该半导体设置的制造工艺中光刻所能实现的线间隔。

具有连续侧墙的半导体设置及其制造方法

相关申请的引用

本申请要求于 2016 年 11 月 15 日递交的题为“具有连续侧墙的半导体设置及其制造方法”的中国专利申请 201611033447.4 的优先权，其内容一并于此用作参考。

技术领域

本公开涉及半导体领域，具体地，涉及具有连续侧墙的半导体设置及其制造方法以及包括这种半导体设置的电子设备。

背景技术

随着半导体器件的不断小型化，短沟道效应越来越明显。对此，提出了立体型器件——鳍式场效应晶体管（FinFET）。FinFET 通常包括在衬底上的竖直鳍以及与鳍相交的栅堆叠。可以在鳍的侧壁上形成沟道。

为了形成 FinFET，可以在衬底上形成各自分别连续延伸的脊状物。根据布局设计，可以将这些连续延伸的脊状物构图为不同的部分，这些部分随后形成器件的鳍。另外，可以在衬底上形成各自分别连续延伸的栅线。根据布局设计，可以将这些连续延伸的栅线构图为分离的部分，这些部分随后形成器件的栅。在栅的侧壁上，可以形成绕器件栅的侧墙。

图 1 是示出了包括 FinFET 的常规半导体设置的顶视图。

如图 1 所示，该半导体设置包括在衬底上沿第一方向（例如，图中水平方向）延伸的多个鳍 101 以及沿与第一方向相交（例如，垂直）的第二方向（例如，图中竖直方向）延伸的多个栅堆叠 103-1。栅堆叠例如可以包括栅介质层和栅电极层。在鳍中与栅堆叠相交之处，可以产生沟道；而在鳍中沟道区的两侧，可以分别形成源区和漏区（由此得到 FinFET）。在各个栅堆叠 103-1 的侧壁上形成了围绕相应栅堆叠 103-1 的侧墙 105。

另外，为了构图方便以及电隔离等目的，还可以形成伪栅 103-2。伪栅 103-2 与栅堆叠 103-1 可以包括相同的构造，从而可以与栅堆叠 103-1 一同形成（因

此,也可以在伪栅 103-2 的侧壁上形成绕伪栅 103-2 的侧墙)。但是,伪栅 103-2 可以不与连续的鳍相交,从而并不真正构成器件。例如,在图 1 的示例中,伪栅 103-2 形成与第一方向上鳍 101 之间的间隙相交。

在衬底上各侧墙 105 之间的空隙中,可以填充有电介质如层间电介质层 (ILD)(图中为清楚起见,并未示出),例如氧化物,特别是在后栅工艺的情况下。ILD 的顶面例如通过平坦化工艺如化学机械抛光 (CMP) 而可以与栅堆叠 103-1、伪栅 103-2、侧墙 105 的顶面保持大致齐平。

为应对器件小型化的趋势,可以采用自对准接触部技术。例如,可以在 ILD 中刻蚀接触孔,这种接触孔可以在相对的侧墙之间延伸。然后,可以在衬底上淀积接触材料,例如金属如钨 (W),并对其进行平坦化如 CMP。CMP 可以停止于 ILD 或侧墙。CMP 后接触材料填充于接触孔中,形成接触部 107。位于伪栅 103-2 相对两侧(图中左右两侧)的接触部可以通过该伪栅 103-2 的侧墙 105 而被电分离。

但是,这种结构存在以下缺点。在对 ILD 进行刻蚀(例如,各向同性刻蚀)时,有可能在相对的栅堆叠 103-1 的相对端部之间的 ILD 中形成缝隙。这些缝隙中随后可能被填充接触材料,从而造成接触部之间不必要的电短路,如图 1 中的 107X 所示。另外,如图 1 中的箭头所示,伪栅 103-2 的边缘与鳍 101 的端部并不是对准的。这会导致栅端部之间的间隔增加,从而降低了集成密度。

需要提供一种新的结构和工艺来至少部分地解决上述问题。

发明内容

有鉴于此,本公开的目的至少部分地在于提供一种半导体设置及其制造方法以及包括这种半导体设置的电子设备,其中在栅的延伸方向上,侧墙可以连续延伸。

根据本公开的一个方面,提供了一种半导体设置,包括:衬底;在衬底上形成的沿第一方向延伸的多个鳍;在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠以及沿第二方向延伸且由电介质构成的伪栅,其中各栅堆叠与至少一个鳍相交;在栅堆叠的侧壁以及伪栅的侧壁上形成的侧墙;以及设于在第二方向上对准的第一栅堆叠和第二栅堆叠之间用以将第一栅堆叠和第

二栅堆叠电隔离的电介质，其中，第一栅堆叠和第二栅堆叠的侧墙一体延伸，且所述电介质设于第一栅堆叠和第二栅堆叠的一体延伸的侧墙所围绕的空间内，其中，第一栅堆叠和第二栅堆叠在第二方向上的至少一部分间隔小于该半导体设置的制造工艺中光刻所能实现的线间隔。

根据本公开的另一方面，提供了一种制造半导体设置的方法，包括：在衬底上形成各自分别沿第一方向连续延伸的多个脊状物；在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线；在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙；在衬底上形成第一电介质，对其进行平坦化以露出牺牲栅线；去除牺牲栅线，以露出下方的脊状物；向侧墙内的空间中填充第二电介质；利用掩模遮蔽一部分第二电介质并露出其余部分的第二电介质，其中，在至少一条牺牲栅线处，掩模覆盖在第二方向上一定尺度的第二电介质；去除露出部分的第二电介质，以露出下方的脊状物；以及在由于所述部分第二电介质的去除而留下的空间中形成栅堆叠，其中，在所述至少一条牺牲栅线处，留有所述尺度的第二电介质，且在留下的第二电介质两侧形成的栅堆叠彼此之间在第二方向上的间隔由所述尺度限定，且因此能够小于该半导体设置的制造工艺中光刻所能实现的线间隔。

根据本公开的另一方面，提供了一种制造半导体设置的方法，包括：在衬底上形成各自分别沿第一方向连续延伸的多个脊状物；在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线；在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙；在衬底上形成第一电介质，对其进行平坦化以露出牺牲栅线；去除牺牲栅线，以露出下方的脊状物；向侧墙内的空间中填充第二电介质；利用第一掩模遮蔽一部分的第二电介质并露出第一部分的第二电介质；去除露出的第一部分第二电介质，以露出下方的脊状物；在由于第一部分第二电介质的去除而留下的空间中形成第一栅堆叠；利用第二掩模遮蔽一部分的第二电介质并露出第二部分的第二电介质，其中，在至少一条牺牲栅线处，第一掩模和第二掩模在第二方向上有一定尺度的套准交迭；去除露出的第二部分第二电介质，以露出下方的脊状物；在由于第二部分第二电介质的去除而留下的空间中形成第二栅堆叠，其中，在所述至少一条牺牲栅线处，留有所述尺度的第二电介质，且在留下的第二电介质两侧形

成的第一栅堆叠和第二栅堆叠彼此之间的间隔由所述尺度限定,且因此能够小于该半导体设置的制造工艺中光刻所能实现的关键线宽(CD)。

根据本公开的另一方面,提供了一种电子设备,包括上述半导体设置。

根据本公开的实施例,侧墙可以在相对的(伪)栅之间连续延伸,即便这些(伪)栅彼此并不连续,这有助于避免(自对准)接触部之间的电短路。通过利用掩模线条(而不是掩模线条之间的间隔)来限定栅堆叠端部之间的间隔,该间隔的尺度可以小于制造工艺中光刻所能实现的线间隔。另一方面,通过利用掩模之间的套准交迭(而不是掩模线条)来限定栅堆叠端部之间的隔离电介质,从而该隔离电介质的尺度可以小于光刻工艺所能实现的关键线宽(CD)。另外,与伪栅邻接的鳍的端部可以自对准于相应侧墙的内壁,从而有助于提高集成密度。

附图说明

通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

图 1 是示出了包括 FinFET 的常规设置的顶视图;

图 2 是示出了根据本公开实施例的半导体设置的顶视图;

图 3(a)-23(b) 示出了根据本公开实施例的制造半导体设置的流程的示意图;

图 24(a)-26 示出了根据本公开另一实施例的制造半导体设置的流程中部分阶段的示意图;

图 27 示出了根据本公开实施例的应力保持机制所能实现的应力增强;

图 28(a)-33 示出了根据本公开另一实施例的制造半导体设置的流程中部分阶段的示意图。

贯穿附图,相同或相似的附图标记表示相同或相似的部件。

具体实施方式

以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知

结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，可以在衬底上形成各自分别沿第一方向延伸的脊状物，并在脊状物之上形成各自分别沿与第一方向交叉（例如，大致垂直）的第二方向连续延伸从而与脊状物相交的栅线。之后，可以在各栅线的侧壁上形成围绕相应栅线的侧墙。这样，侧墙可以在栅线（沿第二方向）的长度上连续延伸。在此，可以先按设计布局对脊状物进行构图，然后再形成栅线。或者，可以直接在连续延伸的脊状物上形成栅线，在后继的步骤中再按设计布局对脊状物进行构图，如下所述。以下，将以后一种情况为例进行描述。

此外，由于为了形成连续延伸侧墙而事实上采用的后栅工艺，可以在衬底上形成第一电介质（例如，层间电介质层（ILD））。可以对第一电介质进行平坦化处理，以露出栅线（例如，平坦化可以停止于栅线）。

在形成连续延伸的侧墙之后，可以进行栅线的分离（以及脊状物的分离，如果之前并未分离的话）。例如，可以去除栅线（因此，这种栅线可以称作“牺牲”栅线）。由于牺牲栅线的去除，露出了下方的脊状物。根据布局设计，可以在某些区域处分离脊状物（如果脊状物在形成栅线之前就已经分离，则在此无需进行）。例如，可以经由侧墙所围绕的空间，对露出一部分脊状物进行选择性地刻蚀，从而将相应脊状物分离为不同的部分（在电特性上分离，可能在物理上仍然部分地连续），这些部分随后形成不同器件的鳍。这些部分或者说鳍的端部可以自对准于侧墙的内壁。随后，可以向侧墙内侧的空间中填入第二

电介质，使得脊状物的不同部分之间可以彼此电隔离。

根据布局设计，在将要形成真正栅堆叠的位置处，可以去除侧墙内的第二电介质，以露出下方的脊状物或者说鳍。然后，可以在由于第二电介质的去除而留下的空间中形成栅堆叠。于是，栅堆叠可以与下方的鳍相交，并因此构成相应的器件及 FinFET。留于侧墙内的第二介质可以形成伪栅。

这样，在第二方向上对准的栅堆叠（占据相同牺牲栅线的位置，且被相同的侧墙所围绕）侧壁上的侧墙可以一体连续延伸，即使这些栅堆叠彼此之间并不连续。这样，就可以避免产生如图 1 所示的穿过栅端部之间的短路 107X。此外，如上所述，鳍的端部可以自对准于相应侧墙的内壁。于是，可以避免如图 1 所示的由于鳍端部与栅边缘之间的不对准而造成的集成密度降低。

根据本公开的实施例，在去除第二电介质时，通过适当地利用掩模，可以实现栅端部间间隔或者该间隔中所填充的电介质的尺度的减小。例如，可以利用掩模来遮蔽第二电介质。在某些栅端部之间的间隔处，掩模可以遮蔽一定尺度的第二电介质。这样，在利用该掩模对第二电介质进行选择刻蚀之后，所述尺度的第二电介质可以留下。因此，在该留下的第二电介质相对两侧形成的栅堆叠的端部之间的间隔将由该尺度来限定，并因此可以小于制造工艺中光刻所能实现的线间隔。又如，可以分次使用不同掩模来遮蔽第二电介质的不同部分，以便实现对第二电介质的不同区域分别进行选择刻蚀。这些掩模之间可以存在套准交迭（overlay）。由于该套准交迭，可以留下一定尺度的第二电介质，该尺度可以小于制造工艺中光刻所能实现的关键线宽（CD）。

图 2 是示出了根据本公开实施例的半导体设置的顶视图。该半导体设置例如是根据上述工艺制作的。

如图 2 所示，根据该实施例的半导体设置可以包括在衬底上沿第一方向（例如，图中水平方向）延伸的多个鳍 201 以及沿与第一方向相交（例如，垂直）的第二方向（例如，图中竖直方向）延伸的多个栅堆叠 203-1、203-1' 和多个伪栅 203-2。栅堆叠 203-1、203-1' 可以包括栅介质层和栅电极层。另外，伪栅 203-2 可以包括电介质（例如，上述第二电介质）。在栅堆叠和伪栅的侧壁上，形成有侧墙 205。在实际中，侧墙 205 可以是环形结构。在图 2 中，为了方便起见，并未示出侧墙 205 的上、下端部（可以认为它们处于图中所示区域

之外)。在相同侧墙 205 的内侧，各栅堆叠和/或伪栅彼此沿着侧墙的延伸方向（即，第二方向）彼此对准（它们一起占据该侧墙原本围绕的牺牲栅线的位置）。

栅堆叠 203-1、203-1'与鳍 201 相交，从而构成相应的器件即 FinFET。在该示例中，由于如图中箭头所示，各鳍 201 的端部对准于相应侧墙 205 的内壁，从而伪栅 203-2 事实上不与鳍相交，且将其相对两侧（图中左右两侧）相对的鳍彼此电隔离。

根据布局设计，相对的栅堆叠 203-1 和 203-1'之间可以设有隔离部 203-2'。隔离部 203-2'可以与伪栅 203-2 包括相同的电介质，例如是在上述工艺中由于在该隔离部的区域处保留第二电介质而得到的。

另外，该半导体设置还包括按照自对准方式形成的接触部 207。接触部 207 可以在相邻的侧墙 205 之间延伸。由于侧墙 205 连续延伸，同一侧墙 205 相对两侧的接触部 207 可以通过该连续延伸的侧墙 205 而可靠地电隔离。

本公开可以各种形式呈现，以下将描述其中一些示例。

图 3(a)-23(b) 示出了根据本公开实施例的制造半导体设置的流程的示意图。

如图 3(a)、3(b)和 3(c)（图 3(a)是俯视图，图 3(b)是沿图 3(a)中 AA'线的截面图，图 3(c)是沿图 3(a)中 BB'线的截面图）所示，提供衬底 1001。该衬底 1001 可以是各种形式的衬底，包括但不限于体半导体材料衬底如体 Si 衬底、绝缘体上半导体（SOI）衬底、化合物半导体衬底如 SiGe 衬底等。在以下的描述中，为方便说明，以体 Si 衬底为例进行描述。

在衬底 1001 中，例如通过离子注入，可以形成各种阱区，如图中所示的 p-阱和 n-阱。在该示例中，可以在整个衬底区域上形成 p-阱，并在一部分 p-阱中嵌入 n-阱。例如，可以在 p-阱上形成 n 型器件，而可以在 n-阱上形成 p 型器件。

另外，在衬底 1001 上，形成有沿第一方向（例如，图 3(a)和 3(b)中的水平方向，图 3(c)中垂直于纸面的方向）延伸的脊状物 1001F。例如，可以通过对衬底 1001 进行构图来在衬底 1001 中形成凹槽，相邻凹槽之间的部分相对于凹槽突出而形成脊状物。当然，也可以在衬底上外延生长其他半导体层，并通过对该半导体层进行构图来形成脊状物。脊状物 1001F 可以平行延伸，并可以

具有相同或者不同的间距和/或宽度。

在衬底 1001 上可以形成隔离层 1009，例如氧化物（如氧化硅），以填充在凹槽中从而围绕脊状物 1001F 的底部。脊状物 1001F 位于隔离层 1009 顶面上方的部分随后可以形成器件的鳍，在此称作“鳍线”。在以下描述中，也以“1001F”来指示鳍线。当然，在 SOI 衬底的情况下，SOI 衬底中的埋入氧化物（BOX）层可以充当隔离层。

根据本公开的实施例，可以将鳍线分离为不同的部分以形成鳍布局，然后再形成隔离层，以便限定有源区。备选地，可以保留连续延伸的鳍线，直接形成隔离层。在后继处理中，再对鳍线进行分离，以形成最终的有源区布局。在此，以后一种情况为例进行描述。

为了抑制源漏之间经由鳍下部的泄漏，可以在脊状物中鳍线的下部形成穿通阻止层（PTSL）。例如，对于要在 p-阱上形成的 n 型器件，可以形成片 p 型的 PTSL（p-PTSL）；而对于要在 n-阱上形成的 p 型器件，可以形成 n 型的 PTSL（n-PTSL）。p-PTSL 中的 p 型掺杂浓度可以高于 p-阱中的 p 型掺杂浓度，n-PTSL 中的 n 型掺杂浓度可以高于 n-阱中的 n 型掺杂浓度。

存在多种方法来形成鳍线以及各种阱和 PTSL 配置，在此不赘述。

接下来，如图 4(a)、4(b)和 4(c)（图 4(a)是俯视图，图 4(b)是沿图 4(a)中 AA'线的截面图，图 4(c)是沿图 4(a)中 BB'线的截面图）所示，可以在衬底 1001 上（更具体地，在隔离层 1009 上），形成沿与第一方向交叉（例如，大致垂直）的第二方向（例如，图 4(a)中的竖直方向，图 4(b)中垂直于纸面的方向，图 4(c)中的水平方向）延伸并因此与鳍线 1001F 相交的牺牲栅线 1003。

为了在以下对牺牲栅线 1003 进行刻蚀的过程中能够更好地控制刻蚀过程，可以先形成刻蚀停止层 1011。例如，可以通过淀积或者热氧化，形成氧化物的刻蚀停止层 1011，厚度为约 1-5nm。在图 4(b)和 4(c)中，示出了例如通过热氧化而在鳍线 1001F 的表面上形成的刻蚀停止层 1011；而在图 4(a)中，为方便起见，并未示出刻蚀停止层 1011。

然后，可以在衬底 1001 上例如通过淀积形成牺牲栅线材料。牺牲栅线材料例如包括多晶硅或非晶硅，厚度可以为约 150-300nm。可以对形成的牺牲栅线材料进行平坦化处理如化学机械抛光（CMP），以使其顶面平坦，且留于鳍

线 1001F 顶面上方的厚度可以为约 70-150nm。然后，可以通过例如光刻，将牺牲栅线材料构图为一系列牺牲栅线 1003。例如，牺牲栅线 1003 可以平行延伸，并可以具有相同或者不同的间距和/或宽度。

在该示例中，对于牺牲栅线材料的刻蚀如 RIE（相对于氧化物的隔离层 1009 和/或刻蚀停止层 1011 的选择性刻蚀）利用硬掩模层 1013。硬掩模层 1013 例如可以包括氮化物（例如，氮化硅），厚度为约 50-150nm。利用硬掩模来进行刻蚀的过程在此不再赘述。

在牺牲栅线 1003 的侧壁上，可以通过侧墙（spacer）形成工艺，形成侧墙 1005。侧墙 1005 例如可以包括氮化物，厚度为约 3-10nm。如上所述，侧墙 1005 围绕各牺牲栅线 1003，从而形成环状。在图 4(a)的俯视图中，并未示出侧墙 1005 的上下端部。

接着，可以在各牺牲栅线 1003 及其相应侧墙 1005 之间的空隙处，填充第一电介质例如氧化物，以便遮挡鳍线 1001F 被各牺牲栅线 1003 及其相应侧墙 1005 露出的部分。例如，可以在图 4(a)、4(b)和 4(c)所示的结构上淀积氧化物，并对其进行平坦化处理如 CMP。CMP 可以停止于牺牲栅线 1003，从而露出牺牲栅线 1003。这样，得到了图 5 所示的结构（图 5 示出了 AA'线截面处的情况）。如此填充的第一电介质 1015 在后继处理中还可以有助于保持应力或者防止应力释放。

在形成连续的侧墙 1005 之后，可以进行有源区的限定，即按照布局设计，对鳍线 1001F 进行分离。根据本公开的实施例，在对鳍线 1001F 进行分离时，可以利用侧墙 1005 来限定分离鳍线 1001F 所得到的鳍的端部。

为此，如图 6(a)和 6(b)（图 6(a)是俯视图，图 6(b)是沿图 6(a)中 AA'线的截面图）所示，可以通过选择性刻蚀（相对于氧化物的隔离层 1009、刻蚀停止层 1011 和第一电介质 1015 以及氮化物的侧墙 1005）如湿法腐蚀或气相刻蚀，去除牺牲栅线 1003，从而在侧墙 1005 内侧形成沟槽 T。在此，刻蚀优选地是各向同性刻蚀，以便很好地露出侧墙 1005 的内壁。在沟槽 T 中，露出了鳍线 1001F（当前被刻蚀停止层 1011 覆盖）。

对于露出的鳍线 1001F，可以根据布局设计，分离其中的一部分，以形成分离的有源区或者鳍。例如，这可以通过光刻胶遮蔽不需要分离的鳍线并露出

需要分离的鳍线，然后进行选择性的刻蚀来进行。

例如，如图 7(a)和 7(b)（图 7(a)是俯视图，图 7(b)是沿图 7(a)中 AA'线的截面图）所示，可以在图 6(a)和 6(b)所示的结构上形成光刻胶 1017，并将其构图（例如，通过曝光和显影）为露出从左向右数时第一和第三条牺牲栅线所对应的沟槽 T，遮蔽第二和第四条牺牲栅线所对应的沟槽 T。尽管在此示出了整个第一和第三条牺牲栅线所对应的沟槽 T 均被露出且第二和第四条牺牲栅线所对应的沟槽 T 均被遮蔽的情况，但是本公开不限于此。例如，沟槽 T 的一部分可以遮蔽而另一部分可以露出。这里需要指出的是，需要露出的沟槽 T 或者其一部分是根据布局设计而定的。

然后，如图 8（图 8 示出了 AA'线截面处的情况）所示，可以经由沟槽 T，来分离鳍线 1001F。例如，可以通过反应离子刻蚀（RIE），依次选择性地刻蚀刻蚀停止层 1011 和脊状物 1001F。对脊状物 1001F 的刻蚀可以将鳍线（即，脊状物处于隔离层 1009 顶面上方的部分）切断。这样，鳍线 1001F 被分离为不同的部分，这些部分随后可以构成器件的鳍。以下，仍然以“1001F”来指示鳍。优选地，对脊状物 1001F 的刻蚀可以穿过 PTS1，并停止于 n-阱或 p-阱中。这有助于确保各分离的鳍之间的电隔离。之后，可以去除光刻胶 1017。

由于在分离鳍线 1001F 时侧墙 1005 类似于掩模，因此，分离后鳍的端部自对准于侧墙 1005 的内壁。这有助于节省衬底上的面积并因此降低制造成本。

接着，如图 9(a)和 9(b)（图 9(a)是俯视图，图 9(b)是沿图 9(a)中 AA'线的截面图）所示，可以向侧墙 1005 内侧的空间中特别是分离的鳍 1001F 的相对端部之间填充第二电介质 1019。例如，可以在图 8 所示的结构上淀积氮氧化物（例如，氮氧化硅），并对其进行平坦化处理如 CMP，CMP 可以停止于第一电介质 1015。第二电介质 1019 被侧墙 1005 围绕，构成伪栅。

在此，通过向凹槽中填充第二电介质来形成伪栅。在填充时，第二电介质可能先淀积于凹槽的侧壁和底壁上，从而形成 U 型结构，该 U 型结构的两个相对内侧壁随着淀积进行而逐渐靠拢。由于沟槽的开口很小，因此最终 U 型结构的相对内侧壁可能并没有完全弥合，而是存在一定的缝隙。也即，在最终的伪栅中，可能存在这种缝隙，从而伪栅仍然呈现 U 型结构。这种结构可以在透射电镜（TEM）照片中看到。

由于电介质的伪栅留于鳍的相对端部之间，可以在后继的源/漏外延过程中降低应力弛豫。另外，可以将带应力的电介质材质用于伪栅，以便在鳍中产生应力，从而增强器件性能。例如，对于 p 型器件，伪栅可以带压应力；而对于 n 型器件，伪栅可以带拉应力。

之后，可以按照布局设计，在侧墙 1005 内侧的空间中需要之处形成真正的栅堆叠。例如，这可以通过去除一部分第二电介质 1019，以露出下方的鳍 1001F，并在由于第二电介质 1019 的去除而留下的空间中形成栅堆叠来进行。形成的栅堆叠与下方的鳍 1001F 相交，从而限定 FinFET。

在该示例中，由于针对 CMOS 工艺，可以针对 n 型器件和 p 型器件分别形成不同的栅堆叠。为此，可以针对 n 型器件区域和 p 型器件区域分别进行处理。在以下，将描述先对 p 型器件区域进行处理然后再对 n 型器件进行处理的示例。但是，本公开不限于此，处理的顺序可以交换。

例如，参见图 10(a)和 10(b)（图 10(a)是俯视图，图 10(b)是沿图 10(a)中 AA'线的截面图），可以在图 9(a)和 9(b)所示的结构上形成光刻胶 1021，并将其构图为遮蔽 n 型器件区域（例如，图 10(a)中左上部以及右部），而露出 p 型器件区域（例如，图 10(a)中左下部）。

此时，例如可以通过对第二电介质 1019 进行选择刻蚀来去除侧墙 1005 内侧的第二电介质 1019，并在由于第二电介质 1019 的去除而在侧墙 1005 内侧留下的空间中形成栅堆叠，来制作 FinFET。

根据本公开的实施例，在此还可以采用应变源漏技术。

例如，可以图 10(a)和 10(b)所示的光刻胶 1021 为掩模，对氧化物的第一电介质 1015 以及刻蚀停止层 1011 进行选择刻蚀如 RIE，以便露出下方的鳍 1001F。于是，p 型器件区域中鳍 1001F 在相邻侧墙 1005 之间延伸的部分（对应于源/漏区）被露出。之后，可以去除光刻胶 1021。

接着，如图 11(a)和 11(b)（图 11(a)是俯视图，图 11(b)是沿图 11(a)中 AA'线的截面图）所示，可以对鳍 1001F 进行选择刻蚀如 RIE，以至少去除其一部分从而使其下凹。例如，鳍 1001F 可以凹入至 n-PTSL，即去除鳍 1001F 位于 n-PTSL 之上的部分。然后，可以以鳍 1001F 的剩余部分为种子，外延生长用作源/漏区的另外半导体材料 1023。例如，对于 p 型器件，源/漏区 1023 可

以包括 SiGe (Ge 的原子百分比为约 30-75%), 以便向用作沟道区的 Si 的鳍 1001F 施加压应力, 从而改善器件性能。另外, 在生长半导体材料 1023 时, 可以对其进行原位掺杂, 例如 p 型掺杂, 掺杂浓度为约 $1\text{E}19\text{-}1\text{E}21\text{cm}^{-3}$ 。所生长的半导体材料 1023 的顶面可以高于鳍 1001F 的顶面, 以便更好地向鳍 1001F 施加应力; 另一方面, 可以低于侧墙 1005 或伪栅 1019 的顶面, 以便随后可以在此之上形成应力保持层。

在生长半导体材料 1023 时, 由于在相对两侧 (图 11(a)和 11(b)中左右两侧)以及底部均存在种子层, 从而有助于高质量的生长。以这种方式进行生长, 所生长的半导体材料 1023 可以呈现如鳍 1001F 的脊状。

另外, 如图 11(b)所示, 由于 n 型器件区域上存在的第一电介质 1015 以及 p 型器件区域与 n 型器件区域之间的伪栅 1019, 可以防止所生长的半导体材料 1023 中的应力释放到 n 型器件区域, 并有助于改善 p 型器件的性能。

然后, 如图 12 (图 12 示出了 AA'线截面处的情况) 所示, 可以在图 11(a)和 11(b)上例如通过淀积形成第三电介质 1025 如氧化物, 并对其进行平坦化处理如 CMP, CMP 可以停止于侧墙 1005。这样, 所形成的第三电介质 1025 填充了相邻侧墙之间的空间, 并且有助于防止下方的半导体材料 1023 中的应力释放。

接下来, 可以对 n 型器件区域进行同样地处理。

为此, 如图 13(a)和 13(b) (图 13(a)是俯视图, 图 13(b)是沿图 13(a)中 AA'线的截面图) 所示, 可以在图 12 所示的结构上形成光刻胶 1027, 并将其构图为遮蔽 p 型器件区域 (例如, 图 13(a)中左下部), 而露出 n 型器件区域 (例如, 图 13(a)中左上部以及右部)。

此时, 例如可以通过对第二电介质 1019 进行选择刻蚀来去除侧墙 1005 内侧的第二电介质 1019, 并在由于第二电介质 1019 的去除而在侧墙 1005 内侧留下的空间中形成栅堆叠, 来制作 FinFET。

当然, 也可以对 n 型器件区域应用应变源漏技术。

例如, 可以图 13(a)和 13(b)所示的光刻胶 1027 为掩模, 对氧化物的第一电介质 1015 以及刻蚀停止层 1011 进行选择刻蚀如 RIE, 以便露出下方的鳍 1001F。于是, n 型器件区域中鳍 1001F 在相邻侧墙 1005 之间延伸的部分 (对

应于源/漏区)被露出。之后,可以去除光刻胶 1027。

接着,如图 14(图 14 示出了 AA'线截面处的情况)所示,可以对鳍 1001F 进行选择性地刻蚀如 RIE,以至少去除其一部分从而使其下凹。例如,鳍 1001F 可以凹入至 p-PTSL,即去除鳍 1001F 位于 p-PTSL 之上的部分。在去除鳍 1001F 的该部分时,半导体层 1023 中的应力可能释放,但是第三电介质 1025 以及 p 型器件区域与 n 型器件区域之间的伪栅 1019 有助于减小这种释放。

然后,可以以鳍 1001F 的剩余部分为种子,外延生长用作源/漏区的另外半导体材料 1029。例如,对于 n 型器件,源/漏区 1029 可以包括 Si:C (C 的原子百分比为约 0.1-3%),以便向用作沟道区的 Si 的鳍 1001F 施加拉应力,从而改善器件性能。另外,在生长半导体材料 1029 时,可以对其进行原位掺杂,例如 n 型掺杂,掺杂浓度为约 $1\text{E}19\text{-}1\text{E}21\text{cm}^{-3}$ 。所生长的半导体材料 1029 的顶面可以高于鳍 1001F 的顶面,以便更好地向鳍 1001F 施加应力;另一方面,可以低于侧墙 1005 或伪栅 1019 的顶面,以便随后可以在此之上形成应力保持层。

在生长半导体材料 1029 时,由于在相对两侧(图 14 中左右两侧)以及底部均存在种子层,从而有助于高质量的生长。以这种方式进行生长,所生长的半导体材料 1029 可以呈现如鳍 1001F 的脊状。

另外,如图 14 所示,由于在 p 型器件区域上存在的第三电介质 1025 以及 p 型器件区域与 n 型器件区域之间的伪栅,可以防止所生长的半导体材料 1029 中的应力释放到 p 型器件区域,并有助于改善 p 型器件的性能。

然后,如图 15(a)和 15(b)(图 15(a)是俯视图,图 15(b)是沿图 15(a)中 AA'线的截面图)所示,可以在图 14 上例如通过淀积形成第四电介质 1031 如氧化物(可以与第三电介质 1025 相同),并对其进行平坦化处理如 CMP, CMP 可以停止于侧墙 1005。这样,所形成的第四电介质 1031 填充了相邻侧墙之间的空间,并且有助于防止下方的半导体材料 1029 中的应力释放。

可以看出,由于存在多种应力保持机制,从而可以增加器件中的应力。图 27 示出了根据本公开实施例的应力保持机制所能实现的应力增强。如图 27 所示,采用这些应力保持机制,对 n 型器件和 p 型器件,均可以实现沟道区的应力增强。

如图 15(a)和 15(b)所示,当前的有源区已经形成成为这样的形式:有源区总体上仍呈沿第一方向延伸的脊状物,该脊状物在伪栅 1019 和侧墙 1005 正下方的部分是原本的鳍 1001F,而在相邻侧墙 1005 之间延伸的部分是应变源/漏区 1023、1029。应变源/漏区 1023、1029 可以比原本的鳍 1001F 要粗。在该示例中,伪栅 1019 可以将有源区的不同部分相隔离。

在形成应变源/漏之后,可以将伪栅 1019 中需要之处替换为真正的栅堆叠。为此,首先可以去除伪栅 1019 中需要替换的部分,并在其中代之以真正的栅堆叠。对于 n 型器件和 p 型器件,可以分别进行栅堆叠的替代。

例如,如图 16(a)和 16(b) (图 16(a)是俯视图,图 16(b)是沿图 16(a)中 AA' 线的截面图)所示,可以在图 15(a)和 15(b)所示的结构上形成光刻胶 1033,并将该光刻胶 1033 构图为遮蔽需要保留的伪栅部分 (图中从左至右数第一、第三和第四伪栅,以及第二伪栅的一部分),并露出需要替换的伪栅部分 (用于 p 型器件的部分,图中从左至右数第二伪栅的一部分)。以光刻胶 1033 为掩模,对伪栅 1019 进行选择刻蚀如 RIE (相对于氧化物的电介质 1025/1031 以及氮化物的侧墙 1005)。刻蚀可以停止于刻蚀停止层 1011。这样,由于这些部分的伪栅被去除,从而在侧墙 1005 内侧留下了空间 (用于容纳栅堆叠),且在该空间内露出了鳍 1001F (鳍表面覆盖有刻蚀停止层 1011,该刻蚀停止层 1011 例如可以通过清洗或者选择性刻蚀而被去除)。之后,可以去除光刻胶 1033。

然后,如图 17(a)和 17(b) (图 17(a)是俯视图,图 17(b)是沿图 17(a)中 AA' 线的截面图)所示,可以在如上所述在侧墙 1005 内侧留下的空间中形成栅堆叠。在此,可以形成针对 p 型器件的栅堆叠。

例如,可以首先在该空间中通过淀积如原子层淀积 (ALD) 形成栅介质层 1035。栅介质层 1035 可以包括高 K 栅介质如 HfO_2 , 厚度为约 1-3nm。在形成栅介质层 1035 之前,可以在鳍 1001F 的表面上形成氧化物的界面层 (未示出), 厚度为约 0.3-1.2nm。之后,可以通过淀积形成针对 p 型器件的栅电极层 1037-1, 例如金属栅电极。可以对所形成的栅电极层 1037-1 和栅介质层 1035 进行平坦化处理如 CMP, CMP 可以停止于电介质 1025/1031。这样,栅电极层 1037-1 和栅介质层 1035 留于侧墙 1005 内侧,形成栅堆叠。

接下来,可以类似地对 n 型器件进行栅堆叠的替代。

例如，如图 18(a)、18(b)、18(c)和 18(d)（图 18(a)是俯视图，图 18(b)是沿图 18(a)中 AA'线的截面图，图 18(c)是沿图 18(a)中 BB'线的截面图，图 18(d)是沿图 18(a)中 CC'线的截面图）所示，可以在图 17(a)和 17(b)所示的结构上形成光刻胶 1033'，并将该光刻胶 1033'构图为遮蔽需要保留的伪栅部分（图中从左至右数第一和第三伪栅，第二伪栅的一部分，以及第四伪栅的一部分），并露出需要替换的伪栅部分（用于 n 型器件的部分，图中从左至右数第二伪栅和第四伪栅的一部分）。以光刻胶 1033'为掩模，对伪栅 1019 进行选择刻蚀如 RIE（相对于氧化物的电介质 1025/1031 以及氮化物的侧墙 1005）。刻蚀可以停止于刻蚀停止层 1011。这样，由于这些部分的伪栅被去除，从而在侧墙 1005 内侧留下了空间（用于容纳栅堆叠），且在该空间内露出了鳍 1001F（鳍表面覆盖有刻蚀停止层 1011，该刻蚀停止层 1011 例如可以通过清洗或者选择性刻蚀而被去除）。之后，可以去除光刻胶 1033'。

根据本公开的实施例，在栅堆叠的相对端部之间需要隔离的情况下，可以利用光刻胶 1033'来遮蔽相应位置，从而在该处留下伪栅以便用作隔离。例如，如图 18(a)（参见其中右侧的虚线椭圆圈）和 18(c)所示，在从左至右数第四条伪栅处，光刻胶 1033'覆盖了在第二方向上一定宽度的伪栅，该宽度的伪栅 1019 随后得以保留。

另外，根据本公开的实施例，在栅堆叠（特别是 n 型器件和 p 型器件的栅堆叠）的相对端部之间需要隔离的情况下，可以利用光刻胶 1033'与前次光刻胶 1033 之间的套准交迭来遮蔽相应位置，从而在该处留下伪栅以便用作隔离。例如，如图 18(a)（参见其中左侧的虚线椭圆圈）和 18(d)所示，在从左至右数第二条伪栅处，光刻胶 1033'与前次光刻胶 1033 之间在第二方向上交迭一定宽度，该宽度的伪栅 1019 随后得以保留。

然后，如图 19(a)、19(b)、19(c)和 19(d)（图 19(a)是俯视图，图 19(b)是沿图 19(a)中 AA'线的截面图，图 19(c)是沿图 19(a)中 BB'线的截面图，图 19(d)是沿图 19(a)中 CC'线的截面图）所示，可以在如上所述在侧墙 1005 内侧留下的空间中形成栅堆叠。在此，可以形成针对 n 型器件的栅堆叠。

例如，可以首先在该空间中通过淀积如原子层淀积（ALD）形成栅介质层 1035。栅介质层 1035 可以包括高 K 栅介质如 HfO_2 ，厚度为约 1-3nm。在形成

栅介质层 1035 之前,可以在鳍 1001F 的表面上形成氧化物的界面层(未示出),厚度为约 0.3-1.2nm。之后,可以通过淀积形成针对 n 型器件的栅电极层 1037-2,例如金属栅电极。可以对所形成的栅电极层 1037-2 和栅介质层 1035 进行平坦化处理如 CMP, CMP 可以停止于电介质 1025/1031。这样,栅电极层 1037-2 和栅介质层 1035 留于侧墙 1005 内侧,形成栅堆叠。

这样,就得到了 n 型和 p 型的 FinFET。如图 19(b)所示,在 p 型 FinFET 中,栅电极层 1037-1 可以介由栅介质层 1035 控制鳍 1001F 中的沟道区,且源/漏区 1023 可以通过沟道区电连通。类似地,在 n 型 FinFET 中,栅电极层 1037-2 可以介由栅介质层 1035 控制鳍 1001F 中的沟道区,且源/漏区 1029 可以通过沟道区电连通。

在此,可以对 n 型器件和 p 型器件分别形成不同的栅堆叠(在该示例中,对于 n 型器件和 p 型器件形成相同的栅介质层,并形成不同的栅电极层;但是本公开不限于此,例如也可以形成不同的栅介质层)。

参见图 19(a)和 19(c),某些相对的栅堆叠之间的间隙(或者说,残留的伪栅 1019 在第二方向上的宽度)是由光刻胶 1033'在该处的线宽决定的。相比于栅堆叠之间的间隙由线之间的间隔决定的常规技术,该间隙可以做得更窄(因为一般而言在光刻技术中线宽可以小于线间隔)。也即,栅堆叠的相对端部之间的距离可以更小,从而可以节省面积,并可以降低制造成本。

另外,参见图 19(a)和 19(d),某些相对的栅堆叠之间的隔离(或者说,残留的伪栅 1019 在第二方向上的宽度)是由光刻胶 1033'与光刻胶 1033 之间的套准交迭决定的。相比于特征尺寸由线宽决定的常规技术,该隔离可以做得更窄(因为一般而言在光刻技术中套准交迭可以小于关键线宽(CD))。也即,栅堆叠的相对端部之间的距离可以更小,从而可以节省面积,并可以降低制造成本。

在此,利用了两种不同方式来实现栅堆叠相对端部之间间隙的减小。可以根据布局设计,选择是否使用这些方式。

接下来,可以进行接触部的制作。

为了保护栅堆叠,如图 20(图 20 示出了 AA'线截面处的情况)所示,可以使栅堆叠凹入,并在其顶部形成保护层 1039。例如,保护层 1039 可以包括

氮化物。

根据本公开的实施例，按照自对准技术来形成接触部。例如，如图 21(a) 和 21(b)（图 21(a)是俯视图，图 21(b)是沿图 21(a)中 AA'线的截面图）所示，可以对电介质 1025/1031（在该示例中，氧化物）进行选择性的刻蚀如湿法腐蚀和气相刻蚀（相对于半导体材料 1023/1029、氮氧化物的伪栅、氮化物的侧墙 1005 和保护层 1039），以至少部分地露出下方的源/漏区 1023、1029。这种刻蚀可以是各向同性刻蚀，且刻蚀的沟槽或孔洞可以至少部分地与部分侧墙 1005 的外壁实质上共形或实质上对准。在图 21(a)中示出了对电介质 1025/1031 的刻蚀露出下方的隔离层 1009，但是本公开不限于此。例如，电介质 1025/1031 还可以留有一部分，只要源/漏区 1023、1029 被露出。

于是，如图 21(a)和 21(b)所示，在相邻的侧墙 1005 之间，留下了沟槽。这些沟道随后可以容纳导电材料以形成接触部。由于源/漏区 1023、1029 位于这些沟槽内，从而接触部可以自对准于源/漏区 1023、1029。

然后，如图 22(a)和 22(b)（图 22(a)是俯视图，图 22(b)是沿图 22(a)中 AA'线的截面图）所示，可以在图 21(a)和 21(b)所示的结构上，例如通过淀积形成接触材料 1041，并可以对其进行平坦化处理例如 CMP，CMP 可以停止于侧墙 1005 或保护层 1039。于是，接触材料 1041 填充于各沟槽中。接触材料 1041 可以包括导电材料，例如金属如 W。不同沟槽中的接触材料 1041 由于它们之间的侧墙 1005 而彼此隔离。

此外，在形成接触材料 1041 之前，可以先形成一层阻挡层（未示出），例如 Ti 或者 Ti/TiN 叠层。

之后，如图 23(a)和 23(b)（图 23(a)是俯视图，图 23(b)是沿图 23(a)中 AA'线的截面图）所示，可以根据布局设计，将接触材料 1041 分离为不同的接触部。例如，可以在图 22(a)和 22(b)所示的结构上形成光刻胶（未示出），并将其构图为露出需要隔离之处，而遮蔽其余之处。然后，以光刻胶为掩模，对接触材料 1041 进行选择性的刻蚀如 RIE，以切断接触材料 1041。如图 23(b)所示，形成了自对准于源/漏区 1023、1029 的接触部 1041。

本公开的技术可以局部地或者全局地应用于衬底上。

在以上实施例中，p 型器件的栅电极层 1037-1 和 n 型器件的栅电极层

1037-2 彼此电隔离。但是，本公开不限于此。例如，在某些区域处，根据布局设计，p 型器件的栅电极层 1037-1 和 n 型器件的栅电极层 1037-2 彼此电连接。

例如，在以上结合图 3(a)-20 描述的操作之后，如图 24(a)和 24(b)(图 24(a)是俯视图，图 24(b)是沿图 24(a)中 CC'线的截面图)所示，可以在图 20 所示的结构上形成掩模层 1043。例如，掩模层 1043 可以包括氮化物，厚度为约 10-50nm。可以将该掩模层 1043 构图(例如，通过光刻)为露出需要电连接的栅电极层 1037-1 和栅电极层 1037-2 之间的隔离(即，伪栅 1019)。

然后，如图 25(图 25 示出了 CC'线截面处的情况)所示，可以利用掩模层 1043，选择性刻蚀保护层 1039(在该示例中，氮化物)和伪栅 1019(在该示例中，氮氧化物)。在此，还可以对栅介质层 1035 进行选择性的刻蚀。于是，在栅电极层 1037-1 和栅电极层 1037-2 之间留下了空隙。

随后，如图 26(图 26 示出了 CC'线截面处的情况)所示，可以向空隙中填充导电材料 1045 如钨(W)，以便将栅电极层 1037-1 和栅电极层 1037-2 彼此电连接。优选地，填充的导电材料 1045 的顶面不高于栅电极层 1037-1、1037-2 的顶面。然后，可以向空隙中的剩余空间中填充电介质 1039'如氮化物。可以对氮化物进行平坦化处理如 CMP。

之后，可以同上述实施例中一样，进行接触部的制造。

在以上的实施例中，在应用应变源/漏技术时，针对 p 型器件区域和 n 型器件区域分别进行处理。但是，本公开不限于此。例如，可以在所有器件区域上将对应于源/漏区的脊状物替换为针对一种类型器件(例如，p 型器件)的第一应变源/漏，然后再将另一种类型器件(例如，n 型器件)区域上的第一应变源/漏替换为针对该类器件的第二应变源/漏。

如图 28(a)和 28(b)(图 28(a)是俯视图，图 28(b)是沿图 28(a)中 AA'线的截面图)所示，如在以上结合图 9(a)和 9(b)所述形成伪栅 1019 之后，可以在整个衬底上对氧化物的第一电介质 1015 以及刻蚀停止层 1011 进行选择性的刻蚀如 RIE，以便露出下方的鳍 1001F。于是，p 型器件区域和 n 型器件区域中鳍 1001F 在相邻侧墙 1005 之间延伸的部分(对应于源/漏区)被露出。该操作与以上结合图 10(a)和 10(b)描述的操作类似，但是并未形成光刻胶 1021。

接着，如图 29(a)和 29(b)(图 29(a)是俯视图，图 29(b)是沿图 29(a)中 AA'

线的截面图)所示,可以对鳍 1001F 进行选择刻蚀如 RIE,以至少去除其一部分从而使其下凹。然后,可以以鳍 1001F 的剩余部分为种子,外延生长用作 p 型器件的源/漏区的另外半导体材料 1023。对此,例如可以参见以上结合图 11(a)和 11(b)的描述。

然后,如图 30(图 30 示出了 AA'线截面处的情况)所示,可以在图 29(a)和 29(b)上例如通过淀积形成第三电介质 1025 如氧化物,并对其进行平坦化处理如 CMP, CMP 可以停止于侧墙 1005。

接下来,可以替换 n 型器件区域中的半导体材料 1023。

为此,如图 31(a)和 31(b)(图 31(a)是俯视图,图 31(b)是沿图 31(a)中 AA'线的截面图)所示,可以在图 30 所示的结构上形成光刻胶 1027,并将其构图为遮蔽 p 型器件区域(例如,图 31(a)中左下部),而露出 n 型器件区域(例如,图 31(a)中左上部以及右部)。以光刻胶 1027 为掩模,对氧化物的第三电介质 1025 进行选择刻蚀如 RIE,以便露出下方的鳍 1001F。于是, n 型器件区域中鳍 1001F 在相邻侧墙 1005 之间延伸的部分(对应于源/漏区)被露出。之后,可以去除光刻胶 1027。

接着,如图 32(图 32 示出了 AA'线截面处的情况)所示,可以对鳍 1001F 进行选择刻蚀如 RIE,以至少去除其一部分从而使其下凹。然后,如图 33(图 33 示出了 AA'线截面处的情况)所示,可以以鳍 1001F 的剩余部分为种子,外延生长用作 n 型器件的源/漏区的另外半导体材料 1029。对此,例如可以参见以上结合图 14 的描述。接下来,可以如以上实施例中一样进行。

根据本公开实施例的半导体设置可以应用于各种电子设备。例如,通过集成这样的半导体设置以及其他器件(例如,其他形式的晶体管等),可以形成集成电路(IC),并由此构建电子设备。因此,本公开还提供了一种包括上述半导体设置的电子设备。电子设备还可以包括与集成电路配合的显示屏幕以及与集成电路配合的无线收发器等部件。这种电子设备例如智能电话、计算机、平板电脑(PC)、可穿戴智能设备、移动电源、机器人、智能芯片等。

在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以

上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种半导体设置，包括：

衬底；

在衬底上形成的沿第一方向延伸的多个鳍；

在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠以及沿第二方向延伸且由电介质构成的伪栅，其中各栅堆叠与至少一个鳍相交；

在栅堆叠的侧壁以及伪栅的侧壁上形成的侧墙；以及

设于在第二方向上对准的第一栅堆叠和第二栅堆叠之间用以将第一栅堆叠和第二栅堆叠电隔离的电介质，

其中，第一栅堆叠和第二栅堆叠的侧墙一体延伸，且所述电介质设于第一栅堆叠和第二栅堆叠的一体延伸的侧墙所围绕的空间内，

其中，第一栅堆叠和第二栅堆叠在第二方向上的至少一部分间隔小于该半导体设置的制造工艺中光刻所能实现的线间隔。

2. 根据权利要求1所述的半导体设置，其中，所述电介质在第二方向上的尺度小于该半导体设置的制造工艺中光刻所能实现的关键线宽（CD）。

3. 根据权利要求1所述的半导体设置，其中，至少一些鳍的端部邻接伪栅，且与相应的侧墙的内壁实质上对准。

4. 根据权利要求1所述的半导体设置，其中，在第二方向上对准的至少一个栅堆叠和至少一个伪栅的侧墙一体延伸。

5. 根据权利要求1-4中任一项所述的半导体设置，其中，在第二方向上跨及所述多个鳍的范围内，各侧墙均连续延伸。

6. 根据权利要求1所述的半导体设置，其中，第一栅堆叠与第二栅堆叠之间的电介质与伪栅的电介质相同。

7. 根据权利要求1所述的半导体设置，还包括：设于相邻的侧墙之间的电接触部。

8. 根据权利要求7所述的半导体设置，其中，电接触部的侧壁同与之相对的侧墙的外壁实质上共形或实质上对准。

9. 根据权利要求1所述的半导体设置，其中，至少一个鳍包括：

第一半导体材料的第一部分，第一部分在栅堆叠以及侧墙的正下方延伸；
以及

第二半导体材料的第二部分，第二部分在侧墙之间延伸，且与第一部分相接，

其中，第二半导体材料能够向第一半导体材料施加应力。

10. 根据权利要求 9 所述的半导体设置，其中，第二部分的顶面高于第一部分的顶面，但是低于侧墙的顶面。

11. 根据权利要求 1 所述的半导体设置，其中，伪栅的电介质形成 U 型结构。

12. 一种制造半导体设置的方法，包括：

在衬底上形成各自分别沿第一方向延伸的多个脊状物；

在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线；

在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙；

在衬底上形成第一电介质，对其进行平坦化以露出牺牲栅线；

去除牺牲栅线，以露出下方的脊状物；

向侧墙内的空间中填充第二电介质；

利用掩模遮蔽一部分第二电介质并露出其余部分的第二电介质，其中，在至少一条牺牲栅线处，掩模覆盖在第二方向上一定尺度的第二电介质；

去除露出部分的第二电介质，以露出下方的脊状物；以及

在由于所述部分第二电介质的去除而留下的空间中形成栅堆叠，

其中，在所述至少一条牺牲栅线处，留有所述尺度的第二电介质，且在留下的第二电介质两侧形成的栅堆叠彼此之间在第二方向上的间隔由所述尺度限定，且因此能够小于该半导体设置的制造工艺中光刻所能实现的线间隔。

13. 一种制造半导体设置的方法，包括：

在衬底上形成各自分别沿第一方向延伸的多个脊状物；

在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线；

在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙；

在衬底上形成第一电介质，对其进行平坦化以露出牺牲栅线；

去除牺牲栅线，以露出下方的脊状物；

向侧墙内的空间中填充第二电介质；

利用第一掩模遮蔽一部分的第二电介质并露出第一部分的第二电介质；

去除露出的第一部分第二电介质，以露出下方的脊状物；

在由于第一部分第二电介质的去除而留下的空间中形成第一栅堆叠；

利用第二掩模遮蔽一部分的第二电介质并露出第二部分的第二电介质，其中，在至少一条牺牲栅线处，第一掩模和第二掩模在第二方向上有一定尺度的套准交迭；

去除露出的第二部分第二电介质，以露出下方的脊状物；

在由于第二部分第二电介质的去除而留下的空间中形成第二栅堆叠，

其中，在所述至少一条牺牲栅线处，留有所述尺度的第二电介质，且所述尺度能够小于该半导体设置的制造工艺中光刻所能实现的关键线宽（CD）。

14. 根据权利要求 12 或 13 所述的方法，其中，在衬底上形成各自分别沿第一方向延伸的多个脊状物包括：

在衬底上形成各自分别沿第一方向连续延伸的多个脊状物；以及

对一部分脊状物进行选择性的刻蚀。

15. 根据权利要求 12 或 13 所述的的方法，其中，

在衬底上形成各自分别沿第一方向延伸的多个脊状物包括在衬底上形成各自分别沿第一方向连续延伸的多个脊状物，以及

在去除牺牲栅线之后且在向侧墙内的空间中填充第二电介质之前，该方法还包括：对露出一部分脊状物进行选择性的刻蚀。

16. 根据权利要求 12 或 13 所述的方法，其中，在填充第二电介质之后且在去除露出部分的第二电介质之前，该方法还包括：

选择性的刻蚀第一电介质，以露出脊状物在侧墙之间延伸的部分；

至少部分地去除所露出的脊状物在侧墙之间延伸的部分；

在脊状物的剩余部分之间生长不同材料的另一脊状物；

在衬底上形成第三电介质，并对其进行平坦化，平坦化停止于侧墙。

17. 根据权利要求 16 所述的方法，其中，

在衬底上的一部分区域上执行选择性刻蚀第一电介质到形成第三电介质的处理,并在衬底上的另一部分区域上另外执行去除第一电介质到形成第三电介质的处理,

其中,在这两次处理中生长的另一脊状物的材料不同。

18. 根据权利要求 16 所述的方法,其中,

在衬底上的全部区域上执行选择性刻蚀第一电介质到形成第三电介质的处理,

该方法还包括:

在衬底的选定区域上选择性去除第三电介质和所述另一脊状物;

在所述选定区域上脊状物的剩余部分之间生长又一脊状物;

在衬底上形成第四电介质,并对其进行平坦化,平坦化停止于侧墙。

19. 根据权利要求 12 或 13 所述的方法,其中,在形成栅堆叠之后,该方法还包括:

选择性刻蚀第一电介质,至少部分地露出各脊状物在侧墙之间延伸的部分;

在衬底上形成导电层,并对其进行平坦化,平坦化停止于侧墙;以及

在导电层中的预定位置处形成电隔离。

20. 根据权利要求 19 所述的方法,其中,对第一电介质的刻蚀是各向同性刻蚀,且刻蚀的沟槽或孔洞至少部分地与部分侧墙的外壁实质上共形或实质上对准。

21. 根据权利要求 12 或 13 所述的方法,其中,形成栅堆叠包括:

在同一侧墙围绕的空间内形成不同的栅堆叠。

22. 一种电子设备,包括由如权利要求 1-11 中任一项所述的半导体设置。

23. 根据权利要求 22 所述的电子设备,该电子设备包括智能电话、计算机、平板电脑、可穿戴智能设备、移动电源、机器人、智能芯片。

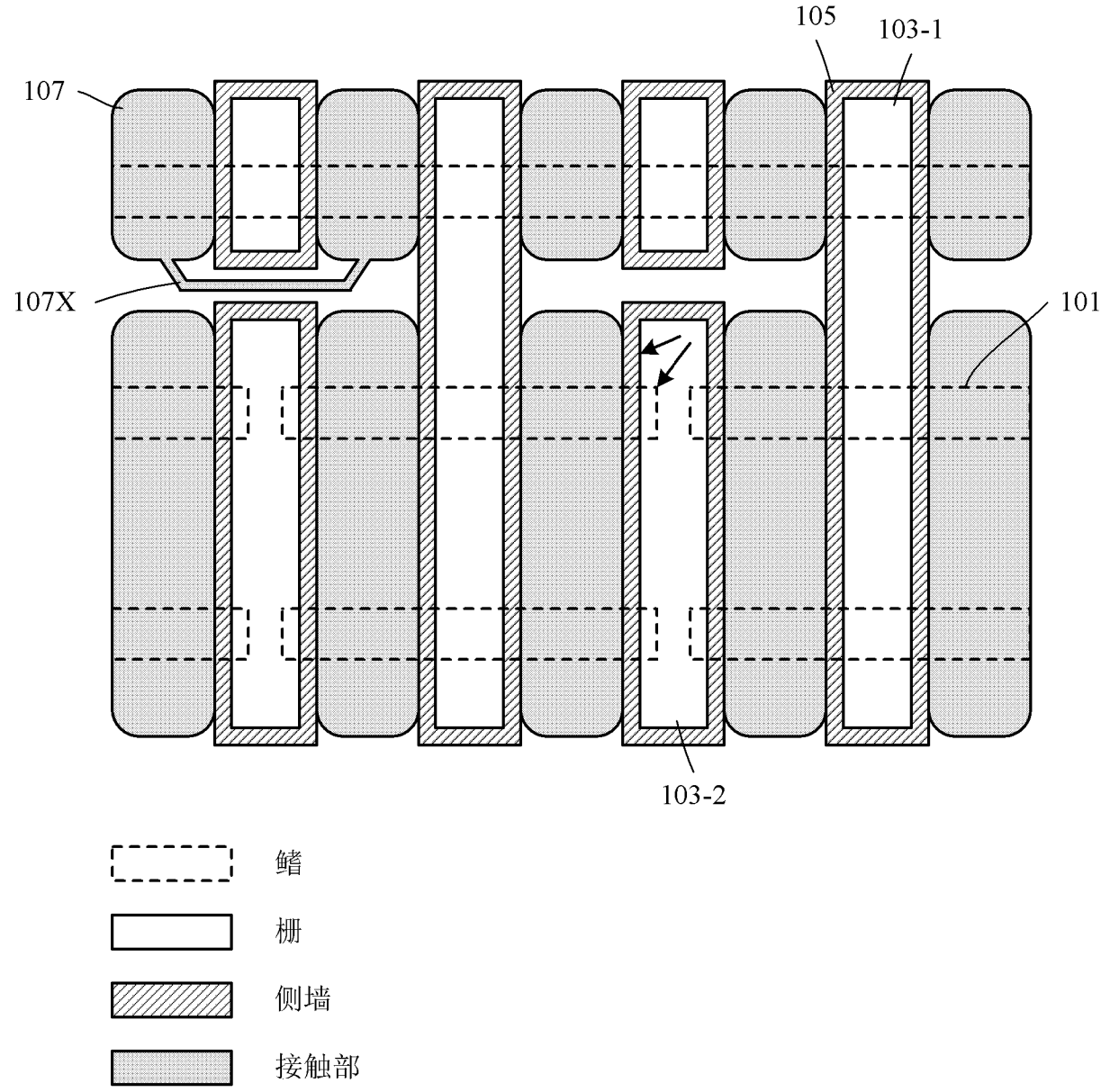


图1

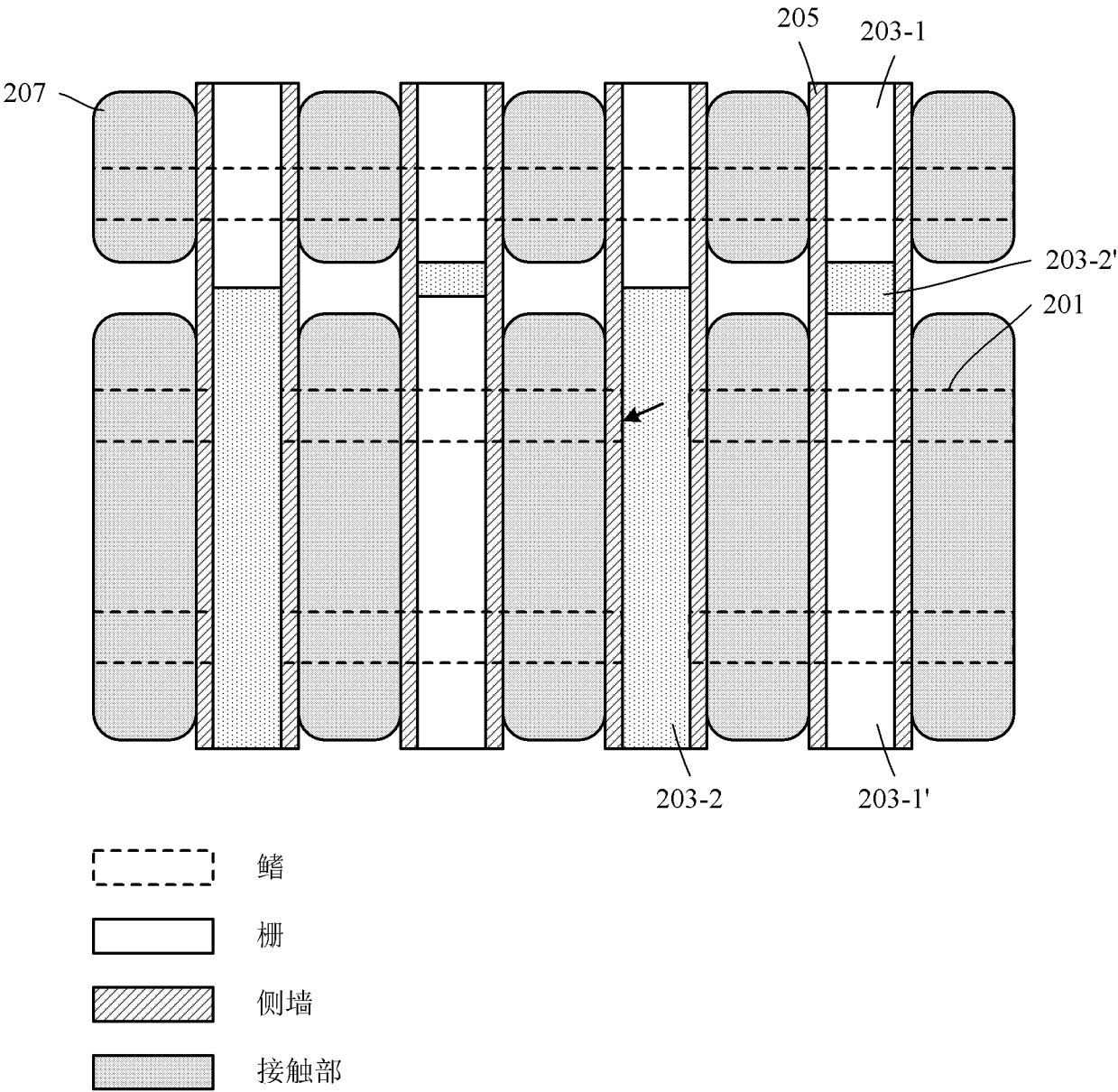


图2

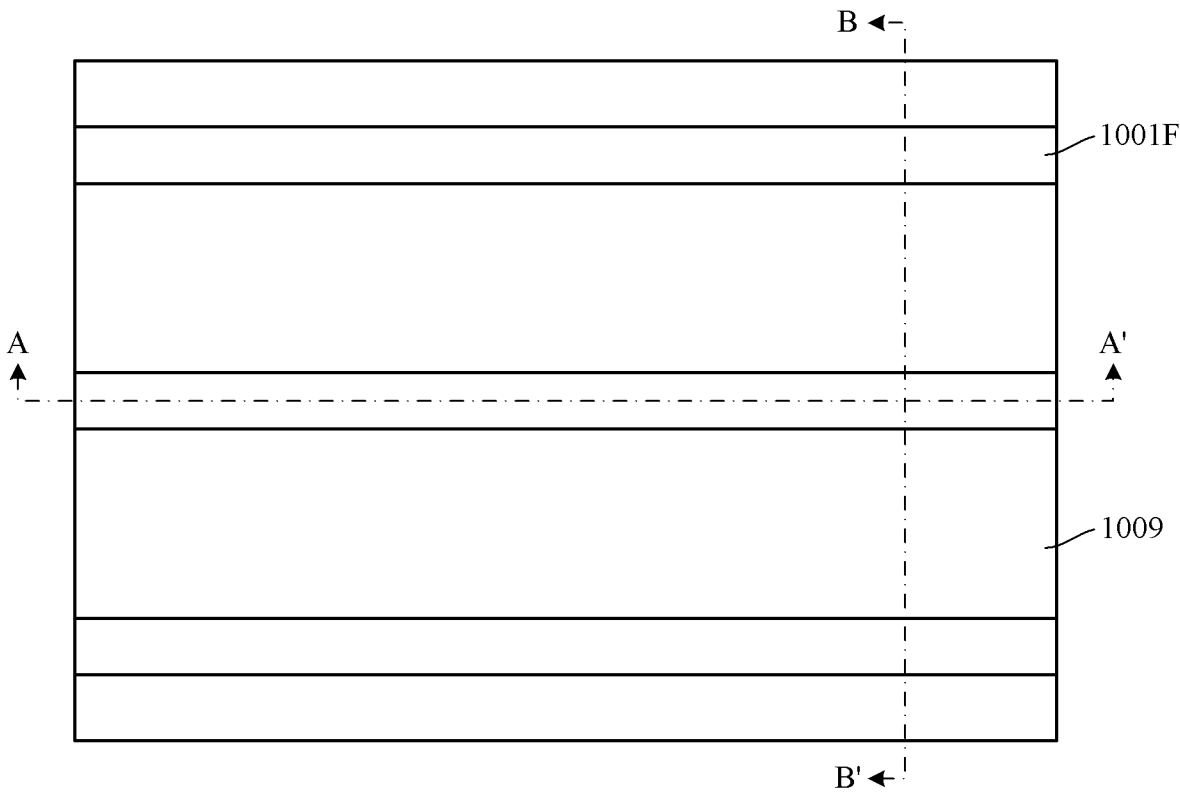


图3(a)

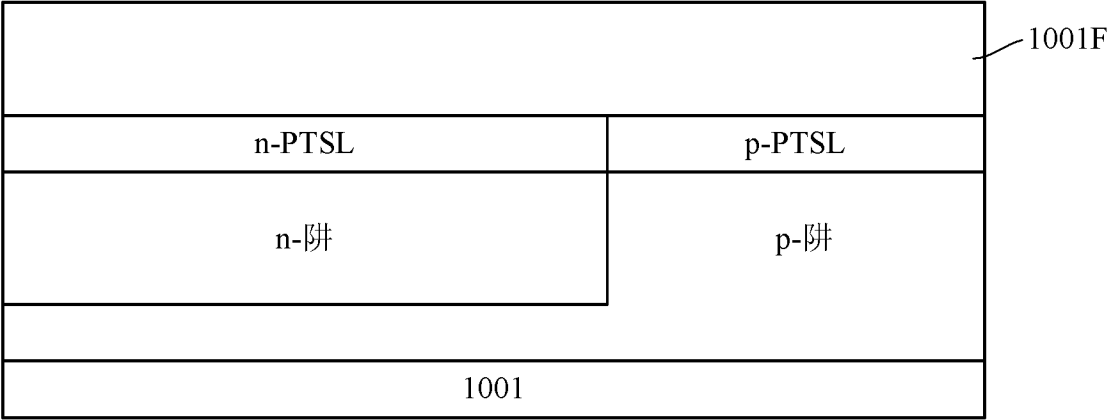


图3(b)

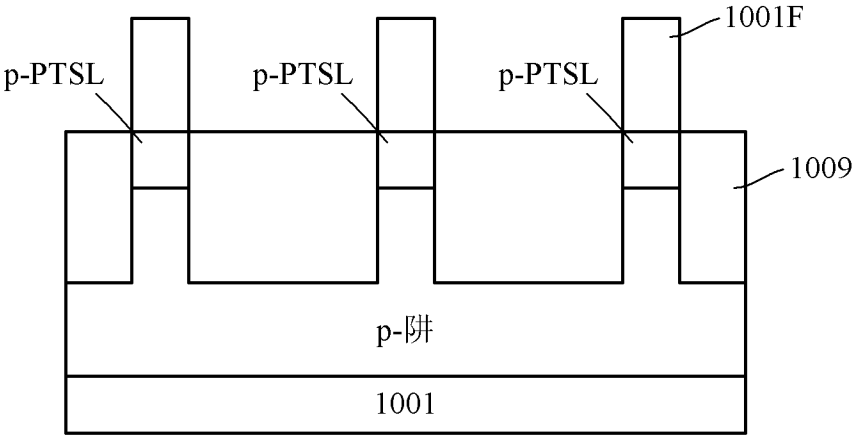


图3(c)

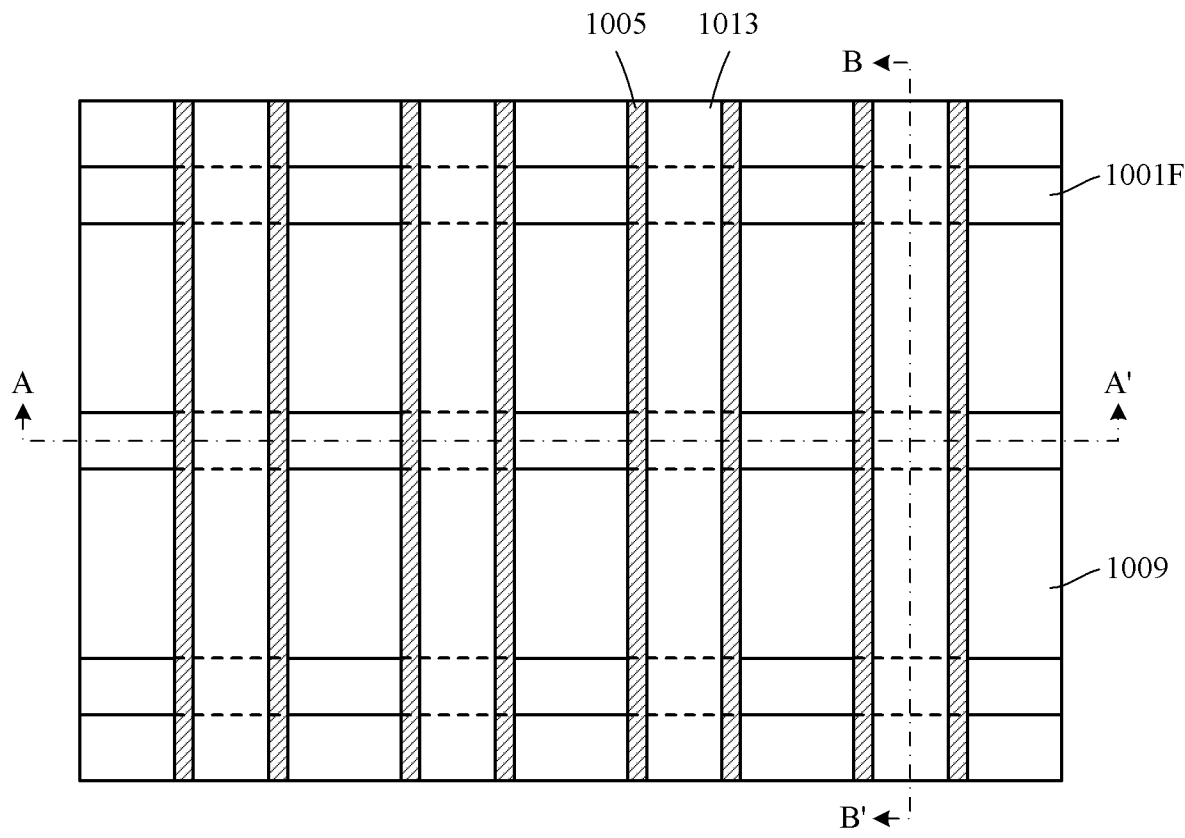


图4(a)

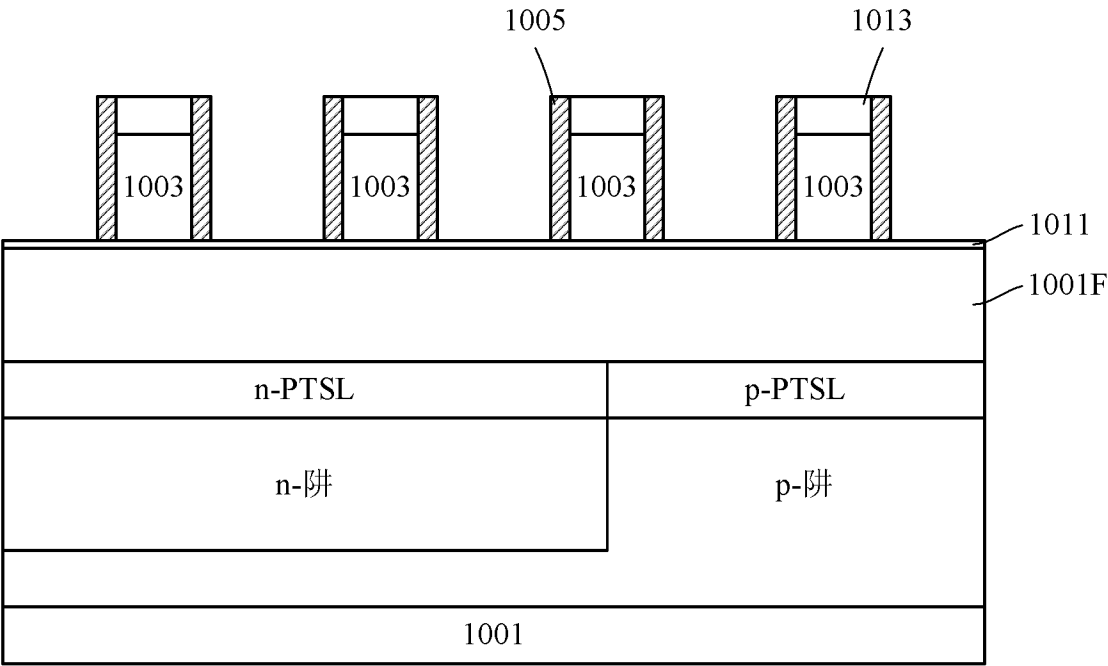


图4(b)

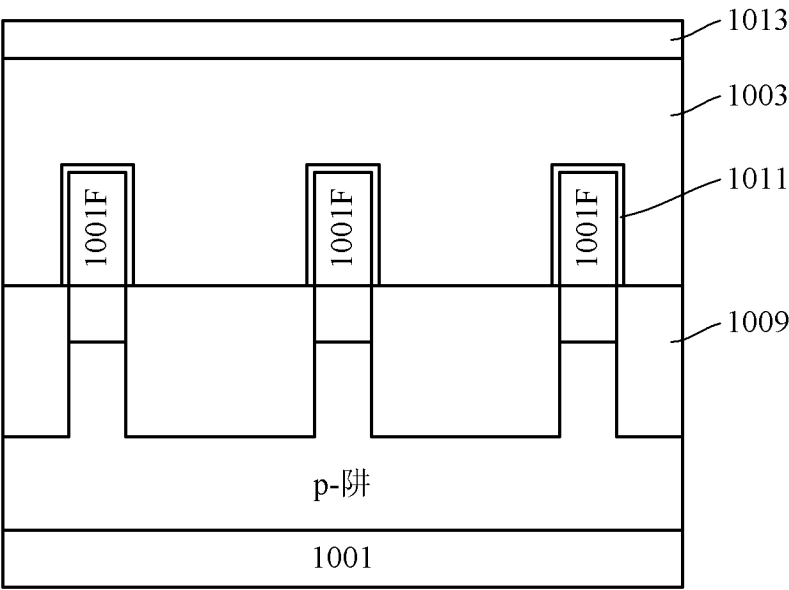


图4(c)

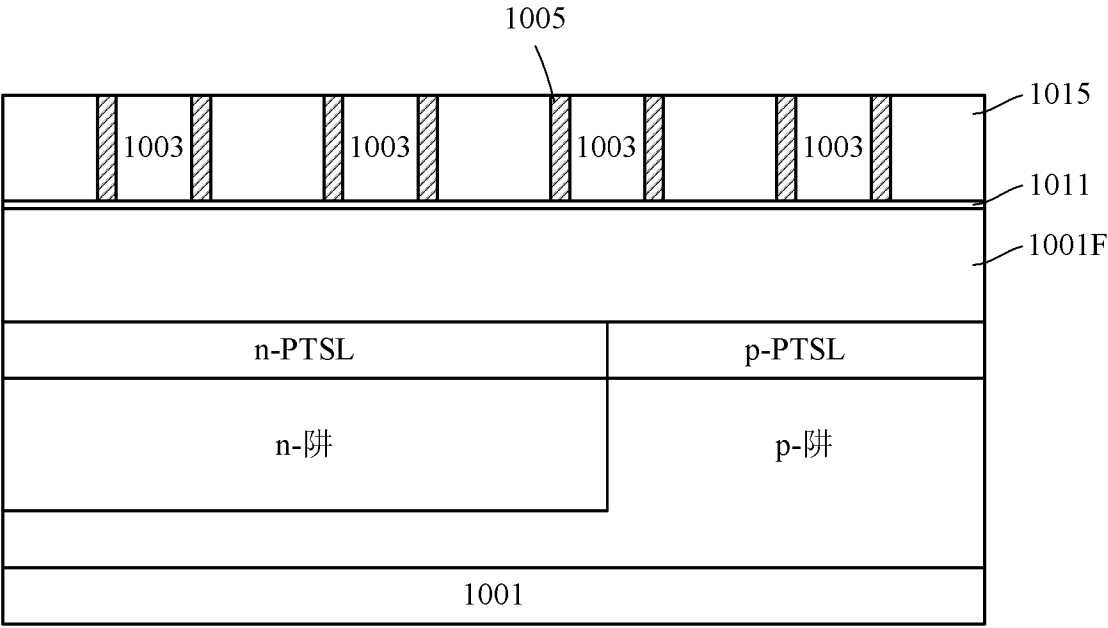


图5

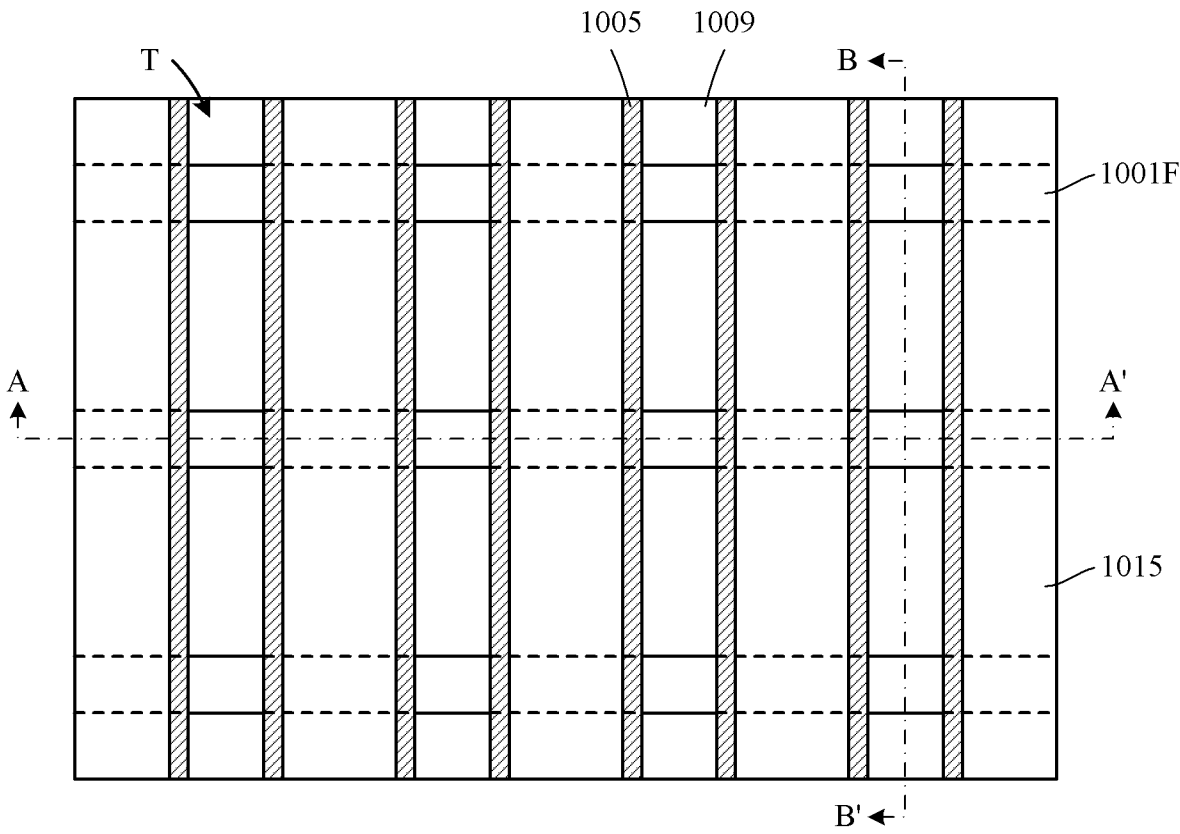


图6(a)

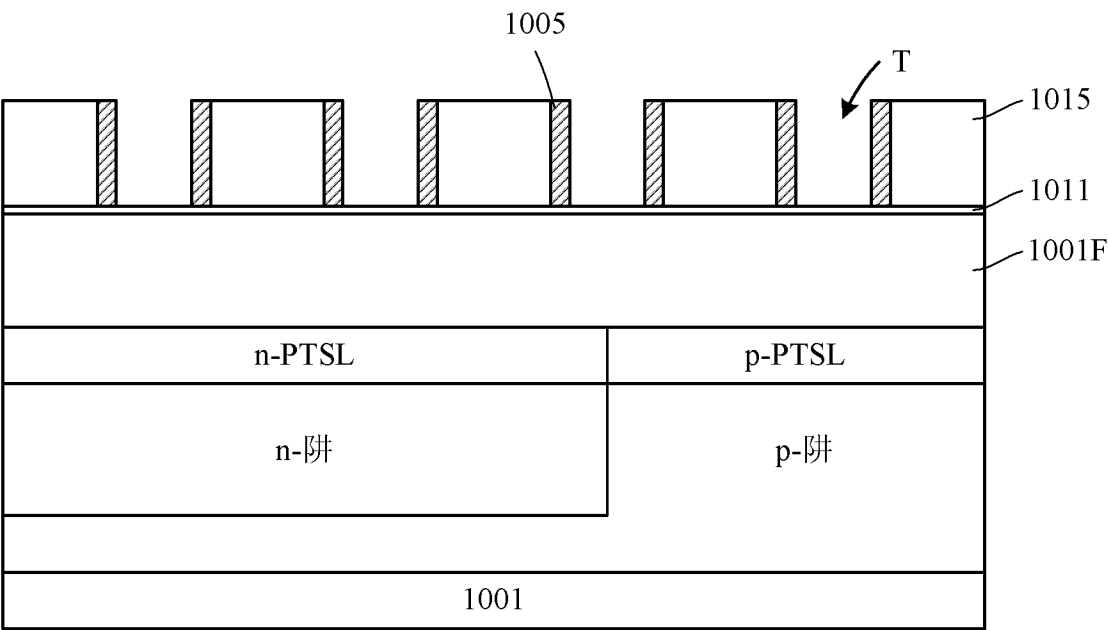


图6(b)

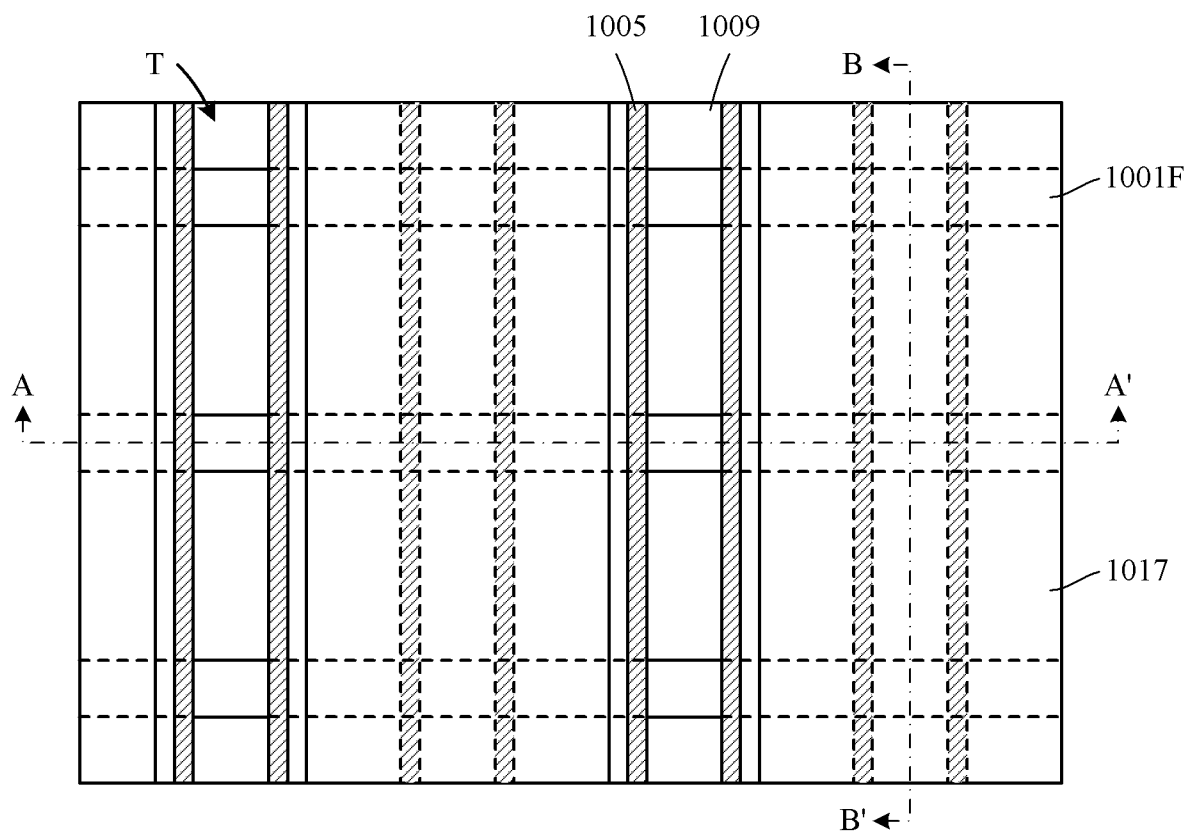


图7(a)

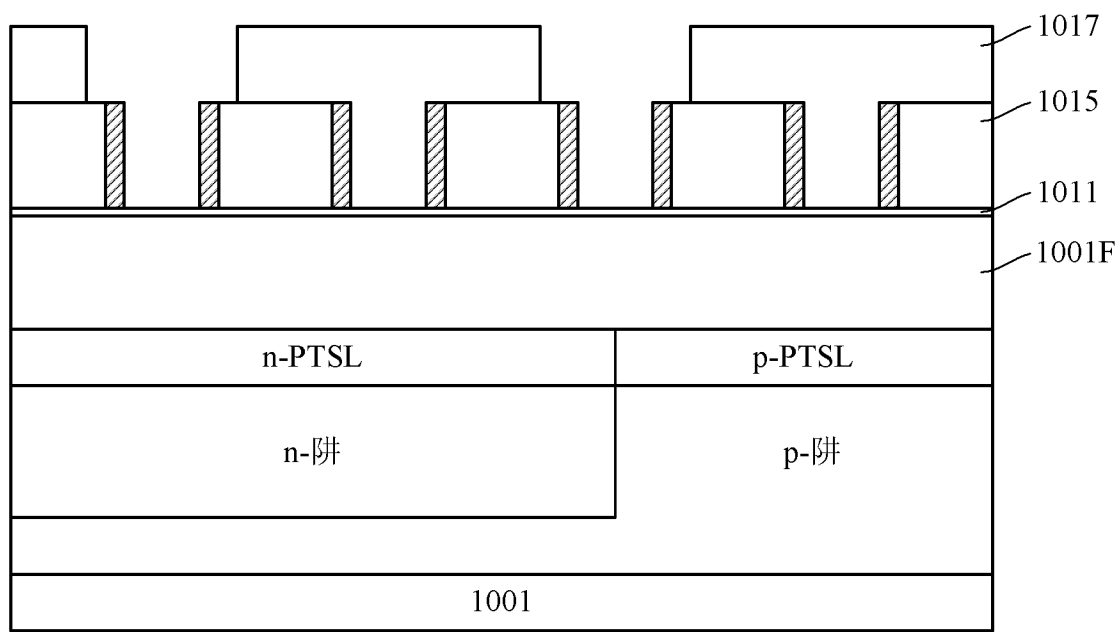


图7(b)

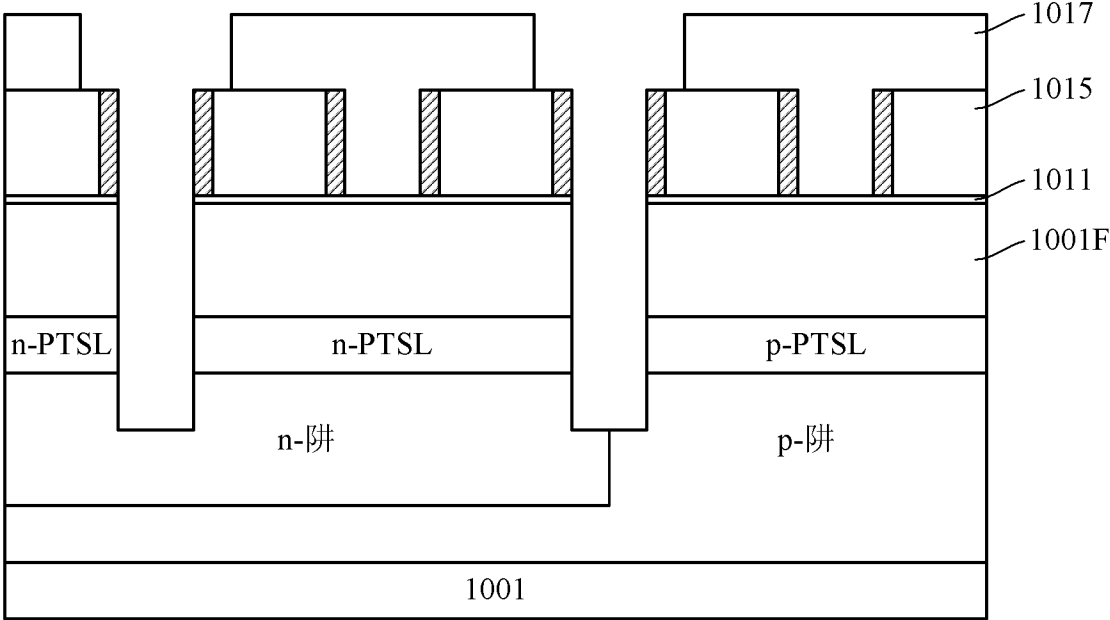


图8

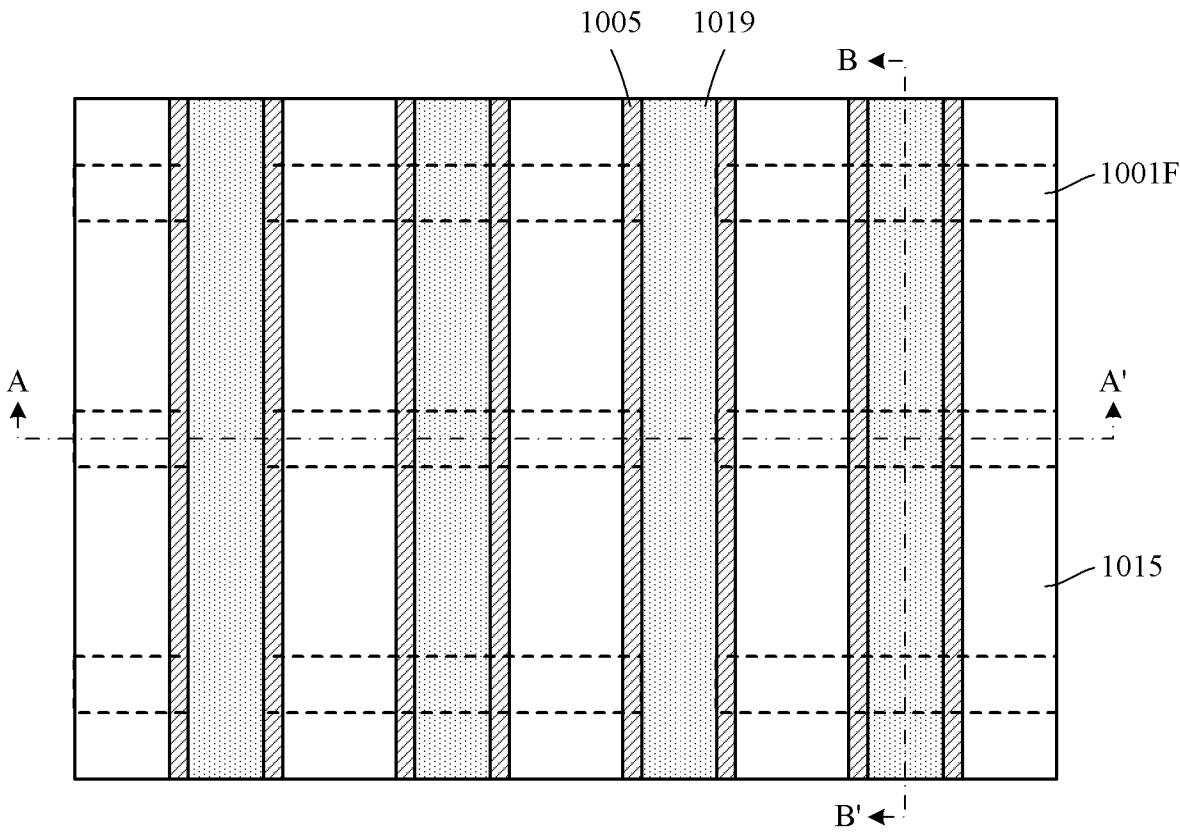


图9(a)

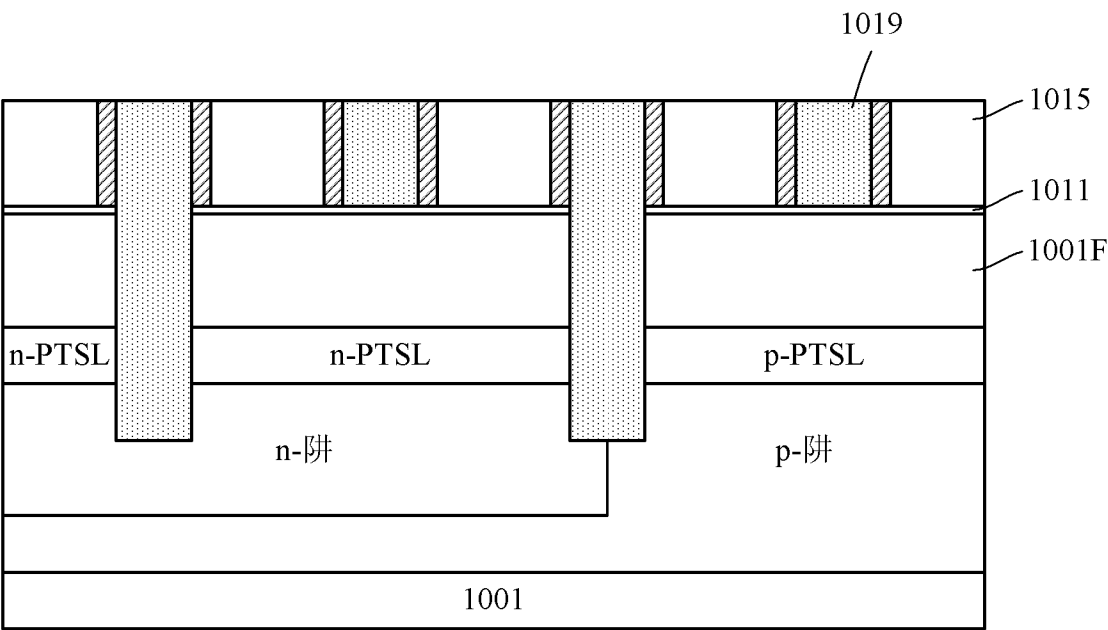


图9(b)

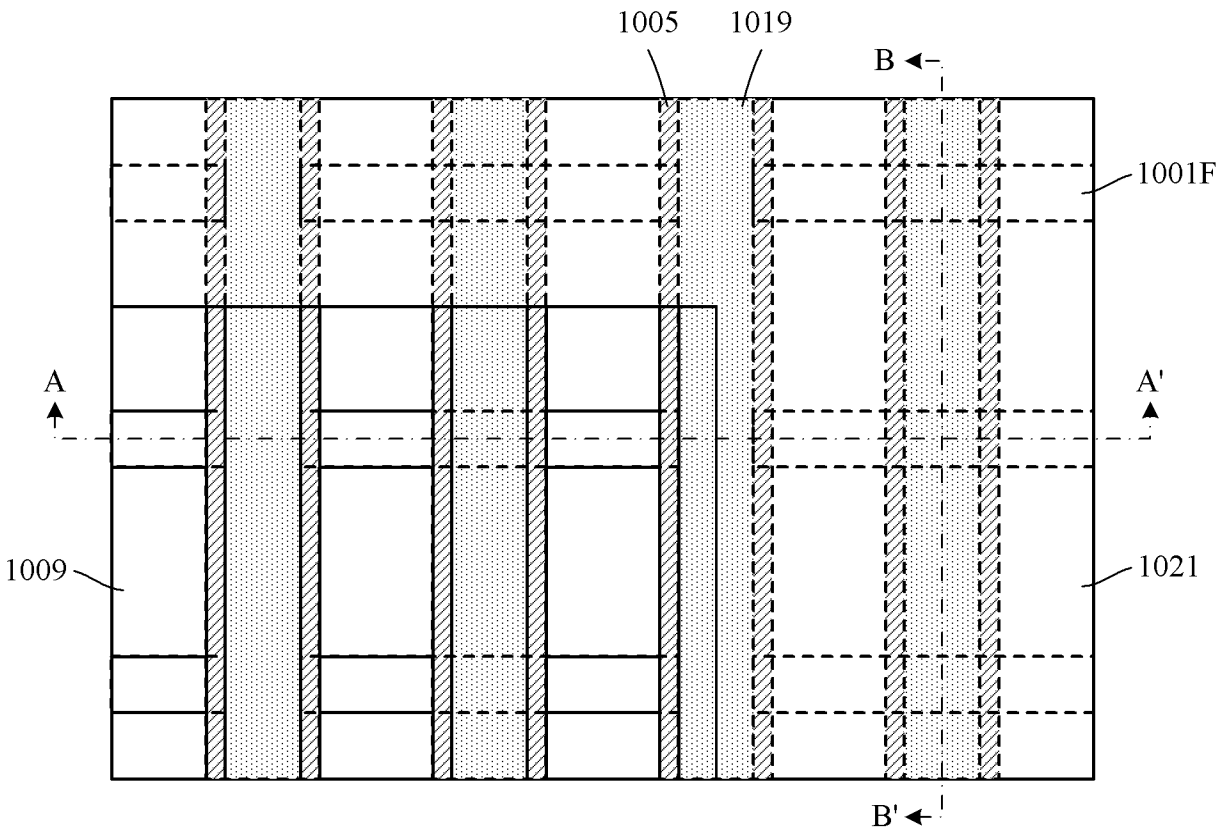


图10(a)

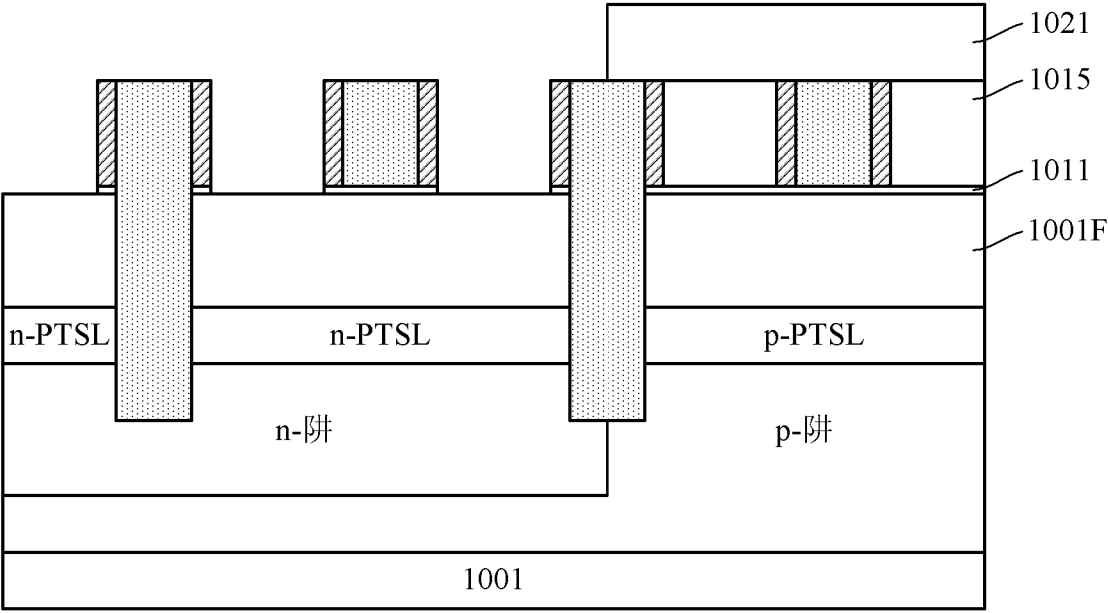


图10(b)

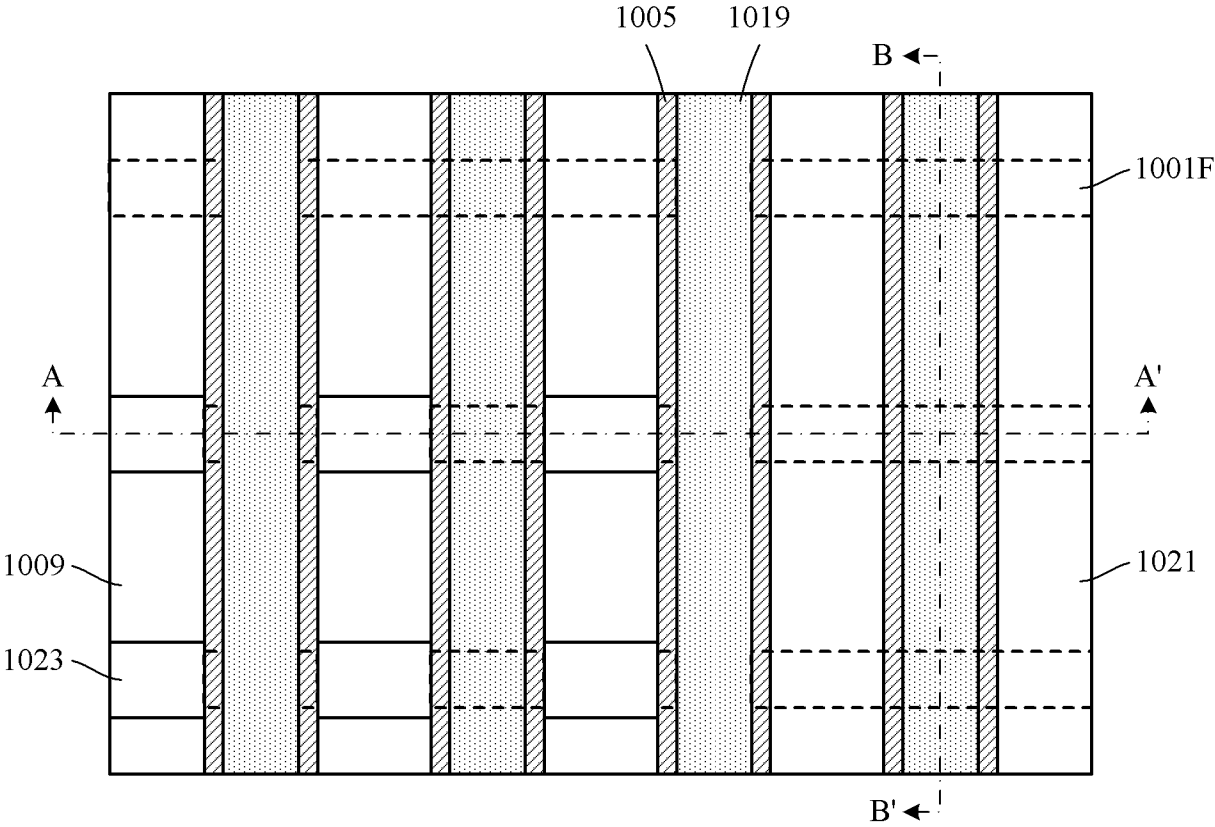


图11(a)

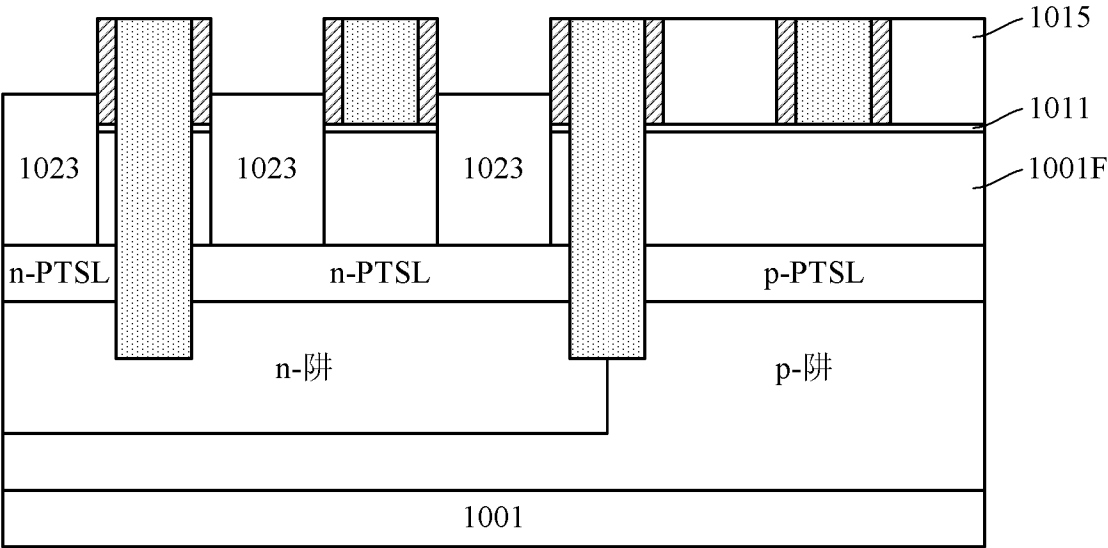


图11(b)

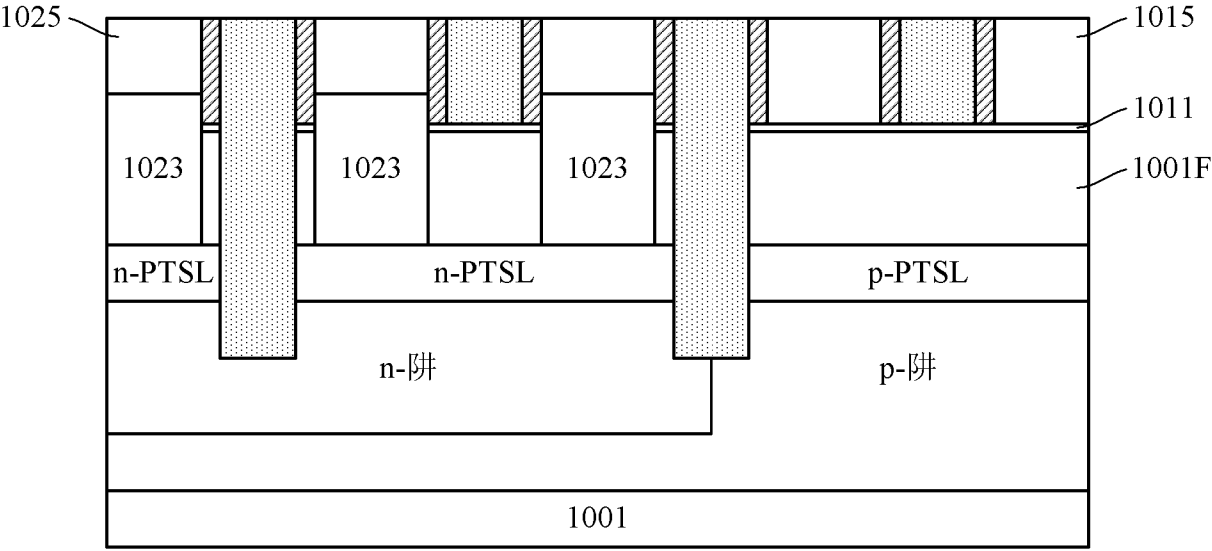


图12

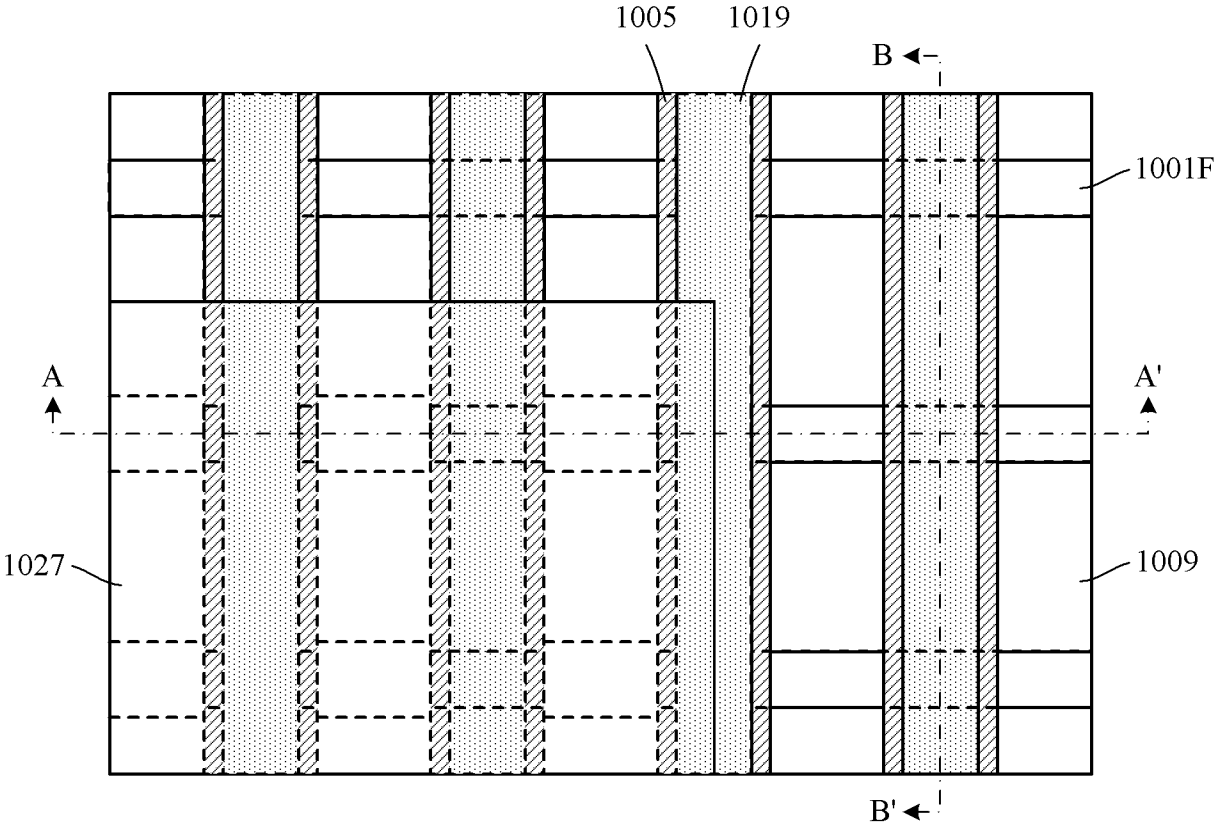


图13(a)

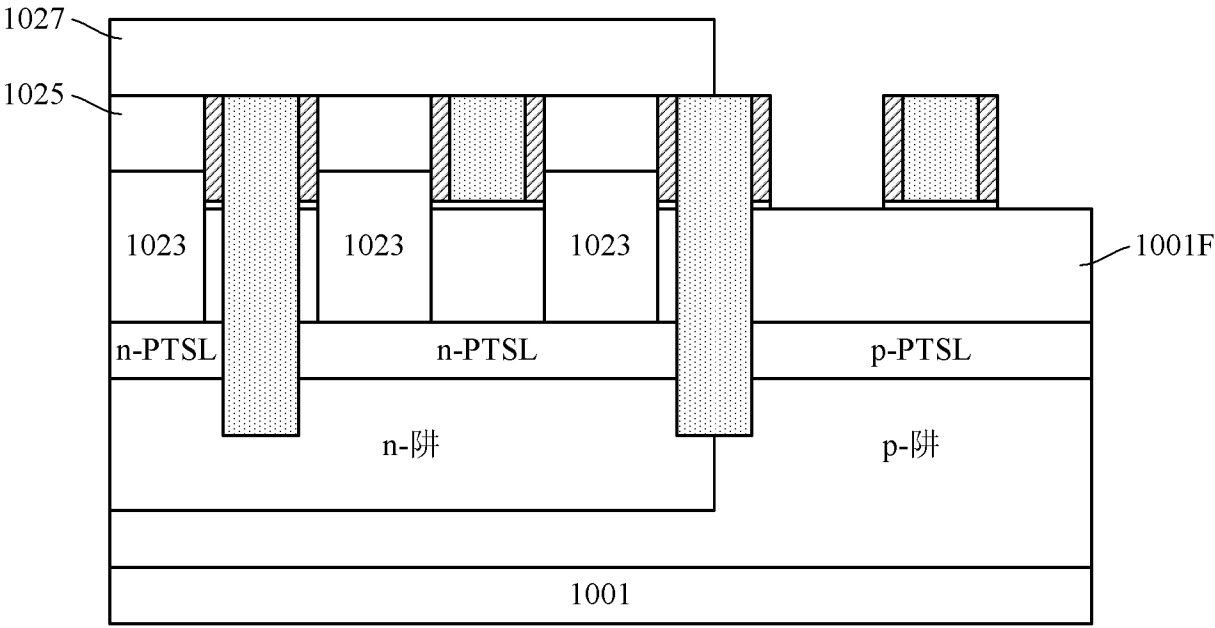


图13(b)

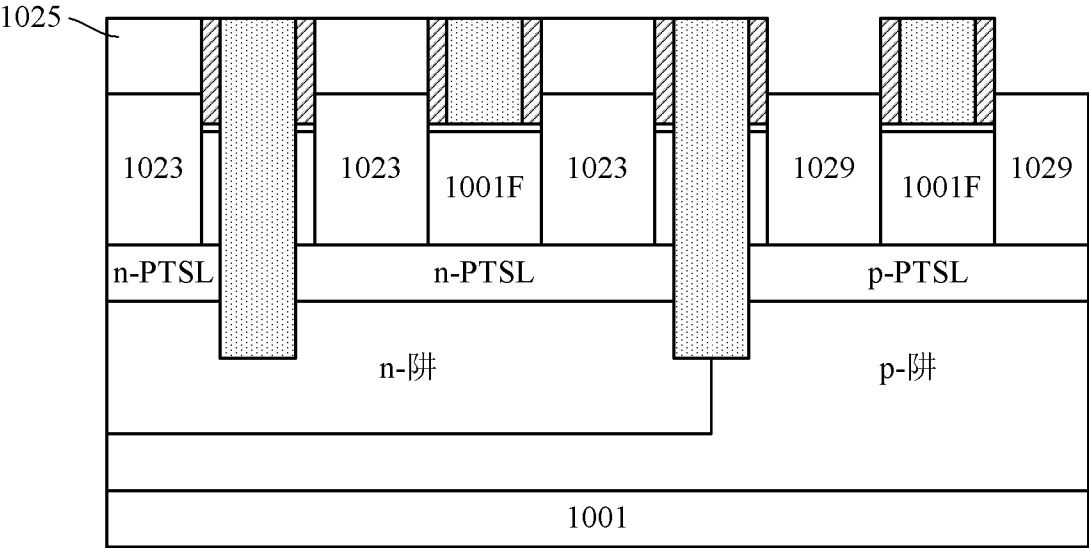


图14

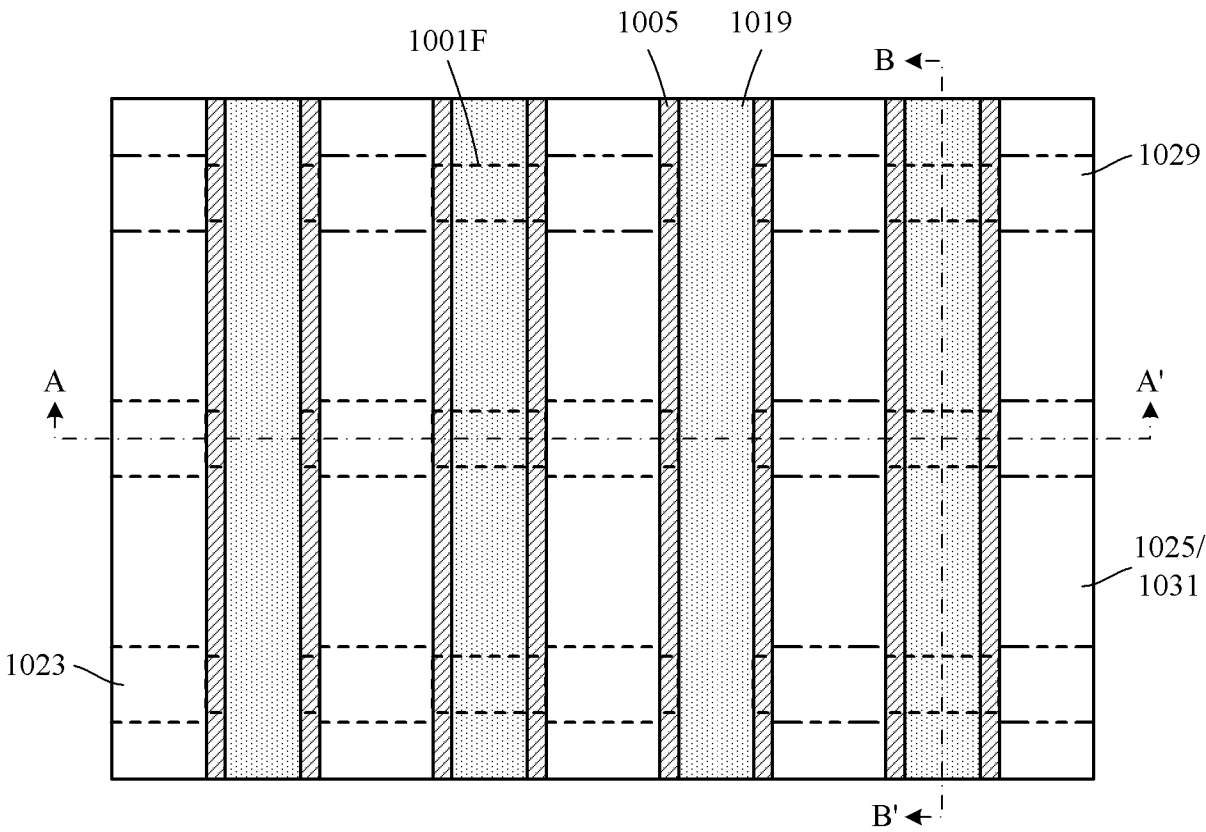


图15(a)

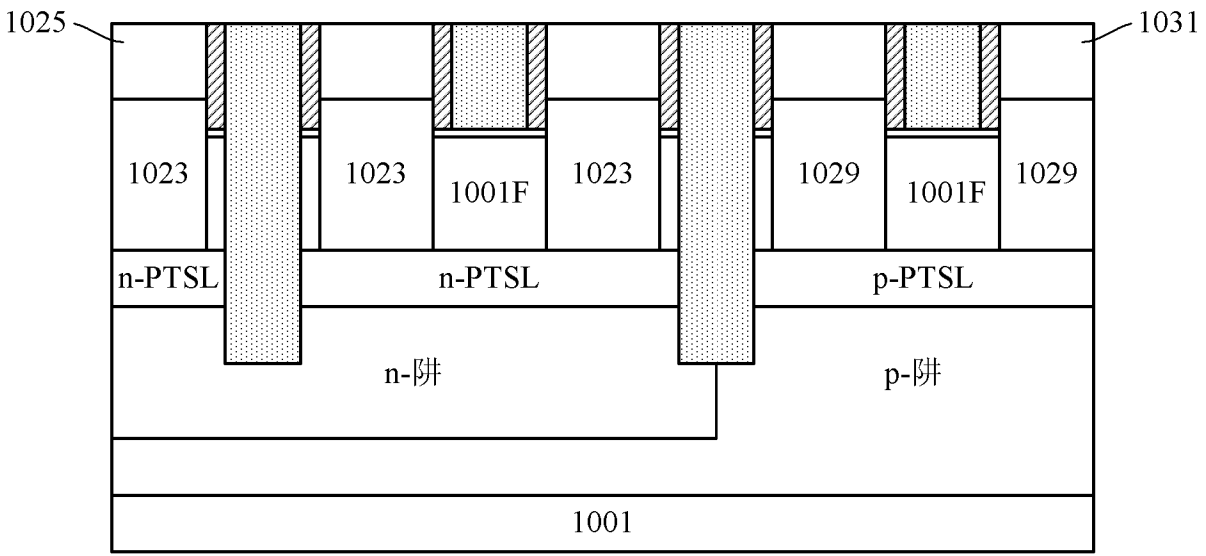


图15(b)

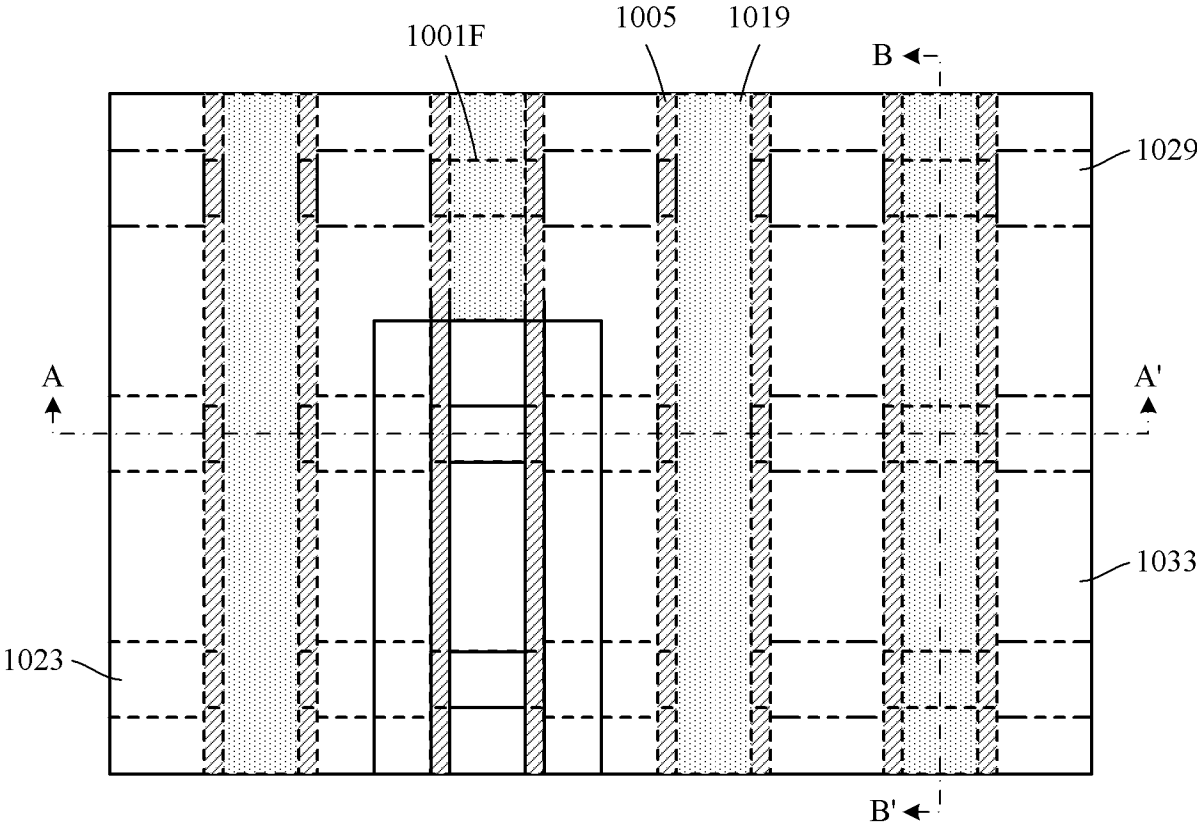


图16(a)

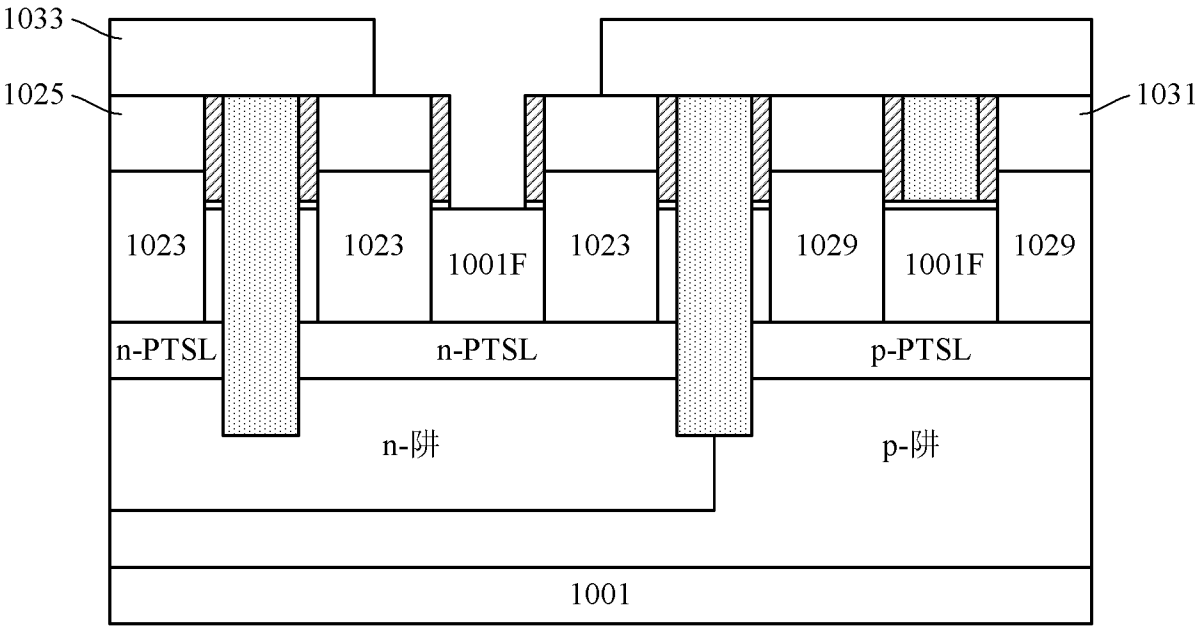


图16(b)

19/35

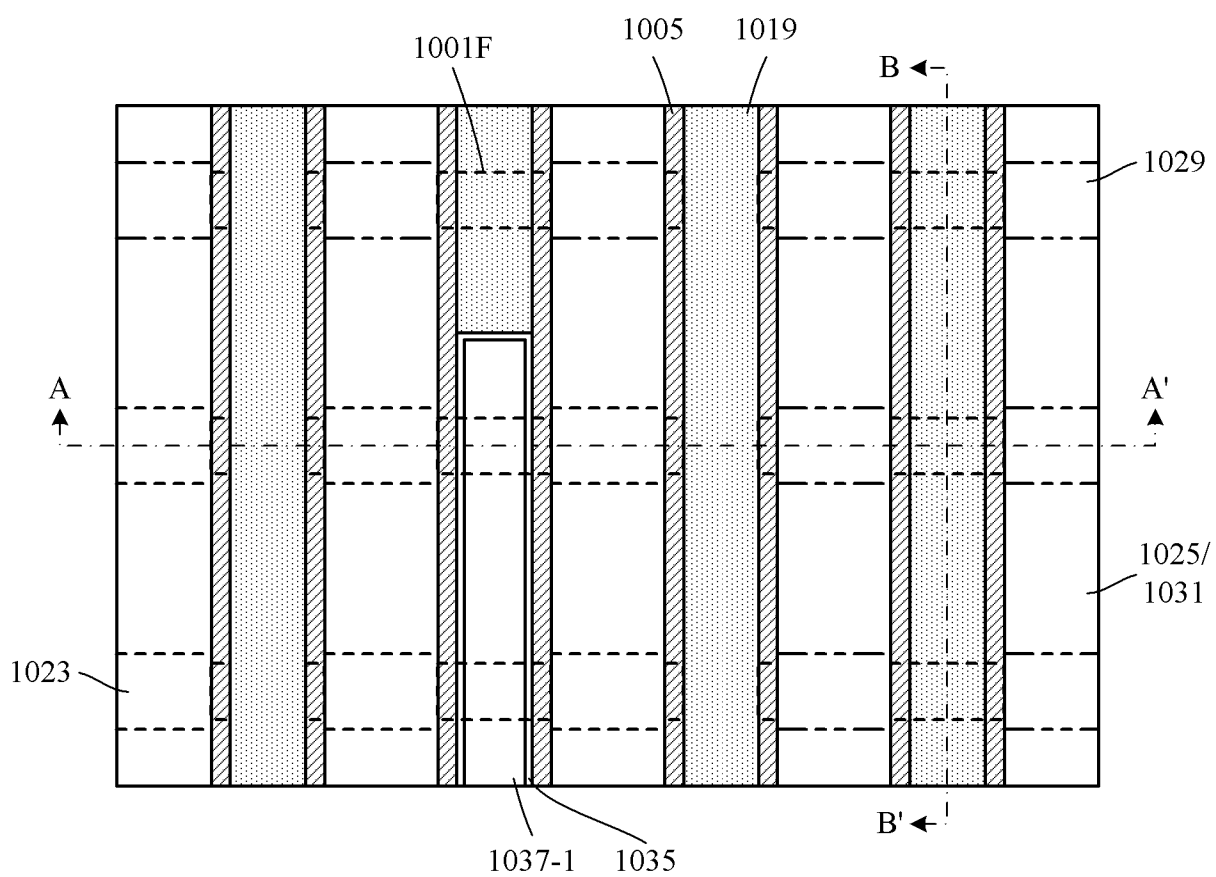


图17(a)

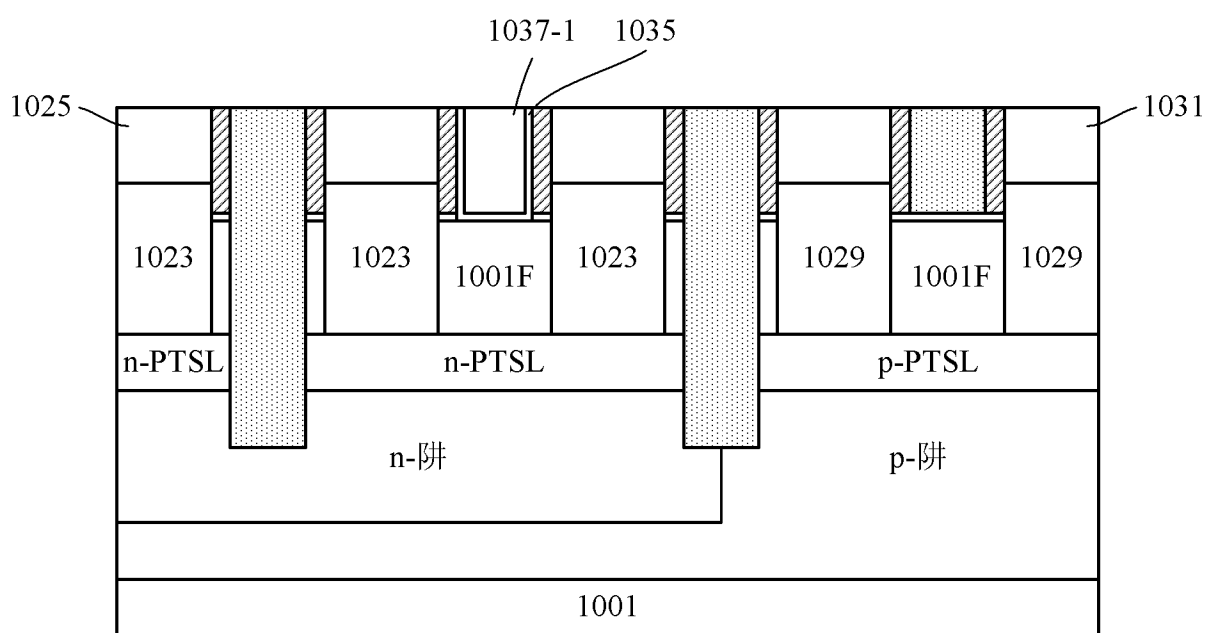


图17(b)

20/35

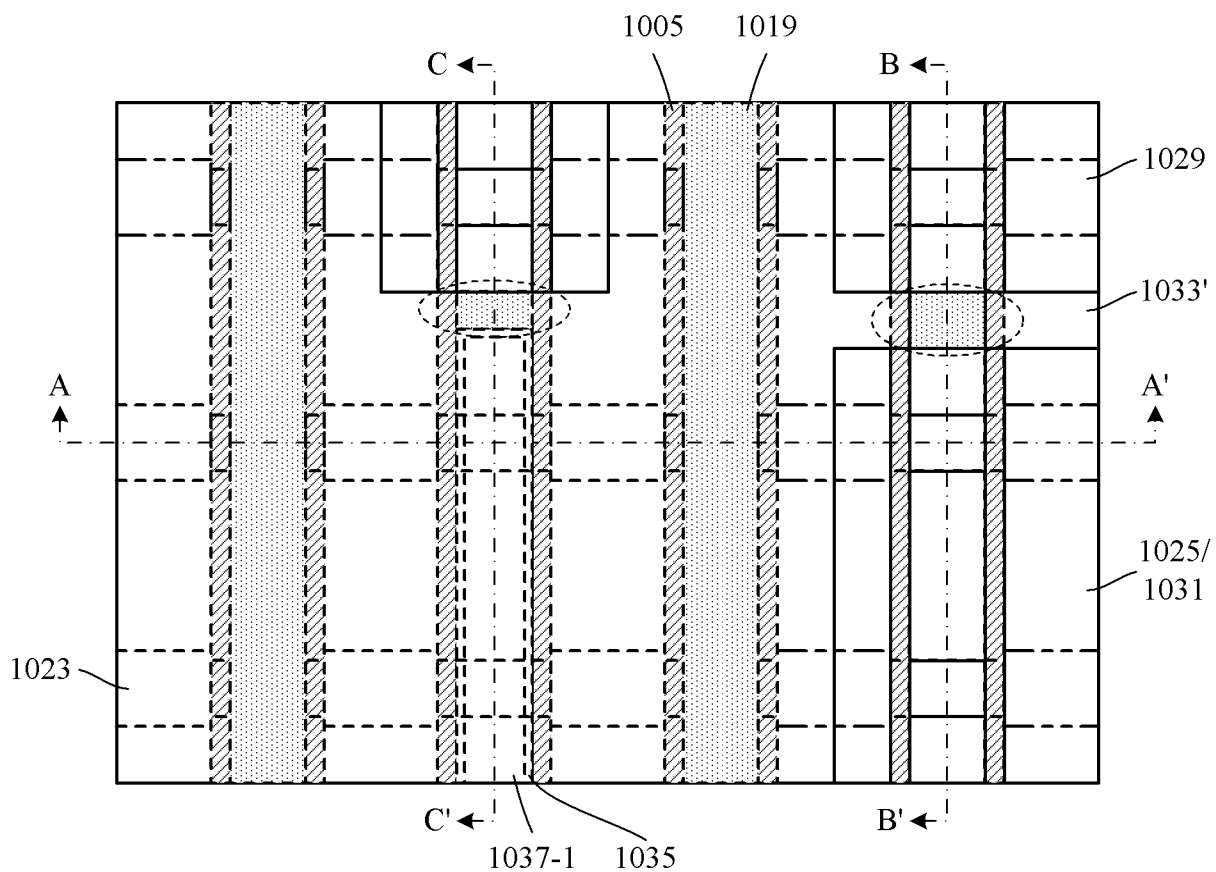


图18(a)

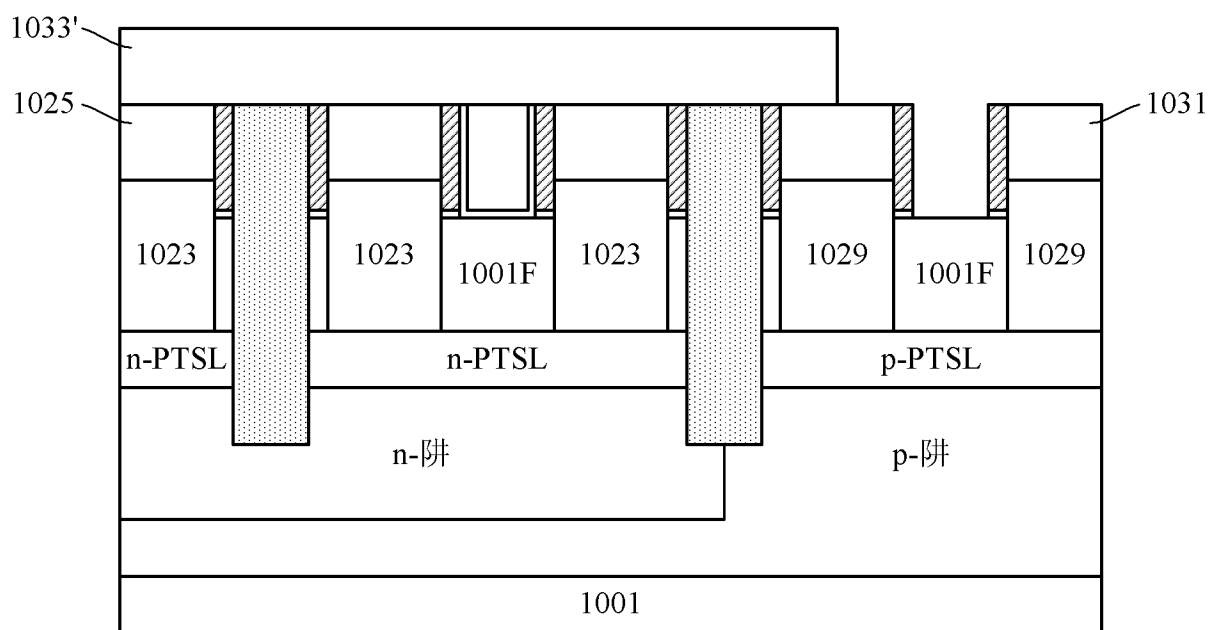


图18(b)

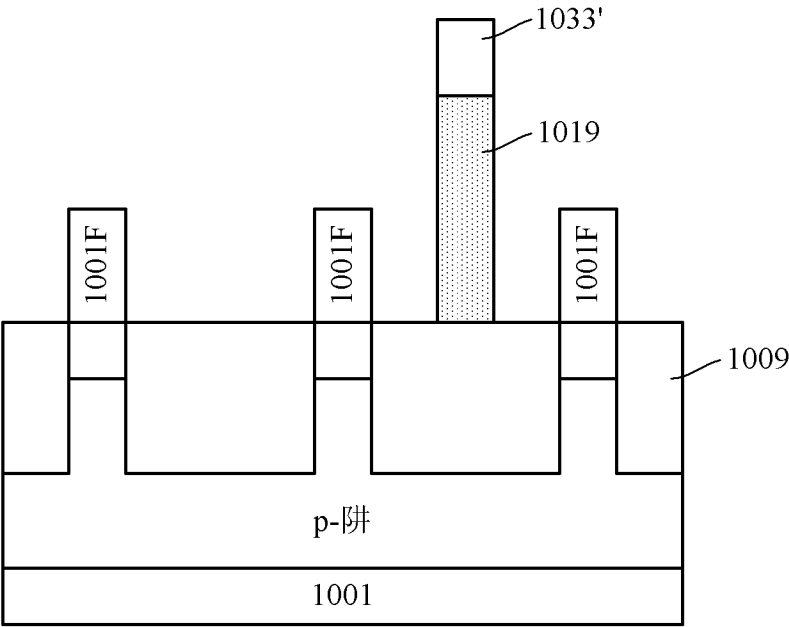


图18(c)

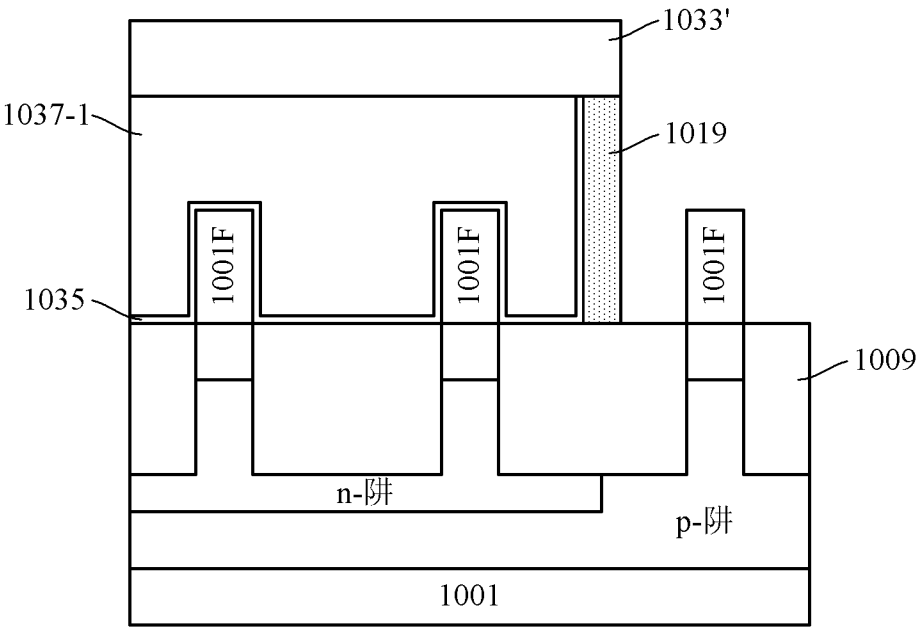


图18(d)

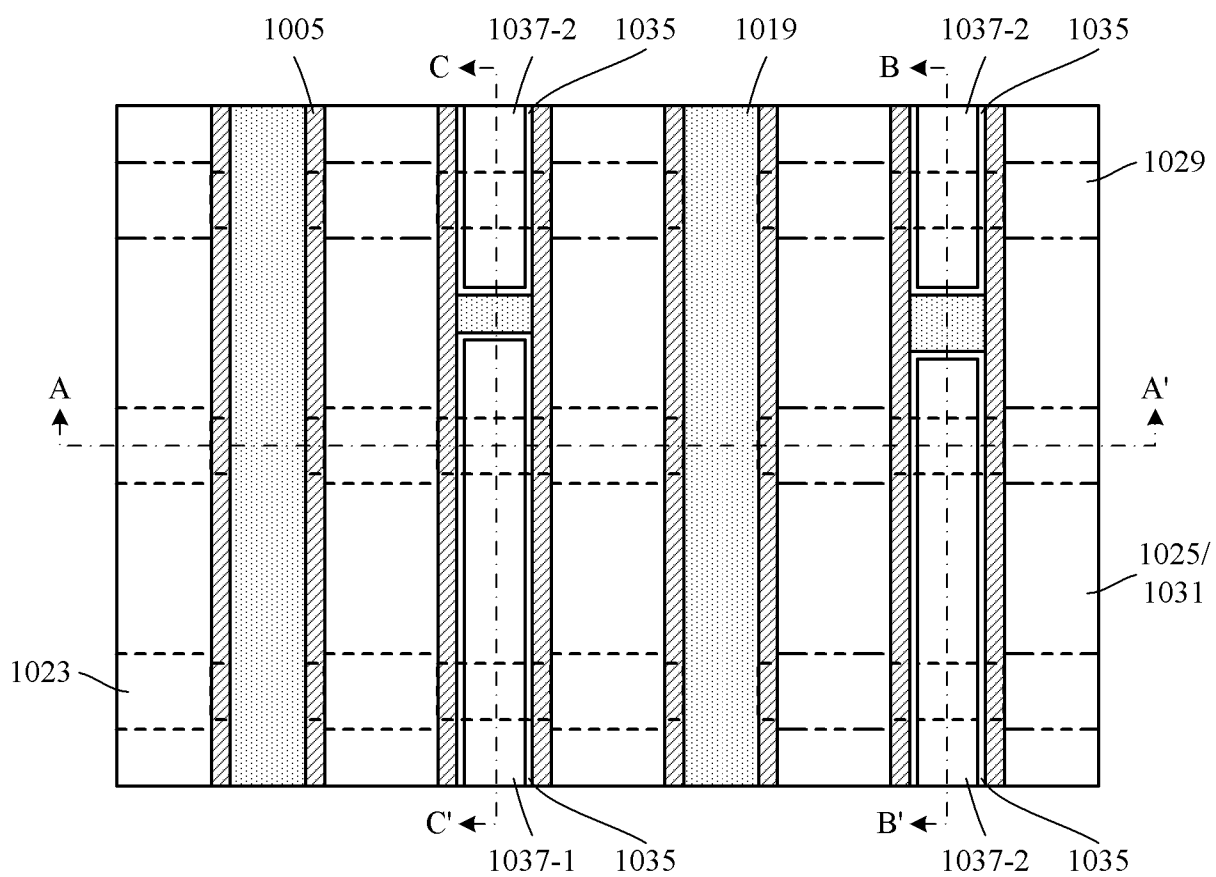


图19(a)

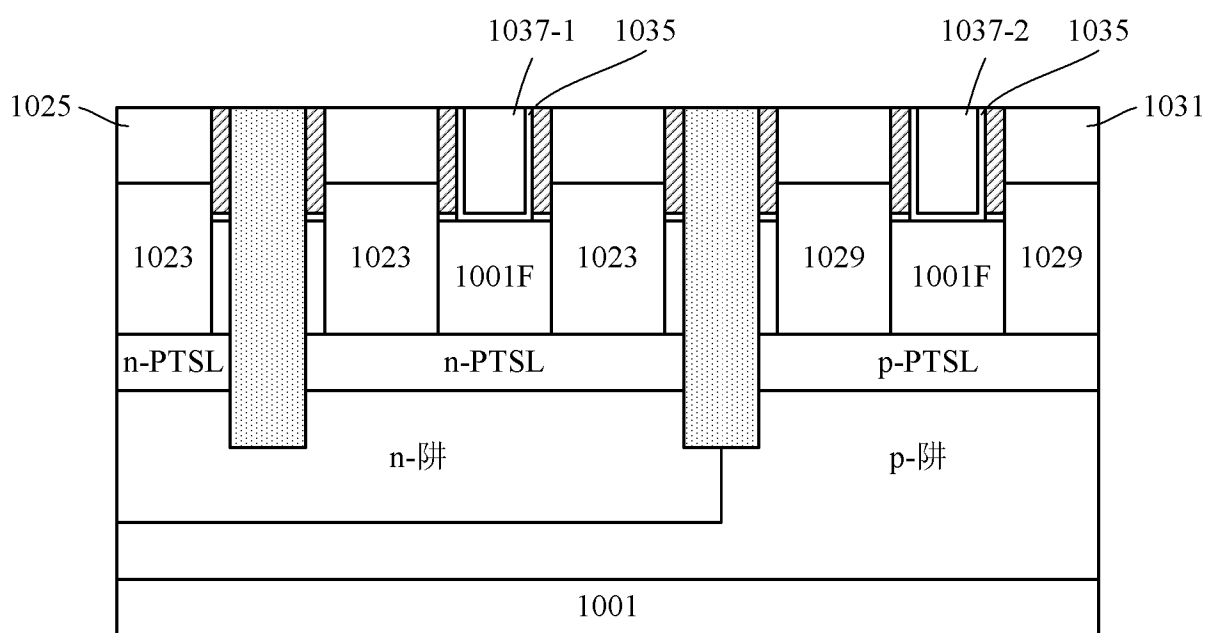


图19(b)

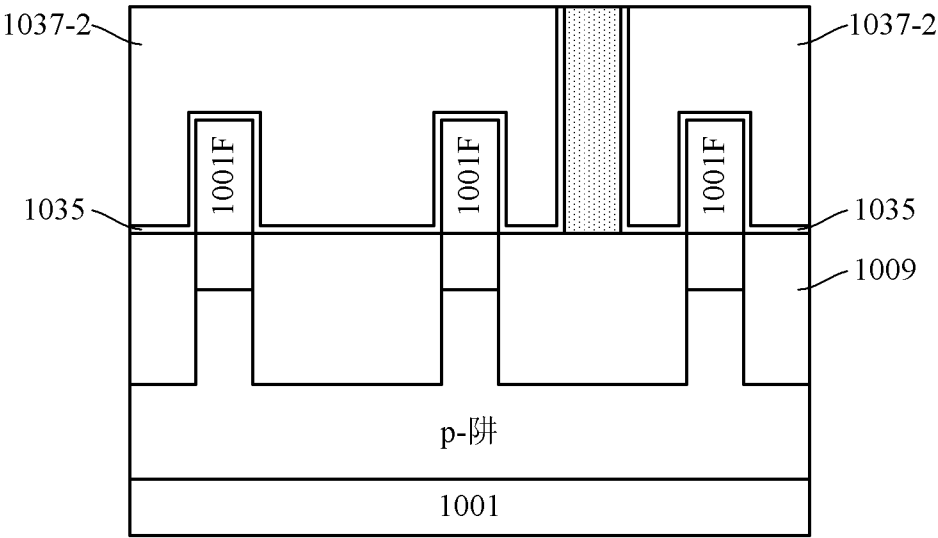


图19(c)

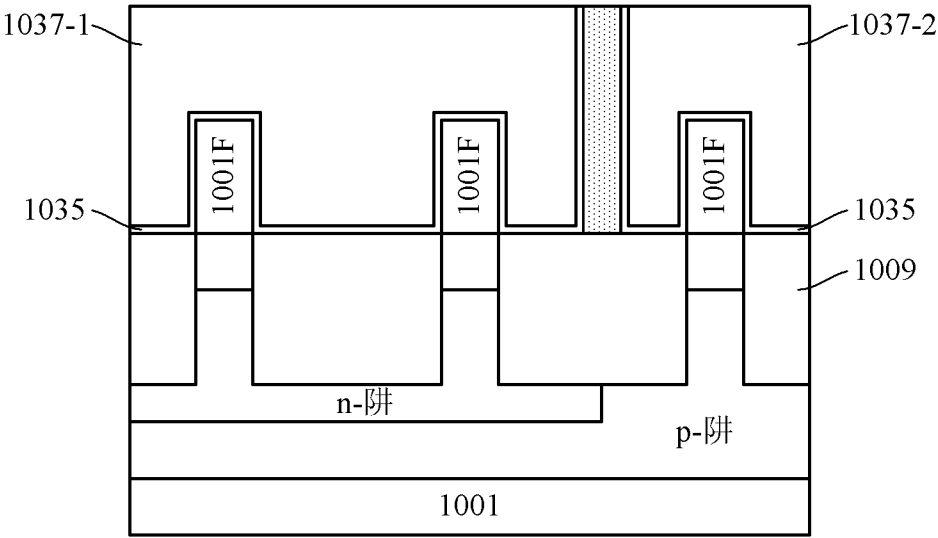


图19(d)

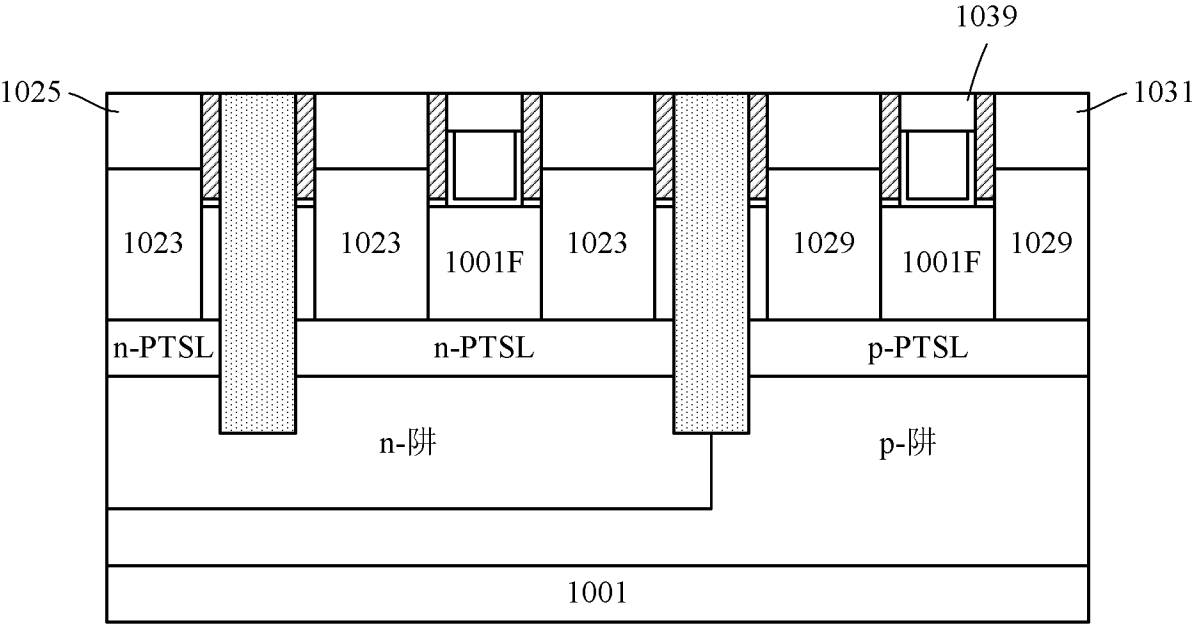


图20

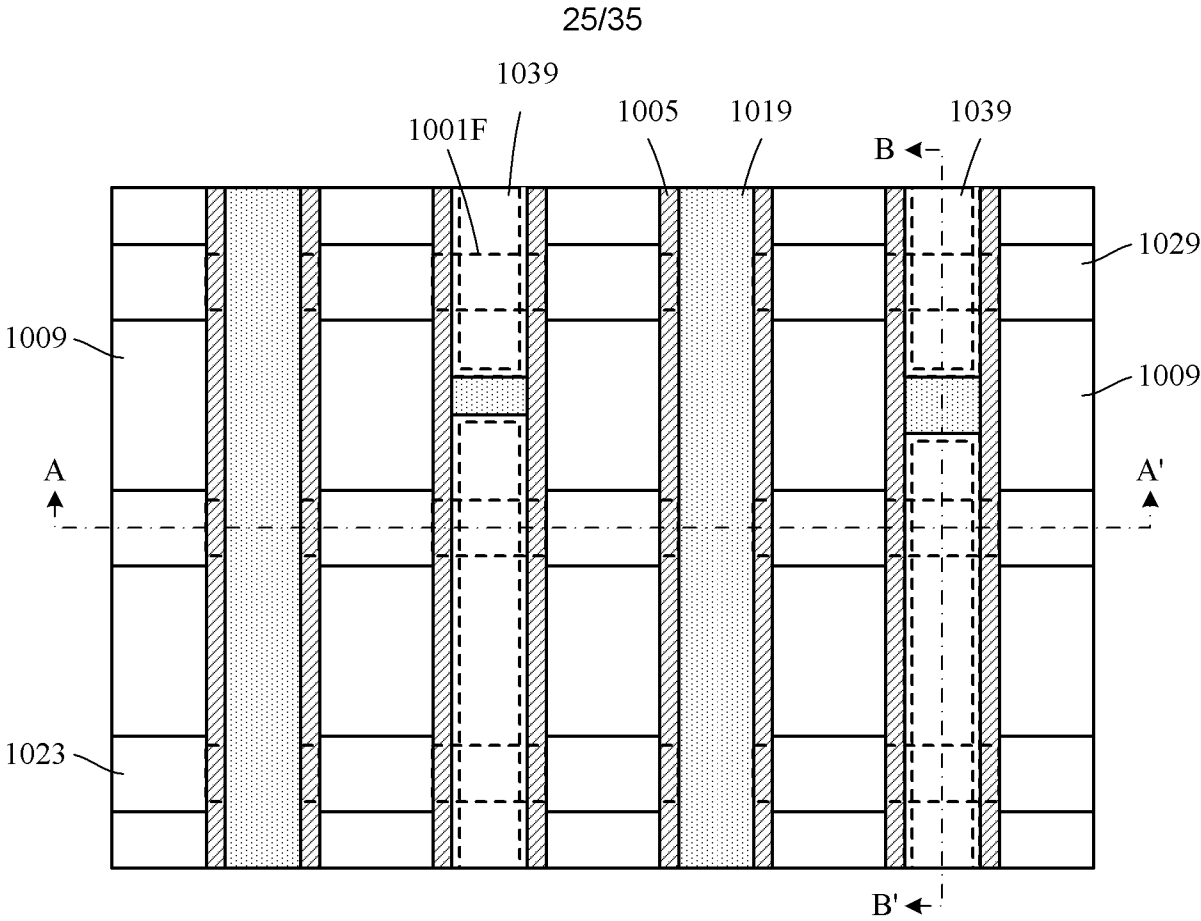


图21(a)

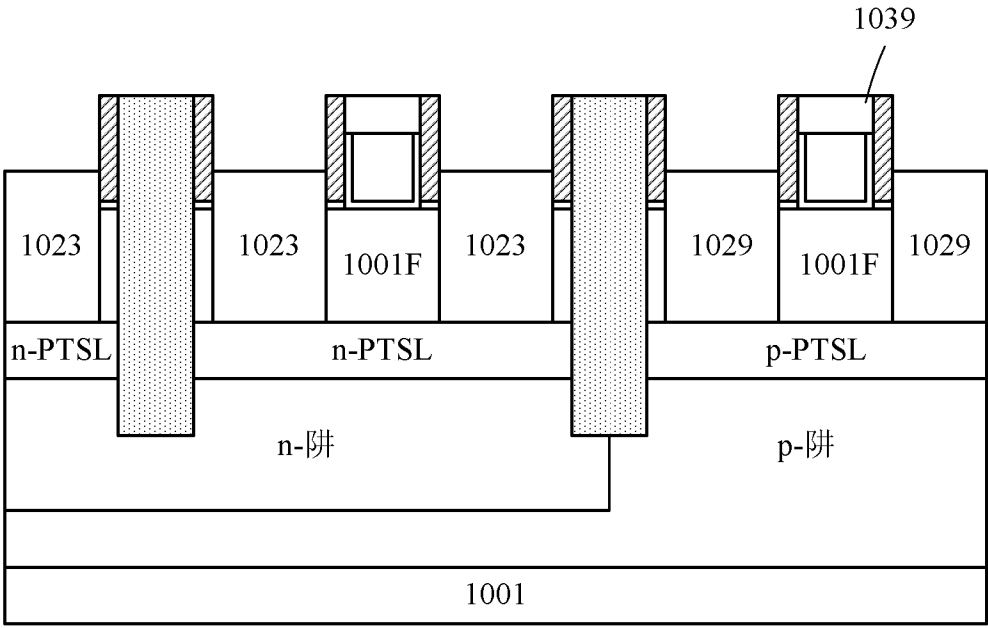


图21(b)

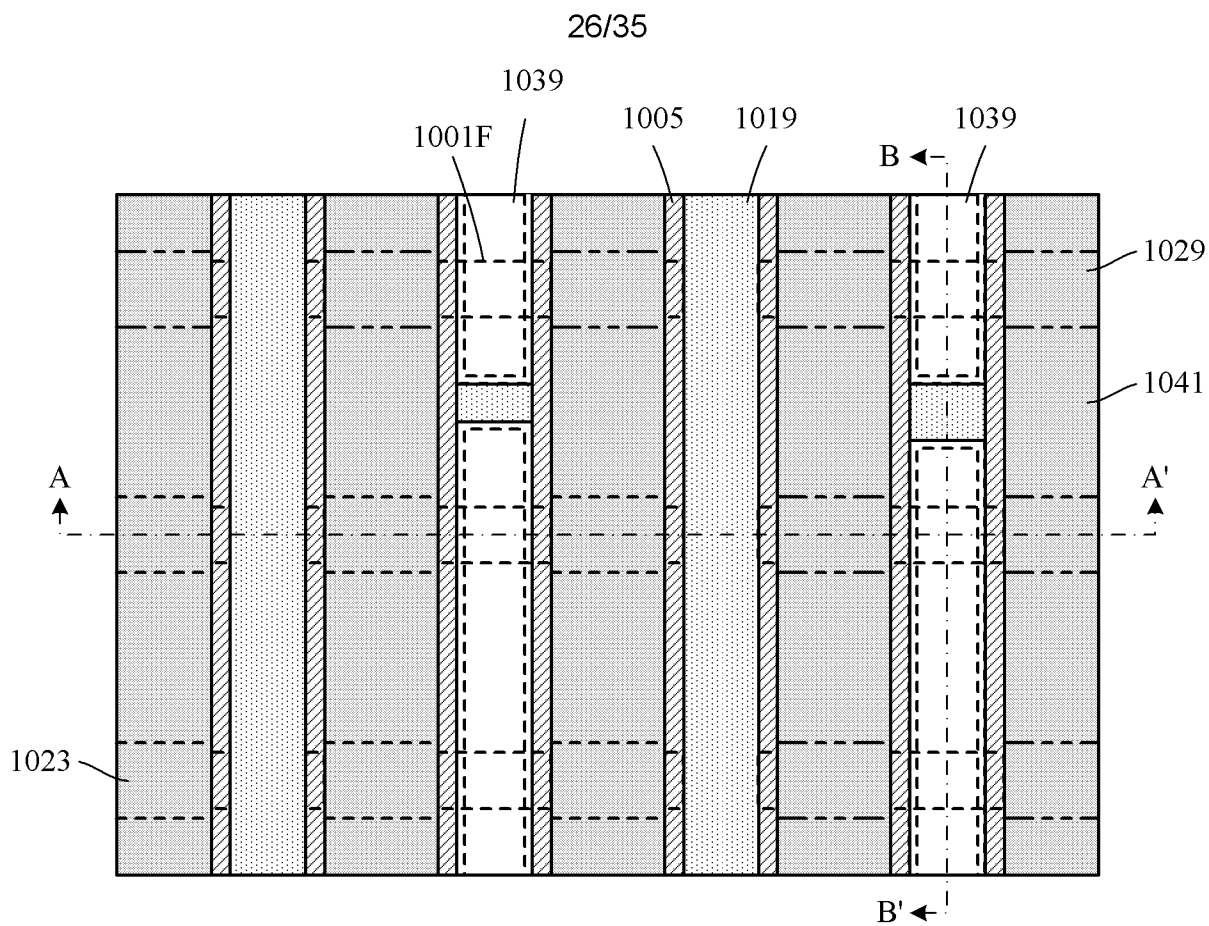


图22(a)

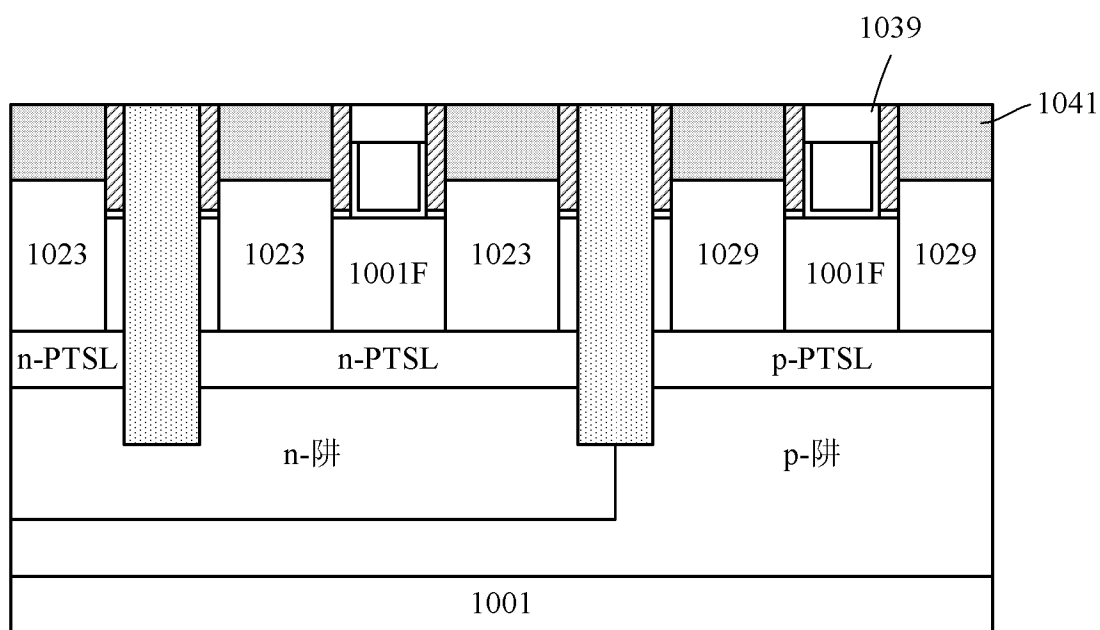


图22(b)

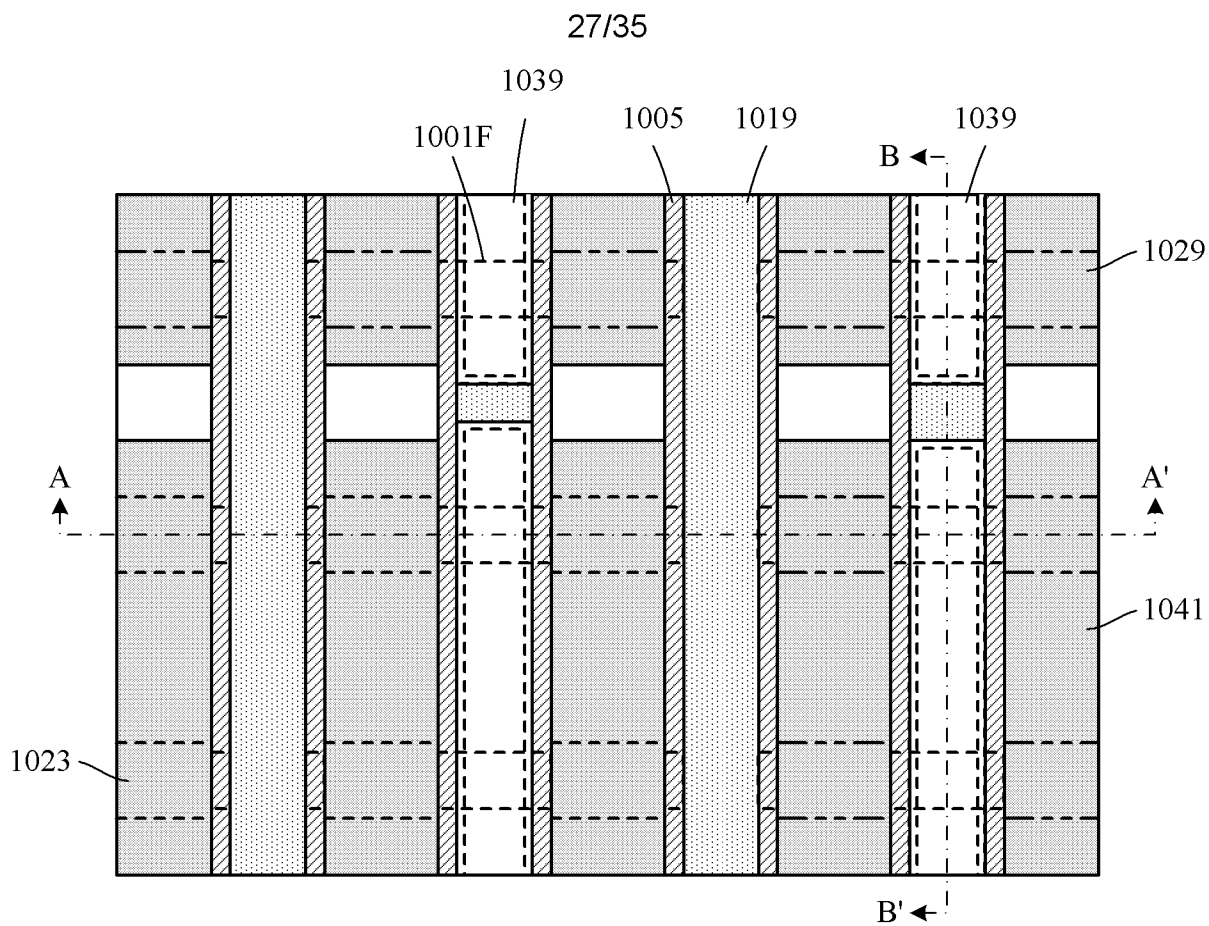


图23(a)

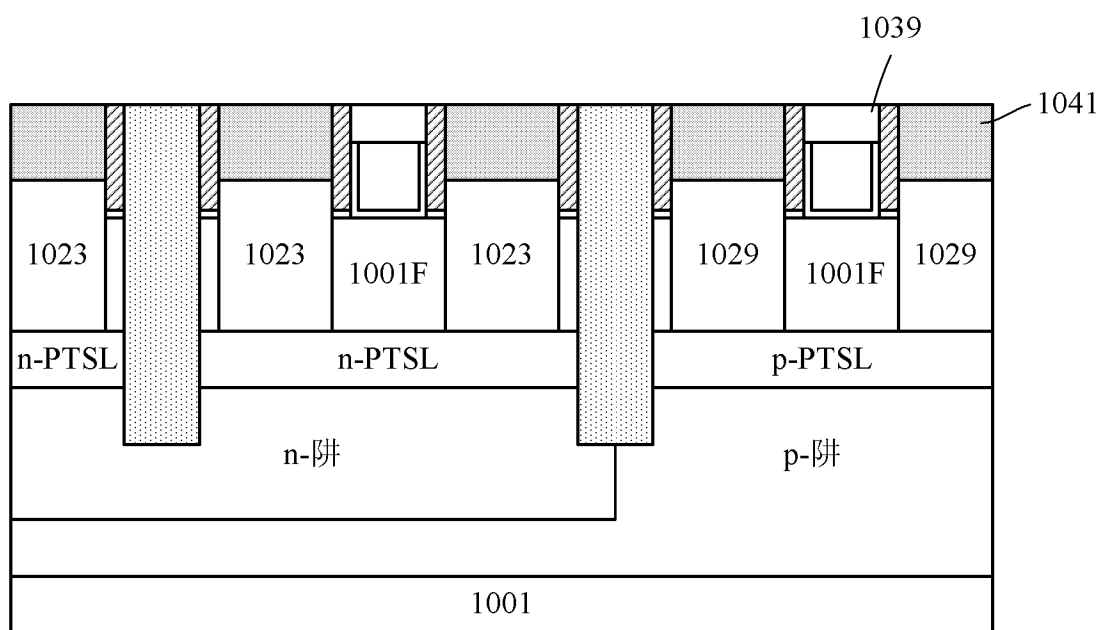


图23(b)

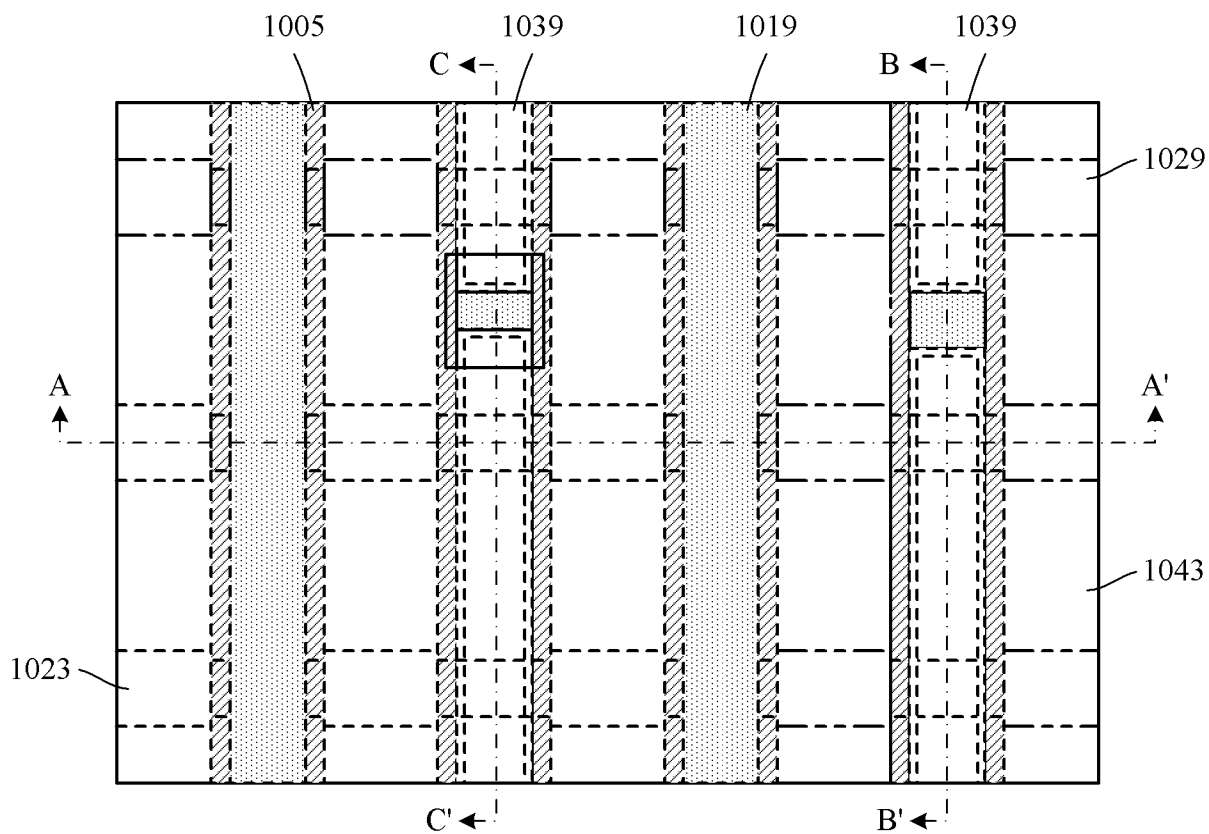


图24(a)

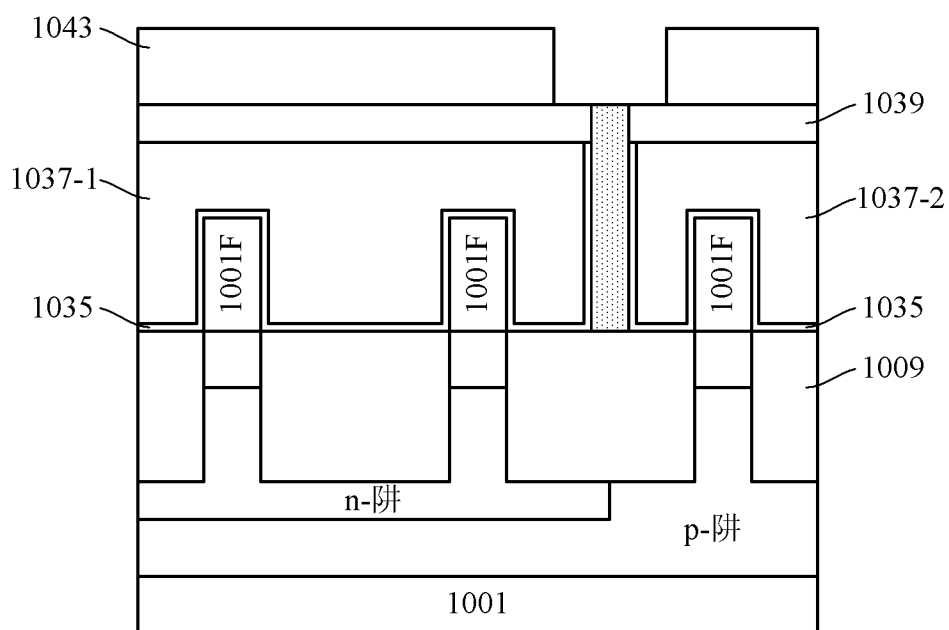


图24(b)

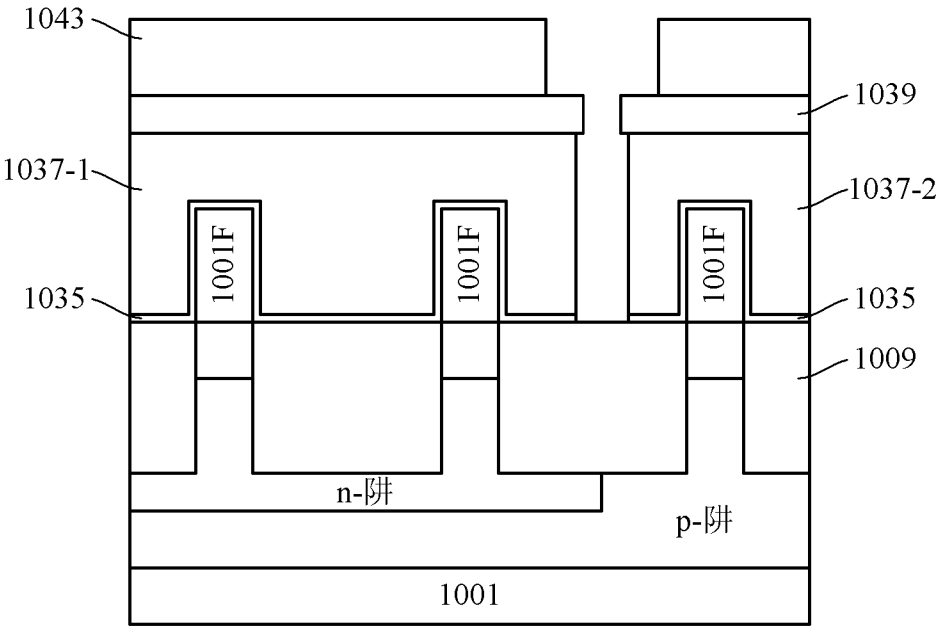


图25

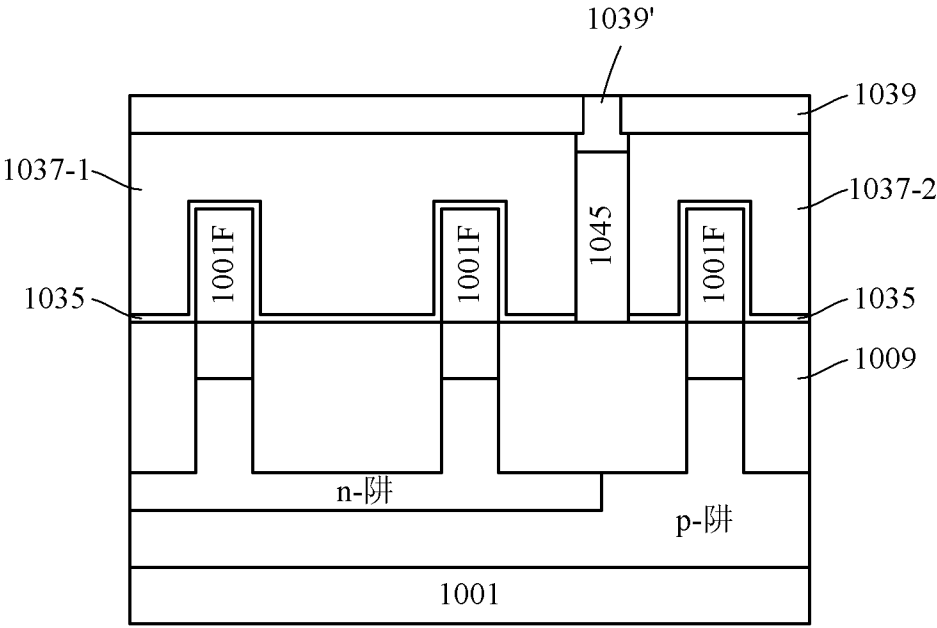


图26

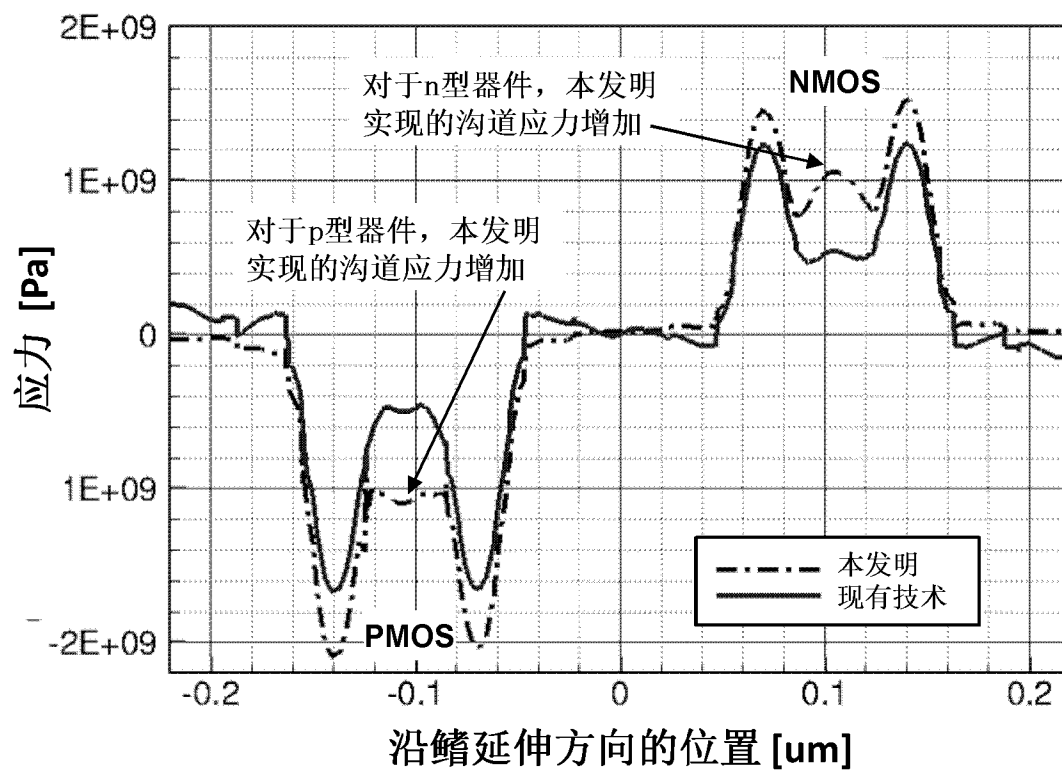


图27

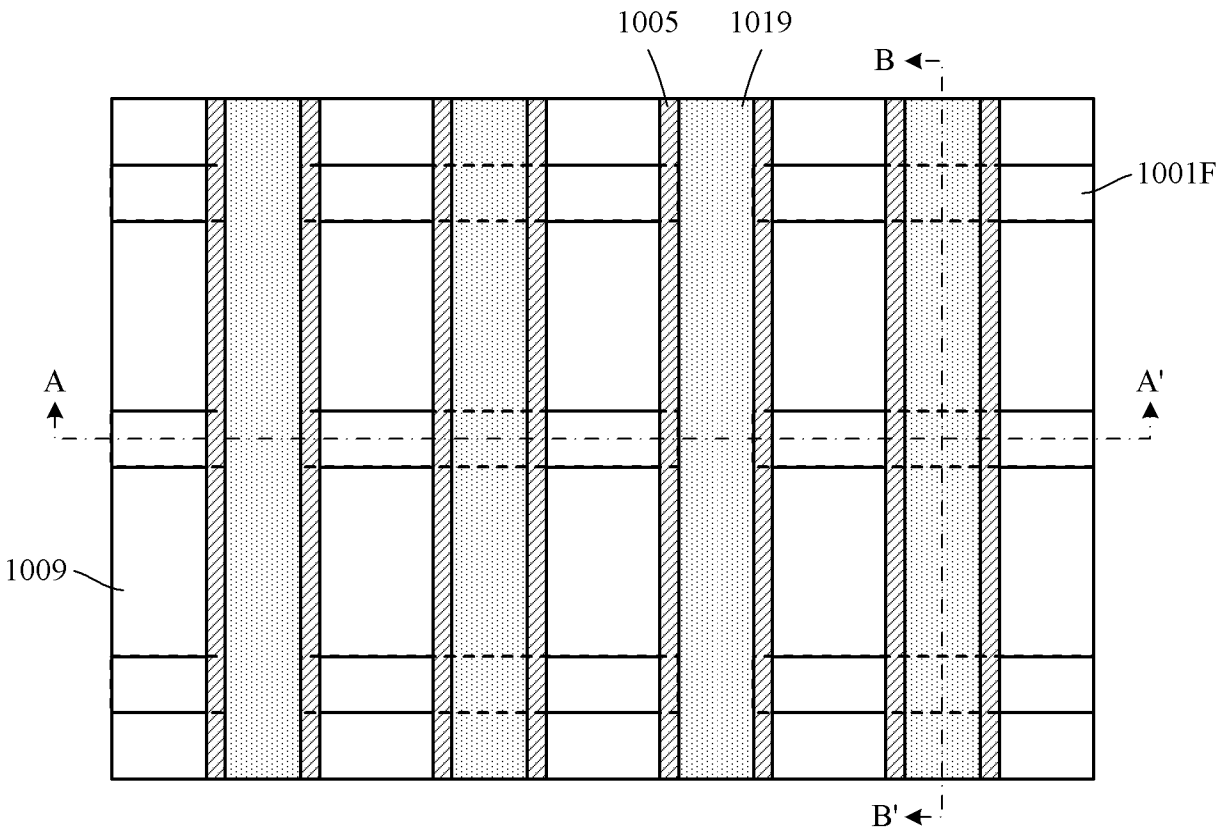


图28(a)

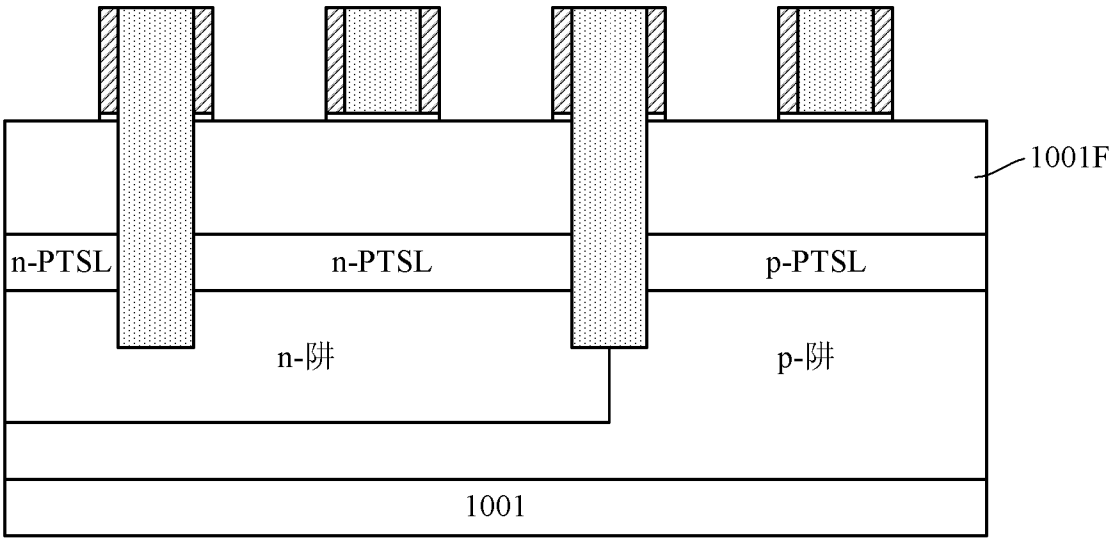


图28(b)

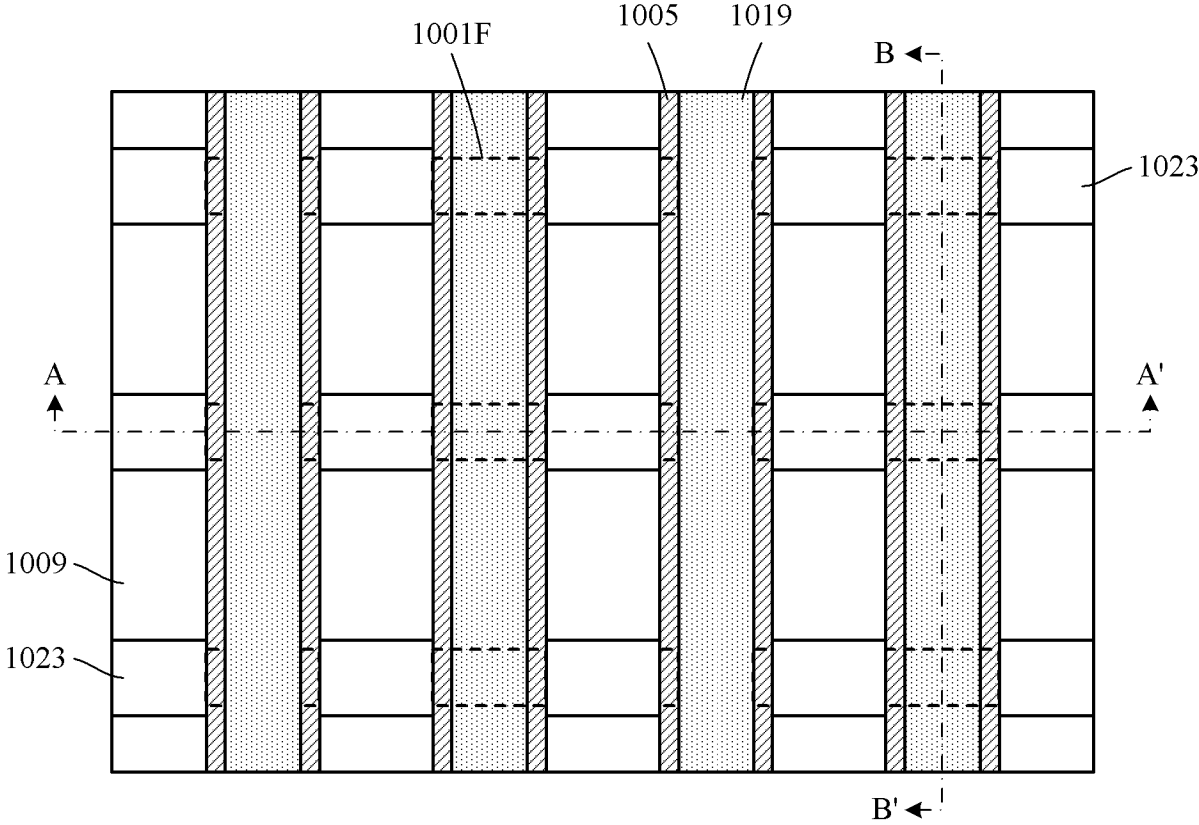


图29(a)

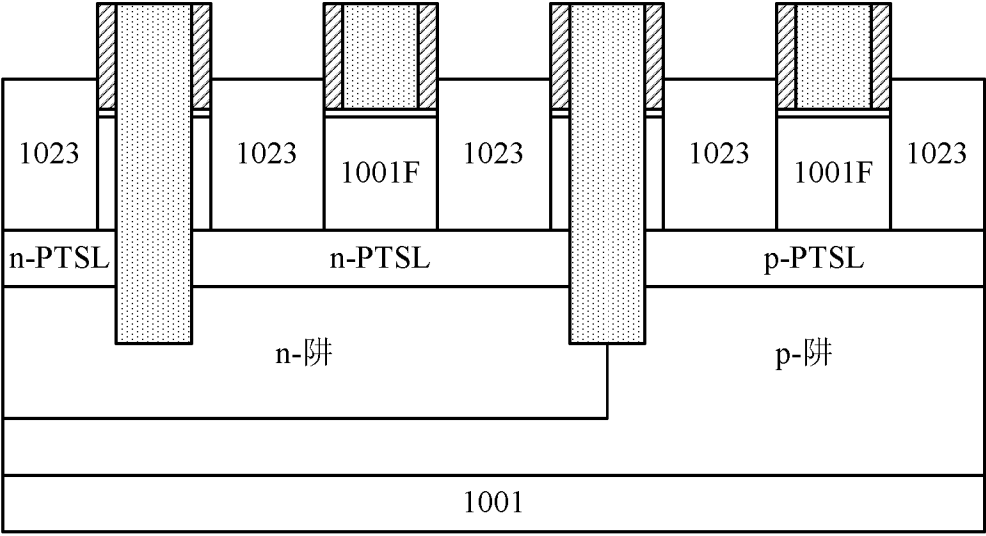


图29(b)

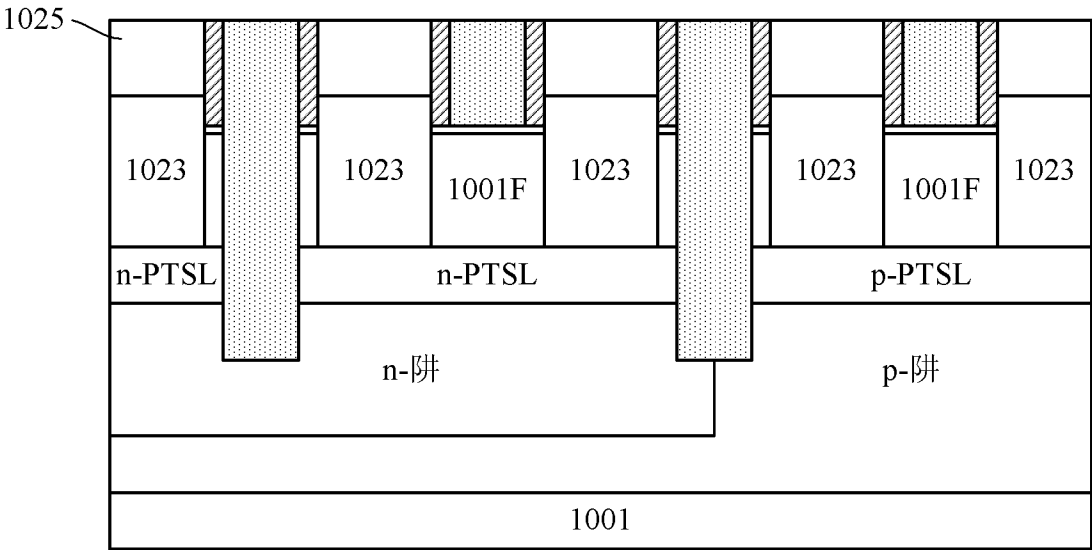


图30

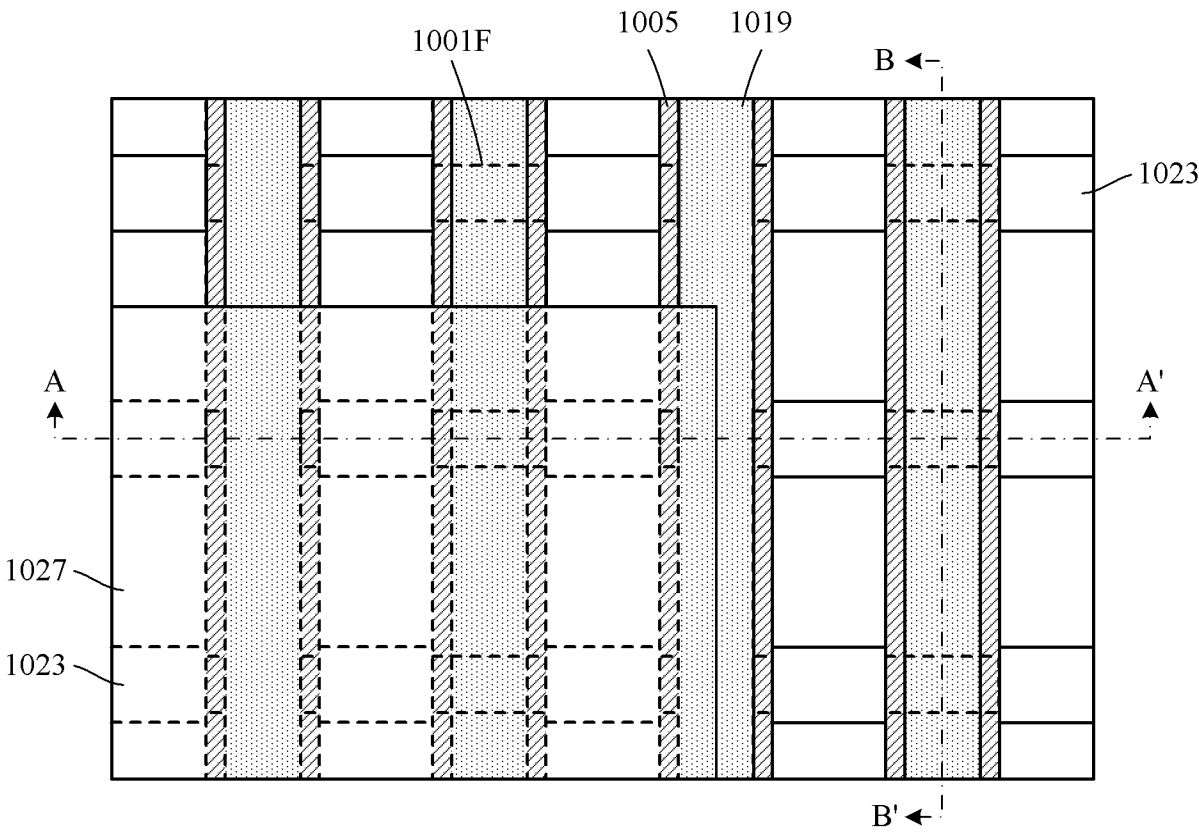


图31(a)

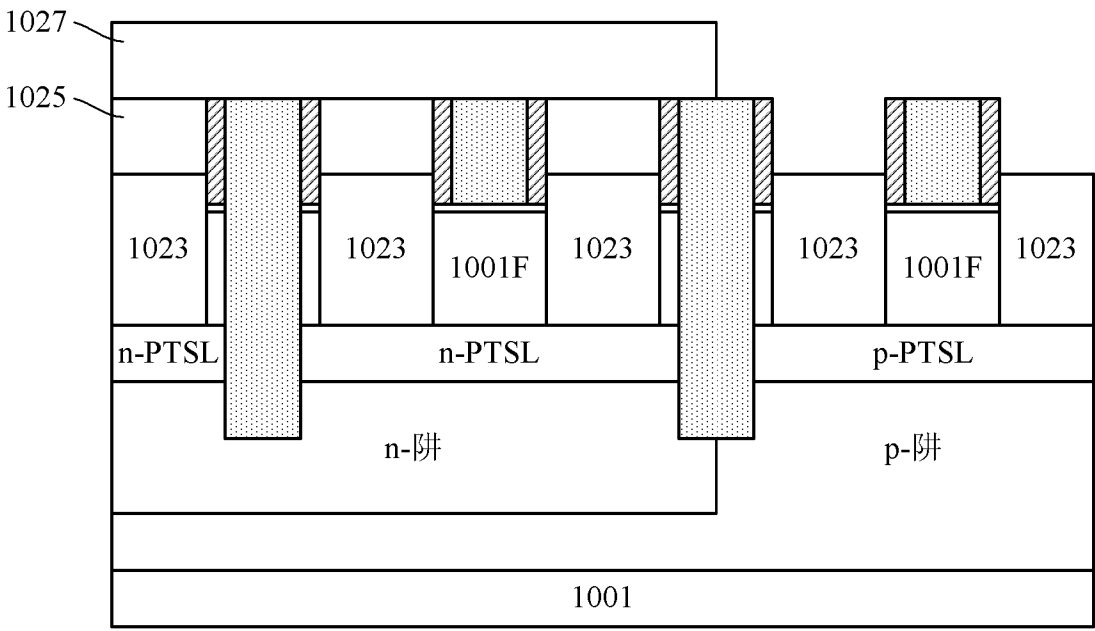


图31(b)

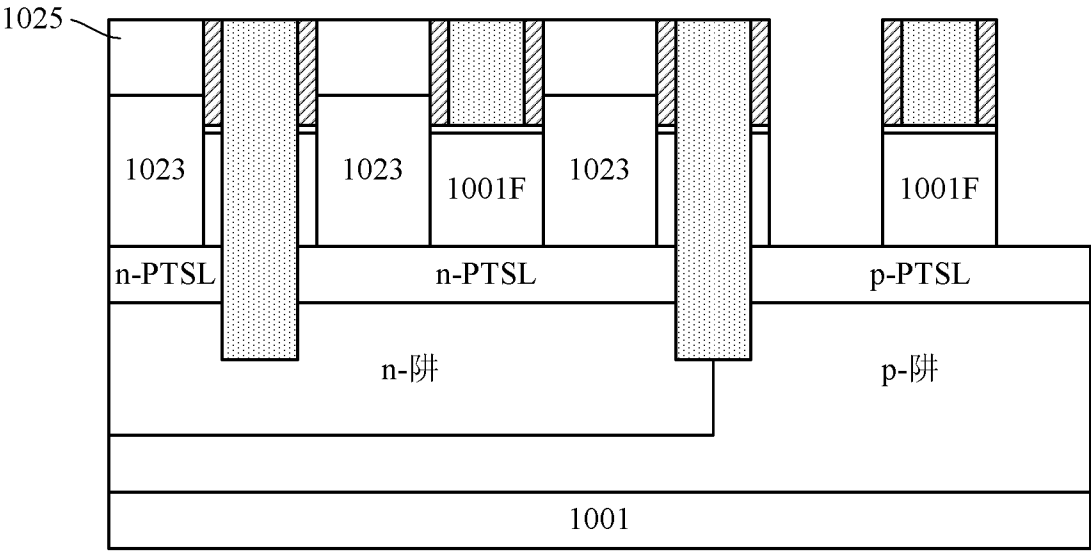


图32

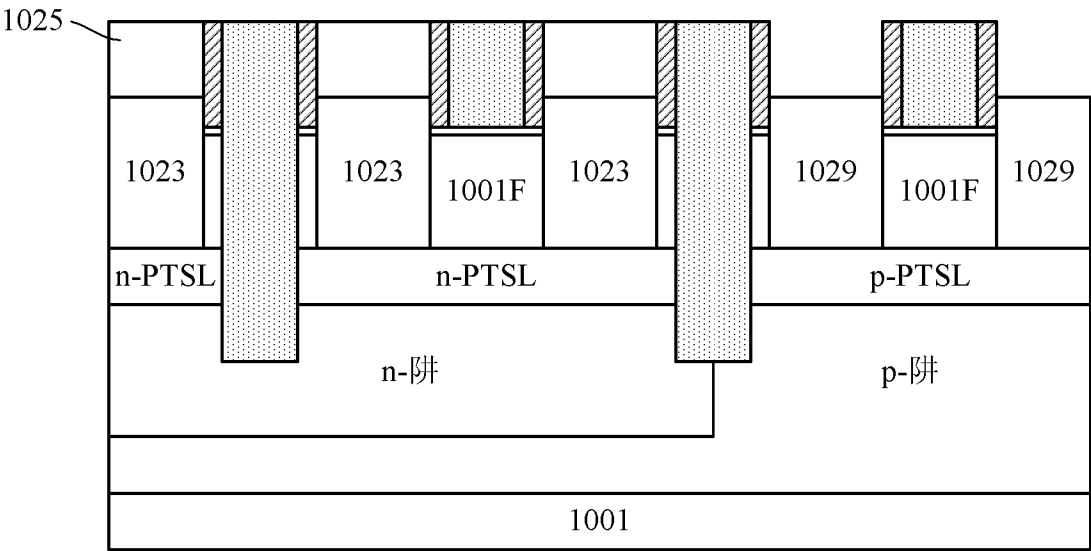


图33

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/111274

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i; H01L 21/336 (2006.01) i; H01L 29/423 (2006.01) n; H01L 21/28 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, DWPI, CNKI: 栅堆叠, 鳍, 伪栅, 侧墙, 连接部分, 绝缘, 线间隔, 介质, gate stack, fin, dummy gate, side wall, contact portion, insulation, line interval, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104681563 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 03 June 2015 (03.06.2015), entire document	1-23
A	CN 104681557 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 03 June 2015 (03.06.2015), entire document	1-23
A	CN 105633079 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 01 June 2016 (01.06.2016), entire document	1-23
A	US 9093376 B2 (JAGANNATHAN et al.) 28 July 2015 (28.07.2015), entire document	1-23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&”document member of the same patent family

Date of the actual completion of the international search 03 August 2017	Date of mailing of the international search report 21 August 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WU, Haitao Telephone No. (86-10) 62089265

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/111274

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104681563 A	03 June 2015	None	
CN 104681557 A	03 June 2015	US 2016268392 A1	15 September 2016
		WO 2015078104 A1	04 June 2015
CN 105633079 A	01 June 2016	None	
US 9093376 B2	28 July 2015	US 2015137243 A1	21 May 2015
		US 9153447 B2	06 October 2015
		US 2014110785 A1	24 April 2014
		US 9437436 B2	06 September 2016
		US 2014110784 A1	24 April 2014
		US 9530651 B2	27 December 2016
		US 9472407 B2	18 October 2016
		US 2015137245 A1	21 May 2015
		US 2015137244 A1	21 May 2015

国际检索报告

国际申请号

PCT/CN2016/111274

A. 主题的分类

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)n; H01L 21/28(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, CNABS, DWPI, CNKI: 栅堆叠, 鳍, 伪栅, 侧墙, 连接部分, 绝缘, 线间隔, 介质, gate stack, fin, dummy gate, side wall, contact portion, insulation, line interval, dielectric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104681563 A (中国科学院微电子研究所) 2015年 6月 3日 (2015 - 06 - 03) 全文	1-23
A	CN 104681557 A (中国科学院微电子研究所) 2015年 6月 3日 (2015 - 06 - 03) 全文	1-23
A	CN 105633079 A (中国科学院微电子研究所) 2016年 6月 1日 (2016 - 06 - 01) 全文	1-23
A	US 9093376 B2 (JAGANNATHAN 等) 2015年 7月 28日 (2015 - 07 - 28) 全文	1-23

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 8月 3日

国际检索报告邮寄日期

2017年 8月 21日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

吴海涛

电话号码 (86-10)62089265

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/111274

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104681563	A	2015年 6月 3日	无			
CN	104681557	A	2015年 6月 3日	US	2016268392	A1	2016年 9月 15日
				WO	2015078104	A1	2015年 6月 4日
CN	105633079	A	2016年 6月 1日	无			
US	9093376	B2	2015年 7月 28日	US	2015137243	A1	2015年 5月 21日
				US	9153447	B2	2015年 10月 6日
				US	2014110785	A1	2014年 4月 24日
				US	9437436	B2	2016年 9月 6日
				US	2014110784	A1	2014年 4月 24日
				US	9530651	B2	2016年 12月 27日
				US	9472407	B2	2016年 10月 18日
				US	2015137245	A1	2015年 5月 21日
				US	2015137244	A1	2015年 5月 21日

表 PCT/ISA/210 (同族专利附件) (2009年7月)