



(12)发明专利

(10)授权公告号 CN 104885159 B

(45)授权公告日 2019.04.19

(21)申请号 201380068595.8

(72)发明人 E·特泽格鲁 N·德塞

(22)申请日 2013.12.20

R·瓦蒂孔达 C·郑 S·S·尹

(65)同一申请的已公布的文献号

(74)专利代理机构 上海专利商标事务所有限公司 31100

申请公布号 CN 104885159 A

代理人 陈炜

(43)申请公布日 2015.09.02

(51)Int.CI.

(30)优先权数据

G11C 15/04(2006.01)

13/730,524 2012.12.28 US

(85)PCT国际申请进入国家阶段日

(56)对比文件

2015.06.26

US 2009/0310395 A1, 2009.12.17,

(86)PCT国际申请的申请数据

US 2005/0276086 A1, 2005.12.15,

PCT/US2013/076848 2013.12.20

US 6044005 A, 2000.03.28,

(87)PCT国际申请的公布数据

US 2004/0001347 A1, 2004.01.01,

W02014/105683 EN 2014.07.03

审查员 李铎

(73)专利权人 高通股份有限公司

权利要求书2页 说明书9页 附图8页

地址 美国加利福尼亚州

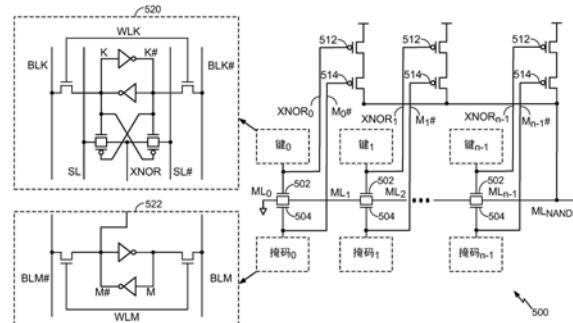
(54)发明名称

用于三态内容可寻址存储器(TCAM)的静态

NAND单元

(57)摘要

静态三态内容可寻址存储器(TCAM)包括耦合到中间匹配线的键单元和掩码单元。键单元耦合到第一下拉晶体管和第一上拉晶体管。掩码单元耦合到第二下拉晶体管和第二上拉晶体管。第一下拉晶体管和第二下拉晶体管并联连接,而第一上拉晶体管和第二上拉晶体管串联连接。匹配线输出也耦合到第一下拉晶体管和第二下拉晶体管并且进一步耦合到第一上拉晶体管和第二上拉晶体管。



1. 一种静态三态内容可寻址存储器TCAM,包括:

配置成基于搜索位与键位的比较来生成比较输出的键单元,其中响应于所述比较输出指示所述搜索位与所述键位之间的匹配,第一下拉晶体管导通并且第一上拉晶体管不导通,并且其中响应于所述比较输出指示所述搜索位与所述键位之间的失配,所述第一下拉晶体管不导通并且所述第一上拉晶体管导通;

配置成生成掩码输出的掩码单元,其中响应于所述掩码输出被断言,第二下拉晶体管导通并且第二上拉晶体管不导通,并且其中响应于所述掩码输出被解除断言,所述第二下拉晶体管不导通并且所述第二上拉晶体管导通,所述第一下拉晶体管和所述第二下拉晶体管并联连接在匹配线输出与第一供电电压端子之间,而所述第一上拉晶体管和所述第二上拉晶体管串联连接在第二供电电压端子与所述匹配线输出之间。

2. 如权利要求1所述的TCAM,其特征在于,所述掩码单元是静态随机存取存储器(SRAM)位单元。

3. 如权利要求1所述的TCAM,其特征在于,所述键单元包括静态随机存取存储器(SRAM)单元和XNOR逻辑,其中所述XNOR的输出被配置成生成所述比较输出。

4. 如权利要求3所述的TCAM,其特征在于,所述XNOR逻辑的输出耦合到所述第一下拉晶体管和所述第一上拉晶体管。

5. 如权利要求1所述的TCAM,其特征在于,还包括用于由所述键单元接收所述搜索位的搜索线输入。

6. 如权利要求1所述的TCAM,其特征在于,还包括耦合到所述第一下拉晶体管和所述第二下拉晶体管的中间匹配线。

7. 一种用于操作静态三态内容可寻址存储器(TCAM)的方法,所述方法包括:

操作键单元以基于搜索位与键位的比较来生成比较输出;

响应于所述比较输出指示所述搜索位与所述键位之间的匹配,使第一下拉晶体管导通并且使第一上拉晶体管不导通,并且其中响应于所述比较输出指示所述搜索位与所述键位之间的失配,使所述第一下拉晶体管不导通并且使所述第一上拉晶体管导通;

操作掩码单元以生成掩码输出;

响应于所述掩码输出被断言,使第二下拉晶体管导通并且使第二上拉晶体管不导通,并且其中响应于所述掩码输出被解除断言,使所述第二下拉晶体管不导通并且使所述第二上拉晶体管导通,

所述第一下拉晶体管和所述第二下拉晶体管并联连接在匹配线输出与第一供电电压端子之间,而所述第一上拉晶体管和所述第二上拉晶体管串联连接在第二供电电压端子与所述匹配线输出之间。

8. 如权利要求7所述的方法,其特征在于,设置所述匹配线输出,包括:

当所述键单元的比较输出指示匹配时,经由所述第一下拉晶体管将所述匹配线输出设置为低值;

当所述掩码单元的掩码输出被断言时,经由所述第二下拉晶体管将所述匹配线输出设置为低值;以及

当所述掩码单元的掩码输出被解除断言和所述键单元的比较输出指示失配时,经由所述第一上拉晶体管和所述第二上拉晶体管将所述匹配线输出设置为高值。

9. 如权利要求7所述的方法,其特征在于,当中间匹配线指示先前的搜索值比较是失配时所述键单元的所述比较输出或者所述掩码单元的所述掩码输出不影响所述匹配线输出。

10. 如权利要求7所述的方法,其特征在于,所述掩码单元是静态随机存取存储器(SRAM)位单元。

11. 如权利要求7所述的方法,其特征在于,所述键单元包括静态随机存取存储器(SRAM)单元和XNOR逻辑。

用于三态内容可寻址存储器 (TCAM) 的静态NAND单元

技术领域

[0001] 本公开一般涉及三态内容可寻址存储器 (TCAM)。更具体地,本公开涉及用于TCAM的静态NAND架构。

背景技术

[0002] TCAM通常在路由器和以太网交换机中用于网际协议 (IP) 地址转发。存储元件通常使用动态NOR/NAND(或非/与非)类型单元来设计。

[0003] 内容可寻址存储器 (CAM) 支持读操作、写操作、以及比较操作。与CAM 中的条目宽度(例如,位每字)相同的比较总线是在时钟边沿处输入的。比较总线的数据与CAM中的每个条目同时进行比较。也就是说,比较并行发生,因此总线可在在一个时钟循环期间与CAM中的每个条目进行比较。当条目中的每个位与比较总线中的对应位相匹配时,条目即是匹配。替换地,当条目中有任何位与比较总线中的对应位不相匹配时,条目即是失配。CAM中的条目的位或为0,或为1。

[0004] TCAM类似于CAM,外加可存储于单元中的掩码值。该掩码值可被称为本地掩码。掩码值不与比较位进行比较,由此比较结果将总是匹配。

[0005] 图1解说常规TCAM 100的架构。如图1中所解说的,搜索字(诸如,“1101”) 被输入到TCAM 100的寄存器150。该搜索字与各TCAM单元110中所存储的值进行比较。TCAM通常每级具有16个TCAM单元。搜索跨各TCAM单元110同时进行。TCAM单元110的内容可以是高位(1)、低位(0)、或掩码值(X)。在搜索之前,每组TCAM单元120-126的匹配线130-136被设置为高。匹配线 130-136被输入到优先级编码器140。TCAM 100输出 (MLout) 与搜索字线相匹配的那组TCAM单元的地址。由于该搜索是并行搜索,所以该搜索可在在一个时钟循环中完成。应注意,掩码值可以是0或1,但在本公开中,掩码值仍可被称为X。

[0006] 作为示例,如图1中所解说的,第一组TCAM单元120被设置成“1 X 0 1”,第二组TCAM单元122被设置成“1 0 X 1”,第三组TCAM单元124被设置成“1 1 X X”,并且第四组TCAM单元126被设置成“1 X 1 X”。在将各TCAM单元的内容与搜索位进行比较时,当TCAM单元的内容为掩码值X时,该比较将产生匹配。因此,根据图1中所解说的示例,第一组TCAM单元120和第三组TCAM单元124 与寄存器150中的搜索字相匹配。相应地,第一组TCAM单元120和第三组TCAM 单元124的匹配线130、134将指示匹配,并且优先级编码器140输出第一组TCAM 单元120和第三组TCAM单元124的地址。

[0007] 常规TCAM架构是动态电路并且具有高动态功率耗散。在一些情形中,TCAM 可具有动态NAND架构。在其他情形中,TCAM可具有动态NOR架构。

[0008] 在动态NOR TCAM架构中,匹配线被预充电为高并求值为低以指示失配。大多数比较产生失配,因此动态NOR由于从高向低切换以指示失配而具有增加的功耗。此外,动态NOR具有复杂的定时控制,这是因为预充电信号在每个时钟循环中被每条匹配线使用。

[0009] 图2解说常规动态NOR TCAM 200。如图2中所解说的,动态NOR TCAM 200 包括键单元Key₀-Key_{n-1}和掩码单元Mask₀-Mask_{n-1}。通常,NOR TCAM(诸如图 2的NOR TCAM 200)可具有

16个键单元和掩码单元。数据是经由搜索线(SL₀–SL_{n-1}和SL₀#–SL_{n-1}#)输入的。数据与键单元Key₀–Key_{n-1}和掩码单元Mask₀–Mask_{n-1}中所存储的值进行比较。匹配线ML_{NOR}经由预充电线PRE#从上拉晶体管202被预充电为高。当经由搜索线(SL₀–SL_{n-1}和SL₀#–SL_{n-1}#)之一输入的数据与单元Key₀–Key_{n-1}、Mask₀–Mask_{n-1}之一中所存储的数据之间存在失配时,匹配线ML_{NOR}将求值为低。当所有单元Key₀–Key_{n-1}、Mask₀–Mask_{n-1}的值匹配于输入数据时,匹配线保持为高。

[0010] 键单元Key₀–Key_{n-1}的结构在展开的键单元220中解说,而掩码单元Mask₀–Mask_{n-1}的结构在展开的掩码单元222中解说。如展开的键单元220中所解说的,键单元Key₀–Key_{n-1}是通过SRAM单元来实现的。在比较操作期间,键逆(bar)K#与搜索线SL求与。键单元Key₀–Key_{n-1}包括位线BLK、位线逆BLK#、以及字线WLK。

[0011] 如展开的掩码单元222中所解说的,掩码单元Mask₀–Mask_{n-1}是通过SRAM单元来实现的。在比较操作期间,掩码逆M#与搜索线逆SL#求与。掩码单元Mask₀–Mask_{n-1}包括位线BLM、位线逆BLM#、以及字线WLM。

[0012] 表1是动态NOR TCAM的真值表。表1基于掩码单元(M)、键单元(K)、以及搜索线(SL和SL#)的值示出匹配线的值。应注意,状态是指存储元件(键单元和掩码单元)的状态。当键位具有值0时状态为0,当键位具有值1时状态为1,并且当掩码位和键位均为1时状态为X。状态X是指既不存在匹配又不存在失配的掩码状态,更确切地,即在搜索线的值与掩码单元及键单元的值之间不存在比较的掩码状态。因此,匹配线总是指示匹配。

表 1					
状态	掩码位(M)	键位(K)	搜索线(SL)	搜索线逆(SL#)	匹配线(ML _{NOR})
[0013]	0	1	0	0	1
	0	1	0	1	0
	1	0	1	0	0
	1	0	1	1	1
	X	1	1	X	X
	-	0	0	-	不允许

[0014] 如表1中所示,当键位与搜索线具有不同值时,匹配线将为0(低)并指示失配。类似地,当掩码位与搜索线逆两者具有不同值时,匹配线将为0并指示失配。即,当键位为0(例如,键位逆(K#)为1)并且搜索线为1时、或者当掩码位为0(例如,掩码位逆(M#)为1)并且搜索线逆为1时,则下拉晶体管将被激活以将匹配线拉向低。此外,当键位与搜索线具有相同值时,匹配线将为1(高)并指示匹配。类似地,当掩码位与搜索线逆两者具有相同值时,匹配线将为1并指示匹配。此外,当掩码位和键位均为1时,状态为X。即,匹配线将保持为高并指示匹配而不论搜索线的值如何。

[0015] 如以上所讨论的,在动态NOR TCAM中,匹配线和搜索线在每个循环的开始被预充电为高,并且匹配线求值为低以指示失配。TCAM中各单元的大多数比较产生失配。因此,动态NOR TCAM的功耗由于指示失配时从高向低的切换而增加。在一些情形中,匹配线可被预放电为低以减小功耗。但是,即使在匹配线被预放电时,预充电操作仍在每个循环的开始对匹配线充电。因此,匹配线的预充电导致功耗以及还有控制电路系统的增加。

[0016] 在动态NAND TCAM架构中,匹配线被预充电为高并求值为低以指示匹配。即,预充电信号在每个循环期间被用于每条匹配线以将这些匹配线设置为高。取决于掩码单元或键单元的状态,匹配线可被拉低或保持为高。每条中间匹配线与掩码单元及键单元相关联。此外,每个键单元进一步包括XNOR逻辑。动态NAND TCAM使用串行操作。因此,当先前中间匹配线($n-2$)被拉低以指示匹配时,中间匹配线($n-1$)可放电(例如,与搜索线的值进行比较)。也就是说,当存在匹配时操作从一条中间匹配线($n-2$)继续到后续中间匹配线($n-1$),而当存在失配时,则停止经中间匹配线前进。

[0017] 常规动态NAND TCAM在匹配线求值期间的功耗由于串行操作的原因可能小于常规动态NOR TCAM的功耗。但是,常规动态NAND TCAM由于充电共享导致的误差而仍可能是不合适的。

[0018] 图3解说了常规动态NAND TCAM 300。如图3中所解说的,动态NAND架构300包括通过预充电线PRE#从上拉晶体管310充电的匹配线输出 ML_{NAND} 。匹配线输出 ML_{NAND} 被连接至一连串中间匹配线 ML_0-ML_{n-1} 。中间匹配线 ML_0-ML_{n-1} 中的每一中间匹配线经由并行连接的晶体管(例如,传输门)被耦合至掩码单元 $Mask_0-Mask_{n-1}$ 和键单元 Key_0-Key_{n-1} 。这些并行连接的晶体管包括耦合至键单元 Key_0-Key_{n-1} 的键NMOS晶体管303以及耦合至掩码单元 $Mask_0-Mask_{n-1}$ 的掩码NMOS晶体管304。

[0019] 掩码单元 $Mask_0-Mask_{n-1}$ 的内容在展开的掩码单元333中解说。如展开的掩码单元333中所示,掩码单元 $Mask_0-Mask_{n-1}$ 是SRAM单元,其包括掩码值M、掩码值逆M#、掩码字线WLM、掩码位线BLM、以及掩码位线逆BLM#。键单元 Key_0-Key_{n-1} 的内容在展开的键单元330中解说。如扩展的键单元330中所示,键单元 Key_0-Key_{n-1} 是具有XNOR逻辑的SRAM单元。键单元 Key_0-Key_{n-1} 还包括搜索线SL、搜索线逆SL#、键位线BLK、键位线逆BLK#、键值K、键逆值K#、键写入线WLK、以及输出线XNOR。

[0020]

表2

状态	掩码位(M)	键位(K)	搜索线(SL)	XNOR	$ML_i \rightarrow ML_{i+1}$ 传播	ML_{NAND}
0	1	0	0	1	开	0/1
0	1	0	1	0	关	浮置
1	1	1	0	0	关	浮置
1	1	1	1	1	开	0/1

[0021]

X	0	X	X	X	开	0/1
---	---	---	---	---	---	-----

[0022] 在动态NAND TCAM架构中, ML_{NAND} 被预充电为高并求值为低以指示匹配。取决于掩码单元或键单元的状态, ML_{NAND} 可被拉低或保持为高。每条中间匹配线(ML_0-ML_{n-1})与掩码单元及键单元相关联。动态NAND TCAM使用串行操作,因此,如果先前的中间匹配线 ML_{i-1} 指示匹配,则中间匹配线 ML_i 可被拉低(取决于键单元和掩码单元的值)。即,在存在匹配时,零(低中间匹配线)从一中间匹配线 ML_i 传播到后续的中间匹配线 ML_{i+1} 。此外,当存在失配时,零停止经中间匹配线前进。相应地,零从当前中间匹配线 ML_i 向后续中间匹配线 ML_{i+1} 的传播还规定了所有的先前匹配线均指示匹配。

[0023] 因为中间匹配线是串联的,所以匹配线输出 ML_{NAND} 的状态是未知的,直到所有中间匹配线被求值或者直到确定失配。因此,如表2所示,当尚未确定失配时,匹配线输出 ML_{NAND} 将是0/1中的任一个。

[0024] 在当前中间匹配线 ML_i 求值为低以指示匹配时,动态NAND TCAM将这一低值从当前中间匹配线 ML_i 传播到后续中间匹配线 ML_{i+1} 。从当前中间匹配线 ML_i 向后续中间匹配线 ML_{i+1} 的传播被示为表2中的“开”切换。此外,匹配线输出 ML_{NAND} 是0/1中的任一个,因为尚未确定失配。

[0025] 在当前中间匹配线 ML_i 保持为高以指示失配时,动态NAND TCAM不从当前中间匹配线 ML_i 传播到后续中间匹配线 ML_{i+1} 。从而,在当前中间匹配线 ML_i 指示失配时,表2将传播指示为“关”。更具体地,在当前中间匹配线指示失配时,后续中间匹配线的操作停止。

[0026] 在表2中,XNOR的值代表来自键单元的输出的值。当XNOR为0时指示失配。当前中间匹配线(诸如 ML_i)由于失配而保持为高。当XNOR为1时指示匹配,并且当存在匹配时(在当前中间匹配线左侧的中间匹配线也已经被拉低的情况下)当前中间匹配线(诸如 ML_i)被拉低。最后,在表2中,状态是指存储元件(键单元和掩码单元)的状态。当键单元具有值0时状态为0;当键单元具有值1时状态为1;并且当掩码单元为0时状态为X。即,对于状态X,当掩码单元为0时,掩码NMOS晶体管304被启用而不管XNOR值为何。更具体地,状态X是指既不存在匹配又不存在失配的掩码状态,更确切地,即在搜索线的值与键单元的值之间不存在比较的掩码状态。

[0027] 在一些情形中,具有深NMOS堆栈的常规动态NAND TCAM可能由于电荷共享而失败。图4解说了具有深NMOS堆栈的动态NAND的示例。在预充电循环期间,所有的中间匹配线结电容 $C_{J0}-C_{J3}$ 可被放电至低。在求值循环期间, ML_{NAND} 被预充电为高,并且动态节点电容 C_{ML} 被暴露于一个或多个中间匹配线结电容 C_J ,并且与该一个或多个中间匹配线结电容 C_J 共享电荷。作为电荷共享的结果,匹配线输出 ML_{NAND} 的电压电平可能降落到下一反相器的阈值电压以下并且触发误操作。

[0028] TCAM的速度可以随着NMOS堆栈深度的增加而提升。但是,动态NAND的速度仍由于上述电荷共享失灵而受限。相应地,动态NOR TCAM可以以大于动态NAND TCAM的速度的速度来执行。在一些情形中,为了缓解因电荷共享导致的失灵,中间结电容 C_J 可被预充电至 $V_{DD}-V_t$ 电压电平,其中 V_{DD} 是供电电平,而 V_t 是阈值电压。但是,对中间结电容进行预充电由于增大的面积以及额外的定时复杂度而仍可能不是合意的。在其他情形中,为了缓解因电荷共享导致的失灵,搜索线可以是动态的,并且在每一循环被预充电为高以传播 $V_{DD}-V_t$ 电压电平通过NMOS堆栈。然而,对搜索线进行预充电可能仍不是合意的,这是因为其是动态功率解决方案且导致增加的延迟。

[0029] 概述

[0030] 根据本公开的一方面,提出了静态三态内容可寻址存储器(TCAM)。静态TCAM包括耦合到第一下拉晶体管和第一上拉晶体管的键单元。静态TCAM还包括耦合到第二下拉晶体管和第二上拉晶体管的掩码单元。第一下拉晶体管和第二下拉晶体管并联连接,而第一上拉晶体管和第二上拉晶体管串联连接。静态TCAM还包括耦合到第一下拉晶体管和第二下拉晶体管并且进一步耦合到第一上拉晶体管和第二上拉晶体管的匹配线输出。

[0031] 根据本公开的另一方面,提出了在静态TCAM内的一种方法。该方法包括在第一下

拉晶体管和第一上拉晶体管处接收键单元的输出。该方法还包括在第二下拉晶体管和第二上拉晶体管处接收掩码单元的输出。第一下拉晶体管和第二下拉晶体管并联连接,而第一上拉晶体管和第二上拉晶体管串联连接。该方法还包括至少部分地基于键单元的输出和掩码单元的输出来设置匹配线输出。

[0032] 根据又一方面,提出了一种静态TCAM。该静态TCAM包括用于比较耦合到第一下拉晶体管和第一上拉晶体管的搜索值的第一装置。该静态TCAM还包括用于比较耦合到第二下拉晶体管和第二上拉晶体管的搜索值的第二装置。第一下拉晶体管和第二下拉晶体管并联连接,而第一上拉晶体管和第二上拉晶体管串联连接。该静态TCAM还包括耦合到第一下拉晶体管和第二下拉晶体管并且进一步耦合到第一上拉晶体管和第二上拉晶体管的匹配线输出。

[0033] 这已较宽泛地勾勒出本公开的特征和技术优势以力图使下面的详细描述可以被更好地理解。本公开的其他特征和优点将在下面描述。本领域技术人员应该领会,本公开可容易地被用作改动或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到,此类等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的目的和优点在结合附图来考虑以下描述时将被更好地理解。然而要明确理解的是,提供每一幅附图均仅用于解说和描述目的,且无意作为对本公开的限定的定义。

[0034] 附图简要说明

[0035] 本公开的特征、本质和优点将因以下结合附图阐述的具体描述而变得更加明显。

[0036] 图1解说了TCAM存储器系统。

[0037] 图2解说了现有技术动态NOR架构。

[0038] 图3-4解说了现有技术动态NAND架构。

[0039] 图5解说了根据本公开的一方面的静态NAND架构。

[0040] 图6解说了根据本公开的一方面的一种方法的框图。

[0041] 图7解说了其中可有利地采用本公开的配置的示例性无线通信系统。

[0042] 图8是解说根据本公开一方面的用于半导体组件的电路、布局以及逻辑设计的设计工作站的框图。

[0043] 详细描述

[0044] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将明显的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。

[0045] 本公开的各方面提供了不对匹配线预充电且降低定时控制电路系统的复杂度的静态NAND TCAM。根据本公开,静态NAND TCAM不将复杂的定时控制电路系统用于匹配线预充电,这是因为匹配线(ML)在每个循环之前并不被预充电。匹配线包括中间匹配线ML₀-ML_{n-1}和匹配线输出ML_{NAND}。此外,静态实现降低了电荷共享问题的可能性。

[0046] 图5解说了根据本公开的一方面的静态NAND TCAM 500的架构。如图5中所解说得,匹配线输出ML_{NAND}被连接至一连串中间匹配线ML₀-ML_{n-1}。中间匹配线ML₀-ML_{n-1}中的每一条经由第一下拉晶体管(诸如,掩码NMOS晶体管504)被耦合至掩码单元Mask₀-Mask_{n-1},并且经

由第二下拉晶体管(诸如,键NMOS 晶体管502)被耦合至键单元Key₀-Key_{n-1}。这些下拉晶体管被并联连接。掩码单元Mask₀-Mask_{n-1}的内容在展开的掩码单元522中解说。如展开的掩码单元522中所示,掩码单元Mask₀-Mask_{n-1}是SRAM单元,其包括掩码位M、掩码位逆M#、掩码字线WLM、掩码位线BLM、以及掩码位线逆BLM#。键单元Key₀-Key_{n-1}的内容在展开的键位单元520中解说。如展开的键位单元520中所示,键单元Key₀-Key_{n-1}是具有XNOR逻辑的SRAM单元。键单元Key₀-Key_{n-1}还包括搜索线SL、搜索线逆SL#、键位线BLK、键位线逆BLK#、键位K、键位逆K#、键写入线 WLK、以及输出线XNOR。

[0047] 此外,键单元Key₀-Key_{n-1}中的每一个耦合到第一PMOS晶体管512,而掩码单元Mask₀-Mask_{n-1}中的每一个耦合到第二PMOS晶体管514。每一个第一PMOS 晶体管512经由XNOR线(XNOR₀-XNOR_{n-1})耦合到相应的键单元Key₀-Key_{n-1},而每一个第二PMOS晶体管514经由掩码位线逆(M₀#-M_{n-1}#)耦合到相应的掩码单元Mask₀-Mask_{n-1}。第一PMOS晶体管512和第二PMOS晶体管514也耦合到匹配线输出(ML_{NAND})。第一PMOS晶体管512和第二PMOS晶体管514串联连接,并且可以被称为串联PMOS晶体管。从而,根据本公开的一方面,每一个单元对(例如,一个掩码单元和一个键单元)耦合到并联NMOS晶体管(例如,键NMOS晶体管502和掩码NMOS晶体管504)和串联PMOS晶体管(例如,第一 PMOS晶体管512和第二PMOS晶体管514)。

[0048] 由于第一PMOS晶体管512和第二PMOS晶体管514耦合到每一个单元对,因此匹配线在每一时钟循环之前并不被预充电。因此,静态NAND TCAM 500不使用复杂定时控制方案并且与动态NAND TCAM(图3)相比节约了更多功率。此外,各中间匹配线不被预充电至V_{DD}-V_t电压电平,从而提供了搜索线在面积上的降低以及在功耗上的降低。

[0049] 表3示出根据本公开的一方面的静态NAND的真值表。

[0050]

表3

状态	掩码位 (M)	键位 (K)	搜索线 (SL)	XNOR	ML _i → ML _{i+1} 传播	ML _{NAND}
0	1	0	0	1	开	0/1
0	1	0	1	0	关	1
1	1	1	0	0	关	1
1	1	1	1	1	开	0/1
X	0	X	X	X	开	0/1

[0051] 如先前讨论的,静态NAND TCAM是串行操作,因为当前中间匹配线(诸如 ML_i)仅在该当前中间匹配线左侧的所有中间匹配线均求值为低以指示匹配时才可被拉低。同样地,后续中间匹配线ML_{i+1}仅在当前中间匹配线ML_i求值为低时才可被拉低。即,如果一条中间匹配线指示失配,则后续匹配线(该一条中间匹配线右侧的各中间匹配线)不被拉低。更具体地,后续中间匹配线(诸如ML_{i+1})仅在所有先前的中间匹配线求值为低以指示匹配时才可被拉低。

[0052] 此外,在静态NAND TCAM中,与动态NAND TCAM相反,由于匹配线输出ML_{NAND}连接到串联PMOS晶体管(例如,第一PMOS晶体管512和第二PMOS 晶体管514),所以当存在失配时ML_{NAND}值不是浮置值,相反,这些串联PMOS 晶体管将匹配线输出ML_{NAND}拉高以指示失配。此外,各中间匹配线是串联连接的,并且匹配线输出ML_{NAND}的状态是未知的,直到所有匹配线被求值或者直到确定失配。因此,如表3所示,在尚未知晓输出的情形中,当尚未确定失配

时,匹配线输出 ML_{NAND} 将是0/1中的任一个。

[0053] 此外,如表3所示,从当前中间匹配线 ML_i 向后续中间匹配线 ML_{i+1} 的传播 ($ML_i \rightarrow ML_{i+1}$ 传播) 在XNOR为1或者掩码位 (M) 为0中的任一情况下均可以激活 (“开”)。即,当XNOR为1时,键NMOS晶体管502被激活,并且将当前中间匹配线 ML_i 拉低以指示匹配。替换地,当掩码位 (M) 为0时,掩码单元的掩码位逆 (M#) 将为1,并且掩码NMOS晶体管504被激活,并且将当前中间匹配线 ML_i 拉低以指示匹配。如表3所示,当掩码位为0时,其他变量的状态为X,因为当前中间将拉低以指示匹配而不管其他的值(诸如状态、键位和搜索线)为何。更具体地,状态X是“无关”状态,其是指既不存在匹配又不存在失配的掩码状态,更确切地,即在搜索线的值与键单元的值之间不存在比较的掩码状态。

[0054] 另外,当XNOR为0并且掩码位 (M) 为1时,指示失配。尽管未在表3中示出,当掩码位为1时,掩码位逆 (M#) 为0,且反之亦然。即,当XNOR为0 时,XNOR线 (XNOR₀-XNOR_{n-1}) 也为0。此外,当掩码位逆为0(例如,掩码位为1)时,掩码位逆线 ($M_0\#-M_{n-1}\#$) 为0。从而,当XNOR线和掩码位逆线两者均为0时,第一PMOS晶体管512和第二PMOS晶体管514被启用并且将匹配线输出 (ML_{NAND}) 设为高。如先前讨论的,当匹配线为高时,指示失配。

[0055] 最后,在表3中,状态是指存储元件(键单元和掩码单元)的状态。当键单元具有值0时状态为0;当键单元具有值1时状态为1;并且当掩码单元为0时状态为X。即,对于状态X,当掩码单元为0时,掩码NMOS晶体管504被启用,并且将中间匹配线拉低而不管XNOR值为何。

[0056] 图6解说TCAM内的方法600的框图。如图6所解说的,在框602中,在第一下拉晶体管和第一上拉晶体管处接收键单元输出。在框604中,在第二下拉晶体管和第二上拉晶体管处接收掩码单元输出。此外,在框606中,基于键单元的输出和/或掩码单元的输出来设置匹配线输出。

[0057] 图7示出其中可有利地采用本公开实施例的示例性无线通信系统700。出于解说目的,图7示出了三个远程单元720、730和750以及两个基站740。将认识到,无线通信系统可具有多得多的远程单元和基站。远程单元720、730和750包括带有静态NAND TCAM 725A、725B和725C的多核处理器。图7示出从基站740到远程单元720、730、和750的前向链路信号770,以及从远程单元720、730、和 750到基站740的反向链路信号780。

[0058] 在图7中,远程单元720被示为移动电话,远程单元730被示为便携式计算机,而远程单元750被示为无线本地环路系统中的位置固定的远程单元。例如,远程单元可以是蜂窝电话、手持式个人通信系统(PCS)单元、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、便携式数据单元(诸如个人数据助理)或者位置固定的数据单元(诸如仪表读数装备)。尽管图7解说了可采用带有根据本公开的教导的静态NAND TCAM 725A、725B、和725C的多核处理器的远程单元,但本公开不限于所解说的这些示例性单元。例如,可在任何设备中适当地采用带有根据本公开各方面的静态NAND TCAM的多核处理器。

[0059] 图8是解说用于具有上面公开的半导体组件(诸如具有静态NAND TCAM的多核处理器)的电路、布局和逻辑设计的设计工作站的框图。设计工作站800包括硬盘801,该硬盘801包含操作系统软件、支持文件以及设计软件(诸如Cadence 或OrCAD)。设计工作站800还包括促成对电路810或半导体组件812(诸如静态NAND TCAM)的设计的显示器802。存储介质804被提供以用于有形地存储电路设计810或半导体组件812。电路设计810或半导体组件812可以文件格式(诸如GDSII或GERBER)存储在存储介质804上。存储介质804可以是CD-

ROM、DVD、硬盘、闪存、或其他合适的设备。此外,设计工作站800包括用于从存储介质804接受输入或将输出写到存储介质804的驱动装置803。

[0060] 记录在存储介质804上的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据(诸如时序图或网电路)。在存储介质804上提供数据通过减少用于设计半导体晶片的工艺数目促成了对电路设计810或半导体组件812的设计。

[0061] 在一种配置中,TCAM包括接收装置和设置装置。接收装置和设置装置可以是被配置成执行存储装置所述的功能的键单元、位单元、中间匹配线、匹配线输出、并联上拉晶体管、和/或串联下拉晶体管。

[0062] 尽管已阐述了特定电路系统,但是本领域技术人员应当领会,并非所有所公开的电路系统都是实践所公开的实施例所必需的。此外,某些众所周知的电路未被描述,以便保持专注于本公开。

[0063] 本文中所描述的方法体系取决于应用可藉由各种手段来实现。例如,这些方法体系可在硬件、固件、软件或其任何组合中实现。对于硬件实现,这些处理单元可以在一个或多个专用集成电路(ASIC)、数字信号处理器(DSP)、数字信号处理器器件(DSPD)、可编程逻辑器件(PLD)、现场可编程门阵列(FPGA)、处理器、控制器、微控制器、微处理器、电子器件、设计成执行本文中所描述功能的其他电子单元或其组合内实现。

[0064] 对于固件和/或软件实现,这些方法体系可以用执行本文中所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的任何机器或计算机可读介质可用于实现本文中所描述的方法体系。例如,软件代码可被存储在存储器中并由处理器执行。当由处理器执行时,执行中的软件代码生成实现本文所呈现的教导的不同方面的各种方法体系和功能性的操作环境。存储器可以实现在处理器内部或处理器外部。如本文所使用的,术语“存储器”是指任何类型的长期、短期、易失性、非易失性、或其他存储器,且并不限于任何特定类型的存储器或特定数目的存储器、或记忆存储在其上的介质类型。

[0065] 存储有定义本文所述方法体系和功能的软件代码的机器或计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限制,这些计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储设备、或可被用来存储指令或数据结构形式的期望程序代码且可被计算机访问的任何其它介质。如本文所用的盘(disk)和/或碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)常常磁性地再现数据而碟(disc)用激光来光学地再现数据。上述的组合也应被包括在计算机可读介质的范围内。

[0066] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成致使一个或多个处理器实现权利要求中叙述的功能。

[0067] 尽管已详细描述了本教导及其优点,但是应当理解,能在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本教导的技术。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定方面。因为本领域普通技术人员将容易地从本公开领会到,根据本教导,可以利用现存或今后开发的与本文所描述的相应方面执行基本相同的功能或达成基本相同的结果的过程、机

器、制造、物质组成、装置、方法或步骤。相应地，所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

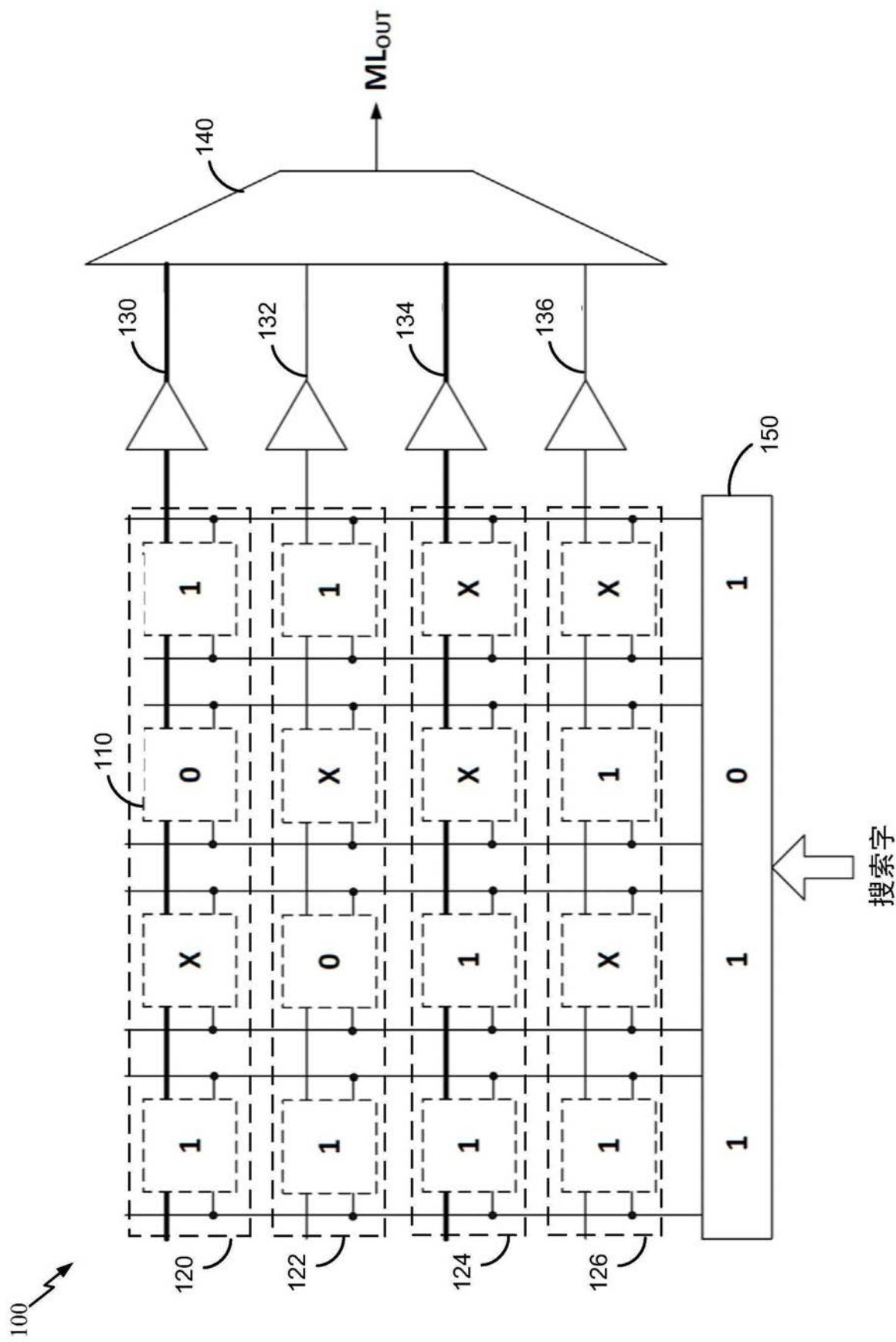


图1现有技术

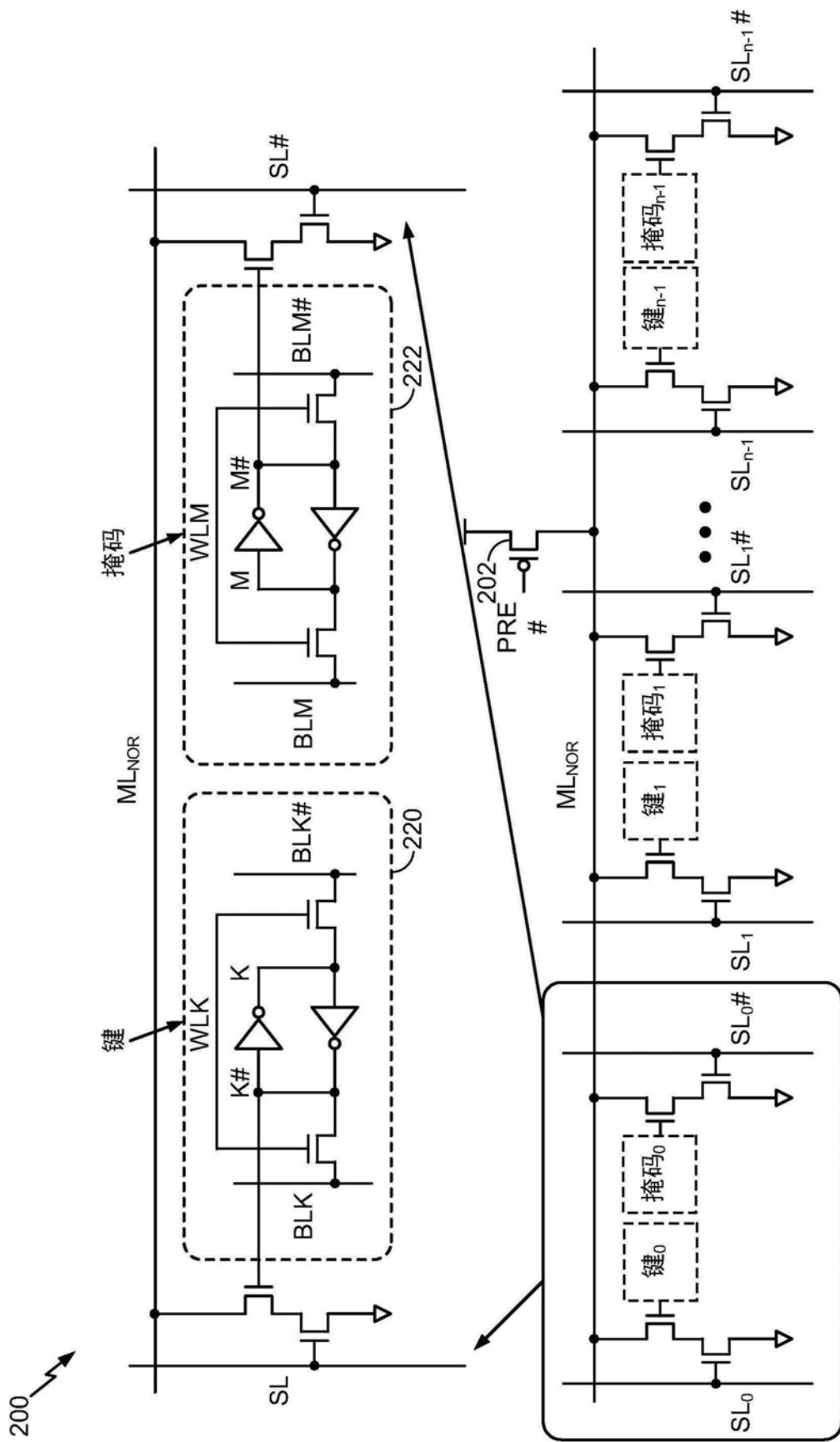
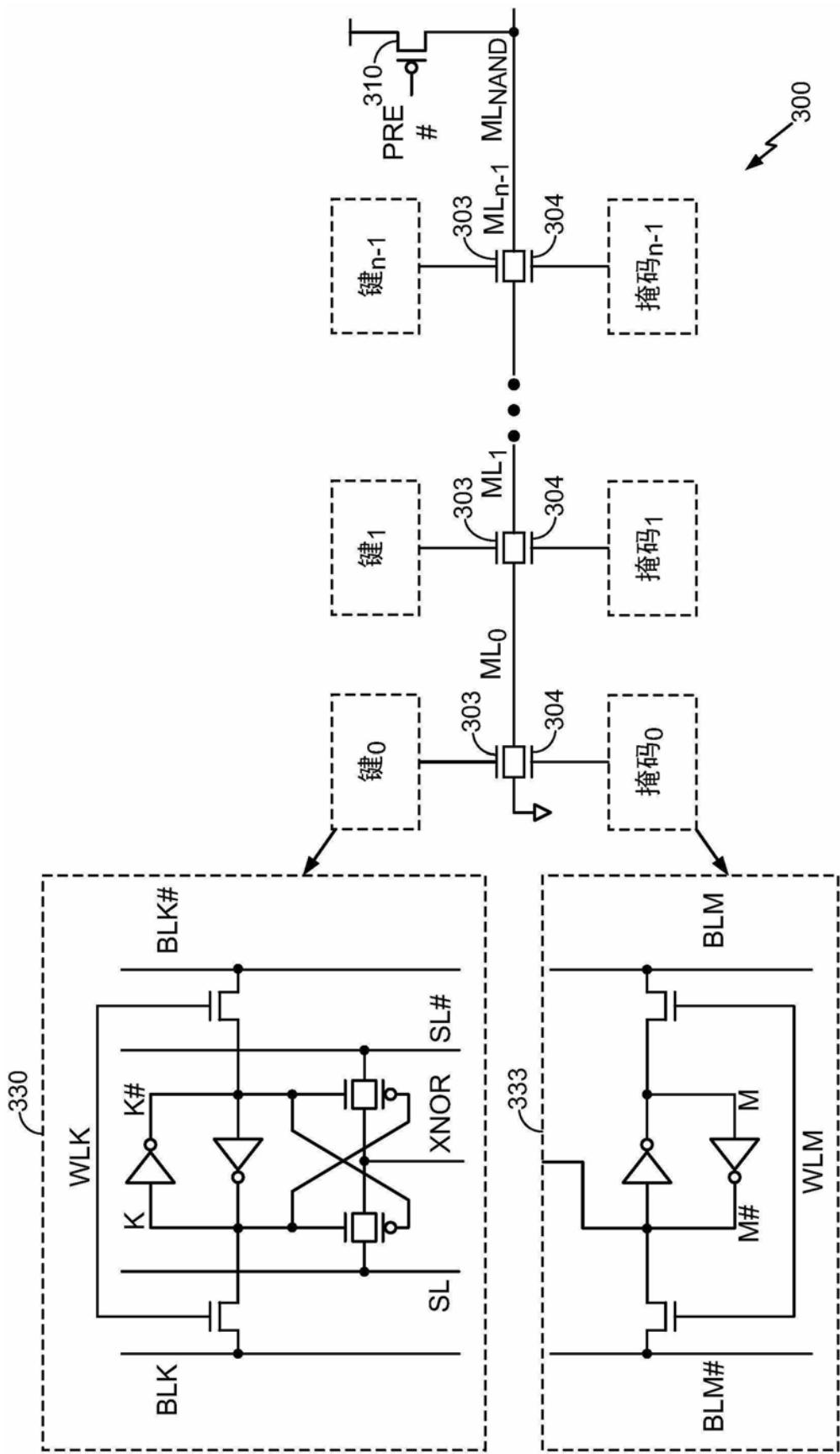


图2 (现有技术)



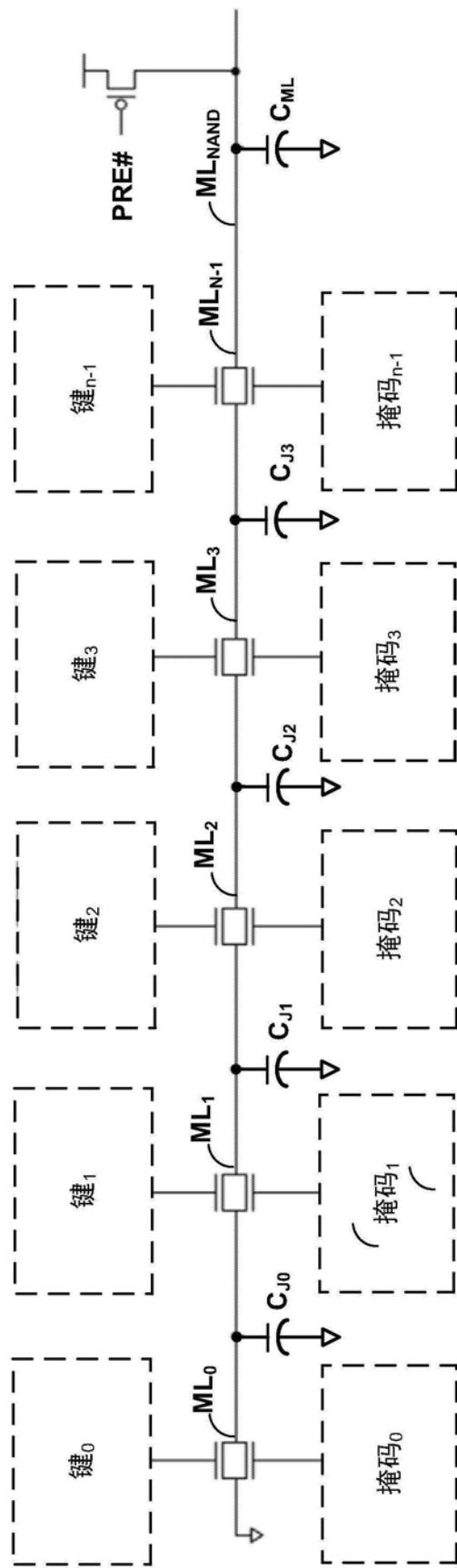


图4(现有技术)

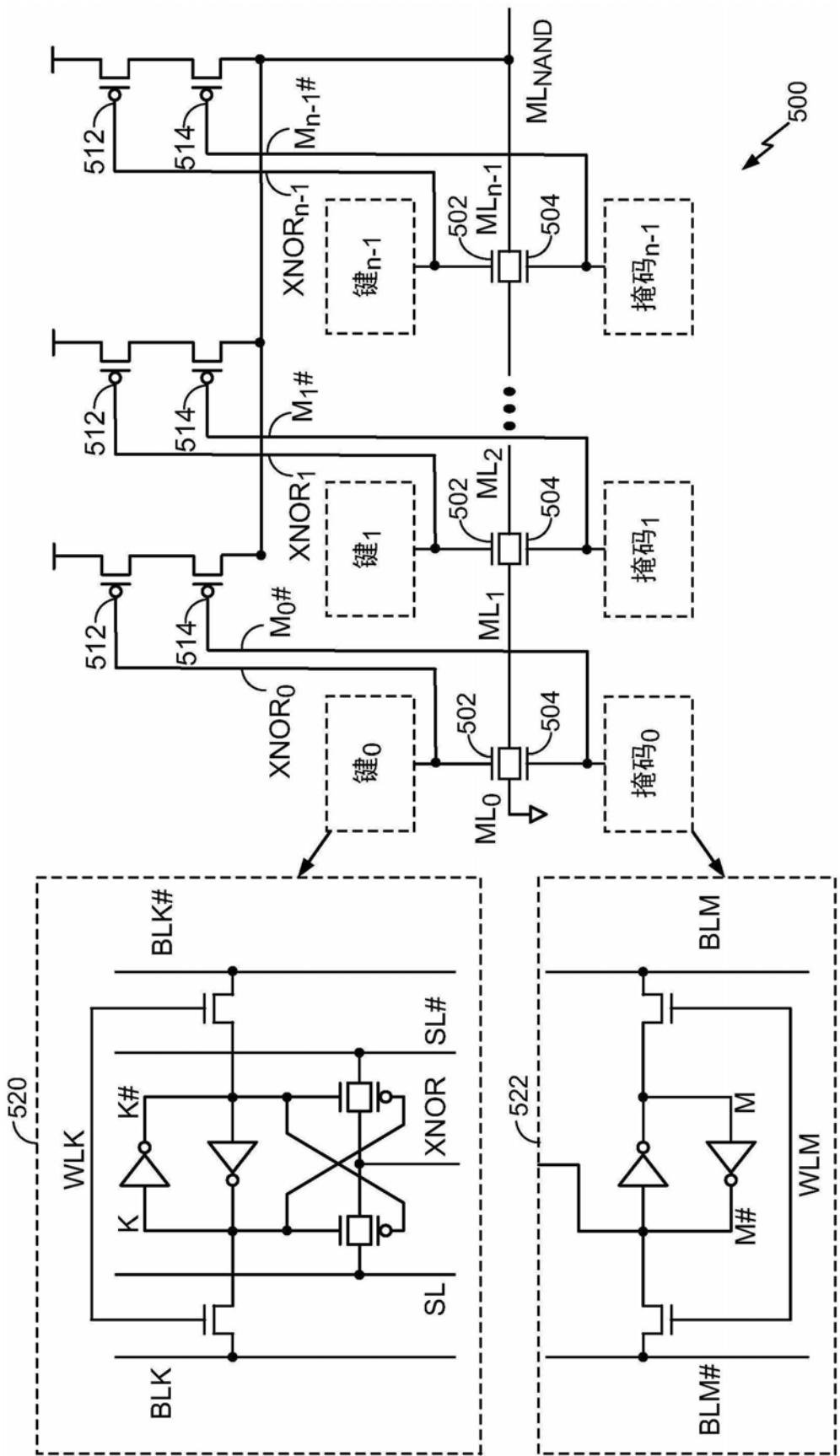


图5

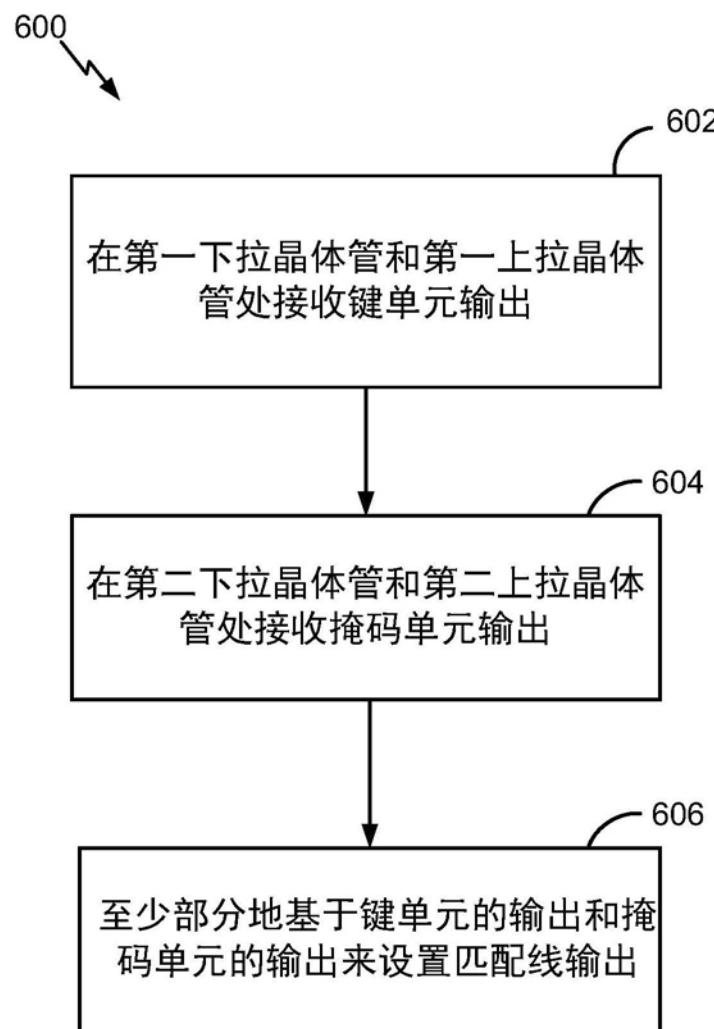


图6

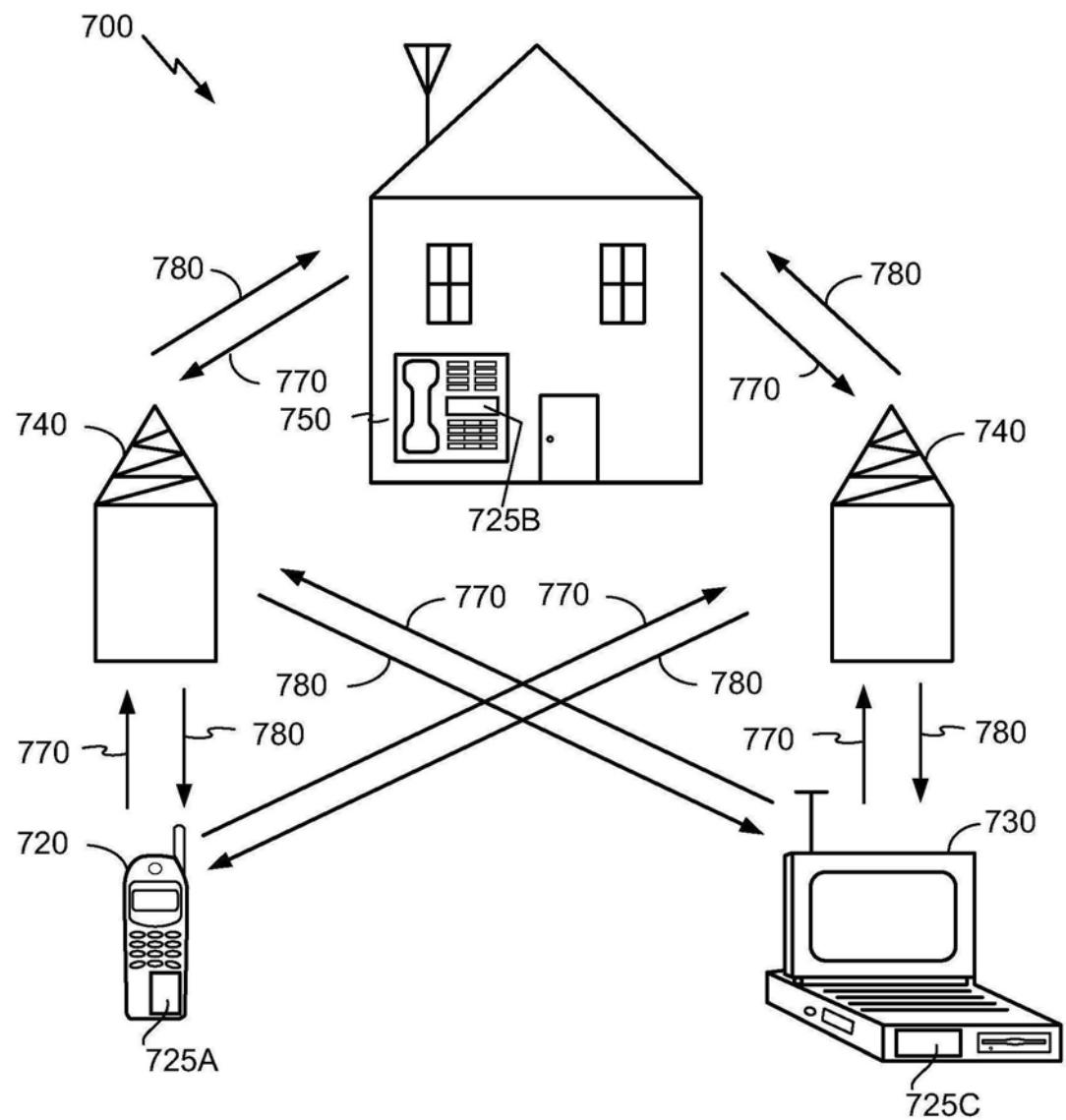


图7

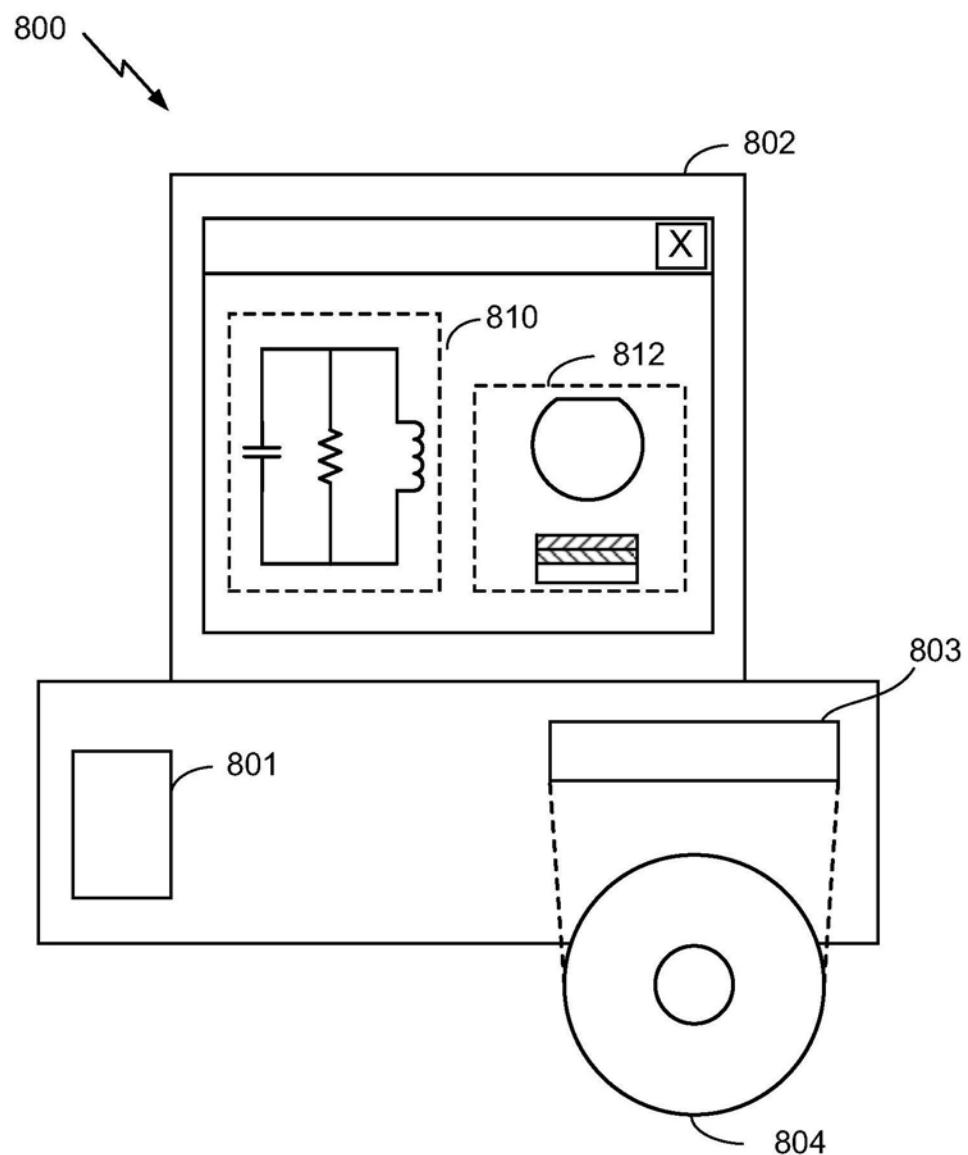


图8