

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5637632号  
(P5637632)

(45) 発行日 平成26年12月10日(2014.12.10)

(24) 登録日 平成26年10月31日(2014.10.31)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)

H01L 21/90

V

H01L 23/522 (2006.01)

H01L 21/88

T

H01L 21/3205 (2006.01)

請求項の数 6 (全 21 頁)

(21) 出願番号 特願2011-539600 (P2011-539600)  
 (86) (22) 出願日 平成21年11月25日 (2009.11.25)  
 (65) 公表番号 特表2012-511257 (P2012-511257A)  
 (43) 公表日 平成24年5月17日 (2012.5.17)  
 (86) 國際出願番号 PCT/US2009/065902  
 (87) 國際公開番号 WO2010/065415  
 (87) 國際公開日 平成22年6月10日 (2010.6.10)  
 審査請求日 平成24年11月22日 (2012.11.22)  
 (31) 優先権主張番号 12/328,319  
 (32) 優先日 平成20年12月4日 (2008.12.4)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウエスト 6501  
 (74) 代理人 100142907  
 弁理士 本田 淳  
 (72) 発明者 ジョーンズ、ジェフリー ケイ。  
 アメリカ合衆国 85249 アリゾナ州  
 チャンドラー イー. ノーラン ドライ  
 ブ 3762

最終頁に続く

(54) 【発明の名称】ボンドパッド下の溝を特徴とするRF装置及び方法

## (57) 【特許請求の範囲】

## 【請求項1】

アクティブデバイスに接続されたボンディングパッドの下方に複合誘電体領域(CDR)を組み込んだ電子素子において、

第1の熱膨張係数を有するとともに、アクティブデバイス領域およびボンドパッド領域を備える半導体基板と、

前記ボンドパッド領域に設けられるとともに、第2の熱膨張係数を有している絶縁性材料からなる、誘電体領域と、

前記誘電体領域内部に設けられ、前記第2の熱膨張係数より低い第3の熱膨張係数を有した、非結晶のさらなる材料からなる複数の介在物と、

前記介在物の上方にある、さらなる誘電体領域と、

前記ボンドパッド領域の上方に設けられ、かつ前記さらなる誘電体領域の上に重なる前記ボンディングパッドであって、前記誘電体領域と前記さらなる誘電体領域は前記介在物を前記基板及び前記ボンディングパッドから電気的に絶縁する、前記ボンディングパッドと、

前記アクティブデバイス領域内に前記複合誘電体領域に隣接して設けられ、相互接続部によって前記ボンドパッドに電気的に接続した第1の端子を有する、アクティブデバイスとを備える、電子素子。

## 【請求項2】

前記基板は、シリコン、ゲルマニウム、またはその組み合わせからなり、

10

20

前記介在物は、シリコン、ゲルマニウム、またはその組み合わせからなる、請求項 1 に記載の電子素子。

【請求項 3】

前記介在物は 0.2 ~ 5.0 マイクロメートルの範囲の幅を有する、請求項 1 に記載の電子素子。

【請求項 4】

前記介在物は、一定の幅、及び前記介在物の前記幅の 1/3 ~ 1/6 倍の中心線対中心間隔を有する、請求項 3 に記載の電子素子。

【請求項 5】

前記介在物のアスペクト比は 2 ~ 200 の範囲にある、請求項 1 に記載の電子素子。

10

【請求項 6】

前記複数の介在物は互いに長手方向が平行となるように設けられる、請求項 1 に記載の電子素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体 (S C) 装置、集積回路 (I C)、及びその製造方法に関し、特により詳細には、無線周波数 (R S) を提供する構成及び方法、ボンドパッドフィーチャの下に絶縁体からなる溝を埋めこんだ I C に関する。

【背景技術】

20

【0002】

無線周波数 (R F) 電力装置及び集積回路 (I C) の性能は、その装置または I C への接続部に伴う端子インピーダンスに、特に影響されやすい。金属酸化膜半導体 (M O S) 電界効果トランジスタ (M O S F E T) 及び横方向拡散金属酸化膜半導体 (L D M O S) 電界効果トランジスタ (F E T) の場合に特に該当し、アクティブデバイスの性能を高めるために、低抵抗基板 (例えば、 $< 0.1$  オーム・センチ) が使用されることが多い。そのような低抵抗基板への電磁 (E - M) カップリングでは、そういったデバイスの入出力 (I / O) 端子で所望インピーダンス整合を提供し、所望の電気出力及び電力効率を維持することは困難または不可能である。また、こういった E - M カップリングは、基板内の渦電流損失を起こし、デバイス及び I C 性能をさらに低下させる。周辺の増加及び周波数の増加を伴い真性デバイスインピーダンスが落ち、端子接続部 (例えば、ボンドパッド) のサイズが増加し E - M 損失が増加するため、この問題は、高周辺デバイスとより高い周波数 (例えば、1 G H z より大きい) デバイスの場合はより深刻となる。

30

【発明の概要】

【発明が解決しようとする課題】

【0003】

図 1 では、電界効果トランジスタ (F E T) 2 4 (例えば M O S F E T) の概略を示す電気回路ブロック図 1 0 を示す。F E T 2 4 のゲート 1 4 は、入力相互接続部 1 3 によって入力ボンドパッド (I P B P) 1 2 に接続し、F E T 2 4 のドレイン 1 6 は出力相互接続部 4 1 によって出力ボンドパッド 3 5 (O P - B P) に接続する。R F 周波数で、相互接続部 1 3、4 1 は、送電線として機能することが可能であり、従って入力送電線 (I P - T L) 1 3 及び出力送電線 (O P - T L) 4 1 であるといえる。外部接続部 1 1 (すなわち、ワイヤボンドまたは他の相互接続部) は入力ボンドパッド (I P - B P) で入力インピーダンス  $Z_{i_n}$  を与え、外部接続部 1 9 (すなわち、ワイヤボンドまたは他の相互接続部) は出力ボンドパッド (O P - B P) 3 5 における出力インピーダンス  $Z_{o_u t}$  を与える。入力相互接続部 (例えば、送電線 (I P - T L)) 1 3 はボンドパッド (I N - B P) をゲート 1 4 で固有入力インピーダンス  $Z_{i_n}$  を有する M O S F E T 2 4 に接続し、外部相互接続部 (すなわち、送電線 (O P - T L)) 4 1 はドレイン 1 6 で固有出力インピーダンス  $Z_{o_u t}$  を有する F E T 2 4 のドレイン出力部 1 6 を出力ボンドパッド (O P - B P) 3 5 に接続する。図 2 は、図 1 のブロック図 1 0 の簡略した等価回路図 1 0

40

50

’を示す。コンダクタンスG1、G2、キャパシタンスC1、C2、インダクタンスL1、レジスタンスR1はIN-BP12を表す。コンダクタンスG3、G4、キャパシタンスC3、C4、インダクタンスL2、レジスタンスR2はIN-TL13を表す。固有インピーダンス $Z_{in}$ 、 $Z_{out}$ 、增幅器Aはトランジスタ24によって表される。コンダクタンスG5、G6、キャパシタンスC5、C6、インダクタンスL3、レジスタンスR3はOP-TL41を表す。コンダクタンスG7、G8、キャパシタンスC7、C8、インダクタンスL4、レジスタンスR4はOP-BP35を表す。

#### 【0004】

固有トランジスタ端子インピーダンス $Z_{in}$ 、 $Z_{out}$ は、ゲート周囲及び周波数の増加に伴って縮小されるので、作動の周波数またはトランジスタ24のゲート周囲が増大すると、固有トランジスタ端子インピーダンス $Z_{in}$ 、 $Z_{out}$ は小さくなる。ゲート周囲は、ゲート幅とゲート長の合計の二倍であって、ここで、ゲート長とチャネル長の小さい差は無視する。実際にはより多くのFETが同時に並列に作動するので、ゲート周囲はパワー処理能力の増加に伴って増加する。このことは、並列に接続した複数の「フィンガー」を使用する複数のFETで見られ、各フィンガーは個別FETを構成する。従って、固有インピーダンスの低下は、より高い電力及び/またはより高い周波数で、特に、1GHzまたはそれ以上で、デバイスが作動する必要性に直接関連している。固有 $Z_{in}$ 、 $Z_{out}$ が小さくなるにつれて、図1、2、で示す相互接続部（すなわち、IP-TL13、OP-TL41）及びボンドパッド（すなわち、IP-BP12、OP-BP35）の寄生インピーダンスは支配的になる可能性があるので、エネルギーをデバイス24に効率的に出し入れするのは困難である。寄生インピーダンスは信号を奪う分圧器として機能する可能性もある。例えば、図2を参照すると、端子11に存在し、トランジスタ24を駆動するためにゲート14に現われる入力信号部分は、 $Z_{in}$ を $Z_{(IN-BP)} + Z_{(IP-TL)}$ と $Z_{in}$ の合計で割ることによって求められる比で表され、ここで、 $Z_{(IN-BP)}$ は入力ボンドパッド（IN-BP）12によって提供される直列インピーダンスであり、 $Z_{(IP-TL)}$ は入力送電線（IN-TL）13によって提供された直列インピーダンスである。ブロック図10及び等価回路10'で示される電子的要素は、より高い周波数またはより高い電力のうちの少なくとも一方（従ってより小さい $Z_{in}$ を有する）で作動することが予定され、項 $Z_{(IN-BP)} + Z_{(IP-TL)}$ が支配的となり始め、この分圧器の働きが、トランジスタ24に届く駆動力の量を減少させる。類似効果は、トランジスタ24のドレイン16と出力端子19の間の出力部で起こる。周波数またはパワー制御能力に伴って入出力デバイスの内部インピーダンスが増加することにより、ボンドパッドと送電線インピーダンスの増加が同時に図られない限り、総合的により高い周波数作動及びより高いパワー処理能力は合理的に達成できない。

#### 【0005】

従って、このような高周波デバイスやICの端子や接続素子、典型的には、このような高周波数デバイスまたはICのうちの少なくとも一方をボンドパッドや外部リード線、または他の要素に接続するために用いられるボンドパッドまたは相互接続のうちの少なくとも一方に伴う寄生EMカップリングを減少するための、デバイス構造及び作成方法における改善が引き続き求められている。

#### 【課題を解決するための手段】

#### 【0006】

図6は、本発明の実施例に従って、共通半導体基板21にあるボンドパッド領域60内のボンドパッド35及びアクティブデバイス（ADR）領域46内MOSFET24を含む電子素子44の概略を示す断面図である。図7、8は、本発明の実施例に従って、図6の電子デバイスの概略を示す平面図を示す。図6～8をともに検討すると、ADR46は、長さ64のカップリング領域63によってボンドパッド領域60から分離している。ADR46及び代表的アクティブデバイス24は、図3～5のADR22及びデバイス24に関連して説明したように、実質的に同一である。MOSFET24は、周知であり、いかなるタイプのアクティブデバイスをも表す。ボンドパッド領域60内のボンドパッド3

10

20

30

40

50

5は、深さ624及び横方向の寸法621、622(図6～8を参照)の複合誘電体領域(CDR)62上に横たわる。複合誘電体領域(CDR)62上に配置した幅351及び長さ352(図7,8参照)のボンドパッド35を提供するために、設計者はCDR62の横方向の寸法621、622を選択する。デバイス操作の時、ボンドパッド35によって生成したE-M電界33の基板21との相互作用を実質的に減少させるために、CDR62の深さ624は十分である。多くの場合、深さ624は、約5マイクロメートル以上で有用、約10マイクロメートル以上でより好都合であって、約15マイクロメートル以上で望ましい。

【図面の簡単な説明】

【0007】

10

【図1】出力ボンドパッドに接続したドレインと入力ボンドパッドに接続したゲートを有する電界効果トランジスタ(FET)の簡略化された電気概略ブロック図。

【図2】図1のブロック図の簡略化された等価回路図。

【図3】アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを具体化する電子デバイスの概略を示す平面図。

【図4】従来技術に従って、アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを有する、図3と適合した電子デバイスの概略を示す断面図。

【図5】アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを具体化した、図3と適合した別の電子デバイスの概略を示す断面図。

20

【図6】本発明の一実施形態による、アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを具体化する電子デバイスの概略を示す断面図。

【図7】本発明のさらなる実施形態によって、アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを具体化する、図6の電子デバイスの概略を示す断面図。

【図8】本発明のさらなる実施形態によって、アクティブデバイス領域内電界効果トランジスタ及びボンドパッド領域に接続したボンドパッドを具体化する、図6の電子デバイスの概略を示す断面図。

【図9】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電領域の概略を示す平面図。

30

【図10】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電体領域の概略を示す平面図。

【図11】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電体領域の概略を示す平面図。

【図12】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電体領域の概略を示す平面図。

【図13】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電体領域の概略を示す平面図。

【図14】本発明のさらに異なる実施形態によって、図6～8のデバイスのボンドパッド領域下に設けられた様々な誘電体領域の概略を示す平面図。

40

【図15】本発明の上記とさらに異なるに従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図16】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図17】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

50

【図18】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図19】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図20】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図21】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。 10

【図22】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図23】本発明の上記とさらに異なる実施形態に従って、ボンドパッドを支持するよう改良された、図6～8及び図9～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図24】本発明の更なる実施例に従って、ボンドパッドを支持するよう改良された、図6～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。 20

【図25】本発明の更なる実施例に従って、ボンドパッドを支持するよう改良された、図6～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図26】本発明の更なる実施例に従って、ボンドパッドを支持するよう改良された、図6～14の誘電性領域の製造の異なる工程における半導体基板の概略を示す断面図。

【図27】ボンドパッドを支持するために適切な図6～14の誘電体領域を製造するための本発明のさらに異なる実施形態による多様な工程における半導体基板の概略を示す断面図。

【図28】ボンドパッドを支持するために適切な図6～14の誘電体領域を製造するための本発明のさらに異なる実施形態による多様な工程における半導体基板の概略を示す断面図。 30

【図29】ボンドパッドを支持するために適切な図6～14の誘電体領域を製造するための本発明のさらに異なる実施形態による多様な工程における半導体基板の概略を示す断面図。

【図30】ボンドパッドを支持するために適切な図6～14の誘電体領域を製造するための本発明のさらに異なる実施形態による多様な工程における半導体基板の概略を示す断面図。

【図31】ボンドパッドを支持するために適切な図6～14の誘電体領域を製造するための本発明のさらに異なる実施形態による多様な工程における半導体基板の概略を示す断面図。

【発明を実施するための形態】

【0008】

本発明を添付の図面を参照して説明する。図において同様な数字は同様な要素を示す。本発明の以下の詳細な説明は、本質的に例示のみであり、本発明を限定したり、本発明の用途を制限したりするものではない。更に、上記した本発明の技術背景及び下記の詳細な説明に提示されるいづれの見解によっても拘束されるものではない。

【0009】

本発明は具体例を用いて説明されているが、これら数個しかない例に本発明が限定されるものではないことは当業者には明らかであろう。例えば、本開示を使用することにより、具体的には示されていない他の形状を形成することもできるであろう。

【0010】

10

20

30

40

50

この書類において、「第1の(first)」や「第2の(second)」等の関係語は、ある実体や動作を別の実体や動作と区別するためのみに使用され得るものであり、これらの実体や動作の間には、いかなるこのような実際の関係性や順序も必ず必要としたり暗示したりすることはない。「備えている(comprises, comprising)」という語やこの語の他のいずれの変形も、列挙の構成要素を備えたプロセス、方法、物品、または装置が、その構成要素しか含まないのではなく、明確に列挙されてはおらず、もしくはこのようなプロセス、方法、物品、または装置に固有の他の要素を含んでもよいような、非排他的な包含を網羅することを意図している。「～を備える(comprises...a)」が前に書かれている要素は、より多くの制約を受けることはなく、その要素を備えるプロセス、方法、物品、または装置において、同一の要素がさらに存在することを排除するものではない。この書類において、「接続(coupled)」の関係語は、直接または間接に電気的または非電気的に接続することを定義している。10

#### 【0011】

この書類において、「半導体」との用語は、単一結晶、多結晶、または非結晶性半導体、ⅠV族半導体、非ⅠV族半導体、化合物半導体、有機半導体、無機半導体を含む。また、「基板」及び「半導体基板」の用語は、単一結晶構造、多結晶構造、または非結晶構造、薄膜構造、層構造を含み、例えば、これは限定することを意図するものではなく、セミコンダクター・オン・インシュレータ(SOI)構造、またはその組み合わせに限るものではない。「セミコンダクター」はSCと略記する。「ウェハ」または「基板」の用語は、単数形であっても、または複数形であっても、それら自体の横表面面積に比較して薄く、電子デバイスのバッチ式製作で使用される支持構造を意味する。そういったウェハ及び基板の例として限るものではないが、半導体ウェハ、SOIウェハ、他の支持構造があり、その内部またはその上面に、アクティブまたはパッシブ電子デバイスが作製されるものであるか、そのような素子の作製に関連して用いられるものである。20

#### 【0012】

説明のためであって、限定することを意図するものではないものとして、本発明の電子構造(すなわち、アクティブ電子デバイスまたはパッシブ電子デバイス、およびその組み合わせ)及び実施例の製作方法はシリコン半導体及びシリコン酸化物に構成された誘電体に関して記載されているが、当業者は他の半導体または誘電性材料を利用しても良いと理解するであろう。また説明の便宜上、MOSFETデバイスまたはLDMOStランジスタで構成されたアクティブデバイスは図または明細書で説明されるが、これは限定することを意図するものではなく、いかなるアクティブデバイスも、本発明の実施例のアクティブデバイス領域に使用可能あり、上記あらゆるデバイスに関連する金属酸化半導体(MOS)の用語は、酸化ゲート誘電体、金属ゲート、またはソースドレイン半導体に限られるものではなく、「酸化」の代わりに他の絶縁誘電体(有機または無機)を、また、「金属」の代わりに他の伝導体(有機または無機)を使用しても良いことを当業者は理解するであろう。30

#### 【0013】

下述の説明により、限定することを意図するものではなく、アクティブデバイス(すなわち、MOSFET)の出力端子(すなわち、ドレイン)に接続したボンドパッドの様々な例が記載されるが、これは説明のためのみであり、限定することを意図するものではない。当業者は、デバイス出力端子、それに関連する出力ボンドパッド及び相互接続部に対する説明をデバイス入力端子、それに関連する入力ボンドパッド及び相互接続部に適用しても良いことを理解する。また、改善した性能、コスト削減、効率を提供する構造及び方法は、基板に接続してない半導体基板に形成された電子構造の全部の端子、すなわち、有害な効果を引き起こすE-M基板接続を有する全てのデバイス及び素子端子に適用する。40

#### 【0014】

図3は電子デバイス20の概略を示す平面図であり、図4は概略された断面図を示す。電子デバイス20は、接続領域38の相互接続部41によってボンドパッド領域34内のボンドパッド35に接続するアクティブデバイス領域22内にあるMOS電界効果トラン50

ジスタ (FET) 24 を有する。図4は従来技術である。電子デバイス20は、MOSFET 24が形成されるドープされたウェル領域23が形成されている半導体基板21（例えば、シリコン）を含む。基板21は、例えば0.1オーム・センチ未満のシート抵抗を有する低抵抗材料とするが、より高いまたは低い値も使用できる。ウェル領域23の中には、間隔をあけた素子、すなわち、(i)ソース領域25と共にソースコンタクト26及び(ii)ドレイン領域27と共にドレインコンタクト28が設けられる。ゲート酸化物31及びゲート30が載っているチャネル領域29はソースドレイン領域25、27の間に横たわる。デバイス24にエネルギーが与えられた場合、電流が、電界を誘発したチャネル領域29を通してソース25とドレイン27の間に流れ、電流の極性は、トランジスタはNチャネルFETか、PチャネルFETかに依存する。トランジスタまたはデバイス24はMOSFETとして示されるが、いかなるアクティブデバイスで代替してもよく、例えば、JFETデバイス、LD MOSデバイス、二極デバイス、などであるが、これらに限定することを意図したものではない。MOSFETトランジスタまたはデバイス24として認識されるが、デバイス24は他のデバイスタイプも代表し、ドレイン電極28もそのような他のデバイスの主要端子によって表す。

#### 【0015】

ボンドパッド35は、相互接続部41によってドレイン電極28に接続される。ボンドパッド35は通常、約80ミリメートルのゲート全周囲のFETに対しては、3~7ミリメートルの範囲の幅351、約75~200マイクロメートルの範囲の長さ352、または約0.225~1.4mm<sup>2</sup>の範囲の面積を有するが、より大きいまたは小さい値を使用してもよい。相互接続部41は、ゲート周囲の1ミリメートルに対して約7~60マイクロメートルの範囲の幅411を有するが、より大きいまたは小さい値を使用してもよく、また、設計者の必要に応じて、相互接続部41の長さ412、412'は広い幅にわたって変動できる。相互接続部41は、誘電体領域32（すなわち、シリコン酸化物）によって基板21から絶縁され、電極または接続パッド35は、厚さ361の誘電体領域36（すなわち、シリコン酸化物）によって基板21から絶縁する。本明細書において、「ボンドパッド」または「パッド」の用語は、単数形または複数形においても、電子デバイスのI/O接続部のいかなるタイプをも意味する。図4において、長さ39の接続部38は、アクティブデバイス領域22及びボンドパッド領域34の間に存在し、図3の長さ412と類似する。図3~4（及びその後の図においても同様）は一つのボンドパッド（すなわち35）のみを示すが、当業者は、トランジスタ24の他のアクティブ端子またはゲート30に接続した一般に類似するボンドパッドが存在することを理解するであろう。

#### 【0016】

トランジスタを備えたデバイス20にエネルギーが与えられた場合、電磁場(E-M)33が、ボンドパッド領域34内ボンドパッド36の回りに形成される。ボンドパッド35は、ドレインコンタクト28に比べると比較的大きな面積を有し、相互接続部は比較的短いため、ボンドパッド35に関連するE-M場33は、高周波数（すなわちRF）デバイス20の特性に関連する寄生効果に対して支配的であり得る。E-M場33が低抵抗基板21を貫通する限りにおいてデバイスの性能を低下する寄生カップリングは発生し得る。これは、例えば上記のように、端子のI/Oインピーダンスに支配されるものであり、その結果、トランジスタ24の内また外への十分な端子I/Oインピーダンスの整合または接続を達成できない、または達成しにくくなる。この場合、パワー制御能力及びデバイス20の作動の最高周波数は有意に低下され得る。

#### 【0017】

図5は、ボンドパッド領域34'内のボンドパッド35に接続したアクティブデバイス領域22内にある電界効果トランジスタ(FET)24を有する、電子デバイス20'の概略を示す断面図である。図5の電子デバイス20'は、パッド35の下にある比較的深い誘電体領域(DDR)36'（すなわち、シリコン酸化物）によって図4の電子デバイス20と異なり、すなわち、該DDR36'は、図4の酸化物誘電体領域36の厚さ361に比較して深い361'を有する。深さ361'は、約5マイクロメートル以上である

10

20

30

40

50

ことが有用であり、好適には約10マイクロメートル以上、より好適には約15マイクロメートル以上であるが、より大きいまたは小さい値を利用してもよい。DDR36'が存在するので、E-M場33はもはや基板21と大きく相互作用しない。相互接続部41'、と基板21の間のE-Mカップリングは、誘電体32の下の厚さ及び相互接続部41'の長さ39'、412'（及び幅411）によってより大きくまたは小さくなることがあるが、パッド35との基板21の間のE-Mカップリングは有意に減少する。従って、パッド35に関連するインピーダンスはより簡単に適合し、図4の構成で存在し得る渦電流損失及び他の寄生結果が減少する。従って、図4の構成に比較すると、図5の構成は全体的なデバイス性能劣化を抑制できる。

## 【0018】

10

しかし、図5の構成を理想的でなくすもう1つの問題がある。これは、DDR36'の存在による基板21内に発生する機械応力である。例えば、DDR36'を形成するため役立つシリコン酸化物の熱膨張係数（TEC）は、例えば、シリコン製の基板21のTECより大きい。このことにより、デバイス20が製造中及び製造後の様々な熱サイクルを受けるときに、基板21内に有意の応力が生ずる。この応力は、アクティブデバイス領域（ADR）22に設けられたアクティブデバイス24の特性に有害な影響を与える。DDR36'をアクティブデバイス領域（ADR）22に近づける程、すなわち、カップリング領域38'の長さ39'及び相互接続部41'の長さ412'が短くなる程、DDR36'から生じた機械応力はアクティブデバイス24上により大きな有害な影響を与える。どのタイプのアクティブデバイスがアクティブデバイス領域（ADR）22で使用されても、この結果は一般にあてはまり、図示した代表的MOSFET24だけに限定されるものではない。従って、DDR36'がADR22の近くにある時の有害な応力誘発効果を受けず、図5の構造の寄生E-M効果の減少の利点を利用するため、カップリング領域38'の長さ39'及び相互接続部41'の長さ412'を延長する必要がある。これは、デバイス20'がより大きな面積を取る結果となり、それによって単一ウェハに同時に製作可能なデバイスまたはICを有するデバイス20'の数が減少する。これにより、製造コストは高くなる。また、カップリング領域38'の長さ39'を延長することによる相互接続部41'の接続部412'の延長は、図1、2に関連して説明したように、望ましくない直列インピーダンスを加え、従って、デバイス20'の総合性能を限定する。

## 【0019】

30

図6は、本発明の実施例に従って、共通半導体基板21にあるボンドパッド領域60内のボンドパッド35及びアクティブデバイス（ADR）領域46内MOSFET24を含む電子素子44の概略を示す断面図である。図7、8は、本発明の実施例に従って、図6の電子デバイスの概略を示す平面図を示す。図6～8をともに検討すると、ADR46は、長さ64のカップリング領域63によってボンドパッド領域60から分離している。ADR46及び代表的アクティブデバイス24は、図3～5のADR22及びデバイス24に関連して説明したように、実質的に同一である。MOSFET24は、周知であり、いかなるタイプのアクティブデバイスをも表す。ボンドパッド領域60内のボンドパッド35は、深さ624及び横方向の寸法621、622（図6～8を参照）の複合誘電体領域（CDR）62上に横たわる。複合誘電体領域（CDR）62上に配置した幅351及び長さ352（図7、8参照）のボンドパッド35を提供するために、設計者はCDR62の横方向の寸法621、622を選択する。デバイス操作の時、ボンドパッド35によって生成したE-M電界33の基板21との相互作用を実質的に減少させるために、CDR62の深さ624は十分である。多くの場合、深さ624は、約5マイクロメートル以上で有用、約10マイクロメートル以上でより好都合であって、約15マイクロメートル以上で望ましい。

## 【0020】

40

図3の深い誘電体領域36'に関連し得る有害回路損失、製造の歩留まり低下、レイアウト密度減少（面積拡大）は、図6～8のボンドパッド35の下にある複合誘電体領域（CDR）62によって改善または回避可能であって、領域62は、複数の電気的に浮遊す

50

る柱状もしくは刀身状の多結晶、または非結晶（非単結晶）領域または介在物 6 5 を含み、誘電体（例えば、酸化物）領域 7 8 によって互いに分離される。シリコン製の基板 2 1 の好適な実施形態では、介在物 6 5 は多結晶シリコンであるが、適切な熱膨張係数（T E C）を有する他の材料も使用できる。介在物 6 5 は、幅 8 0 、離間距離 8 9 、中心対中心間隔 6 6 を有する。図 6 示す構造は、図 5 の構造で起こり得る基板 2 1 の望ましくない応力が発生せず、従って、この応力により生ずる製造歩留まり低下、デバイス特性低下、面積拡大を最小化または回避する。基板 2 1 及び複合誘電体領域（C D R）6 2 を含む図 6 ～ 8 の電子素子 4 4 の隣接したアクティブデバイス領域（A D R）4 6 に存在する応力は、介在物 6 5 を有しない、深い誘電体領域 3 6 ' を含む図 5 の素子 2 0 ' の A D R 2 2 で存在する応力に比較すると、有意に減少する。従って、パッド領域 6 0 下にある C D R 6 2 、及び図 5 ～ 8 の隣接した A D R 4 6 を有する基板 2 1 から成る素子 4 4 は、基板 2 1 とボンドパッド 3 6 の間の減少した E - M カップリングによって優れた性能特徴を示すとともに、図 5 の構造に関連する過度の製造歩留まり損失及び面積拡大も回避できる。図 6 の素子 4 4 の構造に関連する製造歩留まりは、図 5 の素子 2 0 ' の構造に関連する製造歩留まりよりかなり高い。カップリング領域 6 3 の長さ 6 4 は、不利な効果を与えることなく C D R 6 2 に関連してより短くすることができるが、アクティブデバイス領域 2 2 で深い酸化領域 3 6 ' による応力を減少するために、図 5 の素子 2 0 ' のアクティブデバイス 2 2 とパッド領域 3 4 ' の間に図 5 ではより大きなカップリング領域 3 8 ' が設けられなければならない。例えば、これは限定することを意図するものではないが、デバイス 2 2 内ボンドパッド領域 6 0 をデバイス 4 4 内にあるアクティブデバイス領域 4 6 から分離するカップリング領域の長さ 6 4 は 2 0 マイクロメートルまで縮小することができるが、一方、図 3 の構造において、応力による不利な効果を回避するために、デバイス 2 0 ' 内のアクティブデバイス 2 2 とパッド領域 3 4 の間のカップリング領域の長さ 3 9 は一般的に 1 0 0 ～ 2 0 0 マイクロメートルに形成しなければならない。従って、深酸化領域 3 6 ' の回路充填密度に対する不利な効果は回避される。要約すれば、図 6 の構造により、( i ) ボンドパッド及び相互接続部インピーダンス、基板損失に対する不利な寄生 E - M カップリングの影響が減少され、( i i ) 回路全体の効率が改善し、( i i i ) アクティブデバイス特性に基板応力及びそれによる不利な影響が最小化されるまたは回避され、( i v ) ボンドパッド領域 6 0 はアクティブデバイス 4 6 のより近くに配置することが可能となり、これにより回路充填密度損失（すなわち、面積拡大）を回避することができ、かつ、このような構造を採用しない場合には図 5 の構造で、より長い相互接続部 4 1 ' によって増加するインピーダンスを回避する。この有利な結果は非常に望ましく好適であり、従来技術に対する著しい進歩である。

#### 【 0 0 2 1 】

図 7 ～ 8 は、C D R 6 2 内の誘電体領域 7 8 によって分離された介在物 6 5 の様々な幾何学的配置を示す平面図であり、図 7 は介在物 6 5 - 1 及び分離された誘電体領域 7 8 - 1 を有する C D R 6 2 - 1 を示し、図 8 は介在物 6 5 - 2 及び分離された誘電体領域 7 8 - 2 を有する C D R 6 2 - 2 を示す。これらは、総括して、C D R 6 2 、介在物 6 5 、介在する誘電体（例えば、酸化物）領域 7 7 として示される。介在物 6 5 - 1 、6 5 - 2 は、C D R 6 2 - 1 、6 2 - 2 を渡って延伸し、デバイス 2 4 の方向に対して互いに垂直に配向される。図 7 では、介在物 6 5 の長い方の寸法はアクティブデバイス領域 4 6 を指向しないように配置する（例えば、デバイス領域 4 6 に対して垂直に配向する）。図 8 では、介在物 6 5 のより長い寸法は、アクティブデバイス領域 4 6 に向けるように配置する。図 8 に示す介在物 6 5 の方向が好適である。しかし、これは限定することを意図するものではなく、デバイス領域 4 6 内のデバイス 2 4 に対して介在物 6 5 のいかなる角度配向も使用できる。

#### 【 0 0 2 2 】

図 9 ～ 1 4 は、本発明の他の実施形態において、図 6 ～ 8 の集積電子素子 4 4 の改善したボンドパッド領域 6 0 の使用に適切であり、誘電体領域 7 8 - 3 ～ 7 8 - 8 （総括して 7 8 という）によって横方向に分離し、かつ、電気的に浮遊する、（例えば、多結晶また

は非結晶半導体の)介在物 65-3~65-8(総括して 65 という)を有する様々な誘電体領域(CDR)62-3~62-8(総括して 62 という)の概略を示す平面図である。図 15~23 を参照して説明したように、好適には介在物 65 はトレンチに形成され、図 7~14 示すいかなる平面配置であってもよい。介在物 65 は、図 7~8 で示すように実質的に平行な列、図 9 で示すように互い違いの列、図 10 で示すように L 字型または T 字型の構成、図 11 で示す誘電体領域 78 に対応する格子内開口を有する格子状の構成、または図 12~14 で示す誘電体領域 78 によって分離した同心矩形、円形、または多角形に配置することができる。上記のいかなる構成も適切であるが、これは例示として示すものであって、限定することを意図するものではない。介在物 65 の他の二次元平面構成を使用してもよい。ここで、ボンドパッド 35 を、円形または多角形の平面図または図 13~14 に示すような CDR 62 及び介在物 65 の円形または多角形構成にするのは特に有用である。

#### 【0023】

図 15~23 は、本発明のさらなる実施形態による、一つまたはそれ以上のボンドパッド 36 を支持するために適切な図 6 のボンドパッド領域 60 の CDR 62 の製造の様々な工程 115~123 における半導体基板 45 の概略を示す断面図である。図 15~23 では、CDR 62 の形成を示すが、隣接した ADR 46 内アクティブデバイスの製作に関する従来ステップは大幅に省かれている。従って、ADR は図 15~22 では示されていないが、図 23 のみに含まれる。一つまたはそれ以上のアクティブデバイス(図 6 を参照)を、図 15~22 に示すステップ 115~122 の製造の前、製造の間、または製造後に ADR 46 内にて製造することができ、上記の製造は、図 23 の製作を含む製造工程 123 は単なる例示であり、発明を限定することを意図するものではない。図 15~23 の基板 45 は図 6 の基板 21 と類似するが、特定の伝導性タイプとして例示し、基板 45 の上面 57 に設けられたエピ層 48 を含むように示してある。ドープされた導電型及びエピ層は LDMOS デバイスに特に有用であるため、単に多様な基板を示すためのものであって、限定することを意図するものではない。基板 45 のドープの導電型及びエピ層 48 の有無は CDR 62 の製作に重大な影響はなく、本発明の様々な実施例に含んでも良いし、または省いてもよい。

#### 【0024】

図 15 の製造工程 115 を参照すると、好適な例の P+シリコン基板 45 は、表面 57 及び厚さ 481 の上部領域 48 を有し、該厚さ 481 は、例えば、軽くドープされた P タイプエピタキシャル層である。他の実施例では、アクティブデバイス領域 46 内のエピ領域 48 を、軽くドープされたウェル領域によって置き換えるよい。厚さ 481 は約 1~15 マイクロメートルの範囲で有用であり、約 5~13 マイクロメートルの範囲で好適であり、約 9~13 マイクロメートルの範囲でより好適であるが、他の実施形態では、より厚いまたは薄い層を使用可能であって、上部領域 48 を省いても良いし、または埋め込みまたは他のドーピング手段によって設けられてもよい。厚さ 481 の上部領域 48 及び基板 45 と同一または異なるドーピングが必要か否かは、当業者の能力の範囲以内であり、また設計者が ADR 領域 46 内に形成したいデバイスのタイプによるものである。当業者であれば、図 15~23 に関するシリコン基板及びシリコン酸化物誘電体の記載は単なる好適な実施形態の例示であって、半導体及び誘電体材料の他のタイプを除くことを意図するものではないと理解するであろう。

#### 【0025】

SC 基板 45 との適合性及び微細なエッティングを可能とするために選択される厚さ 69 の初期パッド層 68 は、好適には SC 表面 57 に設けられる。シリコン酸化物は初期パッド層 68 に適切な材料であるが、他の材料を使用してもよい。厚さ 69 は、約 0.02~0.2 マイクロメートルの範囲で有用であり、好適には約 0.04~0.17 マイクロメートルの範囲であり、より好適には約 0.1~0.17 マイクロメートルの範囲であるが、これらより厚い、あるいは薄い層を用いてもよい。厚さ 71 のさらなるパッド層 70 は初期パッド層 68 上に設けられる。さらなるパッド層 70 は、SC 基板 45 の下における

10

20

30

40

50

酸化などの化学反応を防ぐ能力、下にある初期パッド層 6 8 に対してエッティングで微細に分離する能力、平坦面エッティング停止または研磨停止としての有用性のために選択された。シリコン窒化物はさらなるパッド層 7 0 に適切な材料であるが、他の材料を使用してもよい。厚さ 7 1 は、約 0.02 ~ 0.2 マイクロメートルの範囲で有用であり、約 0.04 ~ 0.17 マイクロメートルの範囲でより好適であるが、これらより厚い、あるいは薄い層を用いてもよい。ハードマスク層 7 2 はさらなるパッド層 7 0 上に設けられる。例えば、テトラエチルオルトシリケート (TEOS) 反応物を用いる化学蒸着 (CVD) によって形成されたシリコン酸化物は、ハードマスク層 7 2 の適切な材料の限定しない例であるが、他の耐久マスク材料も使用できる。開口 7 3 はハードマスク層 7 2 、追加パッド層 7 0 、初期パッド層 6 8 に設けられ、それによって SC 表面 6 7 の領域 5 7 1 が露出する。構造 215 が結果になる。

#### 【0026】

図 16 の製造工程 116 を参照すると、半導体基板 4 5 を優先的に及び異方的に攻撃するエッティング液 9 0 は、溝 7 4 がエピ層 4 8 の中及び / 又はを通り基板 4 5 内部から深さ 7 4 1 まで延伸するように開口 7 3 を通る。深さ 7 4 1 は、約 2 ~ 20 マイクロメートルの範囲で有用であり、約 9 ~ 20 マイクロメートルの範囲で好適であり、約 15 ~ 20 マイクロメートルの範囲でより好適であるが、これらより厚い、または薄い層を用いてもよい。エッティング液 9 0 の選択は、SC 基板 4 5 の材料選択によるものであり、当業者の能力範囲内である。シリコン基板 4 5 では、ヘリウム・酸素の混合物内の HBr 及び SiF4 はエッティング液 9 0 に望ましいが、他の異方性エッティング液を使用してもよい。基板 4 5 の SC 材料の幅 7 7 のカラム 7 6 によって分離された、幅 7 5 のトレンチ 7 4 を設けるように開口 7 3 の幅及び間隔を選択する。構造 216 が結果として得られる。

#### 【0027】

図 17 の製造工程 117 を参照すると、図 16 で示したハードマスク層 7 2 が除去され、トレンチ 7 4 に露出した半導体材料は誘電体に優先的に変換される。シリコン基板 4 5 では、結果として生じる誘電体は好適には二酸化シリコンである。基板 4 5 の高圧または水蒸気酸化は、トレンチ 7 4 で露出した SC 材料から酸化物領域 7 8 を形成するのに望ましい手段である。この実施形態において、SC 基板の柱又はカラム 7 6 の SC 材料の実質的に全体がシリコン酸化物に変換されるまで、酸化を実行する。シリコン柱又はカラム 7 6 の酸化から生じた二酸化シリコンは、酸化中に消費されたシリコン酸化物より大きな容積を閉める。従って、酸化が進むと、トレンチ 7 4 がより狭くなる。カラム 7 6 の酸化によって形成された酸化物領域が閉めずに、隣接した酸化物カラム 7 8 の間にある幅 8 0 の空隙のトレンチまたは間隙 7 9 が残るように、溝幅 7 5 及びカラム幅 7 7 が選択される(初期マスク開口 7 3 及び間隔の適切な選択によって)。幅 8 0 は、約 0.2 ~ 5.0 マイクロメートルの範囲で有用であり、好適には約 0.2 ~ 3.0 マイクロメートルの範囲、より好適には約 0.3 ~ 0.7 マイクロメートルの範囲であるが、これらより広い、または狭い空隙を用いてもよい。単なる例であって、限定することを意図するものではないが、約 0.5 マイクロメートルの幅 8 0 を有する空隙のトレンチ 7 9 を達成するために、約 2.7 マイクロメートルの初期基板カラム幅 7 7 によって分離された約 4.5 マイクロメートル(図 16 を参照)の初期トレンチ幅 7 5 が使用され、それによって製造工程 117 で SC カラム 7 6 が完全に酸化物に変換すると仮定すると、約 7.2 マイクロメートルの初期溝対溝中心線分離 6 7 が結果が生じる。介在物 6 5 の中心線間隔 6 6 は、トレンチ 7 4 の中心線間隔 6 7 とほとんど同等である。初期トレンチ幅 7 5 、カラム幅 7 7 の調整によって、残される空隙のトレンチ 7 9 の異なる幅 8 0 は、SC 基板カラム 7 6 が酸化物に完全に変換した後に得られる。換言すると、幅 7 5 は好適には幅 8 0 の約 8 ~ 10 倍であり、中心線間隔 6 6 は好適には幅 8 0 の約 1.3 ~ 1.6 倍である。構造 217 が結果として得られる。

#### 【0028】

図 18 の製造工程 118 を参照すると、非単結晶材料(すなわち、多結晶または非結晶シリコン)層 8 2 は、ボンドパッド領域 6 0 上に、厚さ 8 1 に形成され(例えば、CVD

10

20

30

40

50

によって)、介在物 8 3 で空隙 7 9 を十分に満たす。説明のために、以下において、層 8 2 及び介在物 8 3 は多結晶材料または非結晶(すなわち、非単結晶)シリコンと仮定するが、誘電体 7 8 の熱膨張係数より低いまたは基板 4 5 の熱膨張係数に近い熱膨張係数(TEC)を有する他の材料も使用できる。非結晶または多結晶(すなわち、非単結晶)シリコン、ゲルマニウム、またはシリコンとゲルマニウムの組み合わせは、シリコン、ゲルマニウム、またはシリコン・ゲルマニウム基板 4 5 と用いることに適切な他の材料の限定しない例である。構造 2 1 8 は、結晶又は非結晶シリコン介在物 8 3 がトレンチ 7 9 内に形成されるような結果となる。図 6 ~ 1 8 を検討すると、介在物 8 3 は支柱状、カラム状、または刀身状を構成可能があると理解される。すなわち、介在物 8 3 の幅 8 0 は、図 7 ~ 1 4 の平面図から分かるように、それ自体の高さ 7 9 1 よりかなり小さく、また図 6、1 5 ~ 2 3 の平面に対する垂直方向のそれらの深さよりかなり小さい。

#### 【0029】

図 1 9 の製造工程 1 1 9 を参照すると、多結晶または非結晶シリコン介在物 8 3 は手をつけないまま残し、図 1 8 で示すさらなるパッド層 7 0 の上に横たわる層 8 2 の部分が除去される。いかなる平坦化技術を用いてもよい。フォトレジストのコーティングの後、フォトレジスト(図示せず)及び多結晶または非結晶シリコン層 8 2 のエッチング(いわゆるレジスト・エッチ・バック技術という)は、適切な平坦化処理の限定しない例であるが、他の平坦化技術、例えば、化学機械研磨(CMP)、を用いて、層 7 0 の上の層 8 2 の過剰な部分を削除することも可能である。さらなるパッド層 7 0 は平坦化エッチング停止または研磨停止として有用であり、平坦化処理を促す。構造 2 1 9 が結果として得られる。

#### 【0030】

図 2 0 の製造工程 2 1 を参照すると、多結晶または非結晶シリコン介在物 8 3 上に部分 8 4 は、短時間(たとえばシリコン)のエッチングによって削除する。削除した部分 8 4 は、溝 7 9(図 1 9 参照)内及びより好ましくはSC表面 5 7 の上方に横たわる介在物 8 3 の上部を含むが、より深いまたは浅いエッチングを用いても良い。使用されるエッチング液は、介在物 8 3 の材料の選択によるものであり、また当業者の能力の範囲内のものである。介在物 8 3 が多結晶または非結晶シリコンの場合、HBr または HCI は適切なエッチング液である。構造 2 2 0 が結果になる。

#### 【0031】

図 2 1 の製造工程 1 2 1 を参照すると、製造工程 1 2 0 で露出した介在物 8 3 の部分(例えば、多結晶または非結晶)は、例えば、誘電体(例えば、シリコン酸化物)領域 7 8 以内に埋め込んだ電気的に分離された介在物 6 5(多結晶または非結晶シリコン)の上方に誘電体領域 8 5 を形成するよう酸化され、それにより、電気的に分離された(例えば、多結晶または非結晶)介在物 6 5 を含む幅 6 2 2、深さ 6 2 4(図 6 を参照)または 7 8 1(図 2 1 を参照)の図 6、2 1 で示した複合誘電体(分離)領域(CDR)6 2 を形成する。構造 2 2 1 が結果として得られる。図 2 2 の製造工程 1 2 2 を参照すると、複合誘電体領域(CDR)6 2 の上方に厚さ 8 7 を有し、好適にはシリコン窒化物からなる追加誘電層 8 6 が形成される。構造 2 2 2 が結果として得られる。図 2 3 の製造工程 1 2 3 を参照すると、アクティブデバイス 2 4 を、公的には周知技術を用いて ADR 4 6 内に形成する。この例において、アクティブデバイス 2 4 は、チャネル 2 9 上にゲート誘電体 3 1 と共にゲート 3 0 及びコンタクト 2 6、2 8 と共にそれぞれのソースドレイン(またはドレインソース)領域 2 5、2 7 を有する MOSFET であるが、これは単なる例であって、限定することを意図するものではなく、図 1 5 ~ 2 3 のいかなる製造工程 1 1 5 ~ 1 2 3 中またはその前に、アクティブデバイスのいかなるタイプも ADR 内に同様に形成できる。層 8 6 は、図 2 3 の CDR 6 2 の上部に含むように示されているが、パッド層 6 8、7 0、層 8 6 は一般にアクティブデバイス 2 4 の作製に関連するフィールド酸化膜層に含まれるか、それと交換され、図 2 3 で一般に無視される。ボンドパッド 3 5 はボンドパッド領域 6 0 内の CDR 6 2 の上方に形成され、アクティブデバイス 2 4 のコンタクト 2 6、2 8 が都合良く同時に形成するが、他の実施形態では、製造工程でより早くまたは後に

10

20

30

40

50

ボンドパッド 35 を形成しても良い。どちらの順番も有用である。例えば、これは限定することを意図するものではないが、様々な安定化ドーパントを含む又は含まない、シリコン酸化物、シリコン窒化物、またはその組み合わせによって形成されたパッシベーション層 40 は、ADR 46 及びボンドパッド領域 60 上に望ましく適用される。構造 223 が結果として得られる。電子素子 44 は後に実質的に完了する。相互接続部 41 は、例えば、ドレイン金属化領域 28 とボンドパッド 35 の間に指定される。CDR 62 はADR 46 にかなり近く、例えば、約 20 マイクロメートル以内に配置できるので、ADR 46 とボンドパッド領域 60 の間の長さ 39 の接続領域 38 はかなり短く形成可能である。

## 【0032】

介在物 65 は、アスペクト比を有することができ、アスペクト比は、その垂直の高さをその水平の幅 80 (図 6、21 ~ 23 を参照) で割ることによって、約 2 ~ 200 の範囲で定義され、好適には約 15 ~ 50、より好適には約 20 から 30 であるが、これより大きな、または小さな値を用いてもよい。図 6、20 ~ 23 の平面に対して垂直方向の体それらの長さは、幅 80 のより倍数大きく、図 7 ~ 14 の平面図から分かるように、CDR 62 上に横たわるボンドパッド 35 の横方向のサイズに依存する。

## 【0033】

図 24 - 26 は、本発明のさらに他の実施形態に従って、一つまたはそれ以上のボンドパッド 35 を支持するように改良された図 6、7 ~ 14 の CDR 62 の製造における様々な工程 124 ~ 126 中の半導体基板 45 の断面図を示す。図 24 ~ 26 に関連して、図 15 ~ 23 と類似する様々な領域を同一の符号によって参照するが、' を伴う参照符号を使用することによって、ある実施形態では異なる符号を用いる。例えば、図 24 ~ 26 で認識された基板 45 は、図 15 ~ 23 と同一であり、同一の符号で特定されるが、図 24 ~ 26 の溝 74' 及びカラム 76' は図 15 ~ 23 の溝 74 及びカラム 76 と類似するが、異なるところもあるので、' によって認識する。構造 224 を形成する図 24 の製造工程 124 は、構造 216 を形成する図 16 の製造工程 116 と類似し、参考によってその説明及び直前の製造工程 115 はここに含まれる。製造工程 124 と構造 224 の相違点は、トレンチ幅 75' 及びカラム幅 77' が (マスク開口部 73' の調整として) 選択され、それにより図 25 に示す続きの製造工程 125 において図 17 の製造工程 117 のように完全に酸化しないが、幅 80' の空隙のトレンチ 79' を有する酸化物領域 78' 以内に埋め込まれ且つ酸化されてない幅 93 を有する SC 基板カラム 92 (図 25 を参照) をそのまま残す。幅 80' は、図 17 ~ 23 の幅 80 と同一または異なる幅でよい。図 17 の製造工程 117 と同様に、図 25 の製造工程 125 では、酸化が進むにつれて、トレンチ 74' は次第に狭くなる。(初期マスク開口部 73' 及びスペースの適切な選択により) カラム 76' の部分酸化により形成される酸化物領域が地数々、隣接する酸化物カラム 78' の間にある幅 80' の空のトレンチ又は空隙 79' を残すように、トレンチ幅 75' 及びカラム幅 77' は選択される。幅 80' は、0.2 ~ 5.0 マイクロメートルの範囲で有用、好適には 0.2 ~ 3.0 マイクロメートルの範囲、より好適には 0.3 ~ 0.7 マイクロメートルの範囲であるが、これらより広い、または狭い空間を用いても良い。単なる例示の目的において、限定することを意図ものではないが、約 0.5 マイクロメートルの幅 80' の空隙のトレンチ 79' を得られ、同時に、幅 93 の SC 基板カラム 92 を影響されないまま残すために、製造工程 125 で SC 基板カラム 76' の酸化がそれらが完全に酸化物に変換する前に中断すると仮定すると、約 3.7 マイクロメートルの初期基板カラム幅 77' によって分離された、約 4.5 マイクロメートル (図 24 を参照) の初期溝幅 75' が用いられる。SC カラム 76' が、誘電体領域 78' 、幅 93 の基板カラム 92 内に埋め込まれたままで部分的に酸化物に変換した後に、酸化時間、初期溝幅 75' 、カラム幅 77' を調整することによって残留空隙溝トレンチ 79' の異なる幅 80 が得られる。構造 225 は、図 25 の製造工程 125 から得られる。構造 225 は、続いて図 18 ~ 23 に関連する実質的に同一の製造工程を経るが、その説明は参照としてここに組込まれる。図 26 の製造工程 126 は図 23 の製造工程 123 と類似するが、幅 93 及び間隔 94 の残留 SC 基板カラム 92 が電子素子 44' の CDR 62' に含まれる点

10

20

30

40

50

が異なる。アクティブデバイス 24 は、 CDR62' 及びボンドパッド 35 の形成前、形成中、または形成後に形成しても良い。

#### 【0034】

図 27～31 は、本発明のさらに異なる実施形態にしたがって、1又はそれ以上のボンドパッドを支持するように改良された図 6、7～14 の CDR62 の多様な製造工程 127～131 における半導体基板を示す断面図である。図 27～31 に関連して、図 15～23 と類似する様々の領域の同一符号による認識及び図 15～23 と類似するがある実施形態では異なる様々の領域の二重プライム符号（”）を附加した同一符号による認識を採用する。例えば、基板 45 は、図 15～23 のように図 27～31 において、符号 45 によって認識されるが、図 27～31 の溝 74" 及びカラム 76" は、図 15～23 の溝 74 及びカラム 76 と類似するがあるところで異なるので、同一符号に”を付ける。構造 227 を生ずる図 27 の製造工程 127 は、構造 216 を生ずる図 16 の製造工程と類似し、その説明及び直前の製造工程 115 の説明は参考としてここに組込まれる。図 27 の製造工程 127 及び構造 227 の違いは、図 28 の製造工程 128 において誘電体領域 78" 及び空間溝 79" が基板カラム 76" の酸化より堆積処理によって生じるように（マスク開口 73" を制御する手段によって）トレンチ幅 75" 及びカラム幅 77' が選択される点である。図 27 の製造工程 127 では、基板カラム 76"（カラム 76" の上部にわたって横たわるパッド層 68、70 の部分を含む）によって分離された幅 75" のトレンチ 74" は、基板 45 に深さ 741" までエッチングされる。構造 227 が結果として得られる。図 28 の製造工程 128 を参照すると、厚さ 97 の誘電体層 96 は、構造 227 上に好ましくは直角に形成される。CVDシリコン酸化物は、層 96 の適切な材料である。いかなる CVD 处理を用いても良いが、TEOS を採用する堆積処理は便宜である。トレンチ 74" 以内に実質的に中心に配置された、充填されていない幅 80" の空間溝 79" を残しつつ、層 96 がトレンチ 74" の側壁を被覆するように厚さ 97 が選択される。構造 228 が結果として得られる。

#### 【0035】

図 29 の製造工程 129 を参照すると、図 18 の層 82 と類似する厚さ 81" の層 82" は構造 228 上に形成されて、それにより図 18 の製造工程 118 の空隙トレンチ 74 および介在物 83 と同様に空隙のトレンチ 74" を充填し、介在物 83" を作成するが、その説明を参考としてここに組込む。構造 229 が結果になる。図 29 の製造工程 129 は、層 82" の堆積する時にマスク 72 が残る状態を示すが、他の実施形態において、マスク層 72 は堆積する前に除去しても良い。いずれの構造または順番も有用である。図 30 の製造工程 130 を参照すると、構造 229 は、図 19 の製造工程 119 で規定したと同様に平坦化されるが、その説明を参考としてここに組込む。構造 230 が結果になる。便利な平坦化停止またはエッチング停止を提供するさらなるパッド層 70 の存在の利点も利用される。続いて、構造 230 は、図 20～23 の製造工程 120～123 と類似する製造工程の対象となり、その説明が参考としてここに組込まれ、図 31 の製造工程 131 において図 23 の製造工程 123 と類似するに結果になるが、幅 93' 及び間隔 94" の残留 SC 基板カラム 92" は電子素子 44" の CDR62" に組み込まれる点が異なる。幅 80"、間隔 89"、中心対中心距離 66" を有する多結晶または非結晶介在物 65" は、実質的に酸化されていない基板カラム 92" を有する堆積した誘電体領域 78" に設けられる。多結晶または非結晶介在物 65" は、電気的に浮遊しており、残留基板カラム 92" はボンドパッド 35 から少なくともパッド層 70、68 の部分 70"、68" 及び層 86 またはその後に形成される均等物で分離され、それによって介在物 65" がボンドパッド 35 によって生じた E-M 場とカップリングすることを限定する。アクティブデバイスは、 CDR62' 及びボンドパッド 35 の形成前、形成中、または形成後に形成可能である。

#### 【0036】

第一実施例によると、第一熱膨張係数（TEC）、アクティブデバイス領域 46、ボンドパッド領域 60 を有する半導体（SC）基板 45 と、電極領域 60 に配置されたボンド

10

20

30

40

50

パッド35と、ボンドパッド35の下にあり第二TECを有する絶縁材料78、78'、78"から成るボンドパッド領域60に配置された複合誘電体領域62、62'、62"と、複合誘電体領域62、62'、62'内の追加物82、82"、83、83"の介在物65、65'、65"とから成る電子素子44、44'、44"を提供し、追加物82、82"、83、83"は第二TECより小さい第三TECを有するのであって、介在物65、65'、65"は、ボンドパッド35及び基板45から電気的に分離され、アクティブデバイス24は、複合誘電体領域62、62'、62"に近く、且つアクティブデバイス領域46内に配置され、相互接続部41、41'、41"によってボンドパッド35に電気的に接続した第一端子を有する。もう一つの実施例によると、基板45は、シリコン、ゲルマニウム、またはその組み合わせ、介在物65、65'、65"は、非単結晶のシリコン、ゲルマニウム、またはその組み合わせを含み。また一つの実施例によると、介在物65、65'、65"は約0.2~5.0マイクロメートルの範囲の幅80を有する。さらに別の実施例によると、介在物65、65'、65"は幅80及び中心線対中心線間隔66を有し、中心線対中心線間隔66は幅80の約1.3~1.6倍である。また別の実施例によると、介在物65、65'、65"は、2~200の範囲のアスペクト比を有する。また別の実施例によると、介在物65、65'、65"は15~50の範囲のアスペクト比を有する。さらに別の実施例によると、介在物65、65'、65"は20~30の範囲のアスペクト比を有する。また別の実施例によると、介在物65、65'、65"は、平面図で複数の実質的に平行な刀身状65-1、65-2、65-3を有する。また別の実施例によると、介在物65-2は、アクティブデバイスに向かって、平面図で長い寸法を有する。さらに別の実施例によると、介在物65-1は、アクティブデバイスに向いていない平面図で長い寸法を有する。また別の実施例によると、介在物65-6、65-7、65-8は平面図で実質的に同心形状を形成する。追加の実施例によると、複合誘電体領域62、62'、62"はアクティブデバイス46の約20マイクロメートルまたはそれ未満に配置される。

### 【0037】

第二実施例によると、デバイス24に接続したボンドパッド35下にある複合誘電体領域(CDR)62、62'、62"を含む電子素子44、44'、44"を形成する方法ステップ115~131を提供し、前期ステップは第一表面57、第一熱膨張係数(TEC)を有する第一材料の半導体基板45を提供するステップ115、124、127から成り、基板45は、その内部に、アクティブデバイス24を受けるように改良された第一領域46及びボンドパッド35を受けるように改良された第二領域60を有し、第二領域60に第一幅75、75'、75"の離間した開口73、73'、73"を有するマスクを形成するステップ115、124、127と、トレンチ74、74'、74"の下に配置された基板45のほかの部分とトレンチ74、74'、74"の間の実質的に元のままの基板45のカラム76、76'、76"を残し、基板45内の第一深さ741、741"まで実質的に第一幅75、75'、75"の間隔をあけた溝74、74'、74"をエッチングするステップ116、124、127と、トレンチ74、74'、74"の下に配置した基板45の材料の他の部分まで延ばさないが、第一表面57からトレンチ74、74'、74"の中まで延長する誘電体78、78'、78"内に空隙のトレンチ79、79'、79"が存在するようにトレンチ74、74'、74"内に第二TECを有する誘電体78、78'、78"を形成するステップ117、125、128と、基板45に対して電気的に浮遊し、第二TECより小さい第三TECを有する介在物材料83、83"、65、65"を有する溝74、74'、74"を充填するステップ118、129であって、誘電体領域78、78'、78"と電気的に浮遊する介在物材料83、83"、65、65'、65"の組み合わせはボンドパッド35を支持するように改良された複合誘電体領域62、62'、62"を形成し、誘電体領域62、62'、62"に近くにあるアクティブデバイス領域46内に第一端子28を有するアクティブデバイス24を形成するステップ123、126、131と、介在物材料83、83"、65、65'、65"から電気的に分離された介在物材料83、83'

10

20

30

40

50

’、65、65’、65”及び誘電体78、78’、78”の上方にある誘電体領域62、62’、62”でボンドパッドを形成するステップ123、126、131と、ボンドパッド35をアクティブデバイスの第一端子28に電気的に接続するステップを含む。また別の実施例によると、介在物材料82、82”、83、83”、65、65’、65”はシリコン、ゲルマニウム、またはその組み合わせを含む。さらに別の実施例によると、介在物材料82、82”、83、83”、65、65’、65”は平面図で、一つまたはそれ以上の実質的に継続して平行な複数の列65-1、65-2、中断した複数の実質的に平行な列65-3、複数の「L」字型または「T」字型列65-4、65-5、または複数の列65-5のX-Y型配列、または同心矩形、円形、多角形65-6、65-7、65-8を含む。

10

#### 【0038】

第三実施例によると、電子素子44、44’、44”は、ボンドパッド領域60及びアクティブデバイス領域46を有する半導体基板45と、基板45から電気的に分離されたボンドパッド35と、ボンドパッド35の下にあって、且つボンドパッド領域60内にある基板45上にある複合誘電体領域62、62’、62”とから成り、前期複合誘電体領域62、62’、62”は、絶縁誘電体領域78、78’、78”、85、68、70、86及び非単結晶半導体介在領域65、65’、65”と、絶縁誘電体領域78、78’、78”、85、68、70、86の部分によってボンドパッド35及び基板45から電気的に分離された介在領域65、65’、65”と、ボンドパッドと、相互接続部41、41’、41”によってボンドパッド35に電気的に接続されたアクティブデバイス領域46内にあるアクティブデバイス24を含む。また一つの実施例によると、基板45は0.1オーム/センチ未満の抵抗性を有する。また別の実施例によると、ボンドパッド領域60は、約20マイクロメートル以下の長さ39の接続領域38によってアクティブデバイス領域46から分離される。さらに別の実施例によると、介在領域65、65’、65”は、アクティブデバイス領域60に向かって配向された半導体82の平面図で複数の実質的に平行な列65-2を含む。

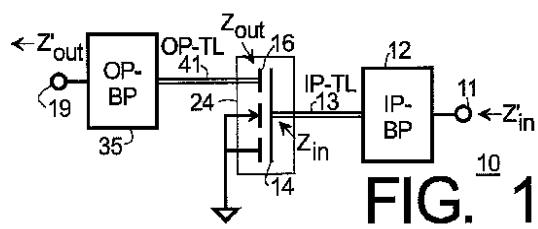
20

#### 【0039】

上記において、本発明の少なくとも1つの例示の実施形態が記載されてきたが、多様な変更が可能であることが理解されるべきである。また、上記の実施形態は例示のためのみのものであり、本発明の範囲、用途、または構成をいかなる様式においても限定するものと解釈されるべきではない。上記の詳細な説明は当業者に本発明の例示の実施形態を実施するための有用なロードマップを提供するものであり、請求項に規定された、あるいはその均等物に規定された本発明の範囲から逸脱することなく、上記実施形態の機能や要素の構成において多用な変更がなされてもよいことが理解される。

30

【図1】



【図2】

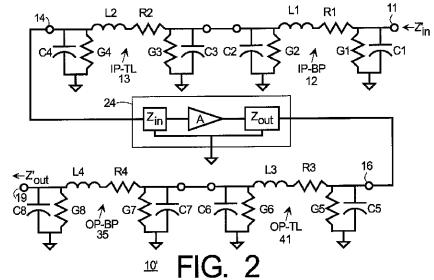
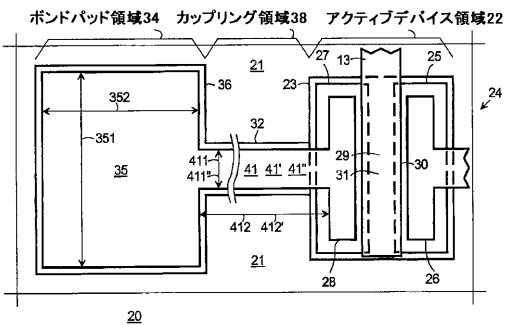
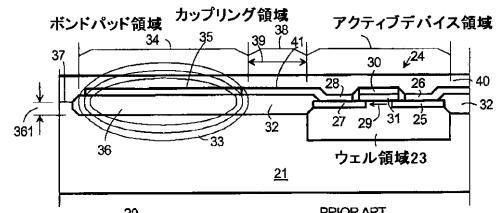


FIG. 1

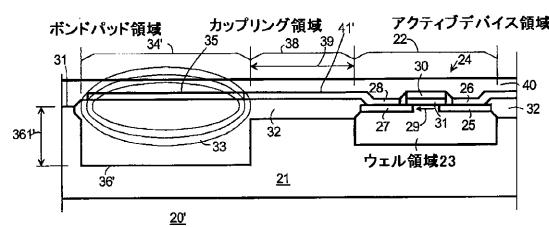
【図3】



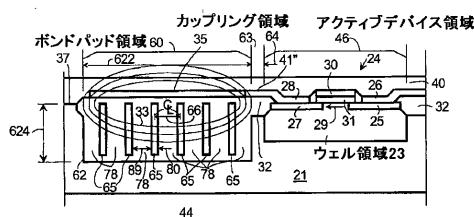
【図4】



【図5】



【図6】



【図7】

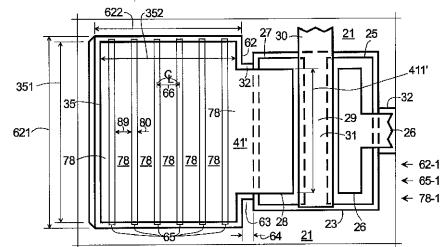


FIG. 7

【図8】

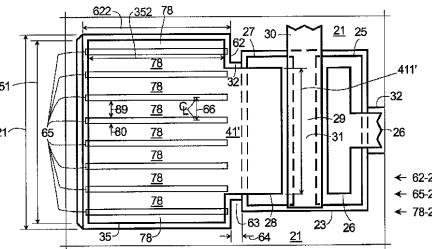


FIG. 8

【図9】

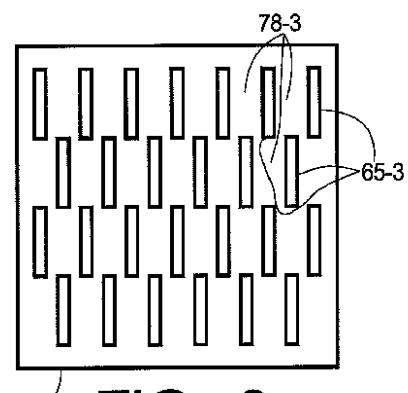
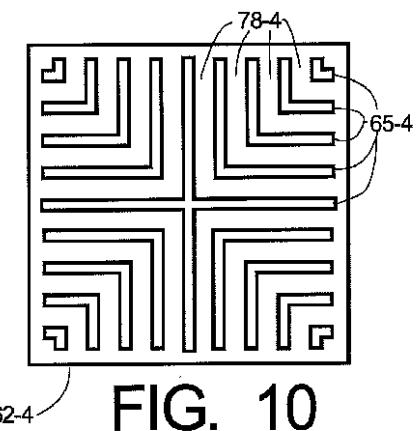
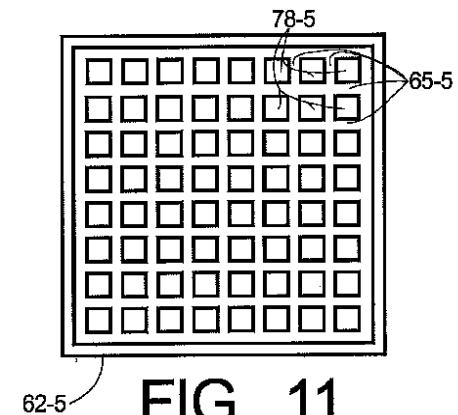


FIG. 9

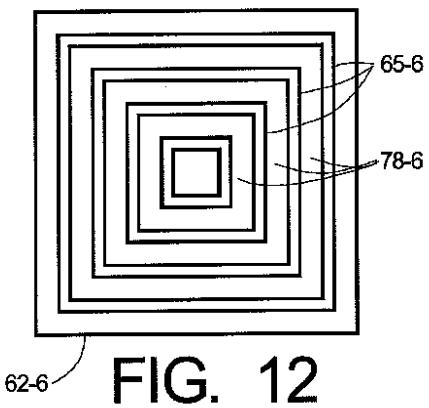
【図 10】



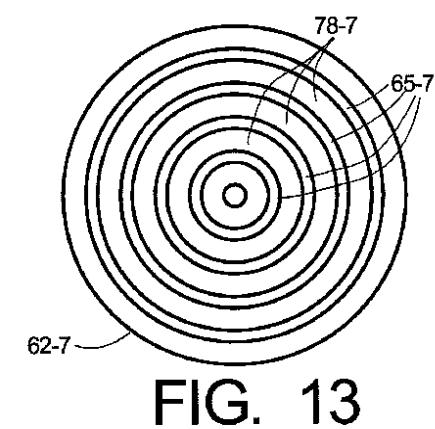
【図 11】



【図 12】



【図 13】



【図14】

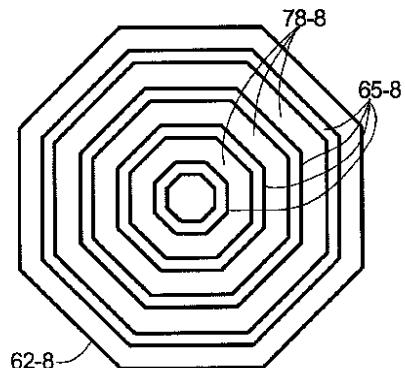
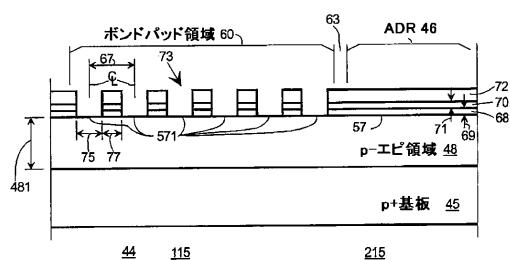
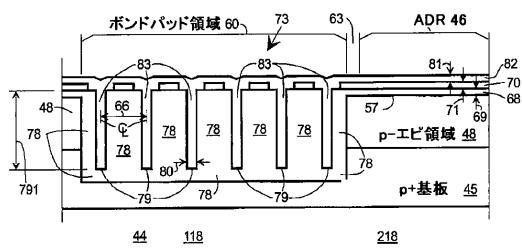


FIG. 14

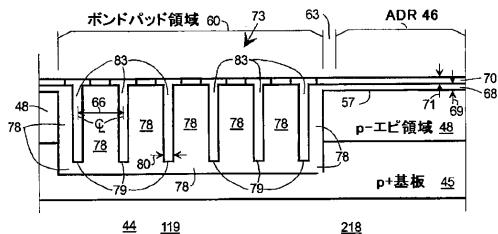
### 【図15】



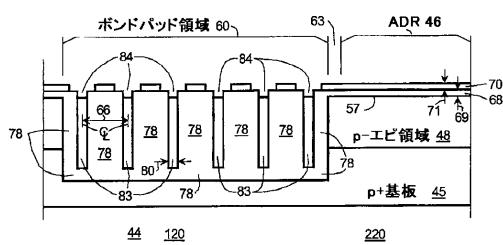
【 図 1 8 】



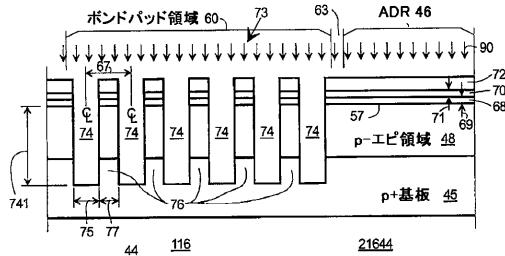
【図19】



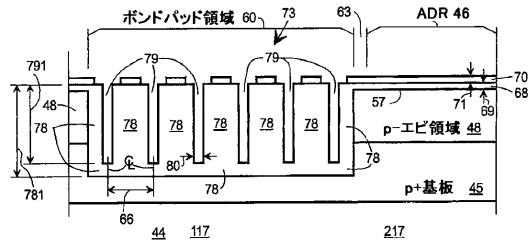
【図20】



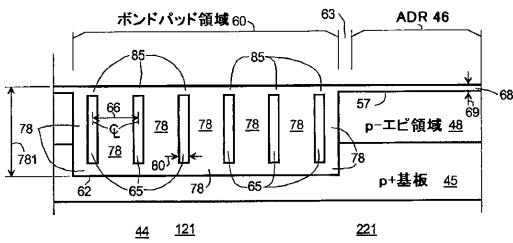
## 【図16】



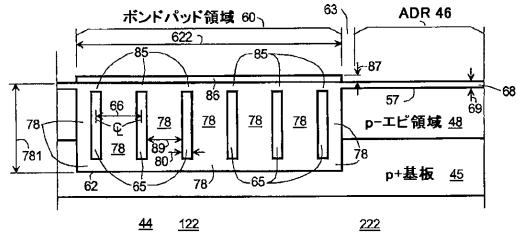
【図17】



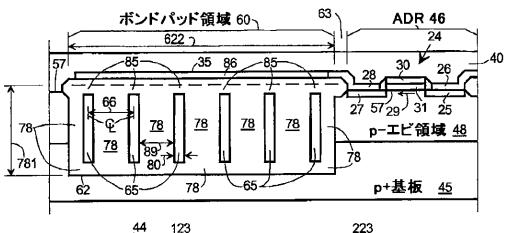
### 【図21】



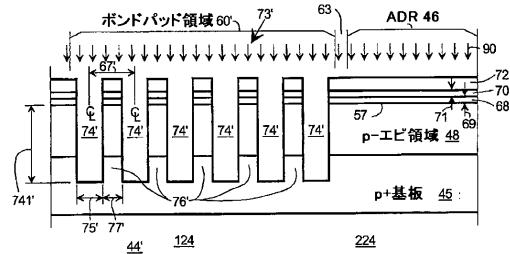
【 図 2 2 】



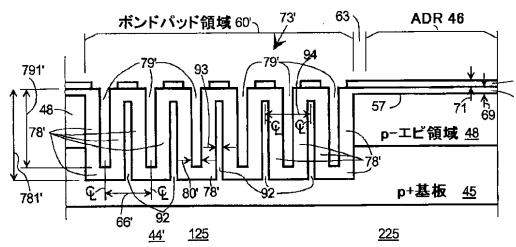
### 【図23】



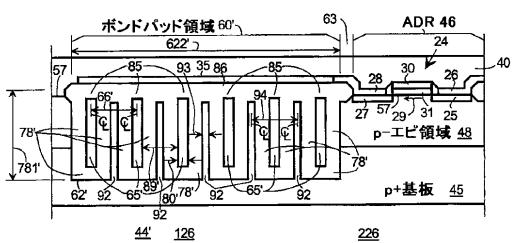
### 【図24】



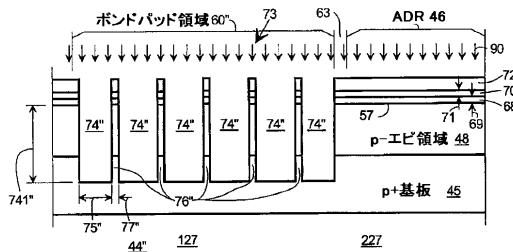
### 【図25】



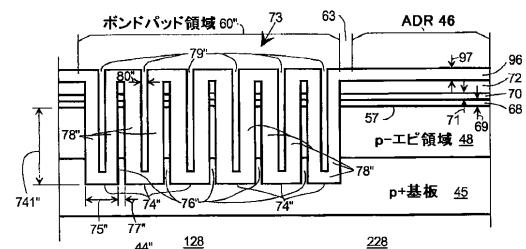
### 【図26】



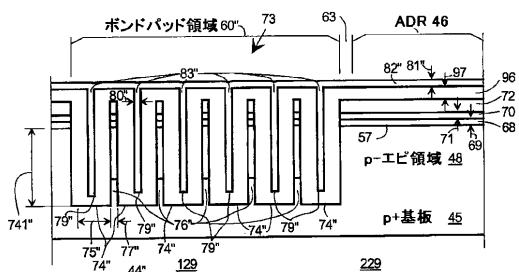
【図27】



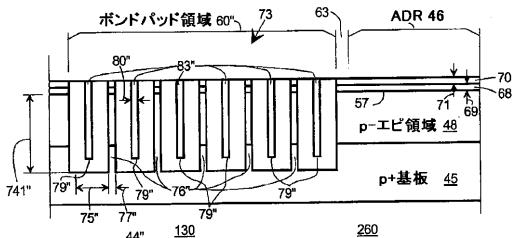
### 【図28】



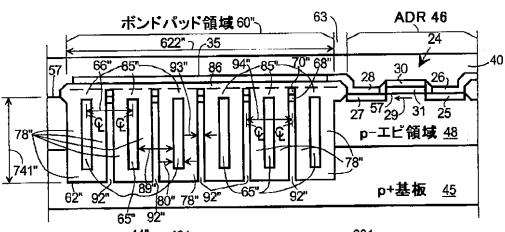
【 図 2 9 】



【図30】



【図31】



---

フロントページの続き

(72)発明者 シマノフスキー、マーガレット エイ .  
アメリカ合衆国 85249 アリゾナ州 チャンドラー イースト パウエル ウェイ 782

(72)発明者 ミエラ、ミシェル エル .  
アメリカ合衆国 85234 アリゾナ州 ギルバート イー. リンダ コート 3366

(72)発明者 レン、シャオウェイ  
アメリカ合衆国 85044 アリゾナ州 フェニックス イー. デザート フラワー レーン  
3213

(72)発明者 バーガー、ウェイン アール .  
アメリカ合衆国 85048 アリゾナ州 フェニックス エス. フォーティーンス ウェイ 1  
6211

(72)発明者 ベネット、マーク エイ .  
イギリス国 G61 2NX グラスゴー ベアーズデン ウッドベイル アベニュー 61

(72)発明者 カー、コリン  
イギリス国 ML3 6JD ハミルトン オーチャード ブレイ 44

審査官 河合 俊英

(56)参考文献 特開平11-233727 (JP, A)  
特開2005-223325 (JP, A)  
特開2008-147269 (JP, A)  
特開平10-261671 (JP, A)  
特開平07-106511 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768  
H01L 21/3205  
H01L 23/522