

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5359882号
(P5359882)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.
H03M 13/19 (2006.01)F I
H03M 13/19

請求項の数 33 (全 104 頁)

(21) 出願番号	特願2009-543805 (P2009-543805)	(73) 特許権者	000002185
(86) (22) 出願日	平成20年11月26日(2008.11.26)		ソニー株式会社
(86) 国際出願番号	PCT/JP2008/071385		東京都港区港南1丁目7番1号
(87) 国際公開番号	W02009/069618	(74) 代理人	100082131
(87) 国際公開日	平成21年6月4日(2009.6.4)		弁理士 稲本 義雄
審査請求日	平成23年9月29日(2011.9.29)	(72) 発明者	横川 峰志
(31) 優先権主張番号	特願2007-304690 (P2007-304690)		東京都港区港南1丁目7番1号 ソニー株
(32) 優先日	平成19年11月26日(2007.11.26)		式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	山本 真紀子
(31) 優先権主張番号	特願2008-70467 (P2008-70467)		東京都港区港南1丁目7番1号 ソニー株
(32) 優先日	平成20年3月18日(2008.3.18)		式会社内
(33) 優先権主張国	日本国(JP)	審査官	岡 裕之

最終頁に続く

(54) 【発明の名称】 データ処理装置、及びデータ処理方法

(57) 【特許請求の範囲】

【請求項1】

データをインターリーブするデータ処理装置において、

LDPC(Low Density Parity Check)符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、

前記LDPC符号の検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行う並び替え手段を備える

データ処理装置。

【請求項2】

データをインターリーブするデータ処理装置において、

LDPC(Low Density Parity Check)符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信され、

ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、

前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う並び替え手段を備える

10

20

データ処理装置。

【請求項 3】

前記LDPC符号の検査行列のうちの、前記LDPC符号のパリティビットに対応する部分であるパリティ行列は、列置換によって、前記パリティ行列の一部を除く部分が巡回構造になっている擬似巡回構造になる

請求項 2 に記載のデータ処理装置。

【請求項 4】

前記パリティ行列は、階段構造になっており、列置換によって、前記擬似巡回構造になる

請求項 3 に記載のデータ処理装置。

10

【請求項 5】

前記LDPC符号は、DVB-S.2の規格に規定されたLDPC符号である

請求項 4 に記載のデータ処理装置。

【請求項 6】

前記LDPC符号の m ビットの符号ビットが、1 個のシンボルにされる場合において、
前記LDPC符号の符号長を N ビットとするとともに、所定の正の整数を b とするとき、
前記記憶手段は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$ ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶手段の前記カラム方向に書き込まれ、その後、
前記ロウ方向に読み出され、

20

前記記憶手段の前記ロウ方向に読み出された mb ビットの符号ビットが、 b 個のシンボルにされる

請求項 5 に記載のデータ処理装置。

【請求項 7】

前記LDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行うパリティインターリーブ手段を備え、

前記並び替え手段は、前記パリティインターリーブ後の前記LDPC符号を対象として、前記カラムツイストインターリーブを行う

請求項 6 に記載のデータ処理装置。

【請求項 8】

30

前記LDPC符号のパリティビットのビット数 M は、素数以外の値であり、

前記パリティビットのビット数 M の1と M 以外の約数のうちの2つの約数であり、かつ、積が前記パリティビットのビット数 M となる2つの約数を P 及び q と、

前記LDPC符号の情報ビットのビット数を K と、

0以上 P 未満の整数を x と、

0以上 q 未満の整数を y と、

それぞれするとき、

前記パリティインターリーブ手段は、前記LDPC符号の $K+1$ ないし $K+M$ 番目の符号ビットであるパリティビットのうちの、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブする

40

請求項 7 に記載のデータ処理装置。

【請求項 9】

前記LDPC符号は、DVB-S.2の規格に規定された、1 1 個の符号化率それぞれの、符号長 N が64800ビットのLDPC符号であり、

前記 m ビットが2ビットであり、かつ、前記整数 b が1であり、

前記LDPC符号の2ビットの符号ビットが、所定の変調方式で定める4個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 2×1 ビットを記憶する2個のカラムを有し、カラム方向に $64800/(2 \times 1)$ ビットを記憶する

場合において、

50

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の2個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の2個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが2の位置とする

請求項8に記載のデータ処理装置。

【請求項10】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、 10

前記mビットが2ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の2ビットの符号ビットが、所定の変調方式で定める4個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $64800 / (2 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、 20

前記記憶手段の4個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の4個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の4個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の4個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが7の位置とする

請求項8に記載のデータ処理装置。

【請求項11】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、 30

前記mビットが4ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の4ビットの符号ビットが、所定の変調方式で定める16個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $64800 / (4 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、 40

前記記憶手段の8個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の8個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の8個のカラムのうちの5番目のカラムの書き始めの位置を、アドレス 50

が4の位置とし、

前記記憶手段の8個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の8個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の8個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが7の位置とする

請求項8に記載のデータ処理装置。

【請求項12】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、

前記mビットが6ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の6ビットの符号ビットが、所定の変調方式で定める64個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 6×2 ビットを記憶する12個のカラムを有し、カラム方向に $64800 / (6 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の12個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の12個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の12個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の12個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の12個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の12個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の12個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが8の位置とし、

前記記憶手段の12個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが9の位置とする

請求項8に記載のデータ処理装置。

【請求項13】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の8ビットの符号ビットが、所定の変調方式で定める256個の信号点

のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 8×2 ビットを記憶する16個のカラムを有し、カラム方向に $64800 / (8 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の16個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の16個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが2の位置とし、 10

前記記憶手段の16個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の16個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の16個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の16個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の16個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが7の位置とし、 20

前記記憶手段の16個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが15の位置とし、

前記記憶手段の16個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが16の位置とし、

前記記憶手段の16個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが20の位置とし、

前記記憶手段の16個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが22の位置とし、

前記記憶手段の16個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが22の位置とし、 30

前記記憶手段の16個のカラムのうちの13番目のカラムの書き始めの位置を、アドレスが27の位置とし、

前記記憶手段の16個のカラムのうちの14番目のカラムの書き始めの位置を、アドレスが27の位置とし、

前記記憶手段の16個のカラムのうちの15番目のカラムの書き始めの位置を、アドレスが28の位置とし、

前記記憶手段の16個のカラムのうちの16番目のカラムの書き始めの位置を、アドレスが32の位置とする

請求項8に記載のデータ処理装置。 40

【請求項14】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、

前記mビットが10ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の10ビットの符号ビットが、所定の変調方式で定める1024個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 10×2 ビットを記憶する20個のカラムを有し、カラム方向に $64800 / (10 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の20個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の20個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが1の位置とし、

前記記憶手段の20個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の20個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが4の位置とし、

10

前記記憶手段の20個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の20個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが6の位置とし、

前記記憶手段の20個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが6の位置とし、

前記記憶手段の20個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが9の位置とし、

前記記憶手段の20個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが13の位置とし、

20

前記記憶手段の20個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが14の位置とし、

前記記憶手段の20個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが14の位置とし、

前記記憶手段の20個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが16の位置とし、

前記記憶手段の20個のカラムのうちの13番目のカラムの書き始めの位置を、アドレスが21の位置とし、

前記記憶手段の20個のカラムのうちの14番目のカラムの書き始めの位置を、アドレスが21の位置とし、

30

前記記憶手段の20個のカラムのうちの15番目のカラムの書き始めの位置を、アドレスが23の位置とし、

前記記憶手段の20個のカラムのうちの16番目のカラムの書き始めの位置を、アドレスが25の位置とし、

前記記憶手段の20個のカラムのうちの17番目のカラムの書き始めの位置を、アドレスが25の位置とし、

前記記憶手段の20個のカラムのうちの18番目のカラムの書き始めの位置を、アドレスが26の位置とし、

前記記憶手段の20個のカラムのうちの19番目のカラムの書き始めの位置を、アドレスが28の位置とし、

40

前記記憶手段の20個のカラムのうちの20番目のカラムの書き始めの位置を、アドレスが30の位置とする

請求項8に記載のデータ処理装置。

【請求項15】

前記LDPC符号は、DVB-S.2の規格に規定された、11個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号であり、

前記mビットが12ビットであり、かつ、前記整数bが1であり、

前記LDPC符号の12ビットの符号ビットが、所定の変調方式で定める4096個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に12×1ビットを記憶する12個のカラムを有し、カラム

50

方向に $64800/(12 \times 1)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の12個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の12個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の12個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが4の位置とし、

前記記憶手段の12個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の12個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが5の位置とし、

前記記憶手段の12個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の12個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが8の位置とし、

前記記憶手段の12個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが9の位置とする

請求項8に記載のデータ処理装置。 30

【請求項16】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長Nが16200ビットのLDPC符号であり、

前記mビットが2ビットであり、かつ、前記整数bが1であり、

前記LDPC符号の2ビットの符号ビットが、所定の変調方式で定める4個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 2×1 ビットを記憶する2個のカラムを有し、カラム方向に $16200/(2 \times 1)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の2個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の2個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とする

請求項8に記載のデータ処理装置。

【請求項17】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長Nが16200ビットのLDPC符号であり、

10

20

30

40

50

前記 m ビットが2ビットであり、かつ、前記整数 b が2であり、

前記LDPC符号の2ビットの符号ビットが、所定の変調方式で定める4個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $16200 / (2 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の4個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の4個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の4個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の4個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが3の位置とする

請求項8に記載のデータ処理装置。

【請求項18】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが4ビットであり、かつ、前記整数 b が2であり、

前記LDPC符号の4ビットの符号ビットが、所定の変調方式で定める16個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (4 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の8個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが1の位置とし、

前記記憶手段の8個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の8個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが20の位置とし、

前記記憶手段の8個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが20の位置とし、

前記記憶手段の8個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが21の位置とする

請求項8に記載のデータ処理装置。

【請求項19】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが6ビットであり、かつ、前記整数 b が2であり、

前記LDPC符号の6ビットの符号ビットが、所定の変調方式で定める64個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 6×2 ビットを記憶する12個のカラムを有し、カラム方向に $16200 / (6 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の12個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の12個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の12個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の12個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の12個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の12個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが6の位置とし、

前記記憶手段の12個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の12個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが7の位置とする

請求項8に記載のデータ処理装置。

【請求項20】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記LDPC符号の8ビットの符号ビットが、所定の変調方式で定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (8 \times 1)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の8個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の8個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

10

20

30

40

50

前記記憶手段の 8 個のカラムのうちの 3 番目のカラムの書き始めの位置を、アドレスが 0 の位置とし、

前記記憶手段の 8 個のカラムのうちの 4 番目のカラムの書き始めの位置を、アドレスが 1 の位置とし、

前記記憶手段の 8 個のカラムのうちの 5 番目のカラムの書き始めの位置を、アドレスが 7 の位置とし、

前記記憶手段の 8 個のカラムのうちの 6 番目のカラムの書き始めの位置を、アドレスが 20 の位置とし、

前記記憶手段の 8 個のカラムのうちの 7 番目のカラムの書き始めの位置を、アドレスが 20 の位置とし、

前記記憶手段の 8 個のカラムのうちの 8 番目のカラムの書き始めの位置を、アドレスが 21 の位置とする

請求項 8 に記載のデータ処理装置。

【請求項 21】

前記 LDPC 符号は、DVB-S.2 の規格に規定された、10 個の符号化率それぞれの、符号長 N が 16200 ビットの LDPC 符号であり、

前記 m ビットが 10 ビットであり、かつ、前記整数 b が 2 であり、

前記 LDPC 符号の 10 ビットの符号ビットが、所定の変調方式で定める 1024 個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に 10×2 ビットを記憶する 20 個のカラムを有し、カラム方向に $16200 / (10 \times 2)$ ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを 0 として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の 20 個のカラムのうちの 1 番目のカラムの書き始めの位置を、アドレスが 0 の位置とし、

前記記憶手段の 20 個のカラムのうちの 2 番目のカラムの書き始めの位置を、アドレスが 0 の位置とし、

前記記憶手段の 20 個のカラムのうちの 3 番目のカラムの書き始めの位置を、アドレスが 0 の位置とし、

前記記憶手段の 20 個のカラムのうちの 4 番目のカラムの書き始めの位置を、アドレスが 2 の位置とし、

前記記憶手段の 20 個のカラムのうちの 5 番目のカラムの書き始めの位置を、アドレスが 2 の位置とし、

前記記憶手段の 20 個のカラムのうちの 6 番目のカラムの書き始めの位置を、アドレスが 2 の位置とし、

前記記憶手段の 20 個のカラムのうちの 7 番目のカラムの書き始めの位置を、アドレスが 2 の位置とし、

前記記憶手段の 20 個のカラムのうちの 8 番目のカラムの書き始めの位置を、アドレスが 2 の位置とし、

前記記憶手段の 20 個のカラムのうちの 9 番目のカラムの書き始めの位置を、アドレスが 5 の位置とし、

前記記憶手段の 20 個のカラムのうちの 10 番目のカラムの書き始めの位置を、アドレスが 5 の位置とし、

前記記憶手段の 20 個のカラムのうちの 11 番目のカラムの書き始めの位置を、アドレスが 5 の位置とし、

前記記憶手段の 20 個のカラムのうちの 12 番目のカラムの書き始めの位置を、アドレスが 5 の位置とし、

前記記憶手段の 20 個のカラムのうちの 13 番目のカラムの書き始めの位置を、アド

10

20

30

40

50

レスが5の位置とし、

前記記憶手段の20個のカラムのうちの14番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の20個のカラムのうちの15番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の20個のカラムのうちの16番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の20個のカラムのうちの17番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の20個のカラムのうちの18番目のカラムの書き始めの位置を、アドレスが8の位置とし、

前記記憶手段の20個のカラムのうちの19番目のカラムの書き始めの位置を、アドレスが8の位置とし、

前記記憶手段の20個のカラムのうちの20番目のカラムの書き始めの位置を、アドレスが10の位置とする

請求項8に記載のデータ処理装置。

【請求項22】

前記LDPC符号は、DVB-S.2の規格に規定された、10個の符号化率それぞれの、符号長Nが16200ビットのLDPC符号であり、

前記mビットが12ビットであり、かつ、前記整数bが2であり、

前記LDPC符号の12ビットの符号ビットが、所定の変調方式で定める4096個の信号点のうちのいずれかにマッピングされ、

前記記憶手段が、ロウ方向に12×2ビットを記憶する24個のカラムを有し、カラム方向に16200/(12×2)ビットを記憶する

場合において、

前記並び替え手段は、

前記記憶手段のカラム方向の先頭の位置のアドレスを0として、前記記憶手段のカラム方向の各位置のアドレスを、昇順の整数で表すとき、

前記記憶手段の24個のカラムのうちの1番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの2番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの3番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの4番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの5番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの6番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの7番目のカラムの書き始めの位置を、アドレスが0の位置とし、

前記記憶手段の24個のカラムのうちの8番目のカラムの書き始めの位置を、アドレスが1の位置とし、

前記記憶手段の24個のカラムのうちの9番目のカラムの書き始めの位置を、アドレスが1の位置とし、

前記記憶手段の24個のカラムのうちの10番目のカラムの書き始めの位置を、アドレスが1の位置とし、

前記記憶手段の24個のカラムのうちの11番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の24個のカラムのうちの12番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の24個のカラムのうちの13番目のカラムの書き始めの位置を、アドレスが2の位置とし、

前記記憶手段の24個のカラムのうちの14番目のカラムの書き始めの位置を、アドレスが3の位置とし、

前記記憶手段の24個のカラムのうちの15番目のカラムの書き始めの位置を、アドレスが7の位置とし、

前記記憶手段の24個のカラムのうちの16番目のカラムの書き始めの位置を、アドレスが9の位置とし、

10

前記記憶手段の24個のカラムのうちの17番目のカラムの書き始めの位置を、アドレスが9の位置とし、

前記記憶手段の24個のカラムのうちの18番目のカラムの書き始めの位置を、アドレスが9の位置とし、

前記記憶手段の24個のカラムのうちの19番目のカラムの書き始めの位置を、アドレスが10の位置とし、

前記記憶手段の24個のカラムのうちの20番目のカラムの書き始めの位置を、アドレスが10の位置とし、

前記記憶手段の24個のカラムのうちの21番目のカラムの書き始めの位置を、アドレスが10の位置とし、

20

前記記憶手段の24個のカラムのうちの22番目のカラムの書き始めの位置を、アドレスが10の位置とし、

前記記憶手段の24個のカラムのうちの23番目のカラムの書き始めの位置を、アドレスが10の位置とし、

前記記憶手段の24個のカラムのうちの24番目のカラムの書き始めの位置を、アドレスが11の位置とする

請求項8に記載のデータ処理装置。

【請求項23】

前記LDPC符号は、QPSK(Quadrature Phase Shift Keying), 16QAM(Quadrature Amplitude Modulation), 64QAM, 256QAM, 1024QAM、又は4096QAMの変調がされて送信される

30

請求項5に記載のデータ処理装置。

【請求項24】

前記LDPC符号は、QC(Quasi-Cyclic)-LDPC符号であり、

前記並び替え手段は、

ロウ方向とカラム方向にLDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、

前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記並び替え処理として行う

40

請求項1に記載のデータ処理装置。

【請求項25】

前記パリティインターリーブ手段と、前記並び替え手段とが、一体的に構成される

請求項7に記載のデータ処理装置。

【請求項26】

データをインターリーブするデータ処理装置のデータ処理方法において、

LDPC(Low Density Parity Check)符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、

前記データ処理装置が、前記LDPC符号の検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び

50

替える並び替え処理を行う

ステップを含むデータ処理方法。

【請求項 27】

インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置において、

検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行う

ことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行う逆並び替え手段と、

前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うLDPC復号手段とを備えるデータ処理装置。

10

【請求項 28】

前記逆並び替え手段は、

LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、

前記検査行列の任意の1行にある1に対応する前記LDPC符号の複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行う

ことにより得られるLDPC符号を対象として、逆並び替え処理を行い、

20

前記LDPC復号手段は、前記逆並び替え処理が行われ、かつ、前記パリティインターリーブに対応するデインターリーブであるパリティデインターリーブが行われていない前記LDPC符号のLDPC復号を、前記検査行列に対して、前記パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う

請求項 27に記載のデータ処理装置。

【請求項 29】

インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置のデータ処理方法において、

前記データ処理装置が、

30

検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行う

ことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行い、

前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行う

ステップを含むデータ処理方法。

【請求項 30】

データをインターリーブするデータ処理装置のデータ処理方法において、

LDPC(Low Density Parity Check)符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信され、

40

ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、

前記データ処理装置が、

前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う

ステップを含むデータ処理方法。

【請求項 31】

50

インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置において、

前記LDPC符号は、前記LDPC符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号であり、

ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、

前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う

10

ことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行う逆並び替え手段と、

前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うLDPC復号手段とを備えるデータ処理装置。

【請求項32】

前記逆並び替え手段は、

LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行うことにより得られるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、

前記並び替え処理を行う

20

ことにより得られるLDPC符号を対象として、逆並び替え処理を行い、

前記LDPC復号手段は、前記逆並び替え処理が行われ、かつ、前記パリティインターリーブに対応するデインターリーブであるパリティデインターリーブが行われていない前記LDPC符号のLDPC復号を、前記検査行列に対して、前記パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う

請求項31に記載のデータ処理装置。

【請求項33】

インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置のデータ処理方法において、

30

前記LDPC符号は、前記LDPC符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号であり、

ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、

前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う

ことにより得られるLDPC符号を対象として、

前記データ処理装置が、

40

前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行い、

前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行う

ステップを含むデータ処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置、及びデータ処理方法に関し、特に、例えば、LDPC(Low Density Parity Check)符号の、バースト(burst)誤りや、イレージャ(erasure)に対する耐性を向上させることができるようにするデータ処理装置、及びデータ処理方法に関する。

【背景技術】

50

【0002】

LDPC符号は、高い誤り訂正能力を有し、近年では、例えば、欧州で行われているDVB-S. 2等の衛星ディジタル放送を含む伝送方式に広く採用され始めている（例えば、非特許文献1を参照）。また、LDPC符号は、次世代の地上ディジタル放送にも採用が検討されている。

【0003】

LDPC符号は、近年の研究により、ターボ符号等と同様に、符号長を長くしていくにしたがって、シャノン限界に近い性能が得られることがわかりつつある。また、LDPC符号は、最小距離が符号長に比例するという性質があることから、その特徴として、ブロック誤り確率特性がよく、さらに、ターボ符号等の復号特性において観測される、いわゆるエラーフロア現象が殆ど生じないことも利点として挙げられる。

10

【0004】

以下、このようなLDPC符号について具体的に説明する。なお、LDPC符号は、線形符号であり、必ずしも2元である必要はないが、ここでは、2元であるものとして説明する。

【0005】

LDPC符号は、そのLDPC符号を定義する検査行列(parity check matrix)が疎なものであることを最大の特徴とする。ここで、疎な行列とは、行列の要素の"1"の個数が非常に少ない行列（ほとんどの要素が0の行列）である。

【0006】

図1は、LDPC符号の検査行列Hの例を示している。

20

【0007】

図1の検査行列Hでは、各列の重み（列重み）（"1"の数）(weight)が"3"であり、且つ、各行の重み（行重み）が"6"になっている。

【0008】

LDPC符号による符号化（LDPC符号化）では、例えば、検査行列Hに基づいて生成行列Gを生成し、この生成行列Gを2元の情報ビットに対して乗算することで、符号語（LDPC符号）が生成される。

【0009】

具体的には、LDPC符号化を行う符号化装置は、まず、検査行列Hの転置行列 H^T との間に、式 $GH^T=0$ が成立する生成行列Gを算出する。ここで、生成行列Gが、 $K \times N$ 行列である場合には、符号化装置は、生成行列Gに対してKビットからなる情報ビットのビット列（ベクトルu）を乗算し、Nビットからなる符号語 $c(=uG)$ を生成する。この符号化装置によって生成された符号語（LDPC符号）は、所定の通信路を介して受信側において受信される。

30

【0010】

LDPC符号の復号は、Gallagerが確率復号(Probabilistic Decoding)と称して提案したアルゴリズムであって、バリアブルノード(variable node (メッセージノード(message node)とも呼ばれる))と、チェックノード(check node)とからなる、いわゆるタナグラフ(Tanner graph)上での確率伝播(belief propagation)によるメッセージ・パッシング・アルゴリズムによって行うことが可能である。ここで、以下、適宜、バリアブルノードとチェックノードを、単に、ノードともいう。

40

【0011】

図2は、LDPC符号の復号の手順を示している。

【0012】

なお、以下、適宜、受信側で受信したLDPC符号（1符号語）のi番目の符号ビットの、値の"0"らしさを対数尤度比(log likelihood ratio)で表現した実数値を、受信値 u_{0i} という。また、チェックノードから出力されるメッセージを u_j とし、バリアブルノードから出力されるメッセージを v_i とする。

【0013】

まず、LDPC符号の復号においては、図2に示すように、ステップS11において、LDPC符号が受信され、メッセージ（チェックノードメッセージ） u_j が"0"に初期化されるとと

50

もに、繰り返し処理のカウンタとしての整数をとる変数 k が"0"に初期化され、ステップS 1 2に進む。ステップS 1 2において、LDPC符号を受信して得られる受信値 u_{0i} に基づいて、式(1)に示す演算(バリエブルノード演算)を行うことによってメッセージ(バリエブルノードメッセージ) v_i が求められ、さらに、このメッセージ v_i に基づいて、式(2)に示す演算(チェックノード演算)を行うことによってメッセージ u_j が求められる。

【0014】

【数1】

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j$$

・・・(1)

10

【0015】

【数2】

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right)$$

・・・(2)

【0016】

ここで、式(1)と式(2)における d_v と d_c は、それぞれ、検査行列 H の縦方向(列)と横方向(行)の"1"の個数を示す任意に選択可能とされるパラメータであり、例えば、(3,6)符号の場合には、 $d_v=3$ 、 $d_c=6$ となる。

20

【0017】

なお、式(1)のバリエブルノード演算、及び(2)のチェックノード演算においては、それぞれ、メッセージを出力しようとする枝(edge)(バリエブルノードとチェックノードとを結ぶ線)から入力されたメッセージを、演算の対象としないことから、演算の範囲が、1ないし d_v-1 又は1ないし d_c-1 となっている。また、式(2)のチェックノード演算は、実際には、2入力 v_1 、 v_2 に対する1出力で定義される式(3)に示す関数 $R(v_1, v_2)$ のテーブルを予め作成しておき、これを式(4)に示すように連続的(再帰的)に用いることによって行われる。

【0018】

【数3】

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2)$$

・・・(3)

30

【0019】

【数4】

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))$$

・・・(4)

40

【0020】

ステップS 1 2では、さらに、変数 k が"1"だけインクリメントされ、ステップS 1 3に進む。ステップS 1 3では、変数 k が所定の繰り返し復号回数 C よりも大きいか否かが判定される。ステップS 1 3において、変数 k が C よりも大きくないと判定された場合、ステップS 1 2に戻り、以下、同様の処理が繰り返される。

【0021】

また、ステップS 1 3において、変数 k が C よりも大きいと判定された場合、ステップS 1 4に進み、式(5)に示す演算を行うことによって最終的に出力する復号結果としてのメッセージ v_i が求められて出力され、LDPC符号の復号処理が終了する。

【0022】

【数 5】

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

【0 0 2 3】

ここで、式（5）の演算は、式（1）のバリエブルノード演算とは異なり、バリエブルノードに接続している全ての枝からのメッセージ u_j を用いて行われる。

【0 0 2 4】

図 3 は、(3,6)LDPC符号（符号化率1/2、符号長12）の検査行列Hの例を示している。

10

【0 0 2 5】

図 3 の検査行列Hでは、図 1 と同様に、列の重みが 3 に、行の重みが 6 に、それぞれなっている。

【0 0 2 6】

図 4 は、図 3 の検査行列Hのタナーグラフを示している。

【0 0 2 7】

ここで、図 4 において、"+"で表わされるのが、チェックノードであり、"="で表わされるのが、バリエブルノードである。チェックノードとバリエブルノードは、それぞれ、検査行列Hの行と列に対応する。チェックノードとバリエブルノードとの間の結線は、枝(edge)であり、検査行列の要素の"1"に相当する。

20

【0 0 2 8】

すなわち、検査行列の第 j 行第 i 列の要素が 1 である場合には、図 4 において、上から i 番目のバリエブルノード（"="のノード）と、上から j 番目のチェックノード（"+"のノード）とが、枝により接続される。枝は、バリエブルノードに対応する符号ビットが、チェックノードに対応する拘束条件を持つことを表す。

【0 0 2 9】

LDPC符号の復号方法であるサンプロダクトアルゴリズム(Sum Product Algorithm)では、バリエブルノード演算とチェックノード演算とが繰り返し行われる。

【0 0 3 0】

図 5 は、バリエブルノードで行われるバリエブルノード演算を示している。

30

【0 0 3 1】

バリエブルノードでは、計算しようとしている枝に対応するメッセージ v_i は、バリエブルノードに繋がっている残りの枝からのメッセージ u_1 および u_2 と、受信値 u_{0i} を用いた式（1）のバリエブルノード演算により求められる。他の枝に対応するメッセージも同様に求められる。

【0 0 3 2】

図 6 は、チェックノードで行われるチェックノード演算を示している。

【0 0 3 3】

ここで、式（2）のチェックノード演算は、式 $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$ の関係を用いて、式（6）に書き直すことができる。但し、 $\text{sign}(x)$ は、 $x \geq 0$ のとき1であり、 $x < 0$ のとき-1である。

40

【0 0 3 4】

【数 6】

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \operatorname{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \operatorname{sign}(v_i) \right] \quad 10 \\
 &\quad \dots (6)
 \end{aligned}$$

【0035】

さらに、 $x \geq 0$ において、関数 $\phi(x)$ を、式 $\phi(x) = \ln(\tanh(x/2))$ と定義すると、式 $\phi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$ が成り立つから、式(6)は、式(7)に変形することができる。

【0036】

【数 7】

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \operatorname{sign}(v_i) \quad 20$$

... (7)

【0037】

チェックノードでは、式(2)のチェックノード演算が、式(7)に従って行われる。

【0038】

すなわち、チェックノードでは、図6のように、計算しようとしている枝に対応するメッセージ u_j は、チェックノードに繋がっている残りの枝からのメッセージ v_1, v_2, v_3, v_4, v_5 を用いた式(7)のチェックノード演算によって求められる。他の枝に対応するメッセージも同様に求められる。 30

【0039】

なお、式(7)の関数 $\phi(x)$ は、 $\phi(x) = \ln((e^x + 1)/(e^x - 1))$ とも表すことができ、 $x > 0$ において、 $\phi(x) = \phi^{-1}(x)$ である。関数 $\phi(x)$ および $\phi^{-1}(x)$ をハードウェアに実装する際には、LUT(Look Up Table)を用いて実装される場合があるが、両者共に同一のLUTとなる。

【0040】

【非特許文献1】DVB-S.2 : ETSI EN 302 307 V1.1.2 (2006-06)

【発明の開示】

【発明が解決しようとする課題】

【0041】

LDPC符号は、AWGN(Additive White Gaussian Noise)通信路で極めて高い能力を発揮することが知られていたが、近年、その他の通信路の条件でも、従来の畳み込み符号や、畳み込み符号とRS(リードソロモン)符号の接続符号と比べると、誤り訂正能力が高いことが分かって来ている。 40

【0042】

つまり、AWGN通信路で良い性能を持つ符号を選べば、その符号は、他の通信路でも、他の符号よりは性能が良いことが多い。

【0043】

ところで、例えば、LDPC符号を地上デジタル放送に適用するにあたり、DVB-S.2の規格に規定されているLDPC符号と、DVB-Tの規格に規定されている変調方式とを組合せ、LDP 50

C符号化と、変調との間に、LDPC符号の符号ビットをインターリーブするインターリーバ(bitinterleaver)を設けることで、LDPC符号の、AWGN通信路での性能を向上させることが提案されている。

【0044】

しかしながら、地上波で想定される通信路では、バースト(burst)誤りやイレージャ(erasure)が発生することがある。例えば、OFDM(Orthogonal Frequency Division Multiplexing)システムでは、D/U(Desired to Undesired Ratio)が0dB(Undesired=echoのパワーがDesired=メインパスのパワーと等しい)のマルチパス環境において、エコー(echo)(メインパス以外のパス)の遅延(delay)に応じて、特定のシンボルのパワーが0になってしまう(erasure)場合がある。

10

【0045】

また、フラッタ(flutter)(遅延が0でドップラ(dopper)周波数の掛かったechoが加算される通信路)でも、D/Uが0dBである場合には、ドップラ周波数によって、特定の時刻のOFDMのシンボル全体のパワーが0になる(erasure)場合が生じる。

【0046】

さらに、アンテナから受信装置までの配線の状況や、電源の不安定性により、バースト誤りが発生することもある。

【0047】

従来においては、上述のようなバースト誤りやイレージャのある通信路においても、AWGN通信路で性能の良い誤り訂正符号を用いることが多い。

20

【0048】

一方、LDPC符号の復号においては、検査行列Hの列、ひいては、LDPC符号の符号ビットに対応するバリエブルノードにおいて、図5に示したように、LDPC符号の符号ビット(の受信値 u_{0i})の加算を伴う式(1)のバリエブルノード演算が行われるため、そのバリエブルノード演算に用いられる符号ビットにエラーが生じると、求められるメッセージの精度が低下する。

【0049】

そして、LDPC符号の復号では、チェックノードにおいて、そのチェックノードに繋がっているバリエブルノードで求められるメッセージを用いて、式(7)のチェックノード演算が行われるため、繋がっている複数のバリエブルノード(に対応するLDPC符号の符号ビット)が同時にエラー(イレージャを含む)となるチェックノードの数が多くなると、復号の性能が劣化する。

30

【0050】

すなわち、例えば、チェックノードは、そのチェックノードに繋がっているバリエブルノードの2個以上が同時にイレージャになると、全バリエブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。この場合、等確率のメッセージを戻すチェックノードは、1回の復号処理(1セットのバリエブルノード演算及びチェックノード演算)に寄与しないこととなり、その結果、復号処理の繰り返し回数を多く必要とすることになって、復号の性能が劣化し、さらに、LDPC符号の復号を行う受信装置の消費電力が増大する。

40

【0051】

したがって、現在、AWGN通信路での性能を維持しつつ、バースト誤りやイレージャへの耐性を向上させる手法が要請されている。

【0052】

ここで、上述したように、LDPC符号化と、変調との間に、LDPC符号の符号ビットをインターリーブするインターリーバを設けることで、LDPC符号の、AWGN通信路での性能を向上させることが提案されており、そのインターリーバにおいて、チェックノードに繋がっているバリエブルノード(に対応するLDPC符号の符号ビット)の複数の同時にエラーになる確率を下げるインターリーブを行うことができれば、復号の性能を改善することができる。

50

【0053】

本発明は、このような状況に鑑みてなされたものであり、バースト誤りや、イレージャ等の、LDPC符号の符号ビットのエラーに対する耐性を向上させることができるようにするものである。

【課題を解決するための手段】

【0054】

本発明の第1の側面のデータ処理装置は、データをインターリーブするデータ処理装置であり、LDPC(Low Density Parity Check)符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、前記LDPC符号の検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行う並び替え手段を備えるデータ処理装置である。

10

【0055】

本発明の第1の側面のデータ処理方法は、データをインターリーブするデータ処理装置のデータ処理方法であり、LDPC(Low Density Parity Check)符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、前記データ処理装置が、前記LDPC符号の検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行うステップを含むデータ処理方法である。

20

【0056】

以上のような第1の側面においては、LDPC(Low Density Parity Check)符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信される場合において、前記データ処理装置が、前記LDPC符号の検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理が行われる。

【0057】

本発明の第2の側面のデータ処理装置は、インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置であり、検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行うことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行う逆並び替え手段と、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うLDPC復号手段とを備えるデータ処理装置である。

30

【0058】

本発明の第2の側面のデータ処理方法は、インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置のデータ処理方法であり、前記データ処理装置が、検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、同一のシンボルに含まれないように、前記LDPC符号の符号ビットを並び替える並び替え処理を行うことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行い、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うステップを含むデータ処理方法である。

40

【0059】

以上のような第2の側面においては、並び替え処理を行うことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理が行われ、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号が行われる。

【0060】

本発明の第3の側面のデータ処理装置は、データをインターリーブするデータ処理装置において、LDPC(Low Density Parity Check)符号の検査行列のうちの、前記LDPC符号の情

50

報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信され、ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行う並び替え手段を備えるデータ処理装置である。

【0061】

本発明の第3の側面のデータ処理方法は、データをインターリーブするデータ処理装置のデータ処理方法において、LDPC(Low Density Parity Check)符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号が、そのLDPC符号の2ビット以上の符号ビットを1個のシンボルとして送信され、ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、前記データ処理装置が、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行うステップを含むデータ処理方法である。

【0062】

以上のような第3の側面においては、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブが、前記LDPC符号の符号ビットを並び替える並び替え処理として行われる。

【0063】

本発明の第4の側面のデータ処理装置は、インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置において、前記LDPC符号は、前記LDPC符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号であり、ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行うことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行う逆並び替え手段と、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うLDPC復号手段とを備えるデータ処理装置である。

【0064】

本発明の第4の側面のデータ処理方法は、インターリーブがされ、2ビット以上の符号ビットが1個のシンボルにされて送信されてくるLDPC(Low Density Parity Check)符号を受信するデータ処理装置のデータ処理方法において、前記LDPC符号は、前記LDPC符号の検査行列のうちの、前記LDPC符号の情報ビットに対応する部分である情報行列が巡回構造になっているLDPC符号であり、ロウ方向とカラム方向に前記LDPC符号の符号ビットを記憶する記憶手段の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットがシンボルとされる場合において、前記記憶手段の前記カラム方向に、前記LDPC符号の符号ビットが書き込まれるときの書き始めの位置を、前記記憶手段のカラムごとに変更するカラムツイストインターリーブを、前記LDPC符号の符号ビットを並び替える並び替え処理として行うことにより得られるLDPC符号を対象として、前記データ処理装置が、前記並び替え処理に対応する逆の並び替えである逆並び替え処理を行い、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号を行うステップを含むデータ処理方法である。

【0065】

以上のような第4の側面においては、カラムツイストインターリーブを並び替え処理として行うことにより得られるLDPC符号を対象として、前記並び替え処理に対応する逆の並び替えである逆並び替え処理が行われ、前記逆並び替え処理が行われた前記LDPC符号のLDPC復号が行われる。

【0066】

なお、データ処理装置は、独立した装置であっても良いし、1個の装置を構成している内部ブロックであっても良い。

【発明の効果】

【0067】

10

本発明の第1ないし第4の側面によれば、LDPC符号の符号ビットのエラーに対する耐性を向上させることができる。

【図面の簡単な説明】

【0068】

【図1】 LDPC符号の検査行列Hを説明する図である。

【図2】 LDPC符号の復号手順を説明するフローチャートである。

【図3】 LDPC符号の検査行列の例を示す図である。

【図4】 検査行列のタナーグラフを示す図である。

【図5】 バリアブルノードを示す図である。

【図6】 チェックノードを示す図である。

20

【図7】 本発明を適用した伝送システムの一実施の形態の構成例を示す図である。

【図8】 送信装置11の構成例を示すブロック図である。

【図9】 検査行列を示す図である。

【図10】 パリティ行列を示す図である。

【図11】 DVB-S.2の規格に規定されているLDPC符号の検査行列と列重みとを示す図である。

【図12】 16QAMの信号点配置を示す図である。

【図13】 64QAMの信号点配置を示す図である。

【図14】 64QAMの信号点配置を示す図である。

【図15】 64QAMの信号点配置を示す図である。

30

【図16】 デマルチプレクサ25の処理を説明する図である。

【図17】 デマルチプレクサ25の処理を説明する図である。

【図18】 LDPC符号の復号についてのタナーグラフを示す図である。

【図19】 階段構造になっているパリティ行列 H_T と、そのパリティ行列 H_T に対応するタナーグラフを示す図である。

【図20】 パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列 H_T を示す図である。

【図21】 変換検査行列を示す図である。

【図22】 カラムツイストインターリーブ24の処理を説明する図である。

【図23】 カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

40

【図24】 カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

【図25】 送信処理を説明するフローチャートである。

【図26】 シミュレーションで採用した通信路のモデルを示す図である。

【図27】 シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示す図である。

【図28】 シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示す図である。

【図29】 受信装置12の構成例を示すブロック図である。

50

【図 3 0】受信処理を説明するフローチャートである。

【図 3 1】LDPC符号の検査行列の例を示す図である。

【図 3 2】検査行列に行置換と列置換を施した行列（変換検査行列）を示す図である。

【図 3 3】 5×5 単位に分割した変換検査行列を示す図である。

【図 3 4】ノード演算をP個まとめて行う復号装置の構成例を示すブロック図である。

【図 3 5】LDPC復号部56の構成例を示すブロック図である。

【図 3 6】本発明を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

【図 3 7】符号化率2/3、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 3 8】符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

10

【図 3 9】符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 0】符号化率2/3、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 1】符号化率3/4、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 4 2】符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 3】符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 4】符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 5】符号化率3/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 6】符号化率4/5、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 4 7】符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 4 8】符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である。

20

【図 4 9】符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 0】符号化率4/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 1】符号化率5/6、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 5 2】符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 3】符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 4】符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 5】符号化率5/6、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 6】符号化率8/9、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 5 7】符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 5 8】符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

30

【図 5 9】符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 0】符号化率8/9、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 1】符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 2】符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 3】符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 4】符号化率9/10、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 5】符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 6】符号化率1/4、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 7】符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 6 8】符号化率1/3、符号長64800の検査行列初期値テーブルの例を示す図である。

40

【図 6 9】符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 0】符号化率2/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 1】符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 2】符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 3】符号化率1/2、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 4】符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 5】符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 6】符号化率3/5、符号長64800の検査行列初期値テーブルの例を示す図である。

【図 7 7】符号化率1/4、符号長16200の検査行列初期値テーブルの例を示す図である。

【図 7 8】符号化率1/3、符号長16200の検査行列初期値テーブルの例を示す図である。

50

【図 7 9】 符号化率 $2/5$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
 【図 8 0】 符号化率 $1/2$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
 【図 8 1】 符号化率 $3/5$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
 【図 8 2】 符号化率 $3/5$ 、符号長 16200 の検査行列初期値テーブルの他の例を示す図である。

【図 8 3】 検査行列初期値テーブルから検査行列 H を求める方法を説明する図である。

【図 8 4】 符号ビットの入れ替えの例を示す図である。

【図 8 5】 符号ビットの入れ替えの例を示す図である。

【図 8 6】 符号ビットの入れ替えの例を示す図である。

【図 8 7】 符号ビットの入れ替えの例を示す図である。

10

【図 8 8】 BERのシミュレーション結果を示す図である。

【図 8 9】 BERのシミュレーション結果を示す図である。

【図 9 0】 BERのシミュレーション結果を示す図である。

【図 9 1】 BERのシミュレーション結果を示す図である。

【図 9 2】 符号ビットの入れ替えの例を示す図である。

【図 9 3】 符号ビットの入れ替えの例を示す図である。

【図 9 4】 符号ビットの入れ替えの例を示す図である。

【図 9 5】 符号ビットの入れ替えの例を示す図である。

【図 9 6】 符号ビットの入れ替えの例を示す図である。

【図 9 7】 符号ビットの入れ替えの例を示す図である。

20

【図 9 8】 符号ビットの入れ替えの例を示す図である。

【図 9 9】 符号ビットの入れ替えの例を示す図である。

【図 1 0 0】 符号ビットの入れ替えの例を示す図である。

【図 1 0 1】 符号ビットの入れ替えの例を示す図である。

【図 1 0 2】 符号ビットの入れ替えの例を示す図である。

【図 1 0 3】 符号ビットの入れ替えの例を示す図である。

【図 1 0 4】 デインターリーバ 53 を構成するマルチプレクサ 54 の処理を説明する図である。

【図 1 0 5】 カラムツイストデインターリーバ 55 の処理を説明する図である。

【図 1 0 6】 受信装置 12 の他の構成例を示すブロック図である。

30

【図 1 0 7】 受信装置 12 に適用可能な受信システムの第 1 の構成例を示すブロック図である。

【図 1 0 8】 受信装置 12 に適用可能な受信システムの第 2 の構成例を示すブロック図である。

【図 1 0 9】 受信装置 12 に適用可能な受信システムの第 3 の構成例を示すブロック図である。

【符号の説明】

【0 0 6 9】

1 1 送信装置, 1 2 受信装置, 2 1 LDPC符号化部, 2 2 ビットインターリーバ, 2 3 パリティインターリーバ, 2 4 カラムツイストインターリーバ, 2 5 デマルチプレクサ, 2 6 マッピング部, 2 7 直交変調部, 3 1 メモリ, 3 2 入れ替え部, 5 1 直交復調部, 5 2 デマッピング部, 5 3 デインターリーバ, 5 4 マルチプレクサ, 5 5 カラムツイストインターリーバ, 5 6 LDPC復号部, 3 0 0 枝データ格納用メモリ, 3 0 1 セレクタ, 3 0 2 チェックノード計算部, 3 0 3 サイクリックシフト回路, 3 0 4 枝データ格納用メモリ, 3 0 5 セレクタ, 3 0 6 受信データ用メモリ, 3 0 7 バリアブルノード計算部, 3 0 8 サイクリックシフト回路, 3 0 9 復号語計算部, 3 1 0 受信データ並べ替え部, 3 1 1 復号データ並べ替え部, 4 0 1 バス, 4 0 2 CPU, 4 0 3 ROM, 4 0 4 RAM, 4 0 5 ハードディスク, 4 0 6 出力部, 4 0 7 入力部, 4 0 8 通信部, 4 0 9 ドライブ, 4 1 0 入出力インタフェー

40

50

ス、 4 1 1 リムーバブル記録媒体、 1 0 0 1 逆入れ替え部、 1 0 0 2 メモリ、 1 0 1 1 パリティデインターリーバ、 1 0 2 1 LDPC復号部、 1 1 0 1 取得部、 1 1 0 1 伝送路復号処理部、 1 1 0 3 情報源復号処理部、 1 1 1 1 出力部、 1 1 2 1 記録部

【発明を実施するための最良の形態】

【0070】

図7は、本発明を適用した伝送システム（システムとは、複数の装置が論理的に集合した物をいい、各構成の装置が同一筐体中にあるか否かは、問わない）の一実施の形態の構成例を示している。

【0071】

図7において、伝送システムは、送信装置11と受信装置12とから構成される。

【0072】

送信装置11は、例えば、テレビジョン放送番組の送信を行う装置であり、テレビジョン放送番組としての画像データや音声データ等の、送信の対象である対象データを、例えば、衛星回線や地上波を介して送信する。

【0073】

受信装置12は、例えば、テレビジョン放送番組を受信するチューナやテレビジョン受信機であり、送信装置11から送信されてくる対象データを受信する。

【0074】

図8は、図7の送信装置11の構成例を示している。

【0075】

図8において、送信装置11は、LDPC符号化部21、ビットインターリーバ22、マッピング部26、及び直交変調部27から構成される。

【0076】

LDPC符号化部21には、対象データが供給される。

【0077】

LDPC符号化部21は、そこに供給される対象データについて、LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行い、対象データを情報ビットとするLDPC符号を出力する。

【0078】

すなわち、LDPC符号化部21は、対象データを、例えば、DVB-S.2の規格に規定されているLDPC符号に符号化するLDPC符号化を行い、その結果得られるLDPC符号を出力する。

【0079】

ここで、DVB-S.2の規格に規定されているLDPC符号は、IRA(Irregular Repeat Accumulate)符号であり、そのLDPC符号の検査行列におけるパリティ行列は、階段構造になっている。パリティ行列、及び、階段構造については、後述する。また、IRA符号については、例えば、"Irregular Repeat-Accumulate Codes," H. Jin, A. Khandekar, and R. J. McEliece, in Proceedings of 2nd International Symposium on Turbo codes and Related Topics, pp. 1-8, Sept. 2000に記載されている。

【0080】

LDPC符号化部21が出力するLDPC符号は、ビットインターリーバ22に供給される。

【0081】

ビットインターリーバ22は、データをインターリーブするデータ処理装置であり、パリティインターリーバ(parity interleaver)23、カラムツイストインターリーバ(column twist interleaver)24、及びデマルチプレクサ(DEMUX)25から構成される。

【0082】

パリティインターリーバ23は、LDPC符号化部21からのLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーバ24に供給する。

10

20

30

40

50

【0083】

カラムツイストインターリーブ24は、パリティインターリーブ23からのLDPC符号について、カラムツイストインターリーブを行い、そのカラムツイストインターリーブ後のLDPC符号を、デマルチプレクサ25に供給する。

【0084】

すなわち、LDPC符号は、後述するマッピング部26において、そのLDPC符号の2ビット以上の符号ビットを、直交変調の1つのシンボルにマッピングして送信される。

【0085】

カラムツイストインターリーブ24では、LDPC符号化部21で用いられる検査行列の任意の1行にある1に対応するLDPC符号の複数の符号ビットが、1つのシンボルにマッピングされないように、パリティインターリーブ23からのLDPC符号の符号ビットを並び替える並び替え処理として、例えば、後述するようなカラムツイストインターリーブが行われる。

10

【0086】

デマルチプレクサ25は、カラムツイストインターリーブ24からのLDPC符号について、シンボルにマッピングされるLDPC符号の2以上の符号ビットの位置を入れ替える入れ替え処理を行うことで、AWGNに対する耐性を強化したLDPC符号を得て、マッピング部26に供給する。

【0087】

マッピング部26は、デマルチプレクサ25からのLDPC符号の2ビット以上の符号ビットを、直交変調部27で行われる直交変調（多値変調）の変調方式で定める各信号点にマッピングする。

20

【0088】

すなわち、マッピング部26は、デマルチプレクサ25からのLDPC符号を、搬送波と同相のI成分を表すI軸と、搬送波と直交するQ成分を表すQ軸とで規定されるIQ平面（IQコンスタレーション）上の、変調方式で定める信号点が表すシンボル（シンボル値）にシンボル化する。

【0089】

ここで、直交変調部27で行われる直交変調の変調方式としては、例えば、DVB-Tの規格に規定されている変調方式を含む変調方式、すなわち、例えば、QPSK(Quadrature Phase Shift Keying)や、16QAM(Quadrature Amplitude Modulation)、64QAM、256QAM、1024QAM、4096QAM等がある。直交変調部27において、いずれの変調方式による直交変調が行われるかは、例えば、送信装置11のオペレータの操作に従って、あらかじめ設定される。なお、直交変調部27では、その他、例えば、4PAM(Pulse Amplitude Modulation)その他の直交変調を行うことが可能である。

30

【0090】

マッピング部26で得られたシンボルは、直交変調部27に供給される。

【0091】

直交変調部27は、マッピング部26からのシンボルに従い、搬送波の直交変調を行い、その結果得られる変調信号を送信する。

40

【0092】

次に、図9は、図8のLDPC符号化部21でLDPC符号化に用いられる検査行列Hを示している。

【0093】

検査行列Hは、LDGM(Low-Density Generation Matrix)構造になっており、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列 H_A と、パリティビットに対応するパリティ行列 H_T とによって、式 $H=[H_A | H_T]$ （情報行列 H_A の要素を左側の要素とし、パリティ行列 H_T の要素を右側の要素とする行列）で表すことができる。

【0094】

ここで、1個のLDPC符号（1符号語）の符号ビットのうちの情報ビットのビット数と、

50

パリティビットのビット数を、それぞれ、情報長 K と、パリティ長 M というとともに、1個のLDPC符号の符号ビットのビット数を、符号長 $N(=K+M)$ という。

【0095】

ある符号長 N のLDPC符号についての情報長 K とパリティ長 M は、符号化率によって決まる。また、検査行列 H は、行 $\times$ 列が $M \times N$ の行列となる。そして、情報行列 H_A は、 $M \times K$ の行列となり、パリティ行列 H_T は、 $M \times M$ の行列となる。

【0096】

図10は、DVB-S.2の規格に規定されているLDPC符号の検査行列 H のパリティ行列 H_T を示している。

【0097】

10

DVB-S.2の規格に規定されているLDPC符号の検査行列 H のパリティ行列 H_T は、図10に示すように、1の要素が、いわば階段状に並ぶ階段構造になっている。パリティ行列 H_T の行重みは、1行目については1で、残りの全ての行については2になっている。また、列重みは、最後の1列については1で、残りの全ての列で2になっている。

【0098】

以上のように、パリティ行列 H_T が階段構造になっている検査行列 H のLDPC符号は、その検査行列 H を用いて、容易に生成することができる。

【0099】

すなわち、LDPC符号（1符号語）を、行ベクトル c で表すとともに、その行ベクトルを転置して得られる列ベクトルを、 C^T と表す。また、LDPC符号である行ベクトル c のうちの、情報ビットの部分、行ベクトル A で表すとともに、パリティビットの部分、行ベクトル T で表すこととする。

20

【0100】

ここで、この場合、行ベクトル c は、情報ビットとしての行ベクトル A と、パリティビットとしての行ベクトル T とによって、式 $c = [A|T]$ （行ベクトル A の要素を左側の要素とし、行ベクトル T の要素を右側の要素とする行ベクトル）で表すことができる。

【0101】

検査行列 H と、LDPC符号としての行ベクトル $c=[A|T]$ とは、式 $Hc^T=0$ を満たす必要があり、かかる式 $Hc^T=0$ を満たす行ベクトル $c=[A|T]$ を構成するパリティビットとしての行ベクトル T は、検査行列 $H=[H_A|H_T]$ のパリティ行列 H_T が、図10に示した階段構造になっている場合には、式 $Hc^T=0$ における列ベクトル Hc^T の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

30

【0102】

図11は、DVB-S.2の規格に規定されているLDPC符号の検査行列 H と、列重みとを示している。

【0103】

すなわち、図11のAは、DVB-S.2の規格に規定されているLDPC符号の検査行列 H を示している。

【0104】

検査行列 H の1列目からの KX 列については、列重みが X に、その後の $K3$ 列については、列重みが3に、その後の $M-1$ 列については、列重みが2に、最後の1列については、列重みが1に、それぞれになっている。

40

【0105】

ここで、 $KX+K3+M-1+1$ は、符号長 N に等しい。

【0106】

DVB-S.2の規格において、列数 KX 、 $K3$ 、及び M （パリティ長）、並びに、列重み X は、図11のBに示すように規定されている。

【0107】

すなわち、図11のBは、DVB-S.2の規格に規定されているLDPC符号の各符号化率についての、列数 KX 、 $K3$ 、及び M 、並びに、列重み X を示している。

50

【0108】

DVB-S.2の規格では、64800ビットと16200ビットの符号長NのLDPC符号が規定されている。

【0109】

そして、図11のBに示すように、符号長Nが64800ビットのLDPC符号については、11個の符号化率(nominal rate)1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6,8/9、及び9/10が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率1/4,1/3,2/5,1/2,3/5,2/3,3/4,4/5,5/6、及び8/9が規定されている。

【0110】

LDPC符号については、検査行列Hの列重みが大の列に対応する符号ビットほど、エラーレートが低いことが知られている。

10

【0111】

図11に示した、DVB-S.2の規格に規定されている検査行列Hでは、先頭側（左側）の列ほど、列重みが大の傾向にあり、したがって、その検査行列Hに対応するLDPC符号については、先頭の符号ビットほど、エラーに強く（エラーに対する耐性があり）、終わりの符号ビットほど、エラーに弱い傾向がある。

【0112】

図12は、図8の直交変調部27で16QAMが行われる場合の、16個のシンボル（に対応する信号点）のIQ平面上の配置を示している。

20

【0113】

すなわち、図12のAは、16QAMのシンボルを示している。

【0114】

16QAMでは、1シンボルは、4ビットを表し、16(=2⁴)個のシンボルが存在する。そして、16個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が4×4の正形状となるように配置されている。

【0115】

いま、16QAMの1シンボルが表す4ビットを最上位ビットから順に、 y_0, y_1, y_2, y_3 と表すこととすると、マッピング部26（図8）では、変調方式が16QAMの場合には、LDPC符号の符号ビットの4ビットは、その4ビットに一致する4ビット y_0 ないし y_3 のシンボルにマッピングされる。

30

【0116】

図12のBは、16QAMのシンボルが表す4ビット y_0 ないし y_3 それぞれについてのビット境界を示している。

【0117】

ここで、ビット y_i （図12では、 $i=0,1,2,3$ ）についてのビット境界とは、そのビット y_i が0になっているシンボルと、1になっているシンボルとの境界を意味する。

【0118】

図12のBに示すように、16QAMのシンボルが表す4ビット y_0 ないし y_3 のうちの最上位ビット y_0 については、IQ平面のQ軸の1箇所だけがビット境界となり、2番目（最上位ビットから2番目）のビット y_1 については、IQ平面のI軸の1箇所だけがビット境界となる。

40

【0119】

また、3番目のビット y_2 については、4×4個のシンボルのうちの、左から1列目と2列目との間、及び3列目と4列目との間の2箇所が、ビット境界となる。

【0120】

さらに、4番目のビット y_3 については、4×4個のシンボルのうちの、上から1行目と2行目との間、及び3行目と4行目との間の2箇所が、ビット境界となる。

【0121】

シンボルが表すビット y_i は、ビット境界から離れているシンボルが多いほど、誤りにくく、ビット境界に近いシンボルが多いほど、誤りやすい。

【0122】

50

いま、誤りにくい（エラーに強い）ビットを、「強いビット」というとともに、誤りやすい（エラーに弱い）ビットを、「弱いビット」ということとすると、16QAMのシンボルが表す4ビット y_0 ないし y_3 については、最上位ビット y_0 、及び2番目のビット y_1 が強いビットになっており、3番目のビット y_2 、及び4番目のビット y_3 が弱いビットになっている。

【0123】

図13ないし図15は、図8の直交変調部27で64QAMが行われる場合の、64個のシンボル（に対応する信号点）のIQ平面上の配置を示している。

【0124】

64QAMでは、1シンボルは、6ビットを表し、64($=2^6$)個のシンボルが存在する。そして、64個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が 8×8 の正形状となるように配置されている。

10

【0125】

いま、64QAMの1シンボルが表す6ビットを最上位ビットから順に、 $y_0, y_1, y_2, y_3, y_4, y_5$ と表すこととすると、マッピング部26（図8）では、変調方式が64QAMの場合には、LDPC符号の符号ビットの6ビットは、その6ビットに一致する6ビット y_0 ないし y_5 のシンボルにマッピングされる。

【0126】

ここで、図13は、64QAMのシンボルが表す6ビット y_0 ないし y_5 のうちの、最上位ビット y_0 と、2番目のビット y_1 それぞれについてのビット境界を、図14は、3番目のビット y_2 と、4番目のビット y_3 それぞれについてのビット境界を、図15は、5番目のビット y_4 と、6番目のビット y_5 それぞれについてのビット境界を、それぞれ示している。

20

【0127】

図13に示すように、最上位ビット y_0 と、2番目のビット y_1 それぞれについてのビット境界は、1箇所になっている。また、図14に示すように、3番目のビット y_2 と、4番目のビット y_3 それぞれについてのビット境界は、2箇所になっており、図15に示すように、5番目のビット y_4 と、6番目のビット y_5 それぞれについてのビット境界は、4箇所になっている。

【0128】

したがって、64QAMのシンボルが表す6ビット y_0 ないし y_5 については、最上位ビット y_0 、及び2番目のビット y_1 が、強いビットになっており、3番目のビット y_2 、及び4番目のビット y_3 が、その次に強いビットになっている。そして、5番目のビット y_4 と、6番目のビット y_5 は、弱いビットになっている。

30

【0129】

図12、さらには、図13ないし図15から、直交変調のシンボルのビットについては、上位ビットが強いビットとなり、下位ビットが弱いビットになる傾向があることが分かる。

【0130】

ここで、図11で説明したように、LDPC符号化部21（図8）が出力するLDPC符号については、エラーに強い符号ビットと、エラーに弱い符号ビットがある。

40

【0131】

また、図12ないし図15で説明したように、直交変調部27で行われる直交変調のシンボルのビットについては、強いビットと弱いビットがある。

【0132】

したがって、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、弱いビットに割り当てるマッピングが行われると、全体として、エラーに対する耐性が低下する。

【0133】

そこで、LDPC符号の、エラーに弱い符号ビットを、直交変調のシンボルの、強いビットに割り当てるマッピングが行われるように、LDPC符号の符号ビットをインターリーブする

50

インターリーバが提案されている。

【0134】

図8のデマルチプレクサ25は、そのインターリーバの処理を行う。

【0135】

図16は、図8のデマルチプレクサ25の処理を説明する図である。

【0136】

すなわち、図16のAは、デマルチプレクサ25の機能的な構成例を示している。

【0137】

デマルチプレクサ25は、メモリ31及び入れ替え部32から構成される。

【0138】

メモリ31には、LDPC符号が供給される。

【0139】

メモリ31は、ロウ(row) (横) 方向にmbビットを記憶するとともに、カラム(column) (縦) 方向に $N/(mb)$ ビットを記憶する記憶容量を有し、そこに供給されるLDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出して、入れ替え部32に供給する。

【0140】

ここで、mは、1シンボルにマッピングされるLDPC符号の符号ビットのビット数を表し、bは所定の正の整数で、mを整数倍するのに用いられる倍数である。また、 N (=情報長 K + パリティ長 M) は、上述したように、LDPC符号の符号長を表す。

【0141】

図16のAは、変調方式が64QAMである場合のデマルチプレクサ25の構成例を示しており、したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、6ビットである。

【0142】

また、図16のAでは、倍数bは1になっており、したがって、メモリ31は、カラム方向×ロウ方向が $N/(6 \times 1) \times (6 \times 1)$ ビットの記憶容量を有する。

【0143】

ここで、メモリ31の、ロウ方向が1ビットの、カラム方向に延びる記憶領域を、以下、適宜、カラムという。図16のAでは、メモリ31は、6 (=6×1)個のカラムから構成される。

【0144】

デマルチプレクサ25では、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向 (カラム方向) に書き込むことが、左から右方向のカラムに向かって行われる。

【0145】

そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、6ビット (mbビット) 単位で、符号ビットが読み出され、入れ替え部32に供給される。

【0146】

入れ替え部32は、メモリ31からの6ビットの符号ビットの位置を入れ替える入れ替え処理を行い、その結果得られる6ビットを、64QAMの1シンボルを表す6ビット $y_0, y_1, y_2, y_3, y_4, y_5$ として出力する。

【0147】

すなわち、メモリ31からロウ方向に読み出された6ビットの符号ビットを、最上位ビットから順に、 $b_0, b_1, b_2, b_3, b_4, b_5$ と表すこととすると、図11で説明した列重みの関係で、ビット b_0 の方向にある符号ビットは、エラーに強い符号ビットになっており、ビット b_5 の方向にある符号ビットは、エラーに弱い符号ビットになっている。

【0148】

入れ替え部32では、メモリ31からの6ビットの符号ビット b_0 ないし b_5 のうちの、エラーに弱い符号ビットが、64QAMの1シンボルを表す6ビット y_0 ないし y_5 のうちの、強い

10

20

30

40

50

ビットに割り当てられるように、メモリ 31 からの 6 ビットの符号ビット b_0 ないし b_5 の位置を入れ替える入れ替え処理を行う。

【0149】

ここで、メモリ 31 からの 6 ビットの符号ビット b_0 ないし b_5 をどのように入れ替えて、64QAM の 1 シンボルを表す 6 ビット y_0 ないし y_5 のそれぞれに割り当てるかの入れ替え方式としては、各社から、様々な方式が提案されている。

【0150】

図 16 の B は、第 1 の入れ替え方式を、図 16 の C は、第 2 の入れ替え方式を、図 16 の D は、第 3 の入れ替え方式を、それぞれ示している。

【0151】

図 16 の B ないし図 16 の D において（後述する図 17 においても同様）、ビット b_i と y_j とを結ぶ線分は、符号ビット b_i を、シンボルのビット y_j に割り当てる（ビット y_j の位置に入れ替える）ことを意味する。

【0152】

図 16 の B の第 1 の入れ替え方式としては、3 種類のうちのいずれか 1 つを採用することが提案されており、図 16 の C の第 2 の入れ替え方式としては、2 種類のうちのいずれか 1 つを採用することが提案されている。

【0153】

図 16 の D の第 3 の入れ替え方式としては、6 種類を順番に選択して用いることが提案されている。

【0154】

図 17 は、変調方式が 64QAM であり（したがって、1 シンボルにマッピングされる LDPC 符号の符号ビットのビット数 m は、図 16 と同様に 6 ビットである）、かつ、倍数 b が 2 の場合のデマルチプレクサ 25 の構成例と、第 4 の入れ替え方式を示している。

【0155】

倍数 b が 2 である場合、メモリ 31 は、カラム方向 $\times$ ロウ方向が $N/(6 \times 2) \times (6 \times 2)$ ビットの記憶容量を有し、12 (= 6×2) 個のカラムから構成される。

【0156】

図 17 の A は、メモリ 31 への LDPC 符号の書き込み順を示している。

【0157】

デマルチプレクサ 25 では、図 16 で説明したように、LDPC 符号の符号ビットを、メモリ 31 を構成するカラムの上から下方向（カラム方向）に書き込むことが、左から右方向のカラムに向かって行われる。

【0158】

そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ 31 を構成するすべてのカラムの 1 行目から、ロウ方向に、12 ビット（ mb ビット）単位で、符号ビットが読み出され、入れ替え部 32 に供給される。

【0159】

入れ替え部 32 は、メモリ 31 からの 12 ビットの符号ビットの位置を、第 4 の入れ替え方式で入れ替える入れ替え処理を行い、その結果得られる 12 ビットを、64QAM の 2 シンボル（ b 個のシンボル）を表す 12 ビット、つまり、64QAM の 1 シンボルを表す 6 ビット $y_0, y_1, y_2, y_3, y_4, y_5$ と、次の 1 シンボルを表す 6 ビット $y_0, y_1, y_2, y_3, y_4, y_5$ として出力する。

【0160】

ここで、図 17 の B は、図 17 の A の入れ替え部 32 による入れ替え処理の第 4 の入れ替え方式を示している。

【0161】

なお、どのような入れ替え方式が最適であるか、つまり、AWGN 通信路でのエラーレートを最も良くするかは、LDPC 符号の符号化率等によって異なる。

【0162】

10

20

30

40

50

次に、図 18 ないし図 20 を参照して、図 8 のパリティインターリーブ 23 によるパリティインターリーブについて説明する。

【0163】

図 18 は、LDPC 符号の検査行列のタナグラフ（の一部）を示している。

【0164】

チェックノードは、図 18 に示すように、そのチェックノードに繋がっているバリエブルノード（に対応する符号ビット）の 2 個等の複数が同時にイレージャ等のエラーになると、そのチェックノードに繋がっている全バリエブルノードに、値が 0 である確率と 1 である確率とが等確率のメッセージを戻す。このため、同一のチェックノードに繋がっている複数のバリエブルノードが同時にイレージャ等になると、復号の性能が劣化する。

10

【0165】

ところで、図 8 の LDPC 符号化部 21 が出力する、DVB-S.2 の規格に規定されている LDPC 符号は、IRA 符号であり、検査行列 H のパリティ行列 H_T は、図 10 に示したように、階段構造になっている。

【0166】

図 19 は、階段構造になっているパリティ行列 H_T と、そのパリティ行列 H_T に対応するタナグラフを示している。

【0167】

すなわち、図 19 の A は、階段構造になっているパリティ行列 H_T を示しており、図 19 の B は、図 19 の A のパリティ行列 H_T に対応するタナグラフを示している。

20

【0168】

パリティ行列 H_T が階段構造になっている場合、そのパリティ行列 H_T のタナグラフにおいて、LDPC 符号の、パリティ行列 H_T の値が 1 になっている要素の列に対応する、隣接する符号ビット（パリティビット）を用いてメッセージが求められるバリエブルノードは、同一のチェックノードに繋がっている。

【0169】

したがって、バースト誤りやイレージャ等によって、上述の隣接するパリティビットが同時にエラーとなると、そのエラーとなった複数のパリティビットそれぞれに対応する複数のバリエブルノード（パリティビットを用いてメッセージを求めるバリエブルノード）に繋がっているチェックノードは、値が 0 である確率と 1 である確率とが等確率のメッセージを、そのチェックノードに繋がっているバリエブルノードに戻すため、復号の性能が劣化する。そして、バースト長（バーストによってエラーとなるビット数）が大である場合には、復号の性能は、さらに劣化する。

30

【0170】

そこで、パリティインターリーブ 23（図 8）は、上述した復号の性能の劣化を防止するため、LDPC 符号化部 21 からの、LDPC 符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。

【0171】

図 20 は、図 8 のパリティインターリーブ 23 が行うパリティインターリーブ後の LDPC 符号に対応する検査行列 H のパリティ行列 H_T を示している。

40

【0172】

ここで、LDPC 符号化部 21 が出力する、DVB-S.2 の規格に規定されている LDPC 符号に対応する検査行列 H の情報行列 H_A は、巡回構造になっている。

【0173】

巡回構造とは、ある列が、他の列をサイクリックしたものと一致している構造をいい、例えば、P 列ごとに、その P 列の各行の 1 の位置が、その P 列の最初の列を、パリティ長 M を除算して得られる値 q に比例する値だけ、列方向にサイクリックシフトした位置になっている構造も含まれる。以下、適宜、巡回構造における P 列を、巡回構造の単位の列数という。

【0174】

50

LDPC符号化部 2 1 が出力する、DVB-S.2の規格に規定されているLDPC符号としては、図 1 1 で説明したように、符号長Nが64800ビットと16200ビットとの、2種類のLDPC符号がある。

【0 1 7 5】

いま、符号長Nが64800ビットと16200ビットの2種類のLDPC符号のうちの、符号長Nが64800ビットのLDPC符号に注目すると、その符号長Nが64800ビットのLDPC符号の符号化率は、図 1 1 で説明したように、1 1 個ある。

【0 1 7 6】

この1 1 個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号については、いずれについても、DVB-S.2の規格では、巡回構造の単位の列数Pが、パリティ長Mの約数のうちの、1とMを除く約数の1つである360に規定されている。

10

【0 1 7 7】

また、1 1 個の符号化率それぞれの、符号長Nが64800ビットのLDPC符号については、パリティ長Mは、符号化率によって異なる値qを用いて、式 $M=q \times P=q \times 360$ で表される素数以外の値になっている。したがって、値qも、巡回構造の単位の列数Pと同様に、パリティ長Mの約数のうちの、1とMを除く約数の他の1つであり、パリティ長Mを、巡回構造の単位の列数Pで除算することにより得られる（パリティ長Mの約数であるP及びqの積は、パリティ長Mとなる）。

【0 1 7 8】

パリティインターリーブ 2 3 は、上述したように、情報長をKとし、また、0以上P未満の整数をxとするとともに、0以上q未満の整数をyとすると、パリティインターリーブとして、LDPC符号化部 2 1 からのLDPC符号のK+1ないしK+M(=N)番目の符号ビットであるパリティビットのうちの、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブする。

20

【0 1 7 9】

このようなパリティインターリーブによれば、同一のチェックノードに繋がれるバリアブルノード（に対応するパリティビット）が、巡回構造の単位の列数P、すなわち、ここでは、360ビットだけ離れるので、バースト長が360ビット未満である場合には、同一のチェックノードに繋がっているバリアブルノードの複数が同時にエラーになる事態を避けることができ、その結果、バースト誤りに対する耐性を改善することができる。

30

【0 1 8 0】

なお、K+qx+y+1番目の符号ビットを、K+Py+x+1番目の符号ビットの位置にインターリーブするパリティインターリーブ後のLDPC符号は、元の検査行列Hの、K+qx+y+1番目の列を、K+Py+x+1番目の列に置換する列置換を行って得られる検査行列（以下、変換検査行列ともいう）のLDPC符号に一致する。

【0 1 8 1】

また、変換検査行列のパリティ行列には、図 2 0 に示すように、P列（図 2 0 では、360列）を単位とする擬似巡回構造が現れる。

【0 1 8 2】

ここで、擬似巡回構造とは、一部を除く部分が巡回構造になっている構造を意味する。DVB-S.2の規格に規定されているLDPC符号の検査行列に対して、パリティインターリーブに相当する列置換を施して得られる変換検査行列は、その右隅部分の360行×360列の部分（後述するシフト行列）に、1の要素が1つだけならず（0の要素になっており）、そのために、（完全な）巡回構造ではなく、擬似巡回構造になっている。

40

【0 1 8 3】

なお、図 2 0 の変換検査行列は、元の検査行列Hに対して、パリティインターリーブに相当する列置換の他、変換検査行列が、後述する構成行列で構成されるようにするための行の置換（行置換）も施された行列になっている。

【0 1 8 4】

次に、図 2 1 ないし図 2 4 を参照して、図 8 のカラムツイストインターリーブ 2 4 によ

50

る並び替え処理としてのカラムツイストインターリーブについて説明する。

【0185】

図8の送信装置11では、周波数の利用効率の向上のために、上述したように、LDPC符号の符号ビットの2ビット以上を、1個のシンボルとして送信する。すなわち、例えば、符号ビットの2ビットを1個のシンボルとする場合には、変調方式として、例えば、QPSKが用いられ、符号ビットの4ビットを1個のシンボルとする場合には、変調方式として、例えば、16QAMが用いられる。

【0186】

このように、符号ビットの2ビット以上を、1個のシンボルとして送信する場合、あるシンボルに、イレージャ等が発生すると、そのシンボルの符号ビットは、すべてエラー（イレージャ）になる。

10

【0187】

したがって、復号の性能を向上させるために、同一のチェックノードに繋がっているバリエブルノード（に対応する符号ビット）の複数が同時にイレージャになる確率を低下させるには、1個のシンボルの符号ビットに対応するバリエブルノードが、同一のチェックノードに繋がることを避ける必要がある。

【0188】

一方、上述したように、LDPC符号化部21が出力する、DVB-S.2の規格に規定されているLDPC符号の検査行列Hでは、情報行列 H_A が巡回構造を有し、パリティ行列 H_T が階段構造を有している。そして、図20で説明したように、パリティインターリーブ後のLDPC符号の検査行列である変換検査行列では、パリティ行列にも巡回構造（正確には、上述したように、擬似巡回構造）が現れる。

20

【0189】

図21は、変換検査行列を示している。

【0190】

すなわち、図21のAは、符号長Nが64800ビットで、符号化率(r)が3/4のLDPC符号の検査行列Hの変換検査行列を示している。

【0191】

図21のAでは、変換検査行列において、値が1になっている要素の位置が、点（・）で示されている。

30

【0192】

図21のBは、図21のAの変換検査行列のLDPC符号、つまり、パリティインターリーブ後のLDPC符号を対象として、デマルチプレクサ25（図8）が行う処理を示している。

【0193】

図21のBでは、変調方式を16QAMとして、デマルチプレクサ25のメモリ31を構成する4カラムに、パリティインターリーブ後のLDPC符号の符号ビットが、カラム方向に書き込まれている。

【0194】

メモリ31を構成する4カラムに、カラム方向に書き込まれた符号ビットは、ロウ方向に、4ビット単位で読み出され、1シンボルとなる。

40

【0195】

この場合、1シンボルとなる4ビットの符号ビット B_0, B_1, B_2, B_3 は、図21のAの変換後検査行列の、任意の1行にある1に対応する符号ビットとなっていることがあり、この場合、その符号ビット B_0, B_1, B_2, B_3 それぞれに対応するバリエブルノードは、同一のチェックノードに繋がっている。

【0196】

したがって、1シンボルの4ビットの符号ビット B_0, B_1, B_2, B_3 が、変換後検査行列の任意の1行にある1に対応する符号ビットとなっている場合には、そのシンボルに、イレージャが発生すると、符号ビット B_0, B_1, B_2, B_3 それぞれに対応するバリエブルノードが繋がっている同一のチェックノードにおいて、適切なメッセージを求めることができず、その

50

結果、復号の性能が劣化する。

【0197】

符号化率が3/4以外の符号化率についても、同様に、同一のチェックノードに繋がっている複数のバリエブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされることがある。

【0198】

そこで、カラムツイストインターリーブ24は、変換検査行列の任意の1行にある1に対応する複数の符号ビットが、1個のシンボルにマッピングされないように、パリティインターリーブ23からのパリティインターリーブ後のLDPC符号の符号ビットをインターリーブするカラムツイストインターリーブを行う。

10

【0199】

図22は、カラムツイストインターリーブを説明する図である。

【0200】

すなわち、図22は、デマルチプレクサ25のメモリ31（図16、図17）を示している。

【0201】

メモリ31は、図16で説明したように、カラム（縦）方向にmbビットを記憶するとともに、ロウ（横）方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。そして、カラムツイストインターリーブ24は、メモリ31に対して、LDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出すときの書き始めの位置を制御することで、カラムツイストインターリーブを行う。

20

【0202】

すなわち、カラムツイストインターリーブ24では、複数のカラムそれぞれについて、符号ビットの書き込みを開始する書き始めの位置を、適宜変更することで、ロウ方向に読み出される、1シンボルとされる複数の符号ビットが、変換検査行列の任意の1行にある1に対応する符号ビットにならないようにする（検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替える）。

【0203】

ここで、図22は、変調方式が16QAMであり、かつ、図16で説明した倍数bが1である場合の、メモリ31の構成例を示している。したがって、1シンボルにマッピングされるLDPC符号の符号ビットのビット数mは、4ビットであり、また、メモリ31は、4(=mb)個のカラムで構成されている。

30

【0204】

図22のカラムツイストインターリーブ24は、（図16のデマルチプレクサ25に代わり）、LDPC符号の符号ビットを、メモリ31を構成する4個のカラムの上から下方向（カラム方向）に書き込むことを、左から右方向のカラムに向かって行う。

【0205】

そして、符号ビットの書き込みが、最も右のカラムまで終了すると、カラムツイストインターリーブ24は、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、4ビット（mbビット）単位で、符号ビットを読み出し、カラムツイストインターリーブ後のLDPC符号として、デマルチプレクサ25の入れ替え部32（図16、図17）に出力する。

40

【0206】

但し、図22のカラムツイストインターリーブ24では、各カラムの先頭（一番上）の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、最も左のカラムについては、書き始めの位置を、アドレスが0の位置とし、（左から）2番目のカラムについては、書き始めの位置を、アドレスが2の位置とし、3番目のカラムについては、書き始めの位置を、アドレスが4の位置とし、4番目のカラムについては、書き始めの位置を、アドレスが7の位置とする。

50

【0207】

なお、書き始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットを、最も下の位置まで書き込んだ後は、先頭（アドレスが0の位置）に戻り、書き始めの位置の直前の位置までの書き込みが行われる。そして、その後、次（右）のカラムへの書き込みが行われる。

【0208】

以上のようなカラムツイストインターリーブを行うことにより、DVB-S.2の規格に規定されている、符号長Nが64800の全ての符号化率のLDPC符号について、同一のチェックノードに繋がっている複数のバリエブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされること（同一のシンボルに含まれること）を回避することができ、その結果、イレージャのある通信路での復号の性能を向上させることができる。

10

【0209】

図23は、DVB-S.2の規格に規定されている、符号長Nが64800の、11個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

【0210】

デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは1となる。

20

【0211】

この場合、図23によれば、メモリ31は、ロウ方向に $2 \times 1 (=mb)$ ビットを記憶する2個のカラムを有し、カラム方向に $64800 / (2 \times 1)$ ビットを記憶する。そして、メモリ31の2個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、それぞれされる。

【0212】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数mは、2ビットであり、倍数bは2となる。

【0213】

この場合、図23によれば、メモリ31は、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $64800 / (2 \times 2)$ ビットを記憶する。そして、メモリ31の4個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

30

【0214】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは1となる。

【0215】

この場合、図23によれば、メモリ31は、ロウ方向に 4×1 ビットを記憶する4個のカラムを有し、カラム方向に $64800 / (4 \times 1)$ ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

40

【0216】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数mは、4ビットであり、倍数bは2となる。

50

【0217】

この場合、図23によれば、メモリ31は、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $64800 / (4 \times 2)$ ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0218】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数 m は、6ビットであり、倍数 b は1となる。

【0219】

この場合、図23によれば、メモリ31は、ロウ方向に 6×1 ビットを記憶する6個のカラムを有し、カラム方向に $64800 / (6 \times 1)$ ビットを記憶する。そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが5の位置と、4番目のカラムの書き始めの位置は、アドレスが9の位置と、5番目のカラムの書き始めの位置は、アドレスが10の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、それぞれされる。

【0220】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数 m は、6ビットであり、倍数 b は2となる。

【0221】

この場合、図23によれば、メモリ31は、ロウ方向に 6×2 ビットを記憶する12個のカラムを有し、カラム方向に $64800 / (6 \times 2)$ ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、アドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

【0222】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数 m は、8ビットであり、倍数 b は1となる。

【0223】

この場合、図23によれば、メモリ31は、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $64800 / (8 \times 1)$ ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置

と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0224】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数 m は、8ビットであり、倍数 b は2となる。

【0225】

この場合、図23によれば、メモリ31は、ロウ方向に 8×2 ビットを記憶する16個のカラムを有し、カラム方向に $64800 / (8 \times 2)$ ビットを記憶する。そして、メモリ31の16個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが15の位置と、9番目のカラムの書き始めの位置は、アドレスが16の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、11番目のカラムの書き始めの位置は、アドレスが22の位置と、12番目のカラムの書き始めの位置は、アドレスが22の位置と、13番目のカラムの書き始めの位置は、アドレスが27の位置と、14番目のカラムの書き始めの位置は、アドレスが27の位置と、15番目のカラムの書き始めの位置は、アドレスが28の位置と、16番目のカラムの書き始めの位置は、アドレスが32の位置と、それぞれされる。

【0226】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数 m は、10ビットであり、倍数 b は1となる。

【0227】

この場合、図23によれば、メモリ31は、ロウ方向に 10×1 ビットを記憶する10個のカラムを有し、カラム方向に $64800 / (10 \times 1)$ ビットを記憶する。そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが3の位置と、3番目のカラムの書き始めの位置は、アドレスが6の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが11の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、7番目のカラムの書き始めの位置は、アドレスが15の位置と、8番目のカラムの書き始めの位置は、アドレスが17の位置と、9番目のカラムの書き始めの位置は、アドレスが18の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、それぞれされる。

【0228】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数 m は、10ビットであり、倍数 b は2となる。

【0229】

この場合、図23によれば、メモリ31は、ロウ方向に 10×2 ビットを記憶する20個のカラムを有し、カラム方向に $64800 / (10 \times 2)$ ビットを記憶する。そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが5の位置と、6番目のカラムの書き始めの位置は、アドレスが6の位置と、7番目のカラムの書き始めの位置は、アドレスが6の位置と、8番目のカラムの書き始めの位置は、アドレスが9の位置と、9番目のカラムの書き始めの位置は、アドレスが13の位置と、10番目のカラムの書き始めの位置は、

アドレスが14の位置と、1 1 番目のカラムの書き始めの位置は、アドレスが14の位置と、1 2 番目のカラムの書き始めの位置は、アドレスが16の位置と、1 3 番目のカラムの書き始めの位置は、アドレスが21の位置と、1 4 番目のカラムの書き始めの位置は、アドレスが21の位置と、1 5 番目のカラムの書き始めの位置は、アドレスが23の位置と、1 6 番目のカラムの書き始めの位置は、アドレスが25の位置と、1 7 番目のカラムの書き始めの位置は、アドレスが25の位置と、1 8 番目のカラムの書き始めの位置は、アドレスが26の位置と、1 9 番目のカラムの書き始めの位置は、アドレスが28の位置と、2 0 番目のカラムの書き始めの位置は、アドレスが30の位置と、それぞれされる。

【0 2 3 0】

さらに、デマルチプレクサ 2 5（図 8）の入れ替え処理の入れ替え方式として、図 1 6 の第 1 ないし第 3 の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、4096QAMが採用される場合、1 シンボルのビット数 m は、1 2 ビットであり、倍数 b は1となる。

【0 2 3 1】

この場合、図 2 3 によれば、メモリ 3 1 は、ロウ方向に 12×1 ビットを記憶する 1 2 個のカラムを有し、カラム方向に $64800 / (12 \times 1)$ ビットを記憶する。そして、メモリ 3 1 の 1 2 個のカラムのうちの、1 番目のカラムの書き始めの位置は、アドレスが0の位置と、2 番目のカラムの書き始めの位置は、アドレスが0の位置と、3 番目のカラムの書き始めの位置は、アドレスが2の位置と、4 番目のカラムの書き始めの位置は、アドレスが2の位置と、5 番目のカラムの書き始めの位置は、アドレスが3の位置と、6 番目のカラムの書き始めの位置は、アドレスが4の位置と、7 番目のカラムの書き始めの位置は、アドレスが4の位置と、8 番目のカラムの書き始めの位置は、アドレスが5の位置と、9 番目のカラムの書き始めの位置は、アドレスが5の位置と、1 0 番目のカラムの書き始めの位置は、アドレスが7の位置と、1 1 番目のカラムの書き始めの位置は、アドレスが8の位置と、1 2 番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

【0 2 3 2】

また、デマルチプレクサ 2 5（図 8）の入れ替え処理の入れ替え方式として、図 1 7 の第 4 の入れ替え方式が採用され、かつ、変調方式として、4096QAMが採用される場合、1 シンボルのビット数 m は、1 2 ビットであり、倍数 b は2となる。

【0 2 3 3】

この場合、図 2 3 によれば、メモリ 3 1 は、ロウ方向に 12×2 ビットを記憶する 2 4 個のカラムを有し、カラム方向に $64800 / (12 \times 2)$ ビットを記憶する。そして、メモリ 3 1 の 2 4 個のカラムのうちの、1 番目のカラムの書き始めの位置は、アドレスが0の位置と、2 番目のカラムの書き始めの位置は、アドレスが5の位置と、3 番目のカラムの書き始めの位置は、アドレスが8の位置と、4 番目のカラムの書き始めの位置は、アドレスが8の位置と、5 番目のカラムの書き始めの位置は、アドレスが8の位置と、6 番目のカラムの書き始めの位置は、アドレスが8の位置と、7 番目のカラムの書き始めの位置は、アドレスが10の位置と、8 番目のカラムの書き始めの位置は、アドレスが10の位置と、9 番目のカラムの書き始めの位置は、アドレスが10の位置と、1 0 番目のカラムの書き始めの位置は、アドレスが12の位置と、1 1 番目のカラムの書き始めの位置は、アドレスが13の位置と、1 2 番目のカラムの書き始めの位置は、アドレスが16の位置と、1 3 番目のカラムの書き始めの位置は、アドレスが17の位置と、1 4 番目のカラムの書き始めの位置は、アドレスが19の位置と、1 5 番目のカラムの書き始めの位置は、アドレスが21の位置と、1 6 番目のカラムの書き始めの位置は、アドレスが22の位置と、1 7 番目のカラムの書き始めの位置は、アドレスが23の位置と、1 8 番目のカラムの書き始めの位置は、アドレスが26の位置と、1 9 番目のカラムの書き始めの位置は、アドレスが37の位置と、2 0 番目のカラムの書き始めの位置は、アドレスが39の位置と、2 1 番目のカラムの書き始めの位置は、アドレスが40の位置と、2 2 番目のカラムの書き始めの位置は、アドレスが41の位置と、2 3 番目のカラムの書き始めの位置は、アドレスが41の位置と、2 4 番目のカラムの書き始めの位置は、アドレスが41の位置と、それぞれされる。

【0234】

図24は、DVB-S.2の規格に規定されている、符号長 N が16200の、10個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

【0235】

デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数 m は、2ビットであり、倍数 b は1となる。

【0236】

この場合、図24によれば、メモリ31は、ロウ方向に 2×1 ビットを記憶する2個のカラムを有し、カラム方向に $16200 / (2 \times 1)$ ビットを記憶する。そして、メモリ31の2個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、それぞれされる。

10

【0237】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、QPSKが採用される場合、1シンボルのビット数 m は、2ビットであり、倍数 b は2となる。

【0238】

この場合、図24によれば、メモリ31は、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $16200 / (2 \times 2)$ ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

20

【0239】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数 m は、4ビットであり、倍数 b は1となる。

【0240】

この場合、図24によれば、メモリ31は、ロウ方向に 4×1 ビットを記憶する4個のカラムを有し、カラム方向に $16200 / (4 \times 1)$ ビットを記憶する。そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

30

【0241】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、16QAMが採用される場合、1シンボルのビット数 m は、4ビットであり、倍数 b は2となる。

【0242】

この場合、図24によれば、メモリ31は、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (4 \times 2)$ ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

40

【0243】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の

50

第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数 m は、6ビットであり、倍数 b は1となる。

【0244】

この場合、図24によれば、メモリ31は、ロウ方向に 6×1 ビットを記憶する6個のカラムを有し、カラム方向に $16200 / (6 \times 1)$ ビットを記憶する。そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

10

【0245】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、64QAMが採用される場合、1シンボルのビット数 m は、6ビットであり、倍数 b は2となる。

【0246】

この場合、図24によれば、メモリ31は、ロウ方向に 6×2 ビットを記憶する12個のカラムを有し、カラム方向に $16200 / (6 \times 2)$ ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

20

【0247】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、256QAMが採用される場合、1シンボルのビット数 m は、8ビットであり、倍数 b は1となる。

30

【0248】

この場合、図24によれば、メモリ31は、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (8 \times 1)$ ビットを記憶する。そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

【0249】

40

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数 m は、10ビットであり、倍数 b は1となる。

【0250】

この場合、図24によれば、メモリ31は、ロウ方向に 10×1 ビットを記憶する10個のカラムを有し、カラム方向に $16200 / (10 \times 1)$ ビットを記憶する。そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位

50

置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが4の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0251】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、1024QAMが採用される場合、1シンボルのビット数 m は、10ビットであり、倍数 b は2となる。

【0252】

この場合、図24によれば、メモリ31は、ロウ方向に 10×2 ビットを記憶する20個のカラムを有し、カラム方向に $16200 / (10 \times 2)$ ビットを記憶する。そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが2の位置と、8番目のカラムの書き始めの位置は、アドレスが2の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが5の位置と、11番目のカラムの書き始めの位置は、アドレスが5の位置と、12番目のカラムの書き始めの位置は、アドレスが5の位置と、13番目のカラムの書き始めの位置は、アドレスが5の位置と、14番目のカラムの書き始めの位置は、アドレスが7の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが7の位置と、17番目のカラムの書き始めの位置は、アドレスが7の位置と、18番目のカラムの書き始めの位置は、アドレスが8の位置と、19番目のカラムの書き始めの位置は、アドレスが8の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、それぞれされる。

【0253】

さらに、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図16の第1ないし第3の入れ替え方式のうちのいずれかが採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数 m は、12ビットであり、倍数 b は1となる。

【0254】

この場合、図24によれば、メモリ31は、ロウ方向に 12×1 ビットを記憶する12個のカラムを有し、カラム方向に $16200 / (12 \times 1)$ ビットを記憶する。そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0255】

また、デマルチプレクサ25（図8）の入れ替え処理の入れ替え方式として、図17の第4の入れ替え方式が採用され、かつ、変調方式として、4096QAMが採用される場合、1シンボルのビット数 m は、12ビットであり、倍数 b は2となる。

【0256】

この場合、図24によれば、メモリ31は、ロウ方向に 12×2 ビットを記憶する24個

10

20

30

40

50

の列を有し、列方向に16200/(12×2)ビットを記憶する。そして、メモリ 31 の 24 個の列のうちの、1 番目の列の書き始めの位置は、アドレスが0の位置と、2 番目の列の書き始めの位置は、アドレスが0の位置と、3 番目の列の書き始めの位置は、アドレスが0の位置と、4 番目の列の書き始めの位置は、アドレスが0の位置と、5 番目の列の書き始めの位置は、アドレスが0の位置と、6 番目の列の書き始めの位置は、アドレスが0の位置と、7 番目の列の書き始めの位置は、アドレスが0の位置と、8 番目の列の書き始めの位置は、アドレスが1の位置と、9 番目の列の書き始めの位置は、アドレスが1の位置と、10 番目の列の書き始めの位置は、アドレスが1の位置と、11 番目の列の書き始めの位置は、アドレスが2の位置と、12 番目の列の書き始めの位置は、アドレスが2の位置と、13 番目の列の書き始めの位置は、アドレスが2の位置と、14 番目の列の書き始めの位置は、アドレスが3の位置と、15 番目の列の書き始めの位置は、アドレスが7の位置と、16 番目の列の書き始めの位置は、アドレスが9の位置と、17 番目の列の書き始めの位置は、アドレスが9の位置と、18 番目の列の書き始めの位置は、アドレスが9の位置と、19 番目の列の書き始めの位置は、アドレスが10の位置と、20 番目の列の書き始めの位置は、アドレスが10の位置と、21 番目の列の書き始めの位置は、アドレスが10の位置と、22 番目の列の書き始めの位置は、アドレスが10の位置と、23 番目の列の書き始めの位置は、アドレスが10の位置と、24 番目の列の書き始めの位置は、アドレスが11の位置と、それぞれされる。

10

【0257】

20

次に、図25のフローチャートを参照して、図8の送信装置11で行われる送信処理について説明する。

【0258】

LDPC符号化部21は、そこに、対象データが供給されるのを待って、ステップS101において、対象データを、LDPC符号に符号化し、そのLDPC符号を、ビットインターリーブ部22に供給して、処理は、ステップS102に進む。

【0259】

ビットインターリーブ部22では、ステップS102において、LDPC符号化部21からのLDPC符号を対象として、ビットインターリーブが行われ、そのビットインターリーブ後のLDPC符号が、マッピング部26に供給されて、処理は、ステップS103に進む。

30

【0260】

すなわち、ステップS102では、ビットインターリーブ部22において、パリティインターリーブ部23が、LDPC符号化部21からのLDPC符号を対象として、パリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、列ツイストインターリーブ部24に供給する。

【0261】

列ツイストインターリーブ部24は、パリティインターリーブ部23からのLDPC符号を対象として、列ツイストインターリーブを行い、デマルチプレクサ25は、列ツイストインターリーブ部24による列ツイストインターリーブ後のLDPC符号を対象として、入れ替え処理を行う。そして、入れ替え処理後のLDPC符号は、デマルチプレクサ25から、マッピング部26に供給される。

40

【0262】

マッピング部26は、ステップS103において、デマルチプレクサ25からのLDPC符号のmビットの符号ビットを、直交変調部27で行われる直交変調の変調方式で定める信号点が表すシンボルにマッピングし、直交変調部27に供給して、処理は、ステップS104に進む。

【0263】

直交変調部27は、ステップS104において、マッピング部26からのシンボルに従い、搬送波の直交変調を行って、処理は、ステップS105に進み、直交変調の結果得られる変調信号を送信して、処理を終了する。

50

【0264】

なお、図25の送信処理は繰り返し行われる。

【0265】

以上のように、パリティインターリーブや、カラムツイストインターリーブを行うことで、LDPC符号の複数の符号ビットを1個のシンボルとして送信する場合の、イレージャやバースト誤りに対する耐性を向上させることができる。

【0266】

ここで、図8では、説明の便宜のため、パリティインターリーブを行うブロックであるパリティインターリーブ23と、カラムツイストインターリーブを行うブロックであるカラムツイストインターリーブ24とを、別個に構成するようにしたが、パリティインターリーブ23とカラムツイストインターリーブ24とは、一体的に構成することができる。

10

【0267】

すなわち、パリティインターリーブと、カラムツイストインターリーブとは、いずれも、メモリに対する符号ビットの書き込み、及び読み出しによって行うことができ、符号ビットの書き込みを行うアドレス（書き込みアドレス）を、符号ビットの読み出しを行うアドレス（読み出しアドレス）に変換する行列によって表すことができる。

【0268】

したがって、パリティインターリーブを表す行列と、カラムツイストインターリーブを表す行列とを乗算して得られる行列を求めておけば、その行列によって、符号ビットを変換することで、パリティインターリーブを行い、さらに、そのパリティインターリーブ後のLDPC符号をカラムツイストインターリーブした結果を得ることができる。

20

【0269】

また、パリティインターリーブ23とカラムツイストインターリーブ24に加えて、デマルチプレクサ25も、一体的に構成することが可能である。

【0270】

すなわち、デマルチプレクサ25で行われる入れ替え処理も、LDPC符号を記憶するメモリ31の書き込みアドレスを、読み出しアドレスに変換する行列によって表すことができる。

【0271】

したがって、パリティインターリーブを表す行列、カラムツイストインターリーブを表す行列、及び、入れ替え処理を表す行列を乗算して得られる行列を求めておけば、その行列によって、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理を、一括して行うことができる。

30

【0272】

なお、パリティインターリーブと、カラムツイストインターリーブとについては、そのうちのいずれか一方だけを行うようにすることが可能である。

【0273】

次に、図26ないし図28を参照して、図8の送信装置11について行った、エラーレート(bit error rate)を計測するシミュレーションについて説明する。

【0274】

シミュレーションは、D/Uが0dBのフラッタ(flutter)がある通信路を採用して行った。

40

【0275】

図26は、シミュレーションで採用した通信路のモデルを示している。

【0276】

すなわち、図26のAは、シミュレーションで採用したフラッタのモデルを示している。

【0277】

また、図26のBは、図26のAのモデルで表されるフラッタがある通信路のモデルを示している。

【0278】

50

なお、図 2 6 の B において、H は、図 2 6 の A のフラッタのモデルを表す。また、図 2 6 の B において、N は、ICI (Inter Carrier Interference) を表し、シミュレーションでは、そのパワーの期待値 $E[N^2]$ を、AWGN で近似した。

【0279】

図 2 7 及び図 2 8 は、シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示している。

【0280】

なお、図 2 7 は、変調方式が 16QAM で、符号化率 (r) が (3/4) で、入れ替え方式が第 1 の入れ替え方式である場合の、エラーレートとドップラ周波数 f_d との関係を示している。また、図 2 8 は、変調方式が 64QAM で、符号化率 (r) が (5/6) で、入れ替え方式が第 1 の入れ替え方式である場合の、エラーレートとドップラ周波数 f_d との関係を示している。

10

【0281】

さらに、図 2 7 及び図 2 8 において、太線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の、エラーレートとドップラ周波数 f_d との関係を示しており、細線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のうちの、入れ替え処理だけを行った場合の、エラーレートとドップラ周波数 f_d との関係を示している。

【0282】

図 2 7 及び図 2 8 のいずれにおいても、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の方が、入れ替え処理だけを行った場合よりも、エラーレートが向上する（小さくなる）ことが分かる。

20

【0283】

次に、図 2 9 は、図 7 の受信装置 1 2 の構成例を示すブロック図である。

【0284】

図 2 9 において、受信装置 1 2 は、送信装置 1 1（図 7）からの変調信号を受信するデータ処理装置であり、直交復調部 5 1、デマッピング部 5 2、デインターリーバ 5 3、及び LDPC 復号部 5 6 から構成される。

【0285】

直交復調部 5 1 は、送信装置 1 1 からの変調信号を受信し、直交復調を行って、その結果得られるシンボル (I 及び Q 軸方向それぞれの値) を、デマッピング部 5 2 に供給する。

30

【0286】

デマッピング部 5 2 は、直交復調部 5 1 からのシンボルを、LDPC 符号の符号ビットにするデマッピングを行い、デインターリーバ 5 3 に供給する。

【0287】

デインターリーバ 5 3 は、マルチプレクサ (MUX) 5 4、及びカラムツイストデインターリーバ 5 5 から構成され、デマッピング部 5 2 からの LDPC 符号の符号ビットのデインターリーブを行う。

【0288】

すなわち、マルチプレクサ 5 4 は、デマッピング部 5 2 からの LDPC 符号を対象として、図 8 のデマルチプレクサ 2 5 が行う入れ替え処理に対応する逆入れ替え処理（入れ替え処理の逆の処理）、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られる LDPC 符号を、カラムツイストデインターリーバ 5 5 に供給する。

40

【0289】

カラムツイストデインターリーバ 5 5 は、マルチプレクサ 5 4 からの LDPC 符号を対象として、図 8 のカラムツイストインターリーバ 2 4 が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブ（カラムツイストインターリーブの逆の処理）、すなわち、並び替え処理としてのカラムツイストインターリーブによって並びが変更された LDPC 符号の符号ビットを、元の並びに戻す逆並び替え処理としての、例えば、カラムツイストデインターリーブを行う。

50

【0290】

具体的には、カラムツイストデインターリーブ55は、図22等に示したメモリ31と同様に構成される、デインターリーブ用のメモリに対して、LDPC符号の符号ビットを書き込み、さらに読み出すことで、カラムツイストデインターリーブを行う。

【0291】

但し、カラムツイストデインターリーブ55では、符号ビットの書き込みは、メモリ31からの符号ビットの読み出し時の読み出しアドレスを、書き込みアドレスとして用いて、デインターリーブ用のメモリのロウ方向に行われる。また、符号ビットの読み出しは、メモリ31への符号ビットの書き込み時の書き込みアドレスを、読み出しアドレスとして用いて、デインターリーブ用のメモリのカラム方向に行われる。

10

【0292】

カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーブ55からLDPC復号部56に供給される。

【0293】

ここで、デマッピング部52から、デインターリーブ53に供給されるLDPC符号には、パリティインターリーブ、カラムツイストインターリーブ、及び入れ替え処理が、その順番で施されているが、デインターリーブ53では、入れ替え処理に対応する逆入れ替え処理、及び、カラムツイストインターリーブに対応するカラムツイストデインターリーブしか行われず、したがって、パリティインターリーブに対応するパリティデインターリーブ（パリティインターリーブの逆の処理）、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブは、行われない。

20

【0294】

したがって、デインターリーブ53（のカラムツイストデインターリーブ55）から、LDPC復号部56には、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号が供給される。

【0295】

LDPC復号部56は、デインターリーブ53からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

30

【0296】

図30は、図29の受信装置12が行う受信処理を説明するフローチャートである。

【0297】

直交復調部51は、ステップS111において、送信装置11からの変調信号を受信して、処理は、ステップS112に進み、その変調信号の直交復調を行う。直交復調部51は、直交復調の結果得られるシンボルを、デマッピング部52に供給して、処理は、ステップS112からステップS113に進む。

【0298】

ステップS113では、デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットにするデマッピングを行い、デインターリーブ53に供給して、処理は、ステップS114に進む。

40

【0299】

ステップS114では、デインターリーブ53は、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行って、処理は、ステップS115に進む。

【0300】

すなわち、ステップS114では、デインターリーブ53において、マルチプレクサ54が、デマッピング部52からのLDPC符号を対象として、逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーブ55に供給する。

【0301】

50

カラムツイストデインターリーブ55は、マルチプレクサ54からのLDPC符号を対象として、カラムツイストデインターリーブを行い、その結果得られるLDPC符号を、LDPC復号部56に供給する。

【0302】

ステップS115では、LDPC復号部56が、カラムツイストデインターリーブ55からのLDPC符号のLDPC復号を、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力して、処理は終了する。

【0303】

なお、図30の受信処理は、繰り返し行われる。

【0304】

また、図29でも、図8の場合と同様に、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54と、カラムツイストデインターリーブを行うカラムツイストデインターリーブ55とを、別個に構成するようにしたが、マルチプレクサ54とカラムツイストデインターリーブ55とは、一体的に構成することができる。

【0305】

さらに、図8の送信装置11において、カラムツイストインターリーブを行わない場合には、図29の受信装置12において、カラムツイストデインターリーブ55は、設ける必要がない。

【0306】

次に、図29のLDPC復号部56で行われるLDPC復号について、さらに説明する。

【0307】

図29のLDPC復号部56では、上述したように、カラムツイストデインターリーブ55からの、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号のLDPC復号が、図8のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行われる。

【0308】

ここで、LDPC復号を、変換検査行列を用いて行うことで、回路規模を抑制しつつ、動作周波数を十分実現可能な範囲に抑えることが可能となるLDPC復号が先に提案されている（例えば、特開2004-343170号公報を参照）。

【0309】

そこで、まず、図31ないし図34を参照して、先に提案されている、変換検査行列を用いたLDPC復号について説明する。

【0310】

図31は、符号長Nが90で、符号化率が2/3のLDPC符号の検査行列Hの例を示している。

【0311】

なお、図31では（後述する図32及び図33においても同様）、0を、ピリオド(.)で表現している。

【0312】

図31の検査行列Hでは、パリティ行列が階段構造になっている。

【0313】

図32は、図31の検査行列Hに、式(8)の行置換と、式(9)の列置換を施して得られる検査行列H'を示している。

【0314】

行置換: $6s+t+1$ 行目 $\rightarrow$ $5t+s+1$ 行目

・・・(8)

【0315】

列置換: $6x+y+61$ 列目 $\rightarrow$ $5y+x+61$ 列目

10

20

30

40

50

．．．(9)

【0316】

但し、式(8)及び(9)において、 s, t, x, y は、それぞれ、 $0 \leq s < 5, 0 \leq t < 6, 0 \leq x < 5, 0 \leq t < 6$ の範囲の整数である。

【0317】

式(8)の行置換によれば、6で割って余りが1になる1, 7, 13, 19, 25行目を、それぞれ、1, 2, 3, 4, 5行目に、6で割って余りが2になる2, 8, 14, 20, 26行目を、それぞれ、6, 7, 8, 9, 10行目に、という具合に置換が行われる。

【0318】

また、式(9)の列置換によれば、61列目以降(パリティ行列)に対して、6で割って余りが1になる61, 67, 73, 79, 85列目を、それぞれ、61, 62, 63, 64, 65列目に、6で割って余りが2になる62, 68, 74, 80, 86列目を、それぞれ、66, 67, 68, 69, 70列目に、という具合に置換が行われる。

【0319】

このようにして、図31の検査行列Hに対して、行と列の置換を行って得られた行列(matrix)が、図32の検査行列H'である。

【0320】

ここで、検査行列Hの行置換を行っても、LDPC符号の符号ビットの並びには影響しない。

【0321】

また、式(9)の列置換は、上述の、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブの、情報長Kを60と、巡回構造の単位の列数Pを5と、パリティ長M(ここでは、30)の約数 $q(=M/P)$ を6と、それぞれしたときのパリティインターリーブに相当する。

【0322】

図32の検査行列(以下、適宜、置換検査行列という)H'に対して、図31の検査行列(以下、適宜、元の検査行列という)HのLDPC符号に、式(9)と同一の置換を行ったものを乗じると、0ベクトルが出力される。すなわち、元の検査行列HのLDPC符号(1符号語)としての行ベクトルcに、式(9)の列置換を施して得られる行ベクトルをc'と表すこととすると、検査行列の性質から、 Hc^T は、0ベクトルとなるから、 $H'c'^T$ も、当然、0ベクトルとなる。

【0323】

以上から、図32の変換検査行列H'は、元の検査行列HのLDPC符号cに、式(9)の列置換を行って得られるLDPC符号c'の検査行列になっている。

【0324】

したがって、元の検査行列HのLDPC符号cに、式(9)の列置換を行い、その列置換後のLDPC符号c'を、図32の変換検査行列H'を用いて復号(LDPC復号)し、その復号結果に、式(9)の列置換の逆置換を施すことで、元の検査行列HのLDPC符号を、その検査行列Hを用いて復号する場合と同様の復号結果を得ることができる。

【0325】

図33は、 5×5 の行列の単位に間隔を空けた、図32の変換検査行列H'を示している。

【0326】

図33においては、変換検査行列H'は、 5×5 の単位行列、その単位行列の1のうち1個以上が0になった行列(以下、適宜、準単位行列という)、単位行列または準単位行列をサイクリックシフト(cyclic shift)した行列(以下、適宜、シフト行列という)、単位行列、準単位行列、またはシフト行列のうちの2以上の和(以下、適宜、和行列という)、 5×5 の0行列の組み合わせで表されている。

【0327】

図 3 3 の変換検査行列 H' は、 5×5 の単位行列、準単位行列、シフト行列、和行列、0 行列で構成されているといえることができる。そこで、変換検査行列 H' を構成する、これらの 5×5 の行列を、以下、適宜、構成行列という。

【0 3 2 8】

$P \times P$ の構成行列で表される検査行列で表される LDPC 符号の復号には、チェックノード演算、及びバリアブルノード演算を、 P 個同時に行うアーキテクチャ (architecture) を用いることができる。

【0 3 2 9】

図 3 4 は、そのような復号を行う復号装置の構成例を示すブロック図である。

【0 3 3 0】

すなわち、図 3 4 は、図 3 1 の元の検査行列 H に対して、少なくとも、式 (9) の列置換を行って得られる図 3 3 の変換検査行列 H' を用いて、LDPC 符号の復号を行う復号装置の構成例を示している。

【0 3 3 1】

図 3 4 の復号装置は、6 つの FIFO 3 0 0₁ ないし 3 0 0₆ からなる枝データ格納用メモリ 3 0 0、FIFO 3 0 0₁ ないし 3 0 0₆ を選択するセレクタ 3 0 1、チェックノード計算部 3 0 2、2 つのサイクリックシフト回路 3 0 3 及び 3 0 8、1 8 個の FIFO 3 0 4₁ ないし 3 0 4₁₈ からなる枝データ格納用メモリ 3 0 4、FIFO 3 0 4₁ ないし 3 0 4₁₈ を選択するセレクタ 3 0 5、受信情報を格納する受信データ用メモリ 3 0 6、バリアブルノード計算部 3 0 7、復号語計算部 3 0 9、受信データ並べ替え部 3 1 0、復号データ並べ替え部 3 1 1 からなる。

【0 3 3 2】

まず、枝データ格納用メモリ 3 0 0 と 3 0 4 へのデータの格納方法について説明する。

【0 3 3 3】

枝データ格納用メモリ 3 0 0 は、図 3 3 の変換検査行列 H' の行数 3 0 を構成行列の行数 5 で除算した数である 6 つの FIFO 3 0 0₁ ないし 3 0 0₆ から構成されている。FIFO 3 0 0_y ($y = 1, 2, \dots, 6$) は、複数の段数の記憶領域からなり、各段数の記憶領域には、構成行列の行数及び列数である 5 つの枝に対応するメッセージを同時に読み出しもしくは書き込むことができるようになっている。また、FIFO 3 0 0_y の記憶領域の段数は、図 3 3 の変換検査行列の行方向の 1 の数 (ハミング重み) の最大数である 9 になっている。

【0 3 3 4】

FIFO 3 0 0₁ には、図 3 3 の変換検査行列 H' の第 1 行目から第 5 行目までの 1 の位置に対応するデータ (バリアブルノードからのメッセージ v_i) が、各行共に横方向に詰めた形に (0 を無視した形で) 格納される。すなわち、第 j 行第 i 列を、 (j, i) と表すこととすると、FIFO 3 0 0₁ の第 1 段の記憶領域には、変換検査行列 H' の (1, 1) から (5, 5) の 5×5 の単位行列の 1 の位置に対応するデータが格納される。第 2 段の記憶領域には、変換検査行列 H' の (1, 21) から (5, 25) のシフト行列 (5×5 の単位行列を右方向に 3 つだけサイクリックシフトしたシフト行列) の 1 の位置に対応するデータが格納される。第 3 から第 8 段の記憶領域も同様に、変換検査行列 H' と対応付けてデータが格納される。そして、第 9 段の記憶領域には、変換検査行列 H' の (1, 86) から (5, 90) のシフト行列 (5×5 の単位行列のうちの 1 行目の 1 を 0 に置き換えて 1 つだけ左にサイクリックシフトしたシフト行列) の 1 の位置に対応するデータが格納される。

【0 3 3 5】

FIFO 3 0 0₂ には、図 3 3 の変換検査行列 H' の第 6 行目から第 10 行目までの 1 の位置に対応するデータが格納される。すなわち、FIFO 3 0 0₂ の第 1 段の記憶領域には、変換検査行列 H' の (6, 1) から (10, 5) の和行列 (5×5 の単位行列を右に 1 つだけサイクリックシフトした第 1 のシフト行列と、右に 2 つだけサイクリックシフトした第 2 のシフト行列の和である和行列) を構成する第 1 のシフト行列の 1 の位置に対応するデータが格納される。また、第 2 段の記憶領域には、変換検査行列 H' の (6, 1) から (10, 5) の和行列を構成す

10

20

30

40

50

る第2のシフト行列の1の位置に対応するデータが格納される。

【0336】

すなわち、重みが2以上の構成行列については、その構成行列を、重みが1である $P \times P$ の単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ（単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ）は、同一アドレス（FIFO300₁ないし300₆のうちの同一のFIFO）に格納される。

【0337】

以下、第3から第9段の記憶領域についても、変換検査行列H'に対応付けてデータが格納される。

【0338】

FIFO300₃ないし300₆も同様に変換検査行列H'に対応付けてデータを格納する。

【0339】

枝データ格納用メモリ304は、変換検査行列H'の列数90を、構成行列の列数である5で割った18個のFIFO304₁ないし304₁₈から構成されている。FIFO304_x（ $x = 1, 2, \dots, 18$ ）は、複数の段数の記憶領域からなり、各段の記憶領域には、変換検査行列H'の行数及び列数である5つの枝に対応するメッセージを同時に読み出しもしくは書き込むことができるようになっている。

【0340】

FIFO304₁には、図33の変換検査行列H'の第1列目から第5列目までの1の位置に対応するデータ（チェックノードからのメッセージ u_j ）が、各列共に縦方向に詰めた形に（0を無視した形で）格納される。すなわち、FIFO304₁の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の 5×5 の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列（ 5×5 の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列との和である和行列）を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第3段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

【0341】

すなわち、重みが2以上の構成行列については、その構成行列を、重みが1である $P \times P$ の単位行列、その要素である1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ（単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ）は、同一アドレス（FIFO304₁ないし304₁₈のうちの同一のFIFO）に格納される。

【0342】

以下、第4及び第5段の記憶領域についても、変換検査行列H'に対応付けて、データが格納される。このFIFO304₁の記憶領域の段数は、変換検査行列H'の第1列から第5列における行方向の1の数（ハミング重み）の最大数である5になっている。

【0343】

FIFO304₂と304₃も同様に変換検査行列H'に対応付けてデータを格納し、それぞれの長さ（段数）は、5である。FIFO304₄ないし304₁₂も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは3である。FIFO304₁₃ないし304₁₈も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは2である。

【0344】

次に、図34の復号装置の動作について説明する。

【0345】

枝データ格納用メモリ300は、6つのFIFO300₁ないし300₆からなり、前段のサ

イクリックシフト回路 308 から供給される 5 つのメッセージ D311 が、変換検査行列 H' の行に属するかの情報 (Matrix データ) D312 に従って、データを格納する FIFO を、FIFO 300₁ ないし 300₆ の中から選び、選んだ FIFO に 5 つのメッセージ D311 をまとめて順番に格納していく。また、枝データ格納用メモリ 300 は、データを読み出す際には、FIFO 300₁ から 5 つのメッセージ D300₁ を順番に読み出し、次段のセクタ 301 に供給する。枝データ格納用メモリ 300 は、FIFO 300₁ からのメッセージの読み出しの終了後、FIFO 300₂ ないし 300₆ から、順番に、メッセージを読み出し、セクタ 301 に供給する。

【0346】

セクタ 301 は、セレクト信号 D301 に従って、FIFO 300₁ ないし 300₆ のうちの、
10
現在データが読み出されている FIFO からの 5 つのメッセージを選択し、メッセージ D302 として、チェックノード計算部 302 に供給する。

【0347】

チェックノード計算部 302 は、5 つのチェックノード計算器 302₁ ないし 302₅ からなり、セクタ 301 を通して供給されるメッセージ D302 (D302₁ ないし D302₅) (式 (7) のメッセージ v_i) を用いて、式 (7) に従ってチェックノード演算を行い、そのチェックノード演算の結果得られる 5 つのメッセージ D303 (D303₁ ないし D303₅) (式 (7) のメッセージ u_j) をサイクリックシフト回路 303 に供給する。

【0348】

サイクリックシフト回路 303 は、チェックノード計算部 302 で求められた 5 つのメッセージ D303₁ ないし D303₅ を、対応する枝が変換検査行列 H' において元となる単位行列を幾つサイクリックシフトしたものであるかの情報 (Matrix データ) D305 を元にサイクリックシフトし、その結果をメッセージ D304 として、枝データ格納用メモリ 304 に供給する。
20

【0349】

枝データ格納用メモリ 304 は、18 個の FIFO 304₁ ないし 304₁₈ からなり、前段のサイクリックシフト回路 303 から供給される 5 つのメッセージ D304 が変換検査行列 H' のどの行に属するかの情報 D305 に従って、データを格納する FIFO を、FIFO 304₁ ないし 304₁₈ の中から選び、選んだ FIFO に 5 つのメッセージ D304 をまとめて順番に格納していく。また、枝データ格納用メモリ 304 は、データを読み出す際には、FIFO 304₁ から
30
5 つのメッセージ D306₁ を順番に読み出し、次段のセクタ 305 に供給する。枝データ格納用メモリ 304 は、FIFO 304₁ からのデータの読み出しの終了後、FIFO 304₂ ないし 304₁₈ から、順番に、メッセージを読み出し、セクタ 305 に供給する。

【0350】

セクタ 305 は、セレクト信号 D307 に従って、FIFO 304₁ ないし 304₁₈ のうちの、
現在データが読み出されている FIFO からの 5 つのメッセージを選択し、メッセージ D308 として、バリアブルノード計算部 307 と復号語計算部 309 に供給する。

【0351】

一方、受信データ並べ替え部 310 は、通信路を通して受信した LDPC 符号 D313 を、式 (9) の列置換を行うことにより並べ替え、受信データ D314 として、受信データ用メモリ 306 に供給する。受信データ用メモリ 306 は、受信データ並べ替え部 310 から供給される受信データ D314 から、受信 LLR (対数尤度比) を計算して記憶し、その受信 LLR を 5 個ずつまとめて受信値 D309 として、バリアブルノード計算部 307 と復号語計算部 309 に供給する。
40

【0352】

バリアブルノード計算部 307 は、5 つのバリアブルノード計算器 307₁ ないし 307₅ からなり、セクタ 305 を通して供給されるメッセージ D308 (D308₁ ないし D308₅) (式 (1) のメッセージ u_j) と、受信データ用メモリ 306 から供給される 5 つの受信値 D309 (式 (1) の受信値 u_{0i}) を用いて、式 (1) に従ってバリアブルノード演算を行い、その演算の結果得られるメッセージ D310 (D310₁ ないし D310₅) (式 (1) のメッセージ v_i)
50

を、サイクリックシフト回路 308 に供給する。

【0353】

サイクリックシフト回路 308 は、バリアブルノード計算部 307 で計算されたメッセージ $D310_1$ ないし $D310_5$ を、対応する枝が変換検査行列 H' において元となる単位行列を幾つサイクリックシフトしたものであるかの情報を元にサイクリックシフトし、その結果をメッセージ $D311$ として、枝データ格納用メモリ 300 に供給する。

【0354】

以上の動作を 1 巡することで、LDPC 符号の 1 回の復号を行うことができる。図 34 の復号装置は、所定の回数だけ LDPC 符号を復号した後、復号語計算部 309 及び復号データ並べ替え部 311 において、最終的な復号結果を求めて出力する。

10

【0355】

すなわち、復号語計算部 309 は、5 つの復号語計算器 309_1 ないし 309_5 からなり、セレクト 305 が出力する 5 つのメッセージ $D308$ ($D308_1$ ないし $D308_5$) (式 (5) のメッセージ u_j) と、受信データ用メモリ 306 から供給される 5 つの受信値 $D309$ (式 (5) の受信値 u_{0i}) を用い、複数回の復号の最終段として、式 (5) に基づいて、復号結果 (復号語) を計算して、その結果得られる復号データ $D315$ を、復号データ並べ替え部 311 に供給する。

【0356】

復号データ並べ替え部 311 は、復号語計算部 309 から供給される復号データ $D315$ を対象に、式 (9) の列置換の逆置換を行うことにより、その順序を並べ替え、最終的な復号結果 $D316$ として出力する。

20

【0357】

以上のように、検査行列 (元の検査行列) に対して、行置換と列置換のうちの一方又は両方を施し、 $P \times P$ の単位行列、その要素の 1 のうち 1 個以上が 0 になった準単位行列、単位行列もしくは準単位行列をサイクリックシフトしたシフト行列、単位行列、準単位行列、もしくはシフト行列の複数の和である和行列、 $P \times P$ の 0 行列の組合せ、つまり、構成行列の組み合わせで表すことができる検査行列 (変換検査行列) に変換することで、LDPC 符号の復号を、チェックノード演算とバリアブルノード演算を P 個同時に行うアーキテクチャ (architecture) を採用することが可能となり、これにより、ノード演算を、 P 個同時に行うことで動作周波数を実現可能な範囲に抑えて、多数の繰り返し復号を行うことができる。

30

【0358】

図 29 の受信装置 12 を構成する LDPC 復号部 56 は、図 34 の復号装置と同様に、チェックノード演算とバリアブルノード演算を P 個同時に行うことで、LDPC 復号を行うようになっている。

【0359】

すなわち、いま、説明を簡単にするために、図 8 の送信装置 11 を構成する LDPC 符号化部 21 が出力する LDPC 符号の検査行列が、例えば、図 31 に示した、パリティ行列が階段構造になっている検査行列 H であるとする、送信装置 11 のパリティインターリーブ 23 では、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブが、情報長 K を 60 に、巡回構造の単位の列数 P を 5 に、パリティ長 M の約数 $q (=M/P)$ を 6 に、それぞれして行われる。

40

【0360】

このパリティインターリーブは、上述したように、式 (9) の列置換に相当するから、LDPC 復号部 56 では、式 (9) の列置換を行う必要がない。

【0361】

このため、図 29 の受信装置 12 では、上述したように、カラムツイストデインターリーブ 55 から、LDPC 復号部 56 に対して、パリティデインターリーブが行われていない LDPC 符号、つまり、式 (9) の列置換が行われた状態の LDPC 符号が供給され、LDPC 復号部 56 では、式 (9) の列置換を行わないことを除けば、図 34 の復号装置と同様の処理が行

50

われる。

【0362】

すなわち、図35は、図29のLDPC復号部56の構成例を示している。

【0363】

図35において、LDPC復号部56は、図34の受信データ並べ替え部310が設けられていないことを除けば、図34の復号装置と同様に構成されており、式(9)の列置換が行われないことを除いて、図34の復号装置と同様の処理を行うため、その説明は省略する。

【0364】

以上のように、LDPC復号部56は、受信データ並べ替え部310を設けずに構成することができるので、図34の復号装置よりも、規模を削減することができる。

10

【0365】

なお、図31ないし図35では、説明を簡単にするために、LDPC符号の符号長 N を90と、情報長 K を60と、巡回構造の単位の列数（構成行列の行数及び列数） P を5と、パリティ長 M の約数 $q(=M/P)$ を6と、それぞれしたが、符号長 N 、情報長 K 、巡回構造の単位の列数 P 、及び約数 $q(=M/P)$ のそれぞれは、上述した値に限定されるものではない。

【0366】

すなわち、図8の送信装置11において、LDPC符号化部21が出力するのは、例えば、符号長 N を64800と、情報長 K を $N-Pq(=N-M)$ と、巡回構造の単位の列数 P を360と、約数 q を M/P と、それぞれするLDPC符号であるが、図35のLDPC復号部56は、そのようなLDPC符号を対象として、チェックノード演算とバリエブルノード演算を P 個同時に行うことで、LDPC復号を行う場合にも適用可能である。

20

【0367】

次に、上述した一連の処理は、ハードウェアにより行うこともできるし、ソフトウェアにより行うこともできる。一連の処理をソフトウェアによって行う場合には、そのソフトウェアを構成するプログラムが、汎用のコンピュータ等にインストールされる。

【0368】

そこで、図36は、上述した一連の処理を実行するプログラムがインストールされるコンピュータの一実施の形態の構成例を示している。

【0369】

30

プログラムは、コンピュータに内蔵されている記録媒体としてのハードディスク405やROM403に予め記録しておくことができる。

【0370】

あるいはまた、プログラムは、フレキシブルディスク、CD-ROM(Compact Disc Read Only Memory)、MO(Magneto Optical)ディスク、DVD(Digital Versatile Disc)、磁気ディスク、半導体メモリなどのリムーバブル記録媒体411に、一時的あるいは永続的に格納（記録）しておくことができる。このようなリムーバブル記録媒体411は、いわゆるパッケージソフトウェアとして提供することができる。

【0371】

なお、プログラムは、上述したようなリムーバブル記録媒体411からコンピュータにインストールする他、ダウンロードサイトから、デジタル衛星放送用の人工衛星を介して、コンピュータに無線で転送したり、LAN(Local Area Network)、インターネットといったネットワークを介して、コンピュータに有線で転送し、コンピュータでは、そのようにして転送されてくるプログラムを、通信部408で受信し、内蔵するハードディスク405にインストールすることができる。

40

【0372】

コンピュータは、CPU(Central Processing Unit)402を内蔵している。CPU402には、バス401を介して、入出力インタフェース410が接続されており、CPU402は、入出力インタフェース410を介して、ユーザによって、キーボードや、マウス、マイク等で構成される入力部407が操作等されることにより指令が入力されると、それに従

50

って、ROM(Read Only Memory) 4 0 3 に格納されているプログラムを実行する。あるいは、また、CPU 4 0 2 は、ハードディスク 4 0 5 に格納されているプログラム、衛星若しくはネットワークから転送され、通信部 4 0 8 で受信されてハードディスク 4 0 5 にインストールされたプログラム、又はドライブ 4 0 9 に装着されたリムーバブル記録媒体 4 1 1 から読み出されてハードディスク 4 0 5 にインストールされたプログラムを、RAM(Random Access Memory) 4 0 4 にロードして実行する。これにより、CPU 4 0 2 は、上述したフローチャートに従った処理、あるいは上述したブロック図の構成により行われる処理を行う。そして、CPU 4 0 2 は、その処理結果を、必要に応じて、例えば、入出力インタフェース 4 1 0 を介して、LCD(Liquid Crystal Display)やスピーカ等で構成される出力部 4 0 6 から出力、あるいは、通信部 4 0 8 から送信、さらには、ハードディスク 4 0 5 に記録等させる。

10

【0 3 7 3】

ここで、本明細書において、コンピュータに各種の処理を行わせるためのプログラムを記述する処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。

【0 3 7 4】

また、プログラムは、1のコンピュータにより処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

20

【0 3 7 5】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0 3 7 6】

すなわち、本実施の形態では、DVB-S.2に規定されているLDPC符号を対象として、パリティインターリーブや、並び替え処理としてのカラムツイストインターリーブを行うようにしたが、パリティインターリーブは、パリティ行列が階段構造になっていれば、情報行列が巡回構造になっていない検査行列のLDPC符号に適用可能であり、並び替え処理としてのカラムツイストインターリーブは、例えば、少なくとも列置換によって擬似巡回構造となる検査行列のLDPC符号や、検査行列の全体が巡回構造になっているQC(Quasi-Cyclic)-LDPC符号等にも適用可能である。

30

【0 3 7 7】

すなわち、パリティインターリーブの対象とするLDPC符号の検査行列は、そのパリティ行列が階段構造になっていればよく、情報行列が巡回構造になっている必要はない。

【0 3 7 8】

また、並び替え処理としてのカラムツイストインターリーブの対象とするLDPC符号の検査行列は、特に構造が限定されるものではない。

【0 3 7 9】

なお、並び替え処理は、検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替えることができればよく、カラムツイストインターリーブ以外の方法で行うことが可能である。すなわち、並び替え処理は、カラム方向及びロウ方向にデータを記憶するメモリ31ではなく、例えば、1方向にのみデータを記憶するメモリを用い、書き込みアドレス及び読み出しアドレスを制御することによって行うことが可能である。

40

【0 3 8 0】

次に、送信装置11のLDPC符号化部21によるLDPC符号化の処理について、さらに説明する。

【0 3 8 1】

例えば、DVB-S.2の規格では、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されている。

50

【0382】

そして、符号長 N が64800ビットのLDPC符号については、11個の符号化率 $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$ 、及び $9/10$ が規定されており、符号長 N が16200ビットのLDPC符号については、10個の符号化率 $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6$ 、及び $8/9$ が規定されている。

【0383】

LDPC符号化部21は、このような、符号長 N が64800ビットや16200ビットの各符号化率のLDPC符号による符号化（誤り訂正符号化）を、符号長 N ごと、及び符号化率ごとに用意された検査行列 H に従って行う。

【0384】

すなわち、LDPC符号化部21は、検査行列 H を生成するための、後述する検査行列初期値テーブルを、符号長 N ごと、及び符号化率ごとに記憶している。

【0385】

ここで、DVB-S.2の規格では、上述のように、64800ビットと16200ビットとの2通りの符号長 N のLDPC符号が規定されており、符号長 N が64800ビットのLDPC符号については、11個の符号化率が、符号長 N が16200ビットのLDPC符号については、10個の符号化率が、それぞれ規定されている。

【0386】

したがって、送信装置11が、DVB-S.2の規格に準拠した処理を行う装置である場合、LDPC符号化部21には、符号長 N が64800ビットのLDPC符号についての、11個の符号化率それぞれに対応する検査行列初期値テーブルと、符号長 N が16200ビットのLDPC符号についての、10個の符号化率それぞれに対応する検査行列初期値テーブルとが記憶される。

【0387】

LDPC符号化部21は、例えば、オペレータの操作等に応じて、LDPC符号の符号長 N と符号化率 r とを設定する。ここで、以下、適宜、LDPC符号化部21で設定された符号長 N と符号化率 r を、それぞれ、設定符号長 N と設定符号化率 r ともいう。

【0388】

LDPC符号化部21は、設定符号長 N 及び設定符号化率 r に対応する検査行列初期値テーブルに基づいて、設定符号長 N 及び設定符号化率 r に応じた情報長 K （ $=Nr$ =符号長 N -パリティ長 M ）に対応する情報行列 H_A の1の要素を列方向に360列（巡回構造の単位の列数 P ）ごとの周期で配置して検査行列 H を生成する。

【0389】

そして、LDPC符号化部21は、送信装置11に供給される、画像データや音声データ等の、送信の対象である対象データから、情報長 K 分の情報ビットを抽出する。さらに、LDPC符号化部21は、検査行列 H に基づいて、情報ビットに対するパリティビットを算出し、1符号長分の符号語（LDPC符号）を生成する。

【0390】

すなわち、LDPC符号化部21は、次式を満たす符号語 c のパリティビットを順次演算する。

【0391】

$$Hc^T=0$$

【0392】

ここで、上式において、 c は、符号語（LDPC符号）としての行ベクトルを表し、 c^T は、行ベクトル c の転置を表す。

【0393】

LDPC符号（1符号語）としての行ベクトル c のうちの、情報ビットの部分を、行ベクトル A で表すとともに、パリティビットの部分を、行ベクトル T で表す場合には、行ベクトル c は、情報ビットとしての行ベクトル A と、パリティビットとしての行ベクトル T とによって、式 $c=[A|T]$ で表すことができる。

【0394】

10

20

30

40

50

また、検査行列 H は、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列 H_A と、パリティビットに対応するパリティ行列 H_T とによって、式 $H=[H_A | H_T]$ （情報行列 H_A の要素を左側の要素とし、パリティ行列 H_T の要素を右側の要素とする行列）で表すことができる。

【0395】

さらに、例えば、DVB-S.2の規格では、検査行列 $H=[H_A | H_T]$ のパリティ行列 H_T が階段構造になっている。

【0396】

検査行列 H と、LDPC符号としての行ベクトル $c=[A|T]$ とは、式 $Hc^T=0$ を満たす必要があり、かかる式 $Hc^T=0$ を満たす行ベクトル $c=[A|T]$ を構成するパリティビットとしての行ベクトル T は、検査行列 $H=[H_A | H_T]$ のパリティ行列 H_T が階段構造になっている場合には、式 $Hc^T=0$ における列ベクトル Hc^T の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的に求めることができる。

10

【0397】

LDPC符号化部21は、情報ビット A に対して、パリティビット T を求めると、その情報ビット A とパリティビット T とによって表される符号語 $c=[A|T]$ を、情報ビット A のLDPC符号化結果として出力する。

【0398】

以上のように、LDPC符号化部21は、各符号長 N 、及び、各符号化率 r に対応する検査行列初期値テーブルを記憶しており、設定符号長 N の、設定符号化率 r のLDPC符号化を、その設定符号長 N 、及び、設定符号化率 r に対応する検査行列初期値テーブルから生成される検査行列 H を用いて行う。

20

【0399】

検査行列初期値テーブルは、検査行列 H の、LDPC符号（検査行列 H によって定義されるLDPC符号）の符号長 N 及び符号化率 r に応じた情報長 K に対応する情報行列 H_A の1の要素の位置を360列（巡回構造の単位の列数 P ）ごとに表すテーブルであり、各符号長 N 及び各符号化率 r の検査行列 H ごとに、あらかじめ作成される。

【0400】

図37ないし図82は、DVB-S.2の規格に規定されている検査行列初期値テーブルを含む、様々な検査行列 H を生成するための検査行列初期値テーブルを示している。

30

【0401】

すなわち、図37は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が2/3の検査行列 H に対する検査行列初期値テーブルを示している。

【0402】

図38ないし図40は、DVB-S.2の規格に規定されている、符号長 N が64800ビットの、符号化率 r が2/3の検査行列 H に対する検査行列初期値テーブルを示している。

【0403】

なお、図39は、図38に続く図であり、図40は、図39に続く図である。

【0404】

図41は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が3/4の検査行列 H に対する検査行列初期値テーブルを示している。

40

【0405】

図42ないし図45は、DVB-S.2の規格に規定されている、符号長 N が64800ビットの、符号化率 r が3/4の検査行列 H に対する検査行列初期値テーブルを示している。

【0406】

なお、図43は、図42に続く図であり、図44は、図43に続く図である。また、図45は、図44に続く図である。

【0407】

図46は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が4/5の検査行列 H に対する検査行列初期値テーブルを示している。

50

【0408】

図47ないし図50は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが4/5の検査行列Hに対する検査行列初期値テーブルを示している。

【0409】

なお、図48は、図47に続く図であり、図49は、図48に続く図である。また、図50は、図49に続く図である。

【0410】

図51は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

【0411】

10

図52ないし図55は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが5/6の検査行列Hに対する検査行列初期値テーブルを示している。

【0412】

なお、図53は、図52に続く図であり、図54は、図53に続く図である。また、図55は、図54に続く図である。

【0413】

図56は、DVB-S.2の規格に規定されている、符号長Nが16200ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

【0414】

図57ないし図60は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが8/9の検査行列Hに対する検査行列初期値テーブルを示している。

20

【0415】

なお、図58は、図57に続く図であり、図59は、図58に続く図である。また、図60は、図59に続く図である。

【0416】

図61ないし図64は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが9/10の検査行列Hに対する検査行列初期値テーブルを示している。

【0417】

なお、図62は、図61に続く図であり、図63は、図62に続く図である。また、図64は、図63に続く図である。

30

【0418】

図65及び図66は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/4の検査行列Hに対する検査行列初期値テーブルを示している。

【0419】

なお、図66は、図65に続く図である。

【0420】

図67及び図68は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/3の検査行列Hに対する検査行列初期値テーブルを示している。

【0421】

なお、図68は、図67に続く図である。

40

【0422】

図69及び図70は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが2/5の検査行列Hに対する検査行列初期値テーブルを示している。

【0423】

なお、図70は、図69に続く図である。

【0424】

図71ないし図73は、DVB-S.2の規格に規定されている、符号長Nが64800ビットの、符号化率rが1/2の検査行列Hに対する検査行列初期値テーブルを示している。

【0425】

なお、図72は、図71に続く図であり、図73は、図72に続く図である。

50

【0426】

図74ないし図76は、DVB-S.2の規格に規定されている、符号長 N が64800ビットの、符号化率 r が $3/5$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0427】

なお、図75は、図74に続く図であり、図76は、図75に続く図である。

【0428】

図77は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $1/4$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0429】

図78は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $1/3$ の検査行列 H に対する検査行列初期値テーブルを示している。

10

【0430】

図79は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $2/5$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0431】

図80は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $1/2$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0432】

図81は、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $3/5$ の検査行列 H に対する検査行列初期値テーブルを示している。

20

【0433】

図82は、図81の検査行列初期値テーブルに代えて用いることができる、符号長 N が16200ビットの、符号化率 r が $3/5$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0434】

送信装置11のLDPC符号化部21は、検査行列初期値テーブルを用いて、以下のように、検査行列 H を求める。

【0435】

すなわち、図83は、検査行列初期値テーブルから検査行列 H を求める方法を示している。

30

【0436】

なお、図83の検査行列初期値テーブルは、図37に示した、DVB-S.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $2/3$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0437】

検査行列初期値テーブルは、上述したように、LDPC符号の符号長 N 及び符号化率 r に応じた情報長 K に対応する情報行列 H_A の1の要素の位置を、360列（巡回構造の単位の列数 P ）ごとに表すテーブルであり、その i 行目には、検査行列 H の $1+360 \times (i-1)$ 列目の1の要素の行番号（検査行列 H の1行目の行番号を0とする行番号）が、その $1+360 \times (i-1)$ 列目の列が持つ列重みの数だけ並んでいる。

40

【0438】

ここで、検査行列 H の、パリティ長 M に対応するパリティ行列 H_T は、階段構造になっており、あらかじめ決まっていることとする。検査行列初期値テーブルによれば、検査行列 H のうちの、情報長 K に対応する情報行列 H_A が求められる。

【0439】

検査行列初期値テーブルの行数 $k+1$ は、情報長 K によって異なる。

【0440】

情報長 K と、検査行列初期値テーブルの行数 $k+1$ との間には、次式の関係が成り立つ。

【0441】

$$K=(k+1) \times 360$$

50

【0442】

ここで、上式の360は、巡回構造の単位の列数Pである。

【0443】

図83の検査行列初期値テーブルでは、1行目から3行目までに、13個の数値が並び、4行目からk+1行目（図83では、30行目）までに、3個の数値が並んでいる。

【0444】

したがって、図83の検査行列初期値テーブルから求められる検査行列Hの列重みは、1列目から、 $1+360 \times (3-1)-1$ 列目までは、13であり、 $1+360 \times (3-1)$ 列目から、K列目までは、3である。

【0445】

図83の検査行列初期値テーブルの1行目は、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622となっており、これは、検査行列Hの1列目において、行番号が、0,2084,1613,1548,1286,1460,3196,4297,2481,3369,3451,4620,2622の行の要素が1であること（かつ、他の要素が0であること）を示している。

【0446】

また、図83の検査行列初期値テーブルの2行目は、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108となっており、これは、検査行列Hの361（ $=1+360 \times (2-1)$ ）列目において、行番号が、1,122,1516,3448,2880,1407,1847,3799,3529,373,971,4358,3108の行の要素が1であることを示している。

【0447】

以上のように、検査行列初期値テーブルは、検査行列Hの情報行列 H_A の1の要素の位置を360列ごとに表す。

【0448】

検査行列Hの $1+360 \times (i-1)$ 列目以外の列、つまり、 $2+360 \times (i-1)$ 列目から、 $360 \times i$ 列目までの各列は、検査行列初期値テーブルによって定まる $1+360 \times (i-1)$ 列目の1の要素を、パリティ長Mに従って下方向（列の下方向）に、周期的にサイクリックシフトして配置したものになっている。

【0449】

すなわち、例えば、 $2+360 \times (i-1)$ 列目は、 $1+360 \times (i-1)$ 列目を、 $M/360(=q)$ だけ下方向にサイクリックシフトしたものとなっており、次の $3+360 \times (i-1)$ 列目は、 $1+360 \times (i-1)$ 列目を、 $2 \times M/360(=2 \times q)$ だけ下方向にサイクリックシフトしたもの（ $2+360 \times (i-1)$ 列目を、 $M/360(=q)$ だけ下方向にサイクリックシフトしたもの）となっている。

【0450】

いま、検査行列初期値テーブルのi行目（上からi番目）のj列目（左からj番目）の数値を、 $h_{i,j}$ と表すとともに、検査行列Hのw列目の、j個目の1の要素の行番号を、 $H_{w,j}$ と表すこととすると、検査行列Hの $1+360 \times (i-1)$ 列目以外の列であるw列目の、1の要素の行番号 $H_{w,j}$ は、次式で求めることができる。

【0451】

$$H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M\}$$

【0452】

ここで、 $\text{mod}(x, y)$ はxをyで割った余りを意味する。

【0453】

また、Pは、上述した巡回構造の単位の列数であり、例えば、DVB-S.2の規格では、360である。さらに、qは、パリティ長Mを、巡回構造の単位の列数 $P(=360)$ で除算することにより得られる値 $M/360$ である。

【0454】

LDPC符号化部21は、検査行列初期値テーブルによって、検査行列Hの $1+360 \times (i-1)$ 列目の1の要素の行番号を特定する。

【0455】

さらに、LDPC符号化部21は、検査行列Hの $1+360 \times (i-1)$ 列目以外の列であるw列目の、

10

20

30

40

50

1の要素の行番号 H_{w-j} を求め、以上により得られた行番号の要素を1とする検査行列 H を生成する。

【0456】

次に、送信装置11におけるデマルチプレクサ25の入れ替え部32による入れ替え処理でのLDPC符号の符号ビットの入れ替え方、すなわち、LDPC符号の符号ビットと、シンボルを表すシンボルビットとの割り当てパターン（以下、ビット割り当てパターンともいう）のバリエーションについて説明する。

【0457】

デマルチプレクサ25では、LDPC符号の符号ビットが、カラム方向×ロウ方向が $(N/(mb)) \times (mb)$ ビットのメモリ31のカラム方向に書き込まれ、その後、mbビット単位でロウ方向に読み出される。さらに、デマルチプレクサ25では、入れ替え部32において、メモリ31のロウ方向に読み出されるmbビットの符号ビットが入れ替えられ、入れ替え後の符号ビットが、（連続する）b個のシンボルのmbビットのシンボルビットとされる。

【0458】

すなわち、入れ替え部32は、メモリ31のロウ方向に読み出されるmbビットの符号ビットの最上位ビットから $i+1$ ビット目を、符号ビット b_i とするとともに、（連続する）b個のシンボルのmbビットのシンボルビットの最上位ビットから $i+1$ ビット目を、シンボルビット y_i として、所定のビット割り当てパターンに従い、mbビットの符号ビット b_0 ないし b_{m-b-1} を入れ替える。

【0459】

図84は、LDPC符号が、符号長 N が64800ビットで、符号化率が $5/6$ 又は $9/10$ のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が1である場合に採用することができるビット割り当てパターンの例を示している。

【0460】

LDPC符号が、符号長 N が64800ビットで、符号化率が $5/6$ 又は $9/10$ のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(12 \times 1)) \times (12 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $12 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0461】

入れ替え部32は、メモリ31から読み出される $12 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を、図84に示すように、 $1 (=b)$ 個のシンボルの $12 \times 1 (=mb)$ ビットのシンボルビット y_0 ないし y_{11} に割り当てるように、 $12 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。

【0462】

すなわち、図84によれば、入れ替え部32は、符号長 N が64800ビットのLDPC符号のうちの、符号化率が $5/6$ のLDPC符号、及び、符号化率が $9/10$ のLDPC符号については、いずれのLDPC符号についても、

符号ビット b_0 を、シンボルビット y_8 に、
 符号ビット b_1 を、シンボルビット y_0 に、
 符号ビット b_2 を、シンボルビット y_6 に、
 符号ビット b_3 を、シンボルビット y_1 に、
 符号ビット b_4 を、シンボルビット y_4 に、
 符号ビット b_5 を、シンボルビット y_5 に、
 符号ビット b_6 を、シンボルビット y_2 に、
 符号ビット b_7 を、シンボルビット y_3 に、
 符号ビット b_8 を、シンボルビット y_7 に、
 符号ビット b_9 を、シンボルビット y_{10} に、
 符号ビット b_{10} を、シンボルビット y_{11} に、
 符号ビット b_{11} を、シンボルビット y_9 に、
 それぞれ割り当てて入れ替えを行う。

【0463】

図85は、LDPC符号が、符号長 N が64800ビットで、符号化率が $5/6$ 又は $9/10$ のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0464】

LDPC符号が、符号長 N が64800ビットで、符号化率が $5/6$ 又は $9/10$ のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(12 \times 2)) \times (12 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $12 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0465】

入れ替え部32は、メモリ31から読み出される $12 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{23} を、図85に示すように、連続する $2 (=b)$ 個のシンボルの $12 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{23} に割り当てるように、 $12 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{23} を入れ替える。

【0466】

すなわち、図85によれば、入れ替え部32は、符号長 N が64800ビットのLDPC符号のうちの、符号化率が $5/6$ のLDPC符号、及び、符号化率が $9/10$ のLDPC符号については、いずれのLDPC符号についても、

符号ビット b_0 を、シンボルビット y_8 に、
 符号ビット b_2 を、シンボルビット y_0 に、
 符号ビット b_4 を、シンボルビット y_6 に、
 符号ビット b_6 を、シンボルビット y_1 に、
 符号ビット b_8 を、シンボルビット y_4 に、
 符号ビット b_{10} を、シンボルビット y_5 に、
 符号ビット b_{12} を、シンボルビット y_2 に、
 符号ビット b_{14} を、シンボルビット y_3 に、
 符号ビット b_{16} を、シンボルビット y_7 に、
 符号ビット b_{18} を、シンボルビット y_{10} に、
 符号ビット b_{20} を、シンボルビット y_{11} に、
 符号ビット b_{22} を、シンボルビット y_9 に、
 符号ビット b_1 を、シンボルビット y_{20} に、
 符号ビット b_3 を、シンボルビット y_{12} に、
 符号ビット b_5 を、シンボルビット y_{18} に、
 符号ビット b_7 を、シンボルビット y_{13} に、
 符号ビット b_9 を、シンボルビット y_{16} に、
 符号ビット b_{11} を、シンボルビット y_{17} に、
 符号ビット b_{13} を、シンボルビット y_{14} に、
 符号ビット b_{15} を、シンボルビット y_{15} に、
 符号ビット b_{17} を、シンボルビット y_{19} に、
 符号ビット b_{19} を、シンボルビット y_{22} に、
 符号ビット b_{21} を、シンボルビット y_{23} に、
 符号ビット b_{23} を、シンボルビット y_{21} に、
 それぞれ割り当てて入れ替えを行う。

【0467】

ここで、図85のビット割り当てパターンは、倍数 b が1である場合の図84のビット割り当てパターンを、そのまま利用している。すなわち、図85において、符号ビット $b_0, b_2, \dots, b_{22}$ のシンボルビット y_i への割り当て方、及び、符号ビット $b_1, b_3, \dots, b_{23}$ のシンボルビット y_i への割り当て方は、いずれも、図84の符号ビット b_0 ないし b_{11} のシンボルビット y_i への割り当て方と同様になっている。

【0468】

図 8 6 は、変調方式が1024QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、符号化率が3/4、5/6、又は8/9のLDPC符号であり、倍数bが2である場合と、LDPC符号が、符号長Nが64800ビットで、符号長が3/4、5/6、又は9/10のLDPC符号であり、倍数bが2である場合に採用することができるビット割り当てパターンの例を示している。

【0469】

LDPC符号が、符号長Nが16200ビットで、符号化率が3/4、5/6、又は8/9のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ 2 5 では、カラム方向×ロウ方向が $(16200/(10 \times 2)) \times (10 \times 2)$ ビットのメモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $10 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 に供給される。

10

【0470】

また、LDPC符号が、符号長Nが64800ビットで、符号化率が3/4、5/6、又は9/10のLDPC符号であり、さらに、変調方式が1024QAMで、倍数bが2である場合、デマルチプレクサ 2 5 では、カラム方向×ロウ方向が $(64800/(10 \times 2)) \times (10 \times 2)$ ビットのメモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $10 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 に供給される。

【0471】

入れ替え部 3 2 は、メモリ 3 1 から読み出される $10 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{19} を、図 8 6 に示すように、連続する $2 (=b)$ 個のシンボルの $10 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{19} に割り当てるように、 $10 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{19} を入れ替える。

20

【0472】

すなわち、図 8 6 によれば、入れ替え部 3 2 は、符号長Nが16200ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長Nが64800ビットのLDPC符号のうちの、符号化率が3/4のLDPC符号、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビット b_0 を、シンボルビット y_8 に、
 符号ビット b_1 を、シンボルビット y_3 に、
 符号ビット b_2 を、シンボルビット y_7 に、
 符号ビット b_3 を、シンボルビット y_{10} に、
 符号ビット b_4 を、シンボルビット y_{19} に、
 符号ビット b_5 を、シンボルビット y_4 に、
 符号ビット b_6 を、シンボルビット y_9 に、
 符号ビット b_7 を、シンボルビット y_5 に、
 符号ビット b_8 を、シンボルビット y_{17} に、
 符号ビット b_9 を、シンボルビット y_6 に、
 符号ビット b_{10} を、シンボルビット y_{14} に、
 符号ビット b_{11} を、シンボルビット y_{11} に、
 符号ビット b_{12} を、シンボルビット y_2 に、
 符号ビット b_{13} を、シンボルビット y_{18} に、
 符号ビット b_{14} を、シンボルビット y_{16} に、
 符号ビット b_{15} を、シンボルビット y_{15} に、
 符号ビット b_{16} を、シンボルビット y_0 に、
 符号ビット b_{17} を、シンボルビット y_1 に、
 符号ビット b_{18} を、シンボルビット y_{13} に、
 符号ビット b_{19} を、シンボルビット y_{12} に、
 それぞれ割り当てて入れ替えを行う。

30

40

【0473】

図 8 7 は、変調方式が4096QAMであり、かつ、LDPC符号が、符号長Nが16200ビットで、

50

符号化率が5/6又は8/9のLDPC符号であり、倍数 b が2である場合と、LDPC符号が、符号長 N が64800ビットで、符号長が5/6又は9/10のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0474】

LDPC符号が、符号長 N が16200ビットで、符号化率が5/6又は8/9のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(16200/(12 \times 2)) \times (12 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $12 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0475】

また、LDPC符号が、符号長 N が64800ビットで、符号化率が5/6又は9/10のLDPC符号であり、さらに、変調方式が4096QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(12 \times 2)) \times (12 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $12 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0476】

入れ替え部32は、メモリ31から読み出される $12 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{23} を、図87に示すように、連続する2(=b)個のシンボルの $12 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{23} に割り当てるように、 $12 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{23} を入れ替える。

【0477】

すなわち、図87によれば、入れ替え部32は、符号長 N が16200ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が8/9のLDPC符号、並びに、符号長 N が64800ビットのLDPC符号のうちの、符号化率が5/6のLDPC符号、及び、符号化率が9/10のLDPC符号については、いずれのLDPC符号についても、

符号ビット b_0 を、シンボルビット y_{10} に、
 符号ビット b_1 を、シンボルビット y_{15} に、
 符号ビット b_2 を、シンボルビット y_4 に、
 符号ビット b_3 を、シンボルビット y_{19} に、
 符号ビット b_4 を、シンボルビット y_{21} に、
 符号ビット b_5 を、シンボルビット y_{16} に、
 符号ビット b_6 を、シンボルビット y_{23} に、
 符号ビット b_7 を、シンボルビット y_{18} に、
 符号ビット b_8 を、シンボルビット y_{11} に、
 符号ビット b_9 を、シンボルビット y_{14} に、
 符号ビット b_{10} を、シンボルビット y_{22} に、
 符号ビット b_{11} を、シンボルビット y_5 に、
 符号ビット b_{12} を、シンボルビット y_6 に、
 符号ビット b_{13} を、シンボルビット y_{17} に、
 符号ビット b_{14} を、シンボルビット y_{13} に、
 符号ビット b_{15} を、シンボルビット y_{20} に、
 符号ビット b_{16} を、シンボルビット y_1 に、
 符号ビット b_{17} を、シンボルビット y_3 に、
 符号ビット b_{18} を、シンボルビット y_9 に、
 符号ビット b_{19} を、シンボルビット y_2 に、
 符号ビット b_{20} を、シンボルビット y_7 に、
 符号ビット b_{21} を、シンボルビット y_8 に、
 符号ビット b_{22} を、シンボルビット y_{12} に、
 符号ビット b_{23} を、シンボルビット y_0 に、
 それぞれ割り当てて入れ替えを行う。

【0478】

図 8 4 ないし図 8 7 に示したビット割り当てパターンによれば、複数種類の LDPC 符号について、同一のビット割り当てパターンを採用することができ、しかも、その複数種類の LDPC 符号のいずれについても、エラーに対する耐性を所望の性能とすることができる。

【0479】

すなわち、図 8 8 ないし図 9 1 は、図 8 4 ないし図 8 7 のビット割り当てパターンに従った入れ替え処理を行った場合の BER(Bit Error Rate)のシミュレーションの結果を示している。

【0480】

なお、図 8 8 ないし図 9 1 において、横軸は、 E_s/N_0 （1 シンボルあたりの信号電力対雑音電力比）を表し、縦軸は、BERを表す。

10

【0481】

また、実線が、入れ替え処理を行った場合の BERを表し、一点鎖線が、入れ替え処理を行わない場合の BERを表す。

【0482】

図 8 8 は、符号長 N が 64800 で、符号化率が $5/6$ 及び $9/10$ それぞれの LDPC 符号について、変調方式として、4096QAMを採用し、倍数 b を 1 として、図 8 4 のビット割り当てパターンに従った入れ替え処理を行った場合の BERを示している。

【0483】

図 8 9 は、符号長 N が 64800 で、符号化率が $5/6$ 及び $9/10$ それぞれの LDPC 符号について、変調方式として、4096QAMを採用し、倍数 b を 2 として、図 8 5 のビット割り当てパターンに従った入れ替え処理を行った場合の BERを示している。

20

【0484】

なお、図 8 8 及び図 8 9 において、三角形の印を付してあるグラフが、符号化率が $5/6$ の LDPC 符号についての BERを表し、アスタリスク（星印）を付してあるグラフが、符号化率が $9/10$ の LDPC 符号についての BERを表す。

【0485】

図 9 0 は、符号長 N が 16200 で、符号化率が $3/4, 5/6$ 、及び $8/9$ それぞれの LDPC 符号と、符号長 N が 64800 で、符号化率が $3/4, 5/6$ 、及び $9/10$ それぞれの LDPC 符号とについて、変調方式として、1024QAMを採用し、倍数 b を 2 として、図 8 6 のビット割り当てパターンに従った入れ替え処理を行った場合の BERを示している。

30

【0486】

なお、図 9 0 において、アスタリスクを付してあるグラフが、符号長 N が 64800 で、符号化率が $9/10$ の LDPC 符号についての BERを表し、上向きの三角形の印を付してあるグラフが、符号長 N が 64800 で、符号化率が $5/6$ の LDPC 符号についての BERを表す。また、正方形の印を付してあるグラフが、符号長 N が 64800 で、符号化率が $3/4$ の LDPC 符号についての BERを表す。

【0487】

さらに、図 9 0 において、丸印を付してあるグラフが、符号長 N が 16200 で、符号化率が $8/9$ の LDPC 符号についての BERを表し、下向きの三角形の印を付してあるグラフが、符号長 N が 16200 で、符号化率が $5/6$ の LDPC 符号についての BERを表す。また、プラスの印を付してあるグラフが、符号長 N が 16200 で、符号化率が $3/4$ の LDPC 符号についての BERを表す。

40

【0488】

図 9 1 は、符号長 N が 16200 で、符号化率が $5/6$ 及び $8/9$ それぞれの LDPC 符号と、符号長 N が 64800 で、符号化率が $5/6$ 及び $9/10$ それぞれの LDPC 符号とについて、変調方式として、4096QAMを採用し、倍数 b を 2 として、図 8 7 のビット割り当てパターンに従った入れ替え処理を行った場合の BERを示している。

【0489】

なお、図 9 1 において、アスタリスクを付してあるグラフが、符号長 N が 64800 で、符号化率が $9/10$ の LDPC 符号についての BERを表し、上向きの三角形の印を付してあるグラフが、符号長 N が 64800 で、符号化率が $5/6$ の LDPC 符号についての BERを表す。

50

【0490】

また、図91において、丸印を付してあるグラフが、符号長 N が16200で、符号化率が8/9のLDPC符号についてのBERを表し、下向きの三角形の印を付してあるグラフが、符号長 N が16200で、符号化率が5/6のLDPC符号についてのBERを表す。

【0491】

図88ないし図91によれば、複数種類のLDPC符号について、同一のビット割り当てパターンを採用することができ、しかも、同一のビット割り当てパターンを採用した複数種類のLDPC符号のいずれについても、エラーに対する耐性を所望の性能とすることができることが分かる。

【0492】

すなわち、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には、エラーに対する耐性を極めて高性能にすることができるが、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更が必要になる。

【0493】

一方、図84ないし図87のビット割り当てパターンによれば、符号長や符号化率が異なる複数種類のLDPC符号それぞれについて、同一のビット割り当てパターンを採用することができ、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合のように、異なる種類のLDPC符号ごとに、ビット割り当てパターンの変更をする必要がなくなる。

【0494】

さらに、図84ないし図87のビット割り当てパターンによれば、複数種類のLDPC符号それぞれについて、そのLDPC符号に専用のビット割り当てパターンを採用する場合には多少及ばないものの、それでも、エラーに対する耐性を高性能にすることができる。

【0495】

すなわち、例えば、変調方式が4096QAMである場合には、符号長 N が64800で、符号化率が5/6及び9/10それぞれのLDPC符号については、いずれのLDPC符号についても、図84又は図85の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

【0496】

さらに、例えば、変調方式が1024QAMである場合には、符号長 N が16200で、符号化率が3/4、5/6、及び8/9それぞれのLDPC符号と、符号長 N が64800で、符号化率が3/4、5/6、及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図86の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

【0497】

また、例えば、変調方式が4096QAMである場合には、符号長 N が16200で、符号化率が5/6及び8/9それぞれのLDPC符号と、符号長 N が64800で、符号化率が5/6及び9/10それぞれのLDPC符号とについては、いずれのLDPC符号についても、図87の、同一のビット割り当てパターンを採用することができる。そして、このように、同一のビット割り当てパターンを採用しても、エラーに対する耐性を高性能にすることができる。

【0498】

ビット割り当てパターンのバリエーションについて、さらに説明する。

【0499】

図92は、LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が、例えば、図37ないし図82に示した検査行列初期値テーブルから生成される検査行列 H で定義されるLDPC符号の符号化率のうちの3/5以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数 b が1である場合に採用することができるビット割り当てパターンの例を示している。

【0500】

LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、さらに、変調方式がQPSKで、倍数 b が1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(N/(2 \times 1)) \times (2 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $2 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0501】

入れ替え部32は、メモリ31から読み出される $2 \times 1 (=mb)$ ビットの符号ビット b_0 及び b_1 を、図92に示すように、 $1 (=b)$ 個のシンボルの $2 \times 1 (=mb)$ ビットのシンボルビット y_0 及び y_1 に割り当てるように、 $2 \times 1 (=mb)$ ビットの符号ビット b_0 及び b_1 を入れ替える。

【0502】

すなわち、図92によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_0 に、

符号ビット b_1 を、シンボルビット y_1 に、

それぞれ割り当てて入れ替えを行う。

【0503】

なお、この場合、入れ替えは行われず、符号ビット b_0 及び b_1 が、それぞれ、そのまま、シンボルビット y_0 及び y_1 とされと考えることもできる。

【0504】

図93は、LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0505】

LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(N/(4 \times 2)) \times (4 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $4 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0506】

入れ替え部32は、メモリ31から読み出される $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を、図93に示すように、連続する $2 (=b)$ 個のシンボルの $4 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_7 に割り当てるように、 $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0507】

すなわち、図93によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_7 に、

符号ビット b_1 を、シンボルビット y_1 に、

符号ビット b_2 を、シンボルビット y_4 に、

符号ビット b_3 を、シンボルビット y_2 に、

符号ビット b_4 を、シンボルビット y_5 に、

符号ビット b_5 を、シンボルビット y_3 に、

符号ビット b_6 を、シンボルビット y_6 に、

符号ビット b_7 を、シンボルビット y_0 に、

それぞれ割り当てて入れ替えを行う。

【0508】

図94は、変調方式が64QAMであり、かつ、LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0509】

LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、さらに、変調方式が64QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(N/(6 \times 2)) \times (6 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $6 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0510】

入れ替え部32は、メモリ31から読み出される $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を、図94に示すように、連続する $2 (=b)$ 個のシンボルの $6 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{11} に割り当てるように、 $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。

【0511】

すなわち、図94によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_{11} に、
符号ビット b_1 を、シンボルビット y_7 に、
符号ビット b_2 を、シンボルビット y_3 に、
符号ビット b_3 を、シンボルビット y_{10} に、
符号ビット b_4 を、シンボルビット y_6 に、
符号ビット b_5 を、シンボルビット y_2 に、
符号ビット b_6 を、シンボルビット y_9 に、
符号ビット b_7 を、シンボルビット y_5 に、
符号ビット b_8 を、シンボルビット y_1 に、
符号ビット b_9 を、シンボルビット y_8 に、
符号ビット b_{10} を、シンボルビット y_4 に、
符号ビット b_{11} を、シンボルビット y_0 に、
それぞれ割り当てる入れ替えを行う。

10

20

【0512】

図95は、変調方式が256QAMであり、かつ、LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0513】

LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ 以外のLDPC符号であり、さらに、変調方式が256QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800 / (8 \times 2)) \times (8 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

30

【0514】

入れ替え部32は、メモリ31から読み出される $8 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{15} を、図95に示すように、連続する $2 (=b)$ 個のシンボルの $8 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{15} に割り当てるように、 $8 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{15} を入れ替える。

【0515】

すなわち、図95によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_{15} に、
符号ビット b_1 を、シンボルビット y_1 に、
符号ビット b_2 を、シンボルビット y_{13} に、
符号ビット b_3 を、シンボルビット y_3 に、
符号ビット b_4 を、シンボルビット y_8 に、
符号ビット b_5 を、シンボルビット y_{11} に、
符号ビット b_6 を、シンボルビット y_9 に、
符号ビット b_7 を、シンボルビット y_5 に、
符号ビット b_8 を、シンボルビット y_{10} に、
符号ビット b_9 を、シンボルビット y_6 に、
符号ビット b_{10} を、シンボルビット y_4 に、
符号ビット b_{11} を、シンボルビット y_7 に、
符号ビット b_{12} を、シンボルビット y_{12} に、
符号ビット b_{13} を、シンボルビット y_2 に、

40

50

符号ビット b_{14} を、シンボルビット y_{14} に、
 符号ビット b_{15} を、シンボルビット y_0 に、
 それぞれ割り当てる入れ替えを行う。

【0516】

図96は、変調方式が256QAMであり、かつ、LDPC符号が、符号長 N が16200ビットで、符号化率が3/5以外のLDPC符号であり、倍数 b が1である場合に採用することができるビット割り当てパターンの例を示している。

【0517】

LDPC符号が、符号長 N が16200ビットで、符号化率が3/5以外のLDPC符号であり、さらに、変調方式が256QAMで、倍数 b が1である場合、デマルチプレクサ25では、カラム方向×
 10
 ロウ方向が $(16200/(8 \times 1)) \times (8 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0518】

入れ替え部32は、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_7 を、図96に示すように、 $1 (=b)$ 個のシンボルの $8 \times 1 (=mb)$ ビットのシンボルビット y_0 ないし y_7 に割り当てるように、 $8 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0519】

すなわち、図96によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_7 に、
 符号ビット b_1 を、シンボルビット y_3 に、
 符号ビット b_2 を、シンボルビット y_1 に、
 符号ビット b_3 を、シンボルビット y_5 に、
 符号ビット b_4 を、シンボルビット y_2 に、
 符号ビット b_5 を、シンボルビット y_6 に、
 符号ビット b_6 を、シンボルビット y_4 に、
 符号ビット b_7 を、シンボルビット y_0 に、
 それぞれ割り当てる入れ替えを行う。

20

【0520】

図97は、LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数 b が1である場合に採用することができるビット
 30
 割り当てパターンの例を示している。

【0521】

LDPC符号が、符号長 N が16200又は64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式がQPSKで、倍数 b が1である場合、デマルチプレクサ25では、カラム方向×
 ロウ方向が $(N/(2 \times 1)) \times (2 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $2 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0522】

入れ替え部32は、メモリ31から読み出される $2 \times 1 (=mb)$ ビットの符号ビット b_0 及び b_1 を、図97に示すように、 $1 (=b)$ 個のシンボルの $2 \times 1 (=mb)$ ビットのシンボルビット y_0 及び y_1 に割り当てるように、 $2 \times 1 (=mb)$ ビットの符号ビット b_0 及び b_1 を入れ替える。
 40

【0523】

すなわち、図97によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_0 に、
 符号ビット b_1 を、シンボルビット y_1 に、
 それぞれ割り当てる入れ替えを行う。

【0524】

なお、この場合、入れ替えは行われず、符号ビット b_0 及び b_1 が、それぞれ、そのまま、シンボルビット y_0 及び y_1 とされることがもできる。

【0525】

図98は、LDPC符号が、符号長 N が64800ビットで、符号化率が3/5のLDPC符号であり、
 50

さらに、変調方式が16QAMで、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0526】

LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(4 \times 2)) \times (4 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $4 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0527】

入れ替え部32は、メモリ31から読み出される $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を、図98に示すように、連続する $2 (=b)$ 個のシンボルの $4 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_7 に割り当てるように、 $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

10

【0528】

すなわち、図98によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_0 に、

符号ビット b_1 を、シンボルビット y_5 に、

符号ビット b_2 を、シンボルビット y_1 に、

符号ビット b_3 を、シンボルビット y_2 に、

符号ビット b_4 を、シンボルビット y_4 に、

符号ビット b_5 を、シンボルビット y_7 に、

符号ビット b_6 を、シンボルビット y_3 に、

符号ビット b_7 を、シンボルビット y_6 に、

それぞれ割り当てて入れ替えを行う。

20

【0529】

図99は、LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0530】

LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(16200/(4 \times 2)) \times (4 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $4 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

30

【0531】

入れ替え部32は、メモリ31から読み出される $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を、図99に示すように、連続する $2 (=b)$ 個のシンボルの $4 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_7 に割り当てるように、 $4 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0532】

すなわち、図99によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_7 に、

符号ビット b_1 を、シンボルビット y_1 に、

符号ビット b_2 を、シンボルビット y_4 に、

符号ビット b_3 を、シンボルビット y_2 に、

符号ビット b_4 を、シンボルビット y_5 に、

符号ビット b_5 を、シンボルビット y_3 に、

符号ビット b_6 を、シンボルビット y_6 に、

符号ビット b_7 を、シンボルビット y_0 に、

それぞれ割り当てて入れ替えを行う。

40

【0533】

図100は、変調方式が64QAMであり、かつ、LDPC符号が、符号長 N が64800ビットで、

50

符号化率が3/5のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

【0534】

LDPC符号が、符号長 N が64800ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(6 \times 2)) \times (6 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $6 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0535】

入れ替え部32は、メモリ31から読み出される $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を、図100に示すように、連続する $2 (=b)$ 個のシンボルの $6 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{11} に割り当てるように、 $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。

10

【0536】

すなわち、図100によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_2 に、

符号ビット b_1 を、シンボルビット y_7 に、

符号ビット b_2 を、シンボルビット y_6 に、

符号ビット b_3 を、シンボルビット y_9 に、

符号ビット b_4 を、シンボルビット y_0 に、

符号ビット b_5 を、シンボルビット y_3 に、

符号ビット b_6 を、シンボルビット y_1 に、

符号ビット b_7 を、シンボルビット y_8 に、

符号ビット b_8 を、シンボルビット y_4 に、

符号ビット b_9 を、シンボルビット y_{11} に、

符号ビット b_{10} を、シンボルビット y_5 に、

符号ビット b_{11} を、シンボルビット y_{10} に、

それぞれ割り当てて入れ替えを行う。

20

【0537】

図101は、変調方式が64QAMであり、かつ、LDPC符号が、符号長 N が16200ビットで、符号化率が3/5のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

30

【0538】

LDPC符号が、符号長 N が16200ビットで、符号化率が3/5のLDPC符号であり、さらに、変調方式が64QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(16200/(6 \times 2)) \times (6 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $6 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0539】

入れ替え部32は、メモリ31から読み出される $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を、図101に示すように、連続する $2 (=b)$ 個のシンボルの $6 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{11} に割り当てるように、 $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。

40

【0540】

すなわち、図101によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_{11} に、

符号ビット b_1 を、シンボルビット y_7 に、

符号ビット b_2 を、シンボルビット y_3 に、

符号ビット b_3 を、シンボルビット y_{10} に、

符号ビット b_4 を、シンボルビット y_6 に、

符号ビット b_5 を、シンボルビット y_2 に、

符号ビット b_6 を、シンボルビット y_9 に、

50

符号ビット b_7 を、シンボルビット y_5 に、
 符号ビット b_8 を、シンボルビット y_1 に、
 符号ビット b_9 を、シンボルビット y_8 に、
 符号ビット b_{10} を、シンボルビット y_4 に、
 符号ビット b_{11} を、シンボルビット y_0 に、
 それぞれ割り当てる入れ替えを行う。

【0541】

図102は、変調方式が256QAMであり、かつ、LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ のLDPC符号であり、倍数 b が2である場合に採用することができるビット割り当てパターンの例を示している。

10

【0542】

LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が256QAMで、倍数 b が2である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(64800/(8 \times 2)) \times (8 \times 2)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0543】

入れ替え部32は、メモリ31から読み出される $8 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{15} を、図102に示すように、連続する $2 (=b)$ 個のシンボルの $8 \times 2 (=mb)$ ビットのシンボルビット y_0 ないし y_{15} に割り当てるように、 $8 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{15} を入れ替える。

20

【0544】

すなわち、図102によれば、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_2 に、
 符号ビット b_1 を、シンボルビット y_{11} に、
 符号ビット b_2 を、シンボルビット y_3 に、
 符号ビット b_3 を、シンボルビット y_4 に、
 符号ビット b_4 を、シンボルビット y_0 に、
 符号ビット b_5 を、シンボルビット y_9 に、
 符号ビット b_6 を、シンボルビット y_1 に、
 符号ビット b_7 を、シンボルビット y_8 に、
 符号ビット b_8 を、シンボルビット y_{10} に、
 符号ビット b_9 を、シンボルビット y_{13} に、
 符号ビット b_{10} を、シンボルビット y_7 に、
 符号ビット b_{11} を、シンボルビット y_{14} に、
 符号ビット b_{12} を、シンボルビット y_6 に、
 符号ビット b_{13} を、シンボルビット y_{15} に、
 符号ビット b_{14} を、シンボルビット y_5 に、
 符号ビット b_{15} を、シンボルビット y_{12} に、
 それぞれ割り当てる入れ替えを行う。

30

【0545】

図103は、変調方式が256QAMであり、かつ、LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ のLDPC符号であり、倍数 b が1である場合に採用することができるビット割り当てパターンの例を示している。

40

【0546】

LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が256QAMで、倍数 b が1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(16200/(8 \times 1)) \times (8 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32に供給される。

【0547】

入れ替え部32は、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビット b_0 ない

50

し b_7 を、図103に示すように、 $1(=b)$ 個のシンボルの $8 \times 1(=mb)$ ビットのシンボルビット y_0 ないし y_7 に割り当てるように、 $8 \times 1(=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0548】

すなわち、図103によれば、入れ替え部32は、
 符号ビット b_0 を、シンボルビット y_7 に、
 符号ビット b_1 を、シンボルビット y_3 に、
 符号ビット b_2 を、シンボルビット y_1 に、
 符号ビット b_3 を、シンボルビット y_5 に、
 符号ビット b_4 を、シンボルビット y_2 に、
 符号ビット b_5 を、シンボルビット y_6 に、
 符号ビット b_6 を、シンボルビット y_4 に、
 符号ビット b_7 を、シンボルビット y_0 に、
 それぞれ割り当てて入れ替えを行う。

10

【0549】

次に、受信装置12を構成するデインターリーバ53について説明する。

【0550】

図104は、デインターリーバ53を構成するマルチプレクサ54の処理を説明する図である。

【0551】

すなわち、図104のAは、マルチプレクサ54の機能的な構成例を示している。

20

【0552】

マルチプレクサ54は、逆入れ替え部1001、及びメモリ1002から構成される。

【0553】

マルチプレクサ54は、前段のデマッピング部52から供給されるシンボルのシンボルビットを対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理（入れ替え処理の逆の処理）、すなわち、入れ替え処理によって入れ替えられたLDPC符号の符号ビット（シンボルビット）の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、後段のカラムツイストデインターリーバ55に供給する。

30

【0554】

すなわち、マルチプレクサ54において、逆入れ替え部1001には、（連続する） b 個のシンボルの単位で、その b 個のシンボルの mb ビットのシンボルビット $y_0, y_1, \dots, y_{mb-1}$ が供給される。

【0555】

逆入れ替え部1001は、 mb ビットのシンボルビット y_0 ないし y_{mb-1} を、元の mb ビットの符号ビット $b_0, b_1, \dots, b_{mb-1}$ の並び（送信装置11側のデマルチプレクサ25を構成する入れ替え部32での入れ替えが行われる前の符号ビット b_0 ないし b_{mb-1} の並び）に戻す逆入れ替えを行い、その結果得られる mb ビットの符号ビット b_0 ないし b_{mb-1} を出力する。

40

【0556】

メモリ1002は、送信装置11側のデマルチプレクサ25を構成するメモリ31と同様に、ロウ(row)（横）方向に mb ビットを記憶するとともに、カラム(column)（縦）方向に $N/(mb)$ ビットを記憶する記憶容量を有する。すなわち、メモリ1002は、 $N/(mb)$ ビットを記憶する mb 個のカラムから構成される。

【0557】

但し、メモリ1002では、送信装置11のデマルチプレクサ25のメモリ31からの符号ビットの読み出しが行われる方向に、逆入れ替え部1001が出力するLDPC符号の符号ビットの書き込みが行われ、メモリ31への符号ビットの書き込みが行われる方向に、メモリ1002に書き込まれた符号ビットの読み出しが行われる。

50

【0558】

すなわち、受信装置12のマルチプレクサ54では、図104のAに示すように、逆入れ替え部1001が出力するLDPC符号の符号ビットを、mbビット単位で、ロウ方向に書き込むことが、メモリ1002の1行目から下の行に向かって順次行われる。

【0559】

そして、1符号長分の符号ビットの書き込みが終了すると、マルチプレクサ54では、メモリ1002から、符号ビットを、カラム方向に読み出して、後段のカラムツイストデインターリーバ55に供給する。

【0560】

ここで、図104のBは、メモリ1002からの符号ビットの読み出しを示す図である。

10

【0561】

マルチプレクサ54では、LDPC符号の符号ビットを、メモリ1002を構成するカラムの上から下方向（カラム方向）に読み出すことが、左から右方向のカラムに向かって行われる。

【0562】

次に、図105を参照して、受信装置12におけるデインターリーバ53を構成するカラムツイストデインターリーバ55の処理を説明する。

【0563】

図105は、マルチプレクサ54のメモリ1002の構成例を示している。

20

【0564】

メモリ1002は、カラム（縦）方向にmbビットを記憶するとともに、ロウ（横）方向にN/(mb)ビットを記憶する記憶容量を有し、mb個のカラムから構成される。

【0565】

カラムツイストデインターリーバ55は、メモリ1002に対して、LDPC符号の符号ビットを、ロウ方向に書き込み、カラム方向に読み出すときの読み出し始めの位置を制御することで、カラムツイストデインターリーブを行う。

【0566】

すなわち、カラムツイストデインターリーバ55では、複数のカラムそれぞれについて、符号ビットの読み出しを開始する読み出し始めの位置を、適宜変更することで、カラムツイストインターリーブで並び替えられた符号ビットの並びを、元の並びに戻す逆並び替え処理を行う。

30

【0567】

ここで、図105は、変調方式が16QAMであり、かつ、倍数bが1である場合の、メモリ1002の構成例を示している。したがって、1シンボルのビット数mは、4ビットであり、また、メモリ1002は、4(=mb)個のカラムで構成される。

【0568】

カラムツイストデインターリーバ55は、（マルチプレクサ54に代わり、）入れ替え部1001が出力するLDPC符号の符号ビットのロウ方向への書き込みを、メモリ1002の1行目から下の行に向かって順次行う。

40

【0569】

そして、1符号長分の符号ビットの書き込みが終了すると、カラムツイストデインターリーバ55は、符号ビットを、メモリ1002の上から下方向（カラム方向）に読み出すことを、左から右方向のカラムに向かって行う。

【0570】

但し、カラムツイストデインターリーバ55は、送信装置11側のカラムツイストインターリーバ24が符号ビットを書き込む書き始めの位置を、符号ビットの読み出し始めの位置として、メモリ1002からの符号ビットの読み出しを行う。

【0571】

すなわち、各カラムの先頭（一番上）の位置のアドレスを0として、カラム方向の各位

50

置のアドレスを、昇順の整数で表すこととすると、変調方式が16QAMであり、かつ、倍数bが1である場合には、カラムツイストデインターリーブ55では、最も左のカラムについては、読み出し始めの位置を、アドレスが0の位置とし、（左から）2番目のカラムについては、読み出し始めの位置を、アドレスが2の位置とし、3番目のカラムについては、読み出し始めの位置を、アドレスが4の位置とし、4番目のカラムについては、読み出し始めの位置を、アドレスが7の位置とする。

【0572】

なお、読み出し始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットの読み出しを、最も下の位置まで行った後は、先頭（アドレスが0の位置）に戻り、読み出し始めの位置の直前の位置までの読み出しが行われる。そして、その後、次（

10

【0573】

以上のようなカラムツイストデインターリーブを行うことにより、カラムツイストインターリーブで並び替えられた符号ビットの並びが、元の並びに戻される。

【0574】

次に、図106は、受信装置12の他の構成例を示すブロック図である。

【0575】

図106において、受信装置12は、送信装置11からの変調信号を受信するデータ処理装置であり、直交復調部51、デマッピング部52、デインターリーブ53、及びLDPC復号部1021から構成される。

20

【0576】

直交復調部51は、送信装置11からの変調信号を受信し、直交復調を行って、その結果得られるシンボル(I及びQ軸方向それぞれの値)を、デマッピング部52に供給する。

【0577】

デマッピング部52は、直交復調部51からのシンボルを、LDPC符号の符号ビットにするデマッピングを行い、デインターリーブ53に供給する。

【0578】

デインターリーブ53は、マルチプレクサ(MUX)54、カラムツイストデインターリーブ55、及び、パリティデインターリーブ1011から構成され、デマッピング部52からのLDPC符号の符号ビットのデインターリーブを行う。

30

【0579】

すなわち、マルチプレクサ54は、デマッピング部52からのLDPC符号を対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理（入れ替え処理の逆の処理）、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーブ55に供給する。

【0580】

カラムツイストデインターリーブ55は、マルチプレクサ54からのLDPC符号を対象として、送信装置11のカラムツイストインターリーブ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブを行う。

40

【0581】

カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーブ55からパリティデインターリーブ1011に供給される。

【0582】

パリティデインターリーブ1011は、カラムツイストデインターリーブ55でのカラムツイストデインターリーブ後の符号ビットを対象として、送信装置11のパリティインターリーブ23が行うパリティインターリーブに対応するパリティデインターリーブ（パリティインターリーブの逆の処理）、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブを行う。

【0583】

50

パリティデインターリーブの結果得られるLDPC符号は、パリティデインターリーブ1011からLDPC復号部1021に供給される。

【0584】

したがって、図106の受信装置12では、LDPC復号部1021には、逆入れ替え処理、カラムツイストデインターリーブ、及び、パリティデインターリーブが行われたLDPC符号、すなわち、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給される。

【0585】

LDPC復号部1021は、デインターリーブ53からのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのもの、又は、その検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、対象データの復号結果として出力する。

10

【0586】

ここで、図106の受信装置12では、デインターリーブ53（のパリティデインターリーブ1011）からLDPC復号部1021に対して、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給されるため、そのLDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hそのものを用いて行う場合には、LDPC復号部1021は、例えば、メッセージ（チェックノードメッセージ、バリバブルノードメッセージ）の演算を1個のノードずつ順次行うフルシリアルデコーディング(full serial decoding)方式によるLDPC復号を行う復号装置や、メッセージの演算をすべてのノードについて同時（並列）に行うフルパラレルデコーディング(full parallel decoding)方式によるLDPC復号を行う復号装置で構成することができる。

20

【0587】

また、LDPC復号部1021において、LDPC符号のLDPC復号を、送信装置11のLDPC符号化部21がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う場合には、チェックノード演算、及びバリバブルノード演算を、P（又はPの1以外の約数）個同時に行うアーキテクチャ(architecture)の復号装置であって、変換検査行列を得るための列置換と同様の列置換を、LDPC符号に施すことにより、そのLDPC符号の符号ビットを並び替える受信データ並び替え部310を有する復号装置で構成することができる。

30

【0588】

なお、図106では、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54、カラムツイストデインターリーブを行うカラムツイストデインターリーブ55、及び、パリティデインターリーブを行うパリティデインターリーブ1011それぞれを、別個に構成するようにしたが、マルチプレクサ54、カラムツイストデインターリーブ55、及び、パリティデインターリーブ1011の2以上は、送信装置11のパリティインターリーブ23、カラムツイストデインターリーブ24、及び、デマルチプレクサ25と同様に、一体的に構成することができる。

【0589】

次に、図107は、受信装置12に適用可能な受信システムの第1の構成例を示すブロック図である。

40

【0590】

図107において、受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103から構成される。

【0591】

取得部1101は、番組の画像データや音声データ等の対象データを、少なくともLDPC符号化することで得られるLDPC符号を含む信号を、例えば、地上デジタル放送、衛星デジタル放送、CATV網、インターネットその他のネットワーク等の、図示せぬ伝送路を介して取得し、伝送路復号処理部1102に供給する。

【0592】

50

ここで、取得部 1101 が取得する信号が、例えば、放送局から、地上波や、衛星波、CATV(Cable Television)網等を介して放送されてくる場合には、取得部 1101 は、チューナやSTB(Set Top Box)等で構成される。また、取得部 1101 が取得する信号が、例えば、webサーバから、IPTV(Internet Protocol Television)のようにマルチキャストで送信されてくる場合には、取得部 11 は、例えば、NIC(Network Interface Card)等のネットワークI/F(Inter face)で構成される。

【0593】

伝送路復号処理部 1102 は、取得部 1101 が伝送路を介して取得した信号に対して、伝送路で生じる誤りを訂正する処理を少なくとも含む伝送路復号処理を施し、その結果得られる信号を、情報源復号処理部 1103 に供給する。

10

【0594】

すなわち、取得部 1101 が伝送路を介して取得した信号は、伝送路で生じる誤りを訂正するための誤り訂正符号化を、少なくとも行うことで得られた信号であり、伝送路復号処理部 1102 は、そのような信号に対して、例えば、誤り訂正処理等の伝送路復号処理を施す。

【0595】

ここで、誤り訂正符号化としては、例えば、LDPC符号化や、リードソロモン符号化等がある。ここでは、誤り訂正符号化として、少なくとも、LDPC符号化が行われている。

【0596】

また、伝送路復号処理には、変調信号の復調等が含まれることがある。

20

【0597】

情報源復号処理部 1103 は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理を少なくとも含む情報源復号処理を施す。

【0598】

すなわち、取得部 1101 が伝送路を介して取得した信号には、情報としての画像や音声等のデータ量を少なくするために、情報を圧縮する圧縮符号化が施されていることがあり、その場合、情報源復号処理部 1103 は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理(伸張処理)等の情報源復号処理を施す。

【0599】

なお、取得部 1101 が伝送路を介して取得した信号に、圧縮符号化が施されていない場合には、情報源復号処理部 1103 では、圧縮された情報を元の情報に伸張する処理は行われない。

30

【0600】

ここで、伸張処理としては、例えば、MPEGデコード等がある。また、伝送路復号処理には、伸張処理の他、デスクランブル等が含まれることがある。

【0601】

以上のように構成される受信システムでは、取得部 1101 において、例えば、画像や音声等のデータに対して、MPEG符号化等の圧縮符号化が施され、さらに、LDPC符号化等の誤り訂正符号化が施された信号が、伝送路を介して取得され、伝送路復号処理部 1102 に供給される。

40

【0602】

伝送路復号処理部 1102 では、取得部 1101 からの信号に対して、例えば、直交復調部 51 や、デマッピング部 52、デインターリーバ 53、LDPC復号部 56 (又はLDPC復号部 1021)と同様の処理が、伝送路復号処理として施され、その結果得られる信号が、情報源復号処理部 1103 に供給される。

【0603】

情報源復号処理部 1103 では、伝送路復号処理部 1102 からの信号に対して、MPEGデコード等の情報源復号処理が施され、その結果得られる画像、又は音声が出力される。

【0604】

以上のような図 107 の受信システムは、例えば、デジタル放送としてのテレビジョン

50

ン放送を受信するテレビチューナ等に適用することができる。

【0605】

なお、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103は、それぞれ、1つの独立した装置（ハードウェア（IC(Integrated Circuit)等））、又はソフトウェアモジュール）として構成することが可能である。

【0606】

また、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103については、取得部1101と伝送路復号処理部1102とのセットや、伝送路復号処理部1102と情報源復号処理部1103とのセット、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103のセットを、1つの独立した装置として構成

10

【0607】

図108は、受信装置12に適用可能な受信システムの第2の構成例を示すブロック図である。

【0608】

なお、図中、図107の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0609】

図108の受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103を有する点で、図107の場合と共通し、出力部1111が新たに設けられている点で、図107の場合と相違する。

20

【0610】

出力部1111は、例えば、画像を表示する表示装置や、音声を出力するスピーカであり、情報源復号処理部1103から出力される信号としての画像や音声等を出力する。すなわち、出力部1111は、画像を表示し、あるいは、音声を出力する。

【0611】

以上のような図108の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するTV（テレビジョン受像機）や、ラジオ放送を受信するラジオ受信機等に適用することができる。

【0612】

30

なお、取得部1101において取得された信号に、圧縮符号化が施されていない場合には、伝送路復号処理部1102が出力する信号が、出力部1111に供給される。

【0613】

図109は、受信装置12に適用可能な受信システムの第3の構成例を示すブロック図である。

【0614】

なお、図中、図107の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0615】

図109の受信システムは、取得部1101、及び、伝送路復号処理部1102を有する点で、図107の場合と共通する。

40

【0616】

但し、図109の受信システムは、情報源復号処理部1103が設けられておらず、記録部1121が新たに設けられている点で、図107の場合と相違する。

【0617】

記録部1121は、伝送路復号処理部1102が出力する信号（例えば、MPEGのTSのTSパケット）を、光ディスクや、ハードディスク（磁気ディスク）、フラッシュメモリ等の記録（記憶）媒体に記録する（記憶させる）。

【0618】

以上のような図109の受信システムは、テレビジョン放送を録画するレコーダ等に適

50

【 0 6 1 9 】

图 1

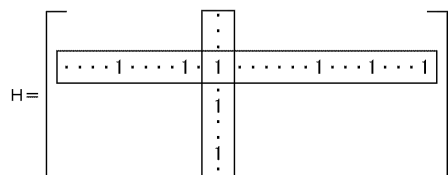


图2

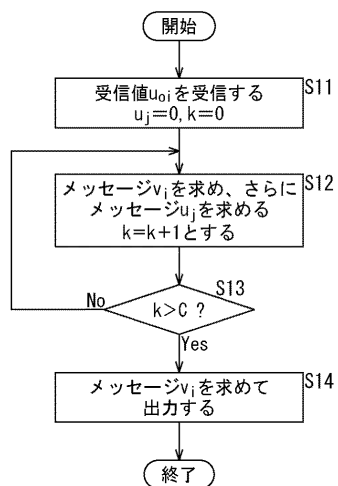
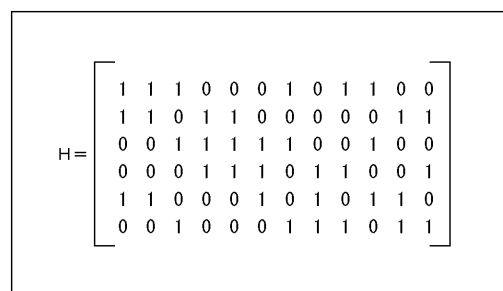
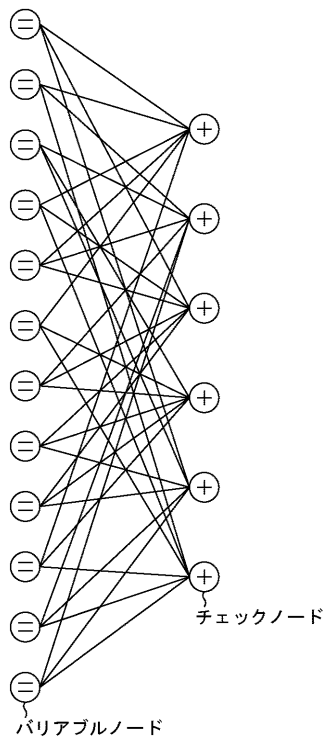


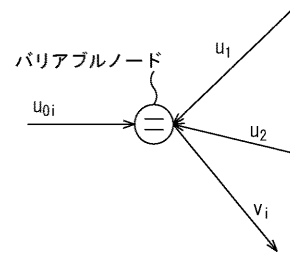
图3



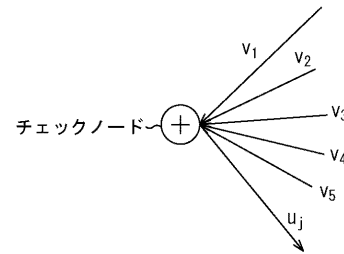
【図 4】
図4



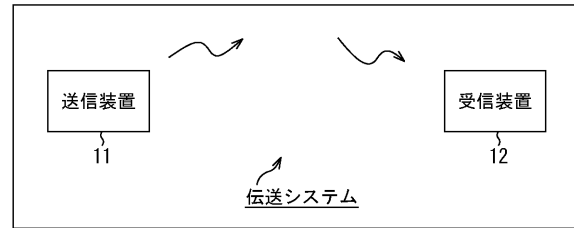
【図 5】
図5



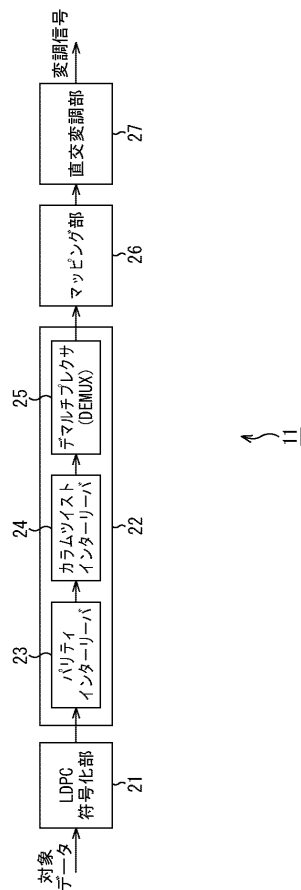
【図 6】
図6



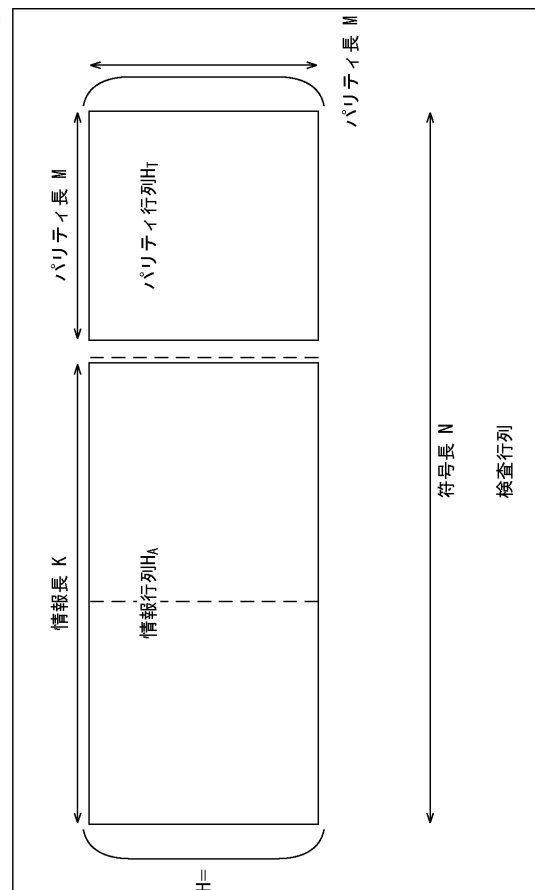
【図 7】
図7



【図 8】
図8

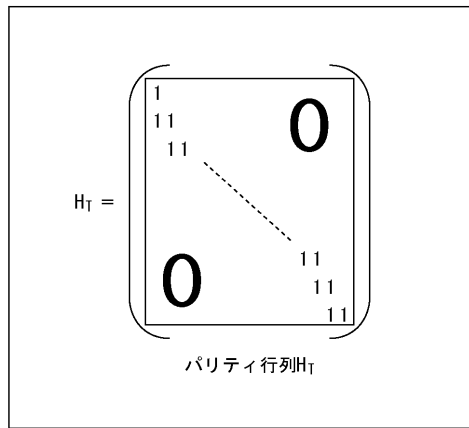


【図 9】
図9



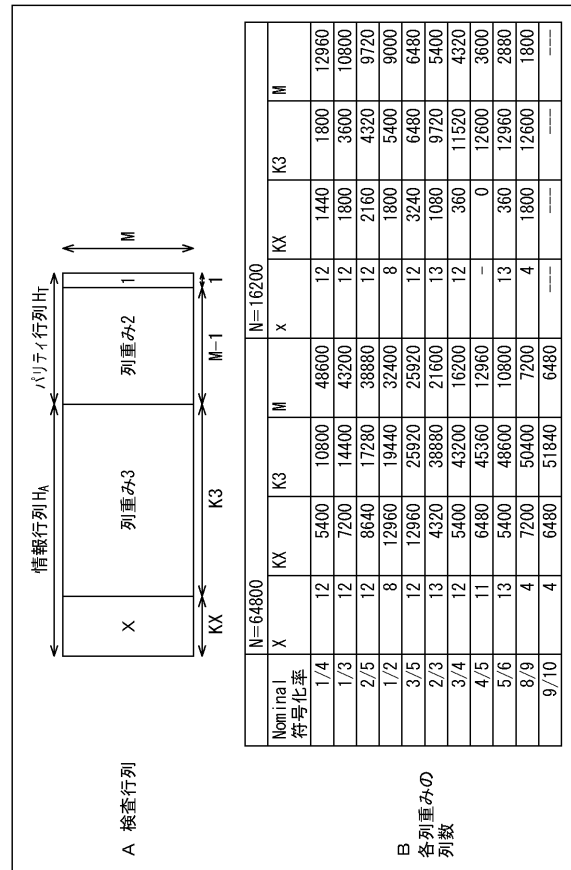
【図 10】

図10



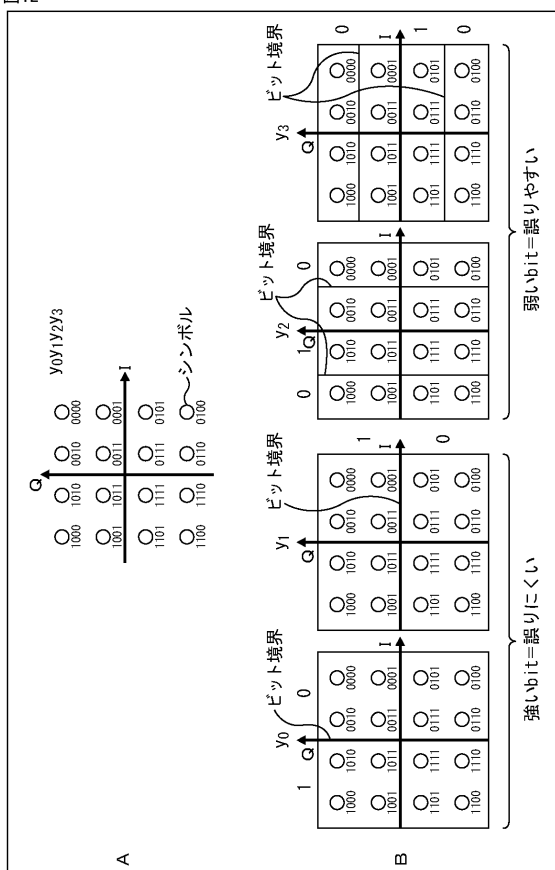
【図 11】

図11



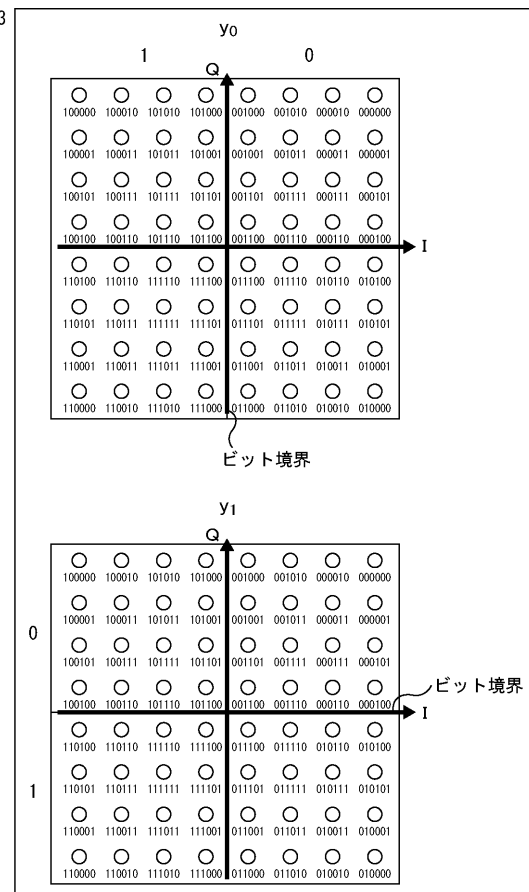
【図 12】

図12



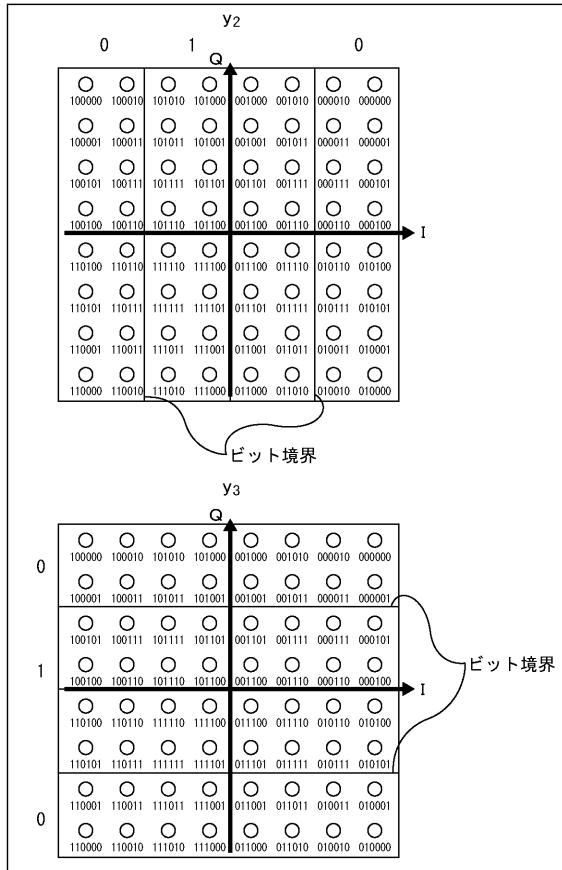
【図 13】

図13



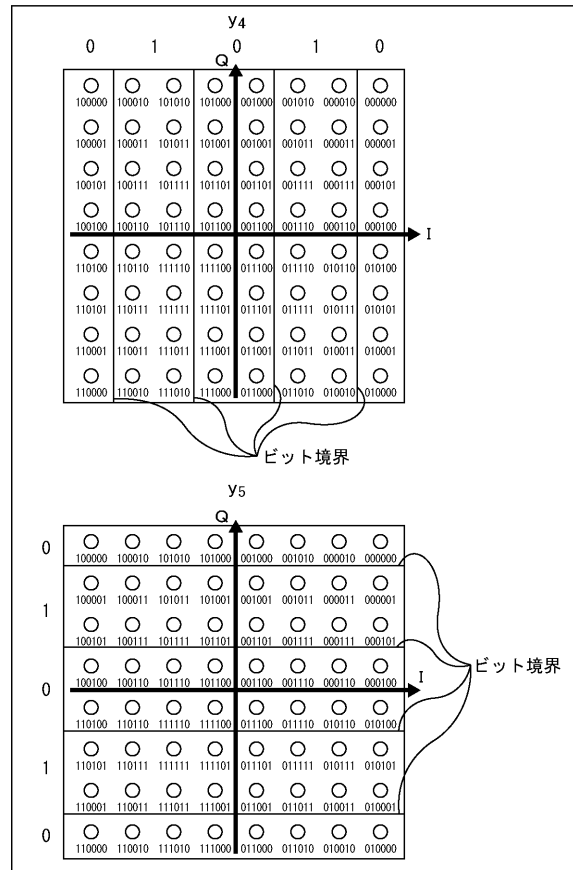
【図 14】

図14



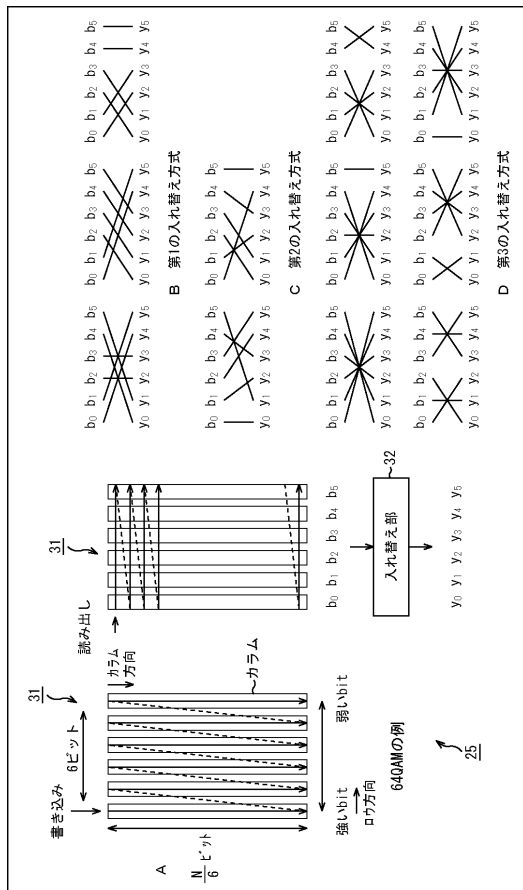
【図 15】

図15



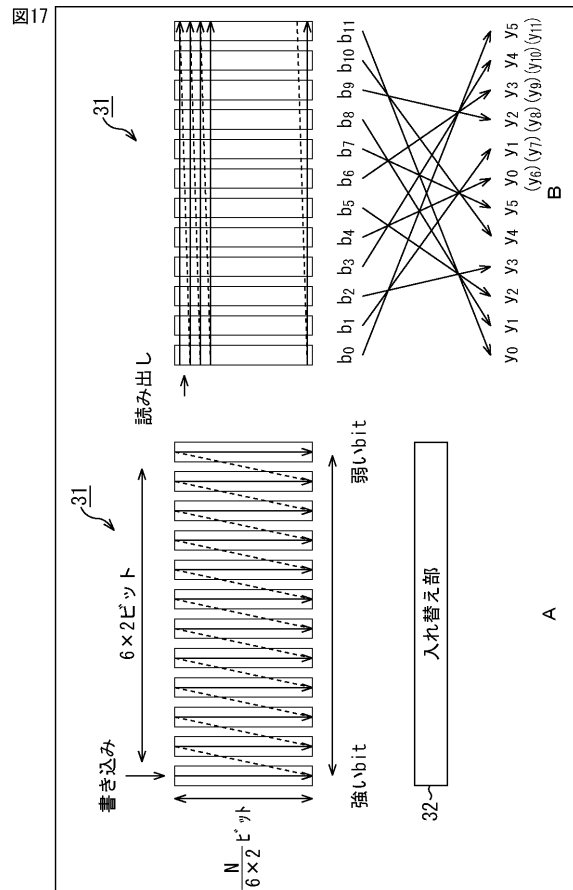
【図 16】

図16

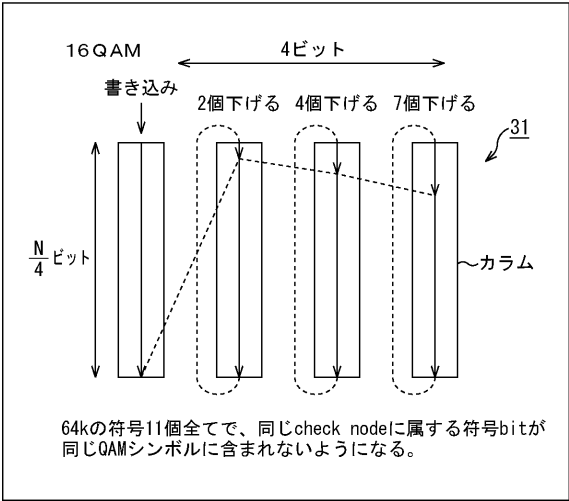


【図 17】

図17



【図 2 2】
図22



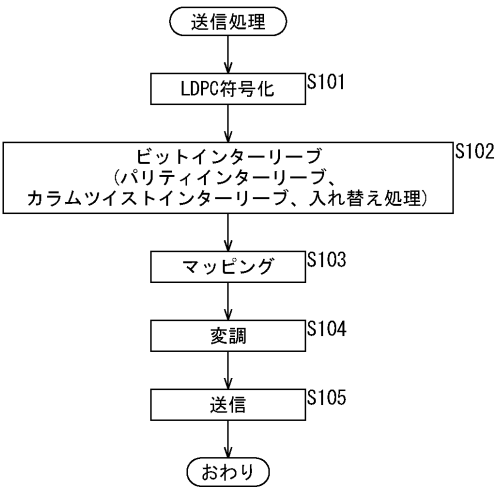
【図 2 3】
図23

mb個の各カラムの書き始めの位置																										
必要な メモリ数 mb	第1ないし 第3の 入れ替え方式	第4の 入れ替え 方式	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	2																						
4	16QAM	QPSK	0	2	4	7																				
6	64QAM		0	2	5	9	10	13																		
8	256QAM	16QAM	0	0	2	4	4	5	7	7																
10	1024QAM		0	3	6	8	11	13	15	17	18	20														
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9												
16		256QAM	0	2	2	2	3	7	15	16	20	22	27	27	28	32										
20		1024QAM	0	1	3	4	5	6	6	9	13	14	16	21	21	23	25	25	26	28	30					
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

【図 2 4】
図24

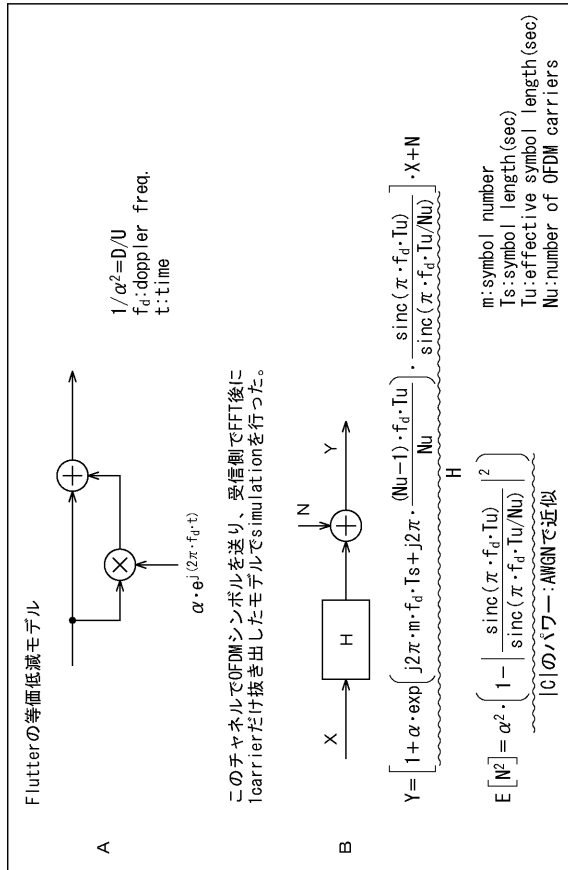
			mb個の各カラムの書き始めの位置																							
必要な メモリ数 mb	第1ないし 第3の 入れ替え方式	第4の 入れ替え 方式	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	4	4	5	7															
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	6	7														
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	7	7	7	7	8	8	10					
24		4096QAM	0	0	0	0	0	0	1	1	2	2	3	7	9	9	9	10	10	10	10	10	10	10	11	

【図 2 5】
図25



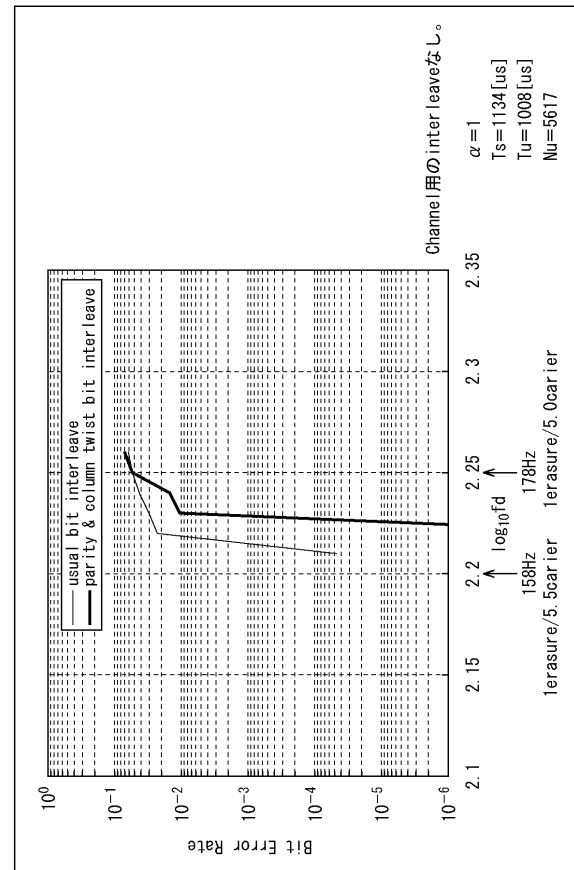
【図 26】

図26



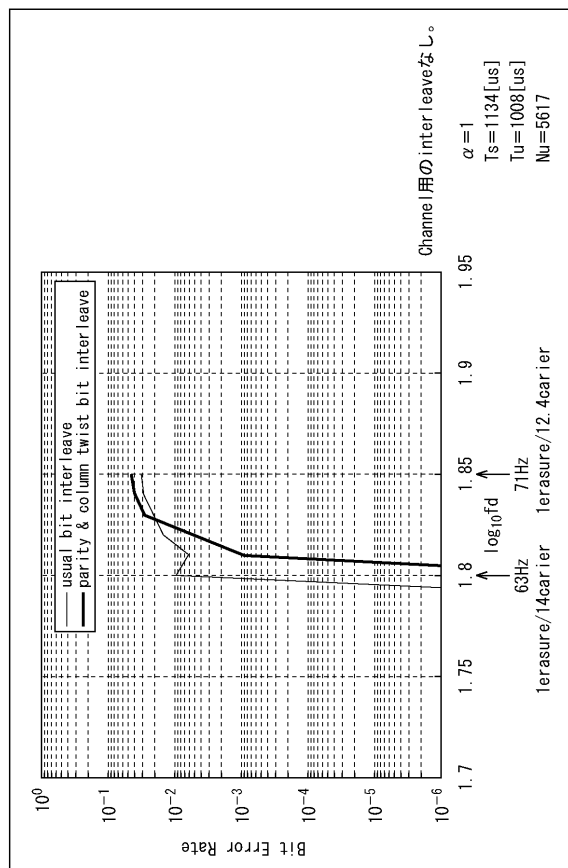
【図 27】

図27



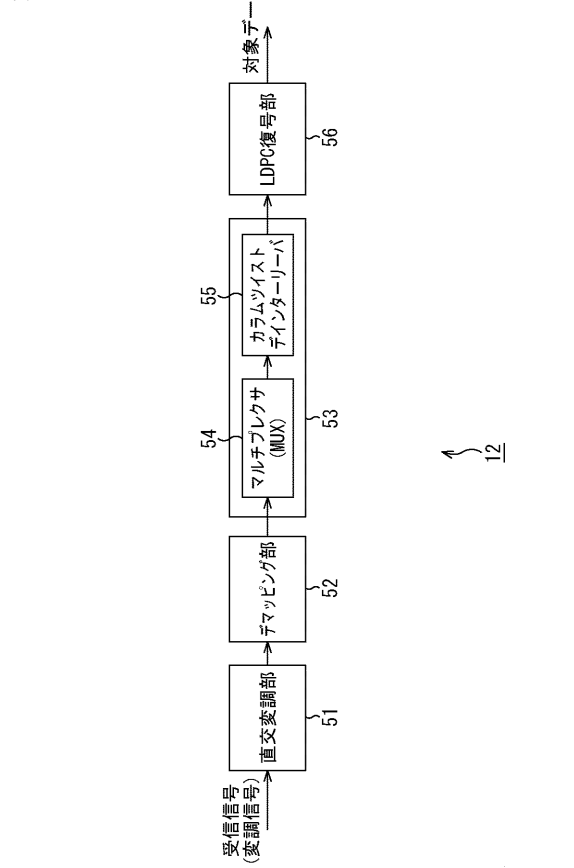
【図 28】

図28



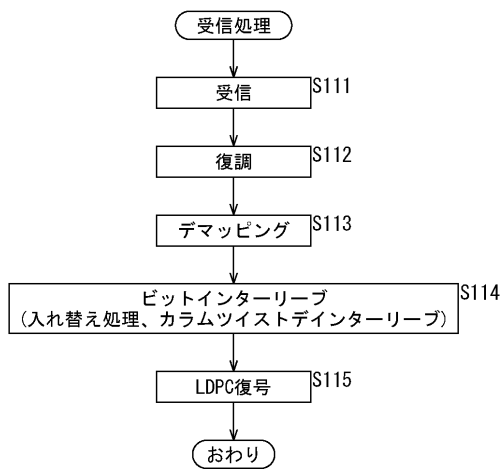
【図 29】

図29



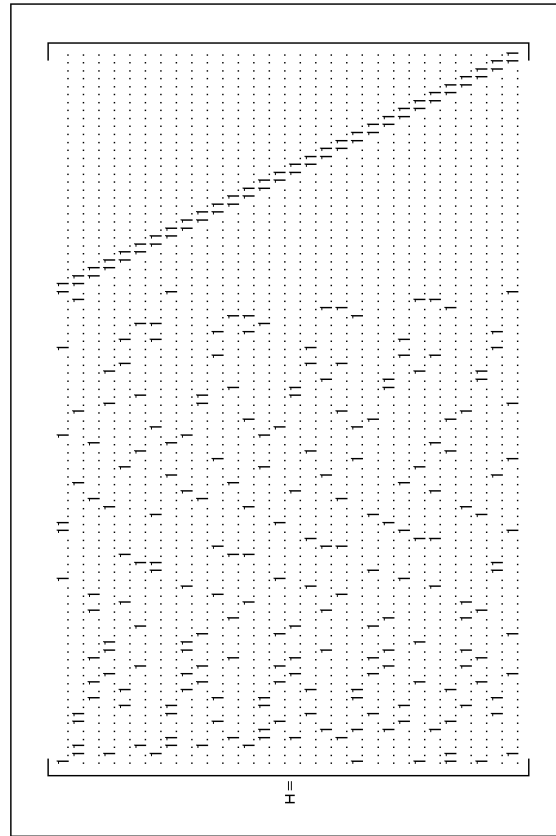
【図 3 0】

図30



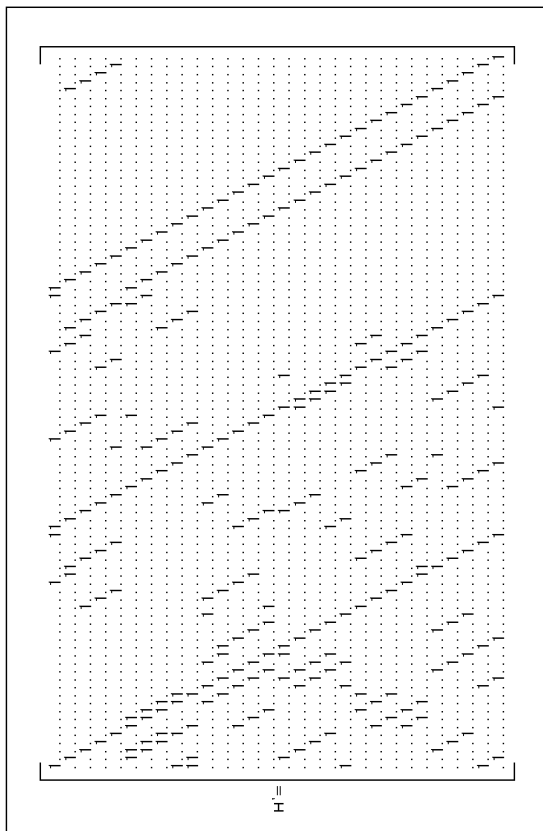
【図 3 1】

図31



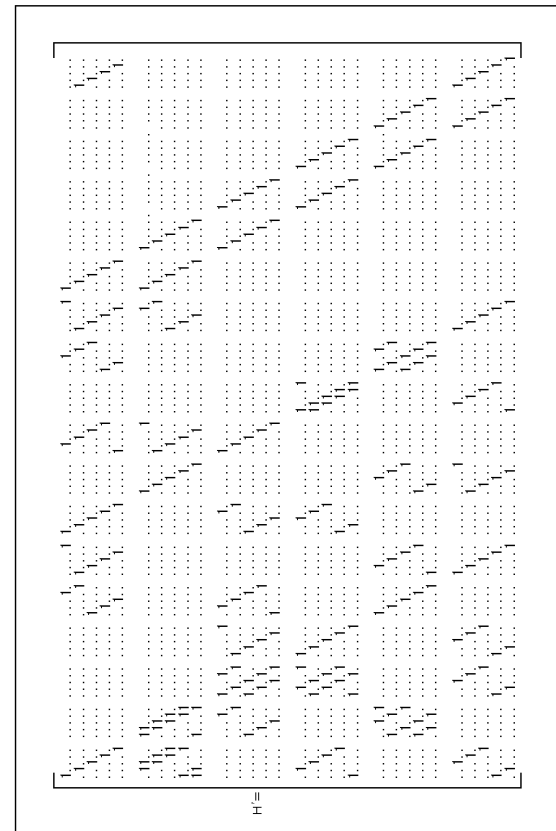
【図 3 2】

図32



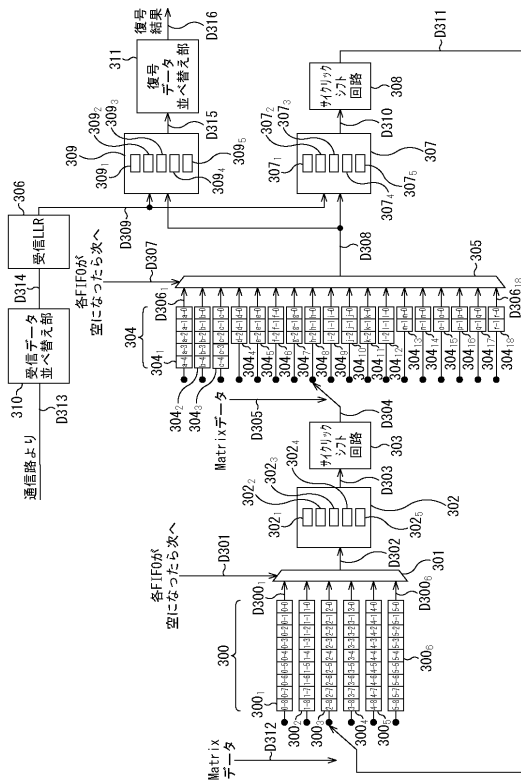
【図 3 3】

図33



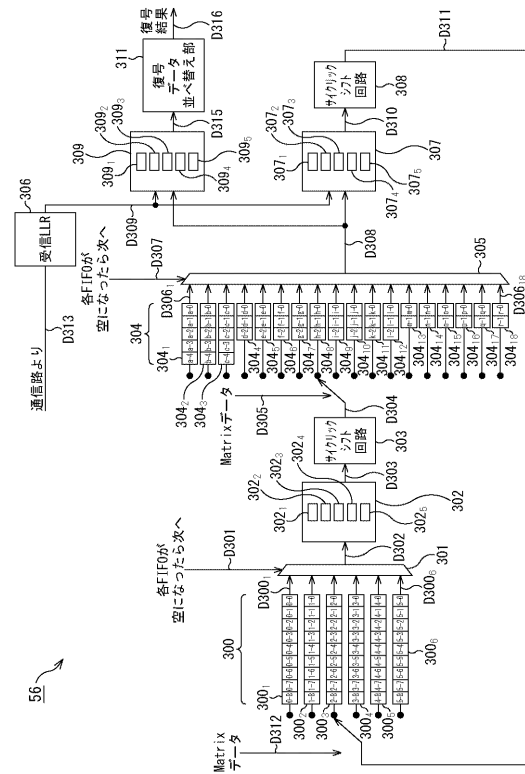
【図 3 4】

図34



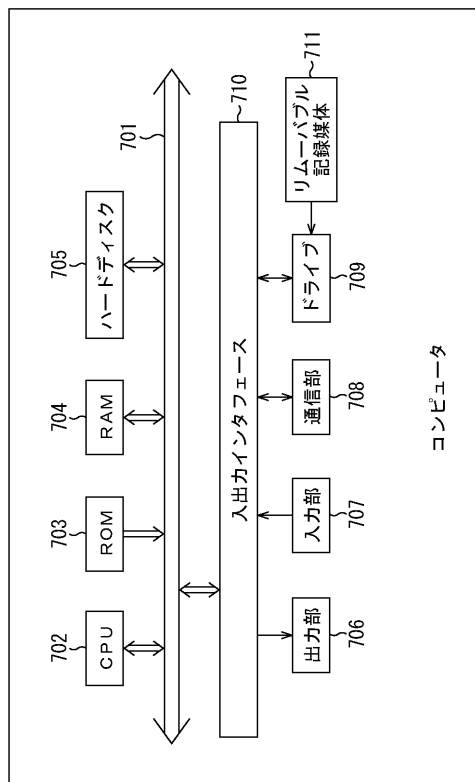
【図 3 5】

図35



【図 3 6】

図36



【図 3 7】

图37

[illegible]
$$r = \frac{2}{3}, N = 16200 \text{ の検査行列初期値テーブル}$$

【図 3 8】

図38

$$\left\{ r = \frac{2}{3}, N = 64800 \right\}$$
 の検査行列初期値テーブル

r2/3 64K
0 10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1 17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2 17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3 19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4 4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5 9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6 486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7 20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8 3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9 19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10 4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11 14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12 13800 14161
13 2948 9647
14 14693 16027
15 20506 11082
16 1143 9020
17 13501 4014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614
24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040

【図 3 9】

図39

40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319
51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045
17 1274 19286
18 14777 2044
19 13920 9900
20 452 7374

【図 4 0】

図40

21 18206 9921
22 6131 5414
23 10077 9726
24 12045 5479
25 4322 7990
26 15616 5550
27 15561 10661
28 20718 7387
29 2518 18804
30 8984 2600
31 6516 17909
32 11148 98
33 20559 3704
34 7510 1569
35 16000 11692
36 9147 10303
37 16650 191
38 15577 18685
39 17167 20917
40 4256 3391
41 20092 17219
42 9218 5056
43 18429 8472
44 12093 20753
45 16345 12748
46 16023 11095
47 5048 17595
48 18995 4817
49 16483 3536
50 1439 16148
51 3661 3039
52 19010 18121
53 8968 11793
54 13427 18003
55 5303 3083
56 531 16668
57 4771 6722
58 5695 7960
59 3589 14630

【図 4 1】

図41

r3/4 16K
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

$$\left\{ r = \frac{3}{4}, N = 16200 \right\}$$
 の検査行列初期値テーブル

【図 4 2】

図42

 $\{r = \frac{3}{4}, N=64800\}$ の検査行列初期値テーブル

r3/4 64K
0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 7207 4314
20 3312 3945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 2464 13167
35 5281 15049
36 1103 1849
37 2058 1069
38 9654 6095
39 14311 7667

【図 4 3】

図43

40 15617 8146
41 4588 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 16079
7 15087 12138
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 2918 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

【図 4 4】

図44

36 2995 8257
37 9406 4791
38 11111 4854
39 2812 8521
40 8476 14717
41 7820 15360
42 1179 7939
43 2357 8678
44 7703 6216
0 3477 7067
1 3931 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493

【図 4 5】

図45

32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 5167
44 2883 14521

【図 4 6】

図46

r4/5 16K
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

$$r = \frac{4}{5}, N=16200 \text{ の検査行列初期値テーブル}$$

【図 4 7】

図47

$$r = \frac{4}{5}, N=64800 \text{ の検査行列初期値テーブル}$$

r4/5 64K
0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
1 5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
14 1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16 6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18 10155 4210
19 1010 10483
20 8900 10250
21 10243 12278
22 7070 4397
23 12271 3887
24 11980 6836
25 9514 4356
26 7137 10281
27 11881 2526
28 1969 11477
29 3044 10921
30 2236 8724
31 9104 6340
32 7342 8582
33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344

【図 4 8】

図48

4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883

【図 4 9】

図49

9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597

【図 5 0】

図50

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

【図 5 1】

図51

r5/6	16K
3	2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4	2447 1926
5	414 1224
6	2114 842
7	212 573
0	2383 2112
1	2286 2348
2	545 819
3	1264 143
4	1701 2258
5	964 166
6	114 2413
7	2243 81
0	1245 1581
1	775 169
2	1696 1104
3	1914 2831
4	532 1450
5	91 974
6	497 2228
7	2326 1579
0	2482 256
1	1117 1261
2	1257 1658
3	1478 1225
4	2511 980
5	2320 2675
6	435 1278
7	228 503
0	1885 2369
1	57 483
2	838 1050
3	1231 1990
4	1738 68
5	2392 951
6	163 645
7	2644 1704

$$r = \frac{5}{6}, N = 16200 \text{ の検査行列初期値テーブル}$$

【図 5 2】

図52

$$r = \frac{5}{6}, N = 64800 \text{ の検査行列初期値テーブル}$$

r5/6	64K
0	4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1	2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621
16	6498 9209
17	7293 6786
18	5950 1708
19	8521 1793
20	6174 7854
21	9773 1190
22	9517 10268
23	2181 9349
24	1949 5560
25	1556 555
26	8600 3827
27	5072 1057
28	7928 3542
29	3226 3762
0	7045 2420
1	9645 2641
2	2774 2452
3	5331 2031
4	9400 7503
5	1850 2338
6	10456 9774
7	1692 9276
8	10037 4038
9	3964 338

【図 5 3】

図53

10	2640 5087
11	858 3473
12	5582 5683
13	9523 916
14	4107 1559
15	4506 3491
16	8191 4182
17	10192 6157
18	5668 3305
19	3449 1540
20	4766 2697
21	4069 6675
22	1117 1016
23	5619 3085
24	8483 8400
25	8255 394
26	6338 5042
27	6174 5119
28	7203 1989
29	1781 5174
0	1464 3559
1	3376 4214
2	7238 67
3	10595 8831
4	1221 6513
5	5300 4652
6	1429 9749
7	7878 5131
8	4435 10284
9	6331 5507
10	6662 4941
11	9614 10238
12	8400 8025
13	9156 5630
14	7067 8878
15	9027 3415
16	1690 3866
17	2854 8469
18	6206 630
19	363 5453
20	4125 7008

【図 5 4】

図54

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

【図 5 5】

図55

2	10070	2359
3	3667	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

【図 5 6】

図56

$$r = \frac{8}{9}, N = 16200 \text{ の検査行列初期値テーブル}$$

r8/9	16K
0	1558 712 805
1	1450 873 1337
2	1741 1129 1184
3	294 806 1566
4	482 605 923
0	926 1578
1	777 1374
2	608 151
3	1195 210
4	1484 692
0	427 488
1	828 1124
2	874 1366
3	1500 835
4	1496 502
0	1006 1701
1	1155 97
2	657 1403
3	1453 624
4	429 1495
0	809 385
1	367 151
2	1323 202
3	960 318
4	1451 1039
0	1098 1722
1	1015 1428
2	1261 1564
3	544 1190
4	1472 1246
0	508 630
1	421 1704
2	284 898
3	392 577
4	1155 556
0	631 1000
1	732 1368
2	1328 329
3	1515 506
4	1104 1172

【図 5 7】

図57

$$r = \frac{8}{9}, N = 64800 \text{ の検査行列初期値テーブル}$$

r8/9	64K
0	6235 2848 3222
1	5800 3492 5348
2	2757 927 90
3	6961 4516 4739
4	1172 3237 6264
5	1927 2425 3683
6	3714 6309 2495
7	3070 6342 7154
8	2428 613 3761
9	2906 264 5927
10	1716 1950 4273
11	4613 6179 3491
12	4865 3286 6005
13	1343 5923 3529
14	4589 4035 2132
15	1579 3920 6737
16	1644 1191 5998
17	1482 2381 4620
18	6791 6014 6596
19	2738 5918 3786
0	5156 6166
1	1504 4356
2	130 1904
3	6027 3187
4	6718 759
5	6240 2870
6	2343 1311
7	1039 5465
8	6617 2513
9	1588 5222
10	6561 535
11	4765 2054
12	5966 6892
13	1969 3869
14	3571 2420
15	4632 981
16	3215 4163
17	973 3117
18	3802 6198
19	3794 3948

【図 5 8】

図58

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

【図 5 9】

図59

1	3557	3224
2	3028	583
3	3258	440
4	6226	6655
5	4895	1094
6	1481	6847
7	4433	1932
8	2107	1649
9	2119	2065
10	4003	6388
11	6720	3622
12	3694	4521
13	1164	7050
14	1965	3613
15	4331	66
16	2970	1796
17	4652	3218
18	1762	4777
19	5736	1399
0	970	2572
1	2062	6599
2	4597	4870
3	1228	6913
4	4159	1037
5	2916	2362
6	395	1226
7	6911	4548
8	4618	2241
9	4120	4280
10	5825	474
11	2154	5558
12	3793	5471
13	5707	1595
14	1403	325
15	6601	5183
16	6369	4569
17	4846	896
18	7092	6184
19	6764	7127
0	6358	1951
1	3117	6960

【図 6 0】

図60

2	2710	7062
3	1133	3604
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

【図 6 1】

図61

$$r = \frac{9}{10}, N = 64800 \text{ の検査行列初期値テーブル}$$

r9/10	64K		
0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

【図 6 2】

図62

4	3404	3552
5	2876	5515
6	516	1719
7	765	3631
8	5059	1441
9	5629	598
10	5405	473
11	4724	5210
12	155	1832
13	1689	2229
14	449	1164
15	2308	3088
16	1122	669
17	2268	5758
0	5878	2609
1	782	3359
2	1231	4231
3	4225	2052
4	4286	3517
5	5531	3184
6	1935	4560
7	1174	131
8	3115	956
9	3129	1088
10	5238	4440
11	5722	4280
12	3540	375
13	191	2782
14	906	4432
15	3225	1111
16	6296	2583
17	1457	903
0	855	4475
1	4097	3970
2	4433	4361
3	5198	541
4	1146	4426
5	3202	2902
6	2724	525
7	1083	4124
8	2326	6003

【図 6 3】

図63

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

【図 6 4】

図64

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

【図 6 5】

図65

r1/4 64K	23606	36098	1140	28859	18148	18510	6226	540	42014	20879	23802	47088
	16419	24928	16609	17248	7693	24997	42587	16858	34921	21042	37024	20692
	1874	40094	18704	14474	14004	11519	13106	28826	38669	22363	30255	31105
	22254	40564	22645	22532	6134	9176	39998	23892	8937	15608	16854	31009
	8037	40401	13550	19526	41902	28782	13304	32796	24679	27140	45980	10021
	40540	44498	13911	22435	32701	18405	39929	25521	12497	9851	39223	34823
	15233	45333	5041	44979	45710	42150	19416	1892	23121	15860	8832	10308
	10468	44296	3611	1480	37581	32254	13817	6883	32892	40258	46538	11940
	6705	21634	28150	43757	895	6547	20970	28914	30117	25736	41734	11392
	22002	5739	27210	27828	34192	37992	10915	6998	3824	42130	4494	35739
	8515	1191	13642	30950	25943	12673	16726	34261	31828	3340	8747	39225
	18979	17058	43130	4246	4793	44030	19454	29511	47929	15174	24333	19354
	16694	8381	29642	46516	32224	26344	9405	18292	12437	27316	35466	41992
	15642	5871	46489	26723	23396	7257	8974	3156	37420	44823	35423	13541
	42858	32008	41282	38773	26570	2702	27260	46974	1469	20887	27426	38553
	22152	24261	8297	19347	9978	27802	34991	6354	33561	29782	30875	29523
	9278	48512	14349	38061	4165	43878	8548	33172	34410	22535	28811	23950
	20439	4027	24186	38618	8187	30947	35538	43880	21459	7091	45616	15063
	5505	9315	21908	36046	32914	11836	7304	39782	33721	16905	29962	12980
	11171	23709	22460	34541	9937	44500	14035	47316	8815	15057	45482	24461
	30518	36877	879	7583	13364	24332	448	27056	4682	12083	31378	21670
	1159	18031	2221	17028	38715	9350	17343	24530	29574			

【図 6 6】

図66

46128	31039	32818
20373	36967	18345
46685	20622	32806

【図 6 7】

図67

r1/3 64K
34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120
11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894
29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451
34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
39948 28229 24899
17408 14274 38993
38774 15968 28459
41404 27249 27425
41229 6082 43114
13957 4979 40654
3093 3438 34992
34082 6172 28760
42210 34141 41021
14705 17783 10134
41755 39884 22773
14615 15593 1642
29111 37061 39860
9579 33552 633
12951 21137 39608
38244 27361 29417
2939 10172 36479
29094 5357 19224
9562 24436 28637

【図 6 8】

図68

40177 2326 13504
6834 21583 42516
40651 42810 25709
31557 32138 38142
18624 41867 39296
37560 14295 16245
6821 21679 31570
25339 25083 22081
8047 697 35268
9884 17073 19995
26848 35245 8390
18658 16134 14807
12201 32944 5035
25236 1216 38986
42994 24782 8681
28321 4932 34249
4107 29382 32124
22157 2624 14468
38788 27081 7936
4368 26148 10578
25353 4122 39751

【図 6 9】

図69

r2/5 64K
31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685
17287 27292 19033
25796 31795 12152
12184 35088 31226
38263 33386 24892
23114 37995 29796
34336 10551 36245
35407 175 7203
14654 38201 22605
28404 6595 1018
19932 3524 29305
31749 20247 8128
18026 36357 26735
7543 29767 13588
13333 25965 8463
14504 36796 19710
4528 25299 7318
35091 25550 14798

【図 7 0】

図70

7824	215	1248
30848	5362	17291
28932	30249	27073
13062	2103	16206
7129	32062	19612
9512	21936	38833
35849	33754	23450
18705	28656	18111
22749	27456	32187
28229	31684	30160
15293	8483	28002
14880	13334	12584
28646	2558	19687
6259	4499	26336
11952	28386	8405
10609	961	7582
10423	13191	26818
15922	36654	21450
10492	1532	1205
30551	36482	22153
5156	11330	34243
28616	35369	13322
8962	1485	21186
23541	17445	35561
33133	11593	19895
33917	7863	33651
20063	28331	10702
13195	21107	21859
4364	31137	4804
5585	2037	4830
30672	16927	14800

【図 7 1】

図71

1/2 64K							
54	9318	14392	27561	26909	10219	2534	8597
55	7263	4635	2530	28130	3033	23830	3651
56	24731	23583	26036	17299	5750	792	9169
57	5811	26154	18653	11551	15447	13685	16264
58	12610	11347	28768	2792	3174	29371	12997
59	16789	16018	21449	6165	21202	15850	3186
60	31016	21449	17618	6213	12166	8334	18212
61	22836	14213	11327	5896	718	11727	9308
62	2091	24941	29966	23634	9013	15587	5444
63	22207	3983	16904	28534	21415	27524	25912
64	25687	4501	22193	14665	14798	16158	5491
65	4520	17094	23397	4264	22370	16941	21526
66	10490	6182	32370	9597	30841	25954	2762
67	22120	22865	29870	15147	13668	14955	19235
68	6689	18408	18346	9918	25746	5443	20645
69	29982	12529	13858	4746	30370	10023	24828
70	1262	28032	29888	13063	24033	21951	7863
71	6594	29642	31451	14831	9509	9335	31552
72	1358	6454	16633	20354	24598	624	5265
73	19529	295	18011	3080	13364	8032	15323
74	11981	1510	7960	21462	9129	11370	25741
75	9276	29656	4543	30699	20646	21921	28050
76	15975	25634	5520	31119	13715	21949	19605
77	18688	4608	31755	30165	13103	10706	29224
78	21514	23117	12245	26035	31656	25631	30699
79	9674	24966	31285	29908	17042	24588	31857
80	21856	27777	29919	27000	14897	11409	7122
81	29773	23310	263	4877	28622	20545	22092
82	15605	5651	21864	3967	14419	22757	15896
83	30145	1759	10139	29223	26086	10556	5098
84	18815	16575	2936	24457	26738	6030	505
85	30326	22298	27562	20131	26390	6247	24791
86	928	29246	21246	12400	15311	32309	18608
87	20314	6025	26689	16302	2296	3244	19613
88	6237	11943	22851	15642	23857	15112	20947
89	26403	25168	19038	18384	8882	12719	7093
0	14567	24965					
1	3908	100					
2	10279	240					

【図 7 2】

図72

3	24102	764
4	12383	4173
5	13861	15918
6	21327	1046
7	5288	14579
8	28158	8069
9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996

【図 7 3】

図73

46	979	25024
47	4554	21896
48	7989	21777
49	4972	20661
50	6612	2730
51	12742	4418
52	29194	595
53	19267	20113

【図 7 4】

図74

r3/5 64K	
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179	
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463	
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069	
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766	
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620	
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243	
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802	
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826	
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206	
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777	
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791	
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004	
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837	
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944	
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019	
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128	
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670	
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157	
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365	
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804	
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490	
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360	
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040	
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108	
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125	
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552	
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033	
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797	
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318	
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358	
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442	
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691	
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244	
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649	
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749	
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036	
0 18539 18661	
1 10502 3002	
2 9368 10761	

【図 7 5】

図75

3 12299 7828	
4 15048 13362	
5 18444 24640	
6 20775 19175	
7 18970 10971	
8 5329 19982	
9 11296 18655	
10 15046 20659	
11 7300 22140	
12 22029 14477	
13 11129 742	
14 13254 13813	
15 19234 13273	
16 6079 21122	
17 22782 5828	
18 19775 4247	
19 1660 19413	
20 4403 3649	
21 13371 25851	
22 22770 21784	
23 10757 14131	
24 16071 21617	
25 6393 3725	
26 597 19968	
27 5743 8084	
28 6770 9548	
29 4285 17542	
30 13568 22599	
31 1786 4617	
32 23238 11648	
33 19627 2030	
34 13601 13458	
35 13740 17328	
36 25012 13944	
37 22513 6687	
38 4934 12587	
39 21197 5133	
40 22705 6938	
41 7534 24633	
42 24400 12797	
43 21911 25712	
44 12039 1140	
45 24306 1021	

【図 7 6】

図76

46 14012 20747	
47 11265 15219	
48 4670 15531	
49 9417 14359	
50 2415 6504	
51 24964 24690	
52 14443 8816	
53 6926 1291	
54 6209 20806	
55 13915 4079	
56 24410 13196	
57 13505 6117	
58 9869 8220	
59 1570 6044	
60 25780 17387	
61 20671 24913	
62 24558 20591	
63 12402 3702	
64 8314 1357	
65 20071 14616	
66 17014 3688	
67 19837 946	
68 15195 12136	
69 7758 22808	
70 3564 2925	
71 3434 7769	

【図 7 7】

図77

r1/4 16K	
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557	
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090	
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292	
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120	
7844 3079 10773	
3385 10854 5747	
1360 12010 12202	
6189 4241 2343	
9840 12726 4977	

【図 7 8】

図78

r1/3 16K	
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912	
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575	
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291	
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420	
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306	
1505 5682 7778	
7172 6830 6623	
7281 3941 3505	
10270 8669 914	
3622 7563 9388	
9930 5058 4554	
4844 9609 2707	
6883 3237 1714	
4768 3878 10017	
10127 3334 8267	

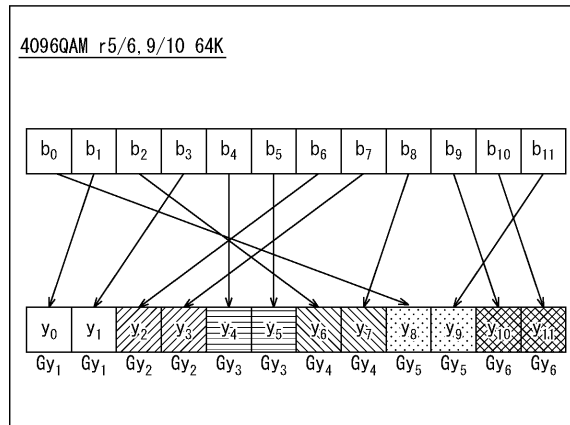
【図 7 9】

図79

r2/5 16K	
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658	
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016	
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931	
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254	
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963	
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134	
1652 8171 1435	
3366 6543 3745	
9286 8509 4645	
7397 5790 8972	
6597 4422 1799	
9276 4041 3847	
8683 7378 4946	
5348 1993 9186	
6724 9015 5646	
4502 4439 8474	
5107 7342 9442	
1387 8910 2660	

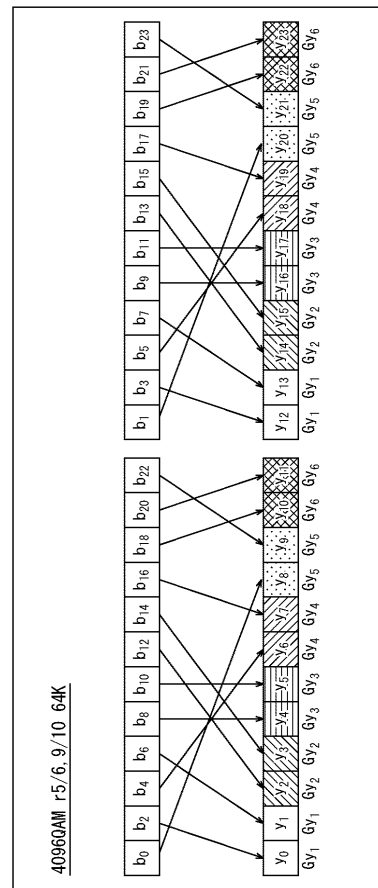
【図 8 4】

図84



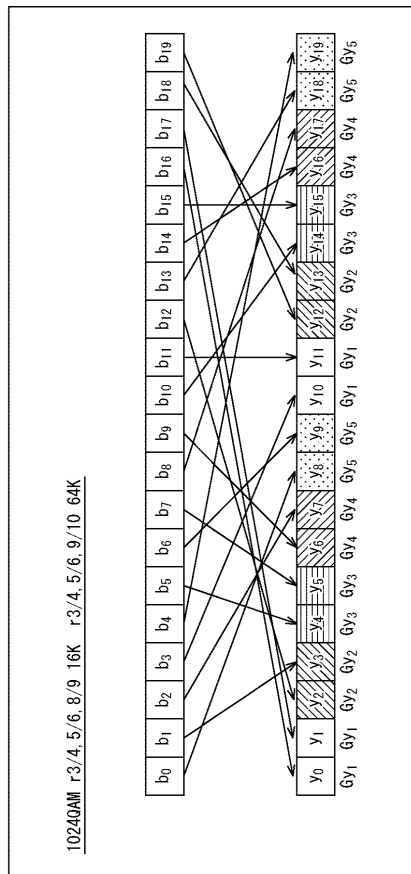
【図 8 5】

図85



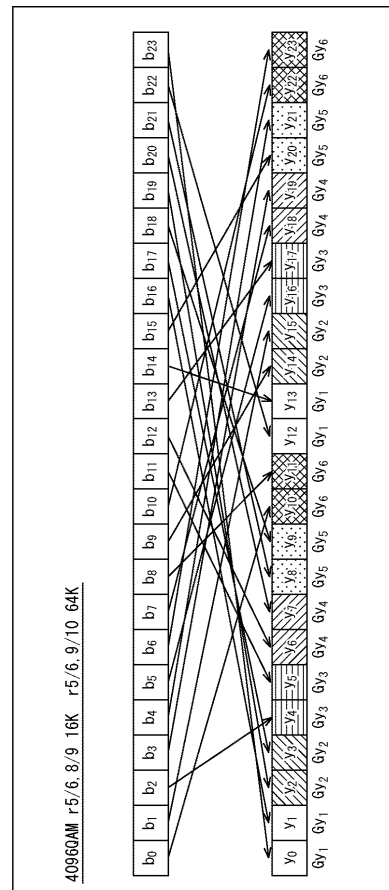
【図 8 6】

図86



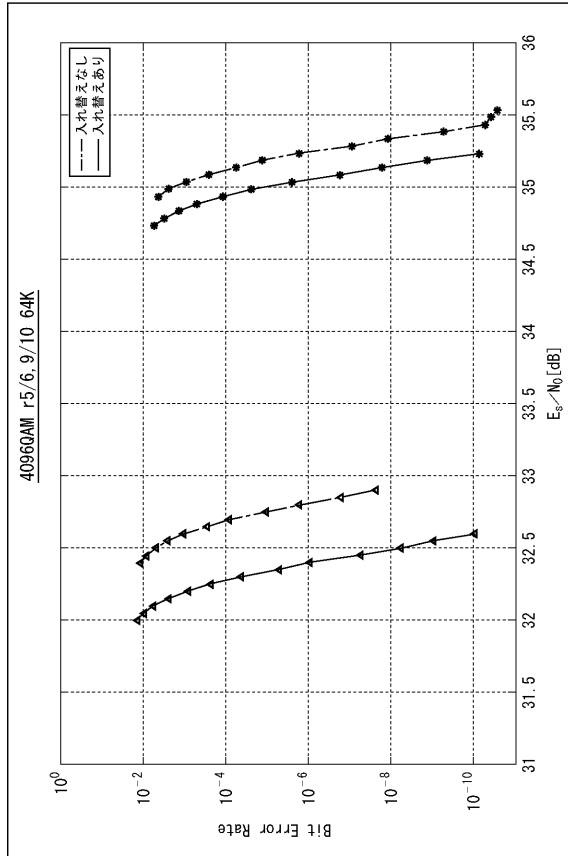
【図 8 7】

図87



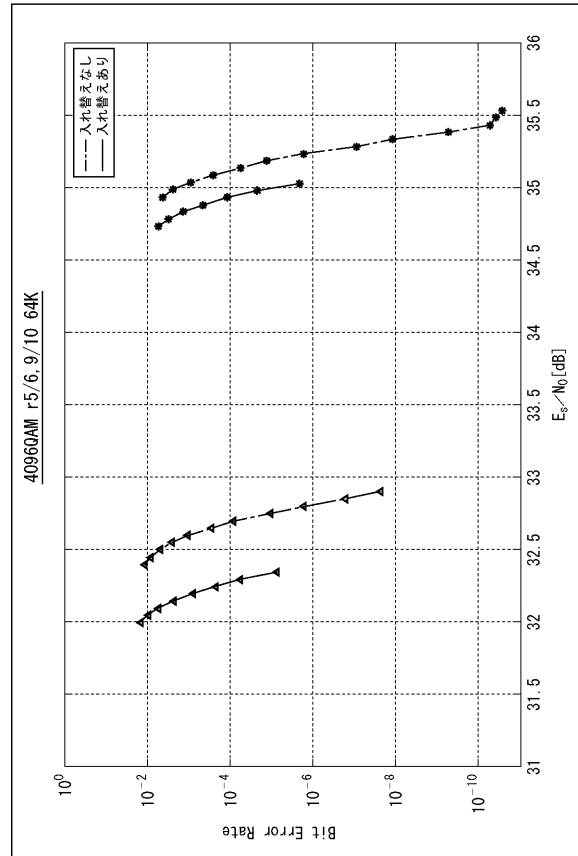
【図 88】

図88



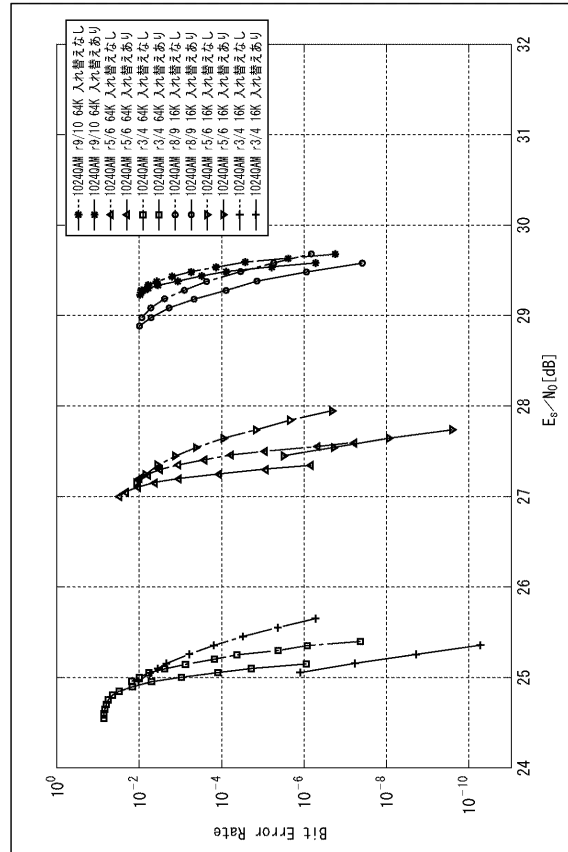
【図 89】

図89



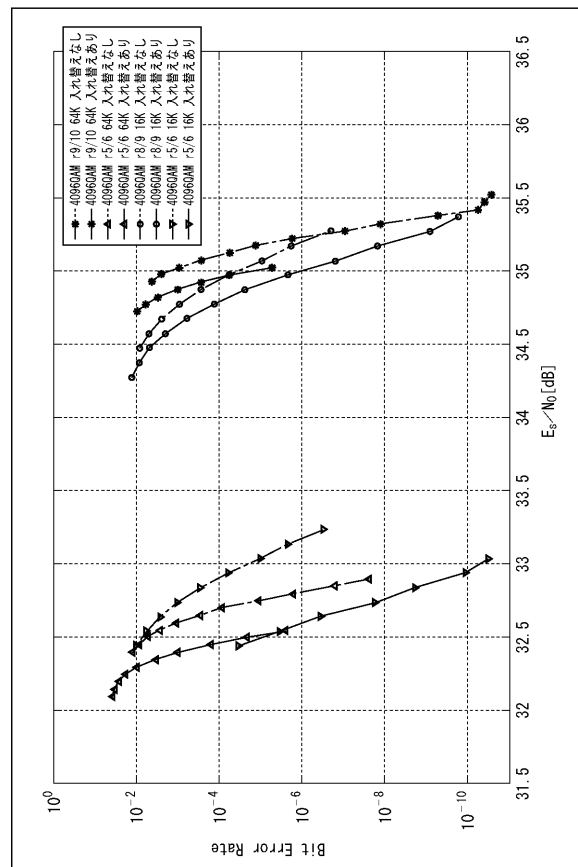
【図 90】

図90



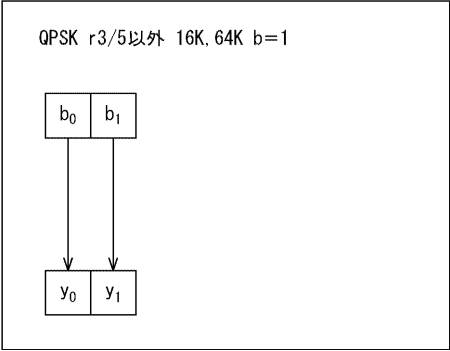
【図 91】

図91



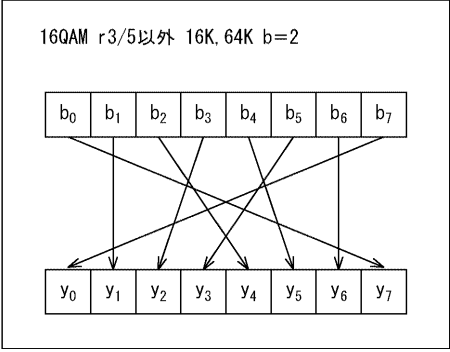
【図 9 2】

図92



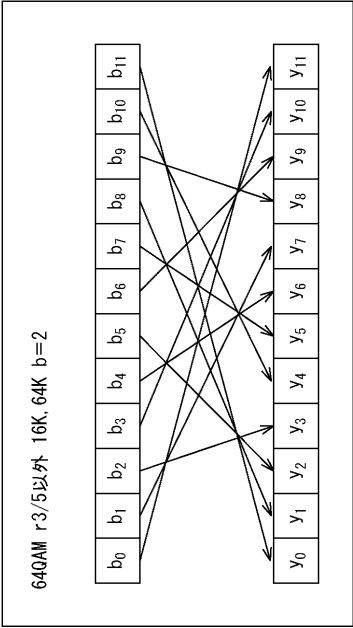
【図 9 3】

図93



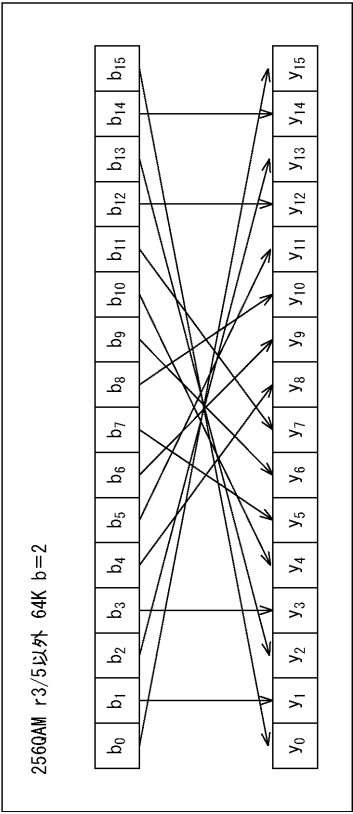
【図 9 4】

図94



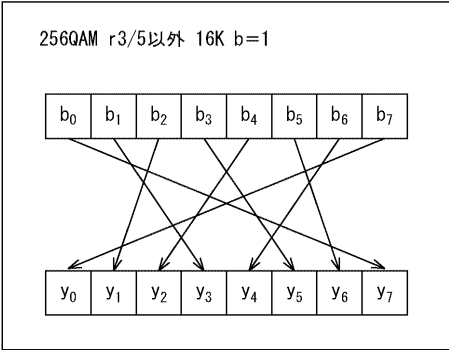
【図 9 5】

図95



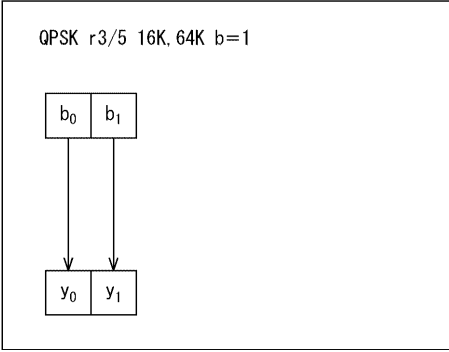
【図 9 6】

図96



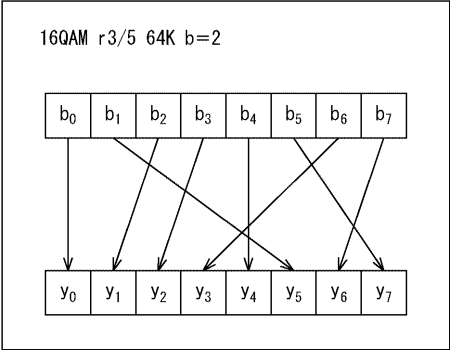
【図 9 7】

図97



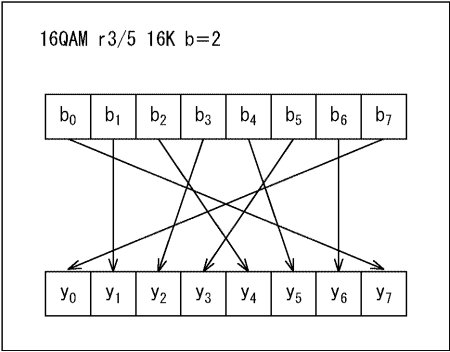
【図 9 8】

図98



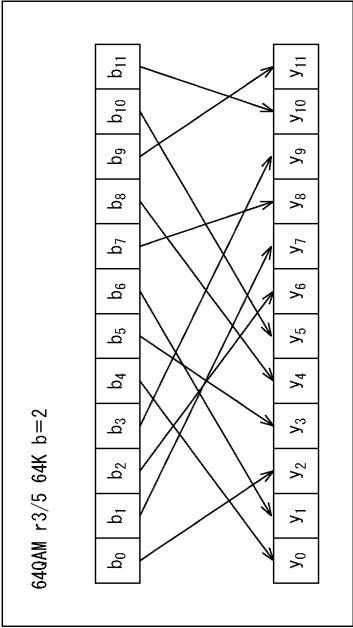
【図 9 9】

図99



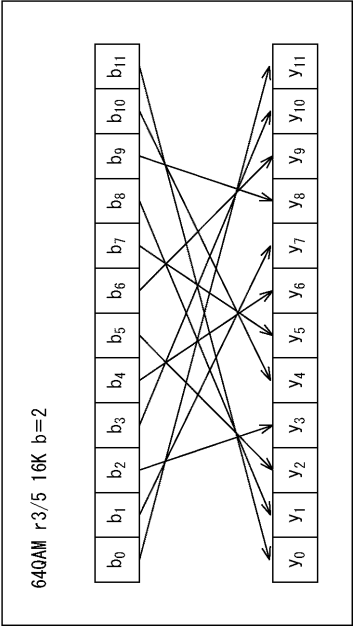
【図 1 0 0】

図100



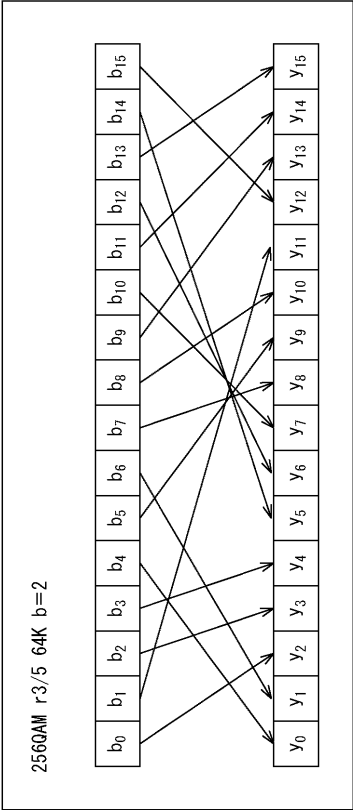
【図 1 0 1】

図101



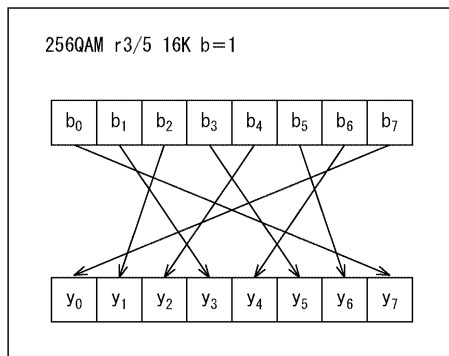
【図 1 0 2】

図102



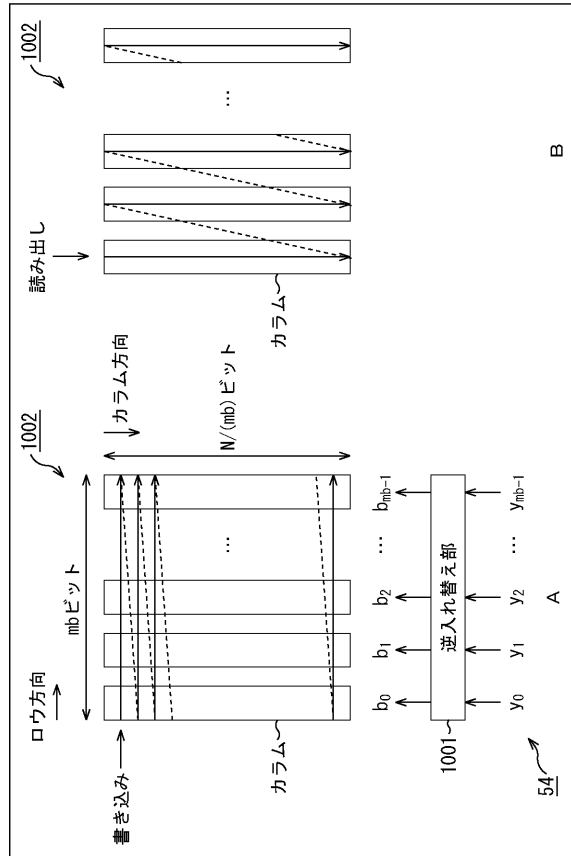
【図 103】

図103



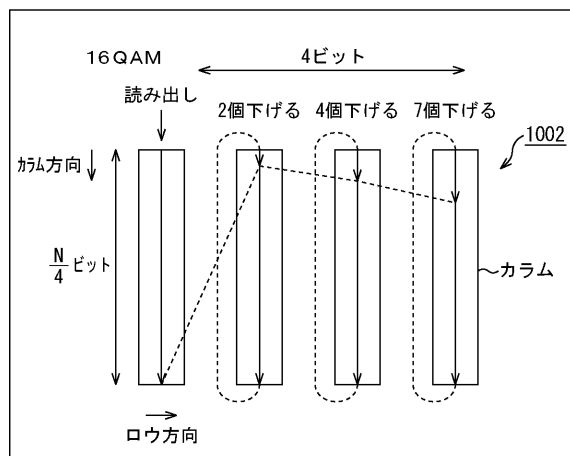
【図 104】

図104



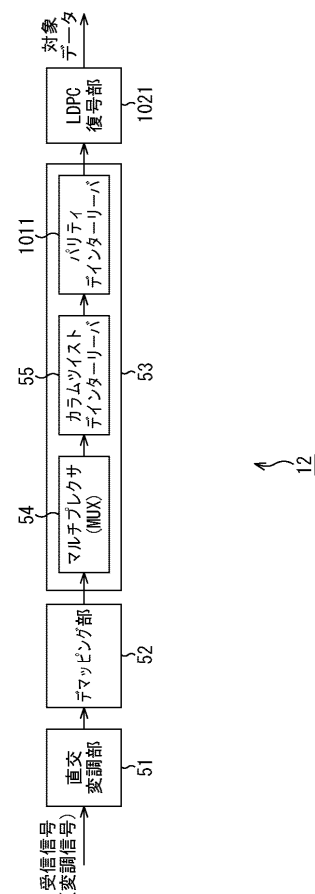
【図 105】

図105

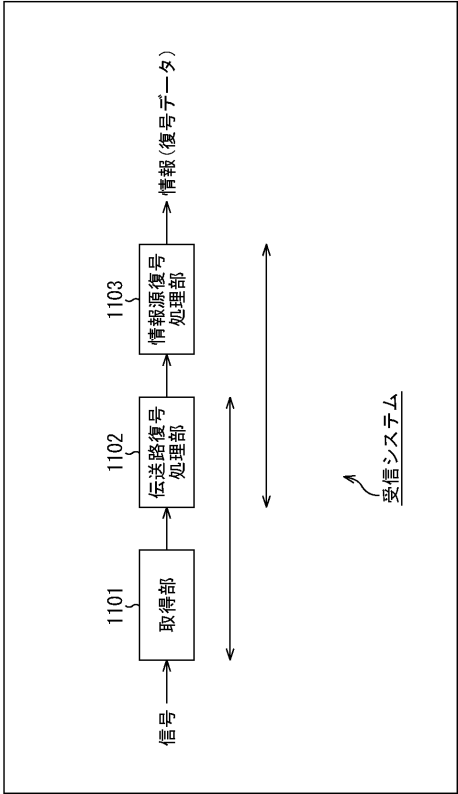


【図 106】

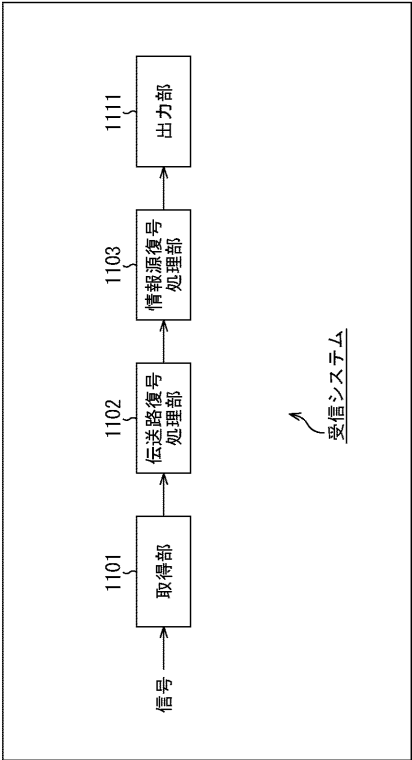
図106



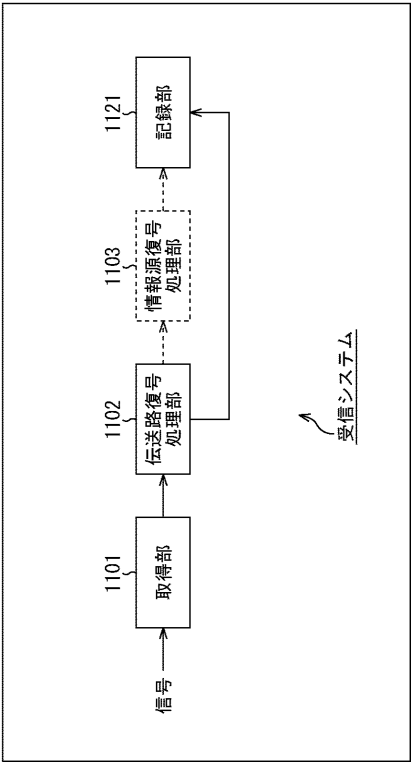
【図107】
図107



【図108】
図108



【図109】
図109



フロントページの続き

(56)参考文献 特許第5048629 (JP, B2)

特開2007-036776 (JP, A)

特開2007-096658 (JP, A)

特表2008-529448 (JP, A)

特許第4317196 (JP, B2)

特許第4808722 (JP, B2)

Takashi Yokokawa et al., Parity and column twist bit interleaver for DVB-T2 LDPC codes, Turbo Codes and Related Topics, 2008 5th International Symposium on, 2009年 9月 5日, pp.123-127

Robert D. Maddock et al., Reliability-Based Coded Modulation With Low-Density Parity-Check Codes, IEEE Transactions on Communications, 2006年 3月, Vol.54, No.3, pp.403-406

伝送路符号化部 DVB-S.2規格の概要, 社団法人 電波産業会 デジタル放送システム開発部会 CSデジタル放送高度化作業班, 2006年 2月24日, pp.3,7-13,20-30

鈴木 陽一 外8名, 高度BSデジタル放送用LDPC符号の設計, 映像情報メディア学会誌, 2008年12月 1日, Vol.62, No.12, pp.1997-2004

郷内 哲志 外1名, MIMOシステムにおけるLDPC-MMSE-SICとTurbo-MMSE-SIC の特性比較, 電子情報通信学会技術研究報告, 2005年 2月23日, Vol.104, No.684, pp.25-30, RCS2004-328

内田 繁 外3名, 多値変調対応LDPC符号構成方法及びマッピング方法, 電子情報通信学会技術研究報告, 2005年 7月14日, Vol.105, No.196, pp.7-12, RCS2005-41

Yan Li et al., Bit-reliability mapping in LDPC-coded modulation systems, Communications Letters, IEEE, 2005年 1月, Vol.9, No.1, pp.1-3

Aditya Ramamoorthy et al., Error Floors of LDPC Coded BICM, Communications, 2007. ICC '07. IEEE International Conference on, 2007年 6月28日, pp.839-844

(58)調査した分野(Int.Cl., DB名)

H03M 13/19

IEEE Explore

Cinii