

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5107187号
(P5107187)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int.Cl.
H01L 23/12 (2006.01)

F I
H01L 23/12 501S

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2008-228204 (P2008-228204)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成20年9月5日(2008.9.5)	(74) 代理人	100077621 弁理士 綿貫 隆夫
(65) 公開番号	特開2010-62430 (P2010-62430A)	(74) 代理人	100092819 弁理士 堀米 和春
(43) 公開日	平成22年3月18日(2010.3.18)	(74) 代理人	100141450 弁理士 堀内 剛
審査請求日	平成23年7月7日(2011.7.7)	(72) 発明者	坂口 秀明 長野県長野市小島田町80番地 新光電気 工業株式会社内
		(72) 発明者	春原 昌宏 長野県長野市小島田町80番地 新光電気 工業株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品パッケージの製造方法

(57) 【特許請求の範囲】

【請求項 1】

搭載された電子部品の電極端子と外部接続端子としてのポストとが導電パターンによって電氣的に接続された電子部品パッケージを製造する際に、
支持板の一面側に、前記電子部品が挿入される電子部品用凹部を形成する工程と、
前記電子部品用凹部よりも周縁側の前記支持板の一面側に、前記ポストが形成されるポスト用凹部を形成する工程と、
前記電子部品用凹部および前記ポスト用凹部の内壁面を含む前記支持板の一面側の全面に剥離層を形成する工程と、
前記剥離層を介して前記ポスト用凹部に導電材を充填して前記ポストを形成する工程と、
前記剥離層を介して前記電子部品用凹部に前記電極端子が形成された面と反対側の背面から前記電子部品を挿入する工程と、
前記支持板の一面側において、前記剥離層、前記ポスト、および前記電子部品を覆うように樹脂層を形成する工程と、
前記樹脂層に、前記電極端子および前記ポストが底面に露出する各凹部を形成する工程と、
前記電極端子と前記ポストとを前記各凹部を通じて電氣的に接続する導体パターンを前記樹脂層上に形成する工程と、
前記樹脂層上の前記導体パターンを更に樹脂層で覆って、前記導体パターンを前記樹脂

10

20

層で封止する工程と、

前記剥離層と共に前記支持板を除去して、前記電子部品および前記ポストを露出する工程と、

を含むことを特徴とする電子部品パッケージの製造方法。

【請求項 2】

前記電子部品用凹部と前記ポスト用凹部との各々を別工程で、前記支持板の一面側にサンドブラストを施して形成し、

前記ポスト用凹部の形成の際、前記電子部品用凹部よりも凹部の深さを深くする請求項 1 記載の電子部品パッケージの製造方法。

【請求項 3】

前記支持板として、シリコン又はガラスから成る支持板を用いる請求項 1 又は請求項 2 記載の電子部品パッケージの製造方法。

【請求項 4】

前記支持板として、シリコンから成る支持板を用い、前記電子部品用凹部と前記ポスト用凹部との各々を、ドライエッチングによって形成する請求項 1 記載の電子部品パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品パッケージの製造技術に関し、更に詳細には搭載された電子部品の電極端子と外部接続端子としてのポストとが導電パターンによって電氣的に接続された電子部品パッケージの製造技術に関する。

【背景技術】

【0002】

半導体素子等の電子部品は、電子部品が実装された実装装置の小型化等のため、薄くなっている。このため、電子部品が搭載された電子部品パッケージも、搭載された電子部品と同等に薄い電子部品パッケージが要請されつつある。

かかる要請に応えるべく、下記特許文献 1 には、搭載された電子部品と同等の厚さの電子部品パッケージの製造方法が提案されている。

この特許文献 1 に提案された電子部品パッケージの製造方法を図 9 に示す。図 9 に示す電子部品パッケージの製造方法では、図 9 (a) に示す様に、搭載する電子部品と等しい厚さの樹脂板 100 の所定箇所に貫通孔 102 を穿設した後、樹脂板 100 の一面側に樹脂フィルム 104 を貼着する。

この様に、開口部の一方が樹脂フィルム 104 で覆われた貫通孔 102 内に、図 9 (b) に示す様に、電子部品 106 を挿入する。この際に、電子部品 106 の電極端子 106 a , 106 a ・ ・ は、樹脂フィルム 104 側となるように挿入する。

挿入した電子部品 106 と貫通孔 102 との隙間 102 a は、図 9 (c) に示す様に、樹脂 108 によって充填し、電子部品 106 を貫通孔 102 内に固定する。

【0003】

次いで、図 9 (d) に示す様に、樹脂フィルム 104 を剥ぎ取った樹脂板 100 の一面側全面を覆う樹脂層 110 に、底面に電子部品 106 の電極端子 106 a が露出する凹部 112 を形成した後、図 9 (e) に示す様に、凹部 112 の底面に露出する電極端子 106 a と電氣的に接続された導体パターン 114 を形成する、いわゆるビルドアップ法によって樹脂層 110 を介して導体パターン 114 を積層する [図 9 (f)] 。

【特許文献 1】米国特許第 6 , 5 8 6 , 8 2 2 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

図 9 に示す電子部品パッケージの製造方法によれば、電子部品の厚さと同程度の薄い電子部品パッケージを形成できる。

10

20

30

40

50

しかし、図 9 に示す電子部品パッケージの製造方法によって得られた電子部品パッケージには、樹脂板 100 が残されている。このため、得られた電子部品パッケージは、その厚さは薄いものの、その面積が大きくなる。

一方、電子部品パッケージが実装される実装装置では、その小型化のため、電子部品パッケージの面積も小面積化が求められている。

そこで、本発明は、厚さを搭載した電子部品と同等にできるものの、面積が大きくなるという従来の電子部品パッケージの製造技術の課題を解決し、厚さ及び面積を共に小型化可能な電子部品パッケージの製造技術を提供することにある。

【課題を解決するための手段】

【0005】

10

本発明者等は、前記課題を解決すべく、図 9 に示す電子部品パッケージの製造方法において、樹脂板 100 を用いることなく電子部品パッケージを製造できないか検討したところ、電子部品 106 が薄く且つ小型化されているため、電子部品 106 の強度が電子部品パッケージの製造工程で作用する応力に耐えられないことが判明した。

このため、本発明者等は、支持板で電子部品を支持しつつ電子部品パッケージを形成し、最終的に支持板を除去することによって、支持板を含まない電子部品パッケージを形成できることを知り、本発明に到達した。

【0006】

すなわち、本発明は、搭載された電子部品の電極端子と外部接続端子としてのポストとが導電パターンによって電氣的に接続された電子部品パッケージを製造する際に、支持板の一面側に、前記電子部品が挿入される電子部品用凹部を形成する工程と、前記電子部品用凹部よりも周縁側の前記支持板の一面側に、前記ポストが形成されるポスト用凹部を形成する工程と、前記電子部品用凹部および前記ポスト用凹部の内壁面を含む前記支持板の一面側の全面に剥離層を形成する工程と、前記剥離層を介して前記ポスト用凹部に導電材を充填して前記ポストを形成する工程と、前記剥離層を介して前記電子部品用凹部に前記電極端子が形成された面と反対側の背面から前記電子部品を挿入する工程と、前記支持板の一面側において、前記剥離層、前記ポスト、および前記電子部品を覆うように樹脂層を形成する工程と、前記樹脂層に、前記電極端子および前記ポストが底面に露出する各凹部を形成する工程と、前記電極端子と前記ポストとを前記各凹部を通じて電氣的に接続する導電パターンを前記樹脂層上に形成する工程と、前記樹脂層上の前記導電パターンを更に樹脂層で覆って、前記導電パターンを前記樹脂層で封止する工程と、前記剥離層と共に前記支持板を除去して、前記電子部品および前記ポストを露出する工程と、を含むことを特徴とする電子部品パッケージの製造方法にある。

20

30

【0007】

かかる本発明において、前記電子部品用凹部と前記ポスト用凹部との各々を別工程で、前記支持板の一面側にサンドブラストを施して形成し、前記ポスト用凹部の形成の際、前記電子部品用凹部よりも凹部の深さを深くすることによって、挿入する電子部品に合った電子部品用凹部などを容易に形成できる。

この支持板としては、シリコン又はガラスから成る支持板を用いることによって、電子部品を確実に支持できる。更に、支持板として、シリコンから成る支持板を用い、電子部品用凹部とポスト用凹部との各々を、ドライエッチングによって形成できる。

40

【発明の効果】

【0008】

本発明では、支持板によって電子部品を支持しつつ、電子部品パッケージを製造できる。このため、電子部品の変形等を回避できる。

しかも、支持板の一面側に、剥離層を介して電子部品パッケージが形成されており、支持板を電子部品パッケージから剥離できる。このため、支持板をエッチングによって溶解除去する場合に比較して、支持板を電子部品パッケージから簡単に且つ短時間で剥離できる。

この様に、電子部品パッケージの製造工程に必要な支持板を、電子部品パッケージから

50

剥離できるため、得られた電子部品パッケージを薄く且つ小面積に形成できる。

更に、本発明では、電子部品を挿入して位置決めできる大きさの凹部を、支持板に直接に形成する。このため、この凹部内に挿入した電子部品の電極端子は正確に位置決めでき、電極端子と接続される導体パターンの位置ずれを防止できる結果、得られた電子部品パッケージの信頼性を向上できる。

【発明を実施するための最良の形態】

【0009】

本発明に係る電子部品パッケージの製造方法の一例を図1～図3に示す。この電子部品パッケージの製造方法では、図1(a)に示す様に、シリコン又はガラスから成る支持板10の一面側に、電子部品としての半導体素子が挿入されて位置決めされる大きさで且つ挿入される半導体素子の厚さと等しい深さの電子部品用凹部12（以下、凹部12と称することがある）を形成する。この凹部12は、支持板10の一面側に貼着したドライフィルム14の所定箇所に支持板10の一面側が露出する開口部を形成した後、サンドブラストによって形成する。サンドブラストによれば、挿入する半導体素子の形状に合わせて凹部12を正確に形成できる。

更に、図1(b)に示す様に、凹部12よりも支持板10の周縁側に、深さが凹部12よりも深いポスト用凹部16、16（以下、凹部16と称することがある）を形成する。この凹部16も、支持板10の一面側に貼着したドライフィルム15の所定箇所に支持板10の一面側が露出する開口部を形成した後、サンドブラストによって形成する。

かかる凹部12及び凹部16、16の内壁面を含む支持板10の一面側からドライフィルム15を剥離して、支持板10の一面側の全面に、図1(c)に示す様に、剥離層18を形成する。この剥離層18は、金属製であって、その拡大図に示す様に、支持板10の一面側からチタン又はクロムから成る層18a、錫層18b及銅層18cによって形成されている。かかる剥離層18では、チタン又はクロムから成る層18aと錫層18bとの境界面が剥離され易い。この剥離層18は、スパッタ、蒸着、無電解めっき又は電解めっきによって順次所定の金属層を積層して得ることができる。

尚、剥離層18としては、チタン又はクロムから成る層18aと錫層18bとの間に、銅層を加えた、支持板10の一面側からチタン又はクロムから成る層-銅層-錫層-銅層が順次積層された剥離層であってもよい。

【0010】

支持板10の一面側に形成した凹部16、16には、図2(a)に示す様に、支持板10の一面側を覆うドライフィルム17の凹部16、16に対応する部分を開口した後、金属製の剥離層18を給電層とする電解銅めっきを施して、凹部16、16内に銅を充填してポスト20、20を形成する。

このドライフィルム17を剥離した後、図2(b)に示す様に、凹部12内に半導体素子22を挿入する。この凹部12は、半導体素子22の位置決めを行うことができる大きさで且つ半導体素子22の厚さと等しい深さに形成されている。このため、凹部12に挿入された半導体素子22は正確に位置決めされ、その電極端子22a、22aも正確に位置決めされる。

かかる電極端子22a、22aの各々と所定のポスト20とを接続する導体パターンを形成する。

かかる導体パターンを形成する際には、いわゆるアディティブ法やセミアディティブ法等の公知の方法を採用できる。図2(c)では、支持板10の一面側を覆うように形成した樹脂層24に、ポスト20、20の各々が底面に露出する凹部と、半導体素子22の電極端子22a、22aが底面に露出する凹部を形成した後、無電解銅めっき、蒸着又はスパッタ等によって樹脂層24の一面に薄金属層26を形成する。

この薄金属層26上に貼着したドライフィルム19に、図2(d)に示す様に、パターンニングを施した後、薄金属層26を給電層とする電解銅めっきを施して、図2(e)に示す様に、導体パターン28、28を形成する。

【0011】

次いで、図2(f)に示す様に、ドライフィルム19を剥離して露出した薄金属層26をエッチングによって除去し、導体パターン28, 28間を絶縁する。

更に、図3(a)に示す様に、形成した導体パターン28, 28を樹脂層24によって樹脂封止して電子部品パッケージ30を形成する。

この電子部品パッケージ30と支持板10とを、剥離層18によって剥離したとき、図3(b)に示す様に、剥離層18の一部が付着している。このため、電子部品パッケージ30に付着している剥離層18を、エッチングによって除去することによって、図3(c)に示す電子部品パッケージ30を得ることができる。

かかる電子部品パッケージ30では、半導体素子22の電極端子22a, 22aの各々と、半導体素子22の厚さよりも厚く形成したポスト20とが、樹脂層24に封止された導体パターン28によって電氣的に接続されている。

10

図3(c)に示す電子部品パッケージ30では、支持板10が残留していないため、半導体素子22として厚さが20μm程度の半導体素子22を用いた場合、樹脂層24の上面からポスト20の下端までの厚さHを100μm程度とすることができ、その面積も小面積化できる。

図3(c)に示す電子部品パッケージ30では、その上面側に何等設けることができないが、図3(a)に示す工程において、図4(a)に示す様に、導体パターン28に一端が接続され且つ他端が樹脂層24の上面側に露出するヴィア32を形成することによって、図4(b)に示す様に、電子部品パッケージ30の上面側に他の電子部品34を装着できる。かかる他の電子部品34としては、半導体素子等の能動部品、キャパシタ等の受動部品を採用できる。

20

尚、電子部品パッケージ30を剥離した支持板10は、シリコン又はガラスによって形成されているため、再度、支持板10として再利用できる。

【0012】

図1～図4に示す電子部品パッケージの製造方法では、支持板10に凹部12, 16を形成していたが、支持板10に凹部12, 16を形成することなく電子部品パッケージを得ることができる製造方法を図5～図6に示す。

先ず、シリコン又はガラスから成る支持板40の一面側に、剥離層42を介して金属から成るシード層44を形成する。この剥離層42は、樹脂から成る剥離層である。この樹脂としては、アクリル系樹脂、ノボラック型フェノール樹脂、HMDS(ヘキサメチルジシラザン)等を好適に用いることができる。また、シード層44は、無電解めっき、スパッタ、電解めっき、蒸着等を組み合わせて形成できる。

30

このシード層44上には、図5(b)に示す様に、搭載する電子部品としての半導体素子と同一厚さの第1樹脂層46を形成した後、底面にシード層44が露出するポストを形成するポスト用凹部52(以下、凹部52と称することがある)を形成する。更に、シード層44を給電層とする電解銅めっきによって、凹部52内に銅を充填してポスト54を形成する。

次いで、底面にシード層44が露出する半導体素子を挿入する電子部品用凹部50(以下、凹部50と称することがある)を形成する。この凹部50は、挿入された半導体素子の位置決めができるように、その面積も挿入される半導体素子と略同程度で且つ深さも半導体素子の厚さと等しい。このため、図5(b)に示す様に、凹部50に挿入された半導体素子56は正確に位置決めができ、その電極端子56a, 56aも正確に位置決めがなされる。

40

【0013】

かかる電極端子56a, 56aの各々と所定のポスト54とを接続する導体パターンを形成する。

かかる導体パターンを形成する際には、いわゆるアディティブ法やセミアディティブ法等の公知の方法を採用できる。図5(c)では、支持板40の一面側を覆うように形成した第2樹脂層58に、ポスト54, 54の各々が底面に露出する凹部と、半導体素子56の電極端子56a, 56aが底面に露出する凹部を形成した後、図5(d)に示す様に、

50

無電解銅めっき、スパッタ又は蒸着によって第2樹脂層58の一面に薄金属層60を形成する。

この薄金属層60上に貼着したドライフィルム62に、図6(a)に示す様に、パターニングを施した後、薄金属層60を給電層とする電解銅めっきを施して、図6(a)に示す様に、導体パターン64, 64を形成する。

【0014】

次いで、図6(b)に示す様に、ドライフィルム62を剥離して露出した薄金属層60をエッチングによって除去し、導体パターン64, 64間を絶縁する。

更に、図6(c)に示す様に、形成した導体パターン64, 64を第2樹脂層58によって樹脂封止して電子部品パッケージ70を形成する。

この電子部品パッケージ70を、図6(d)に示す様に、支持板40から剥離する。この剥離の際に、剥離層42をアクリル系樹脂によって形成している場合には、180℃以上に加熱して支持板40を剥離でき、剥離層42をノボラック型フェノール樹脂によって形成している場合には、剥離液で剥離できる。

支持板40から電子部品パッケージ70を剥離したとき、図5(d)に示す様に、シード層44が付着している。このため、電子部品パッケージ70に付着しているシード層44を、エッチングによって除去した後、第1樹脂層46を除去することによって、図6(e)に示す電子部品パッケージ70を得ることができる。

かかる電子部品パッケージ70では、半導体素子56の電極端子56a, 56aの各々と、半導体素子56の厚さと等しく形成したポスト54とが、樹脂層64に封止された導体パターン64によって電氣的に接続されている。

【0015】

図6(e)に示す電子部品パッケージ70では、半導体素子56とポスト54とが同一厚さであるため、実装基板に実装する際には、図7に示す様に、実装基板68にポスト54, 54と接続される所定高さのパッド66, 66が形成されている。

また、図8に示す様に、複数の電子部品パッケージ70, 70...を積層することができる。この場合には、電子部品パッケージ70の各々に、その第2樹脂層58を貫通して、導体パターン64に一端が接続されたビア72の他端側に、所定高さのパッド74を形成する。

【0016】

図1～図6に示す支持板10, 40としては、シリコン又はガラスから成る支持板を用いているが、ステンレス、銅、ガラスエポキシ樹脂又はセラミックから成る支持板を用いてもよい。

また、支持板10, 40に凹部16, 12, 50, 52を形成する際に、サンドブラストによって形成しているが、ウェットエッチングやドライエッチング或いは機械加工によって形成してもよい。特に、支持板10として、シリコンから成る支持板10を用い、電子部品用凹部12とポスト用凹部16との各々を、SF₆ガスやCF₄ガス等を用いたドライエッチングによって形成することが好ましい。

更に、支持板10, 40に複数の電子部品用凹部12, 50を形成し、複数の電子部品が複数の凹部内に挿入された電子部品パッケージを形成してもよい。

尚、ポスト用凹部16, 52には、金属を充填しているが、導電性樹脂を充填してもよい。

【図面の簡単な説明】

【0017】

【図1】本発明に係る電子部品パッケージの製造方法の一例について、その一部の工程を説明する工程図である。

【図2】本発明に係る電子部品パッケージの製造方法の一例について、図1に示す工程に続く工程を説明する工程図である。

【図3】本発明に係る電子部品パッケージの製造方法の一例について、その残部の工程を説明する工程図である。

10

20

30

40

50

【図４】本発明に係る電子部品パッケージの製造方法の他の例について説明する工程図である。

【図５】本発明に係る電子部品パッケージの製造方法の他の例について、その一部の工程を説明する工程図である。

【図６】本発明に係る電子部品パッケージの製造方法の他の例について、その残部の工程を説明する工程図である。

【図７】図５及び図６に示す電子部品パッケージの製造方法によって得られた電子部品パッケージを実装基板に実装した状態を説明する説明図である。

【図８】本発明に係る電子部品パッケージの製造方法の他の例で得られた複数の電子部品パッケージを積層した状態を説明する説明図である。

10

【図９】従来の電子部品パッケージの製造方法の工程を説明する工程図である。

【符号の説明】

【 0 0 1 8 】

1 0 , 4 0 支持板

1 2 , 5 0 電子部品用凹部

1 4 , 1 5 , 1 7 , 1 9 , 6 2 ドライフィルム

1 6 , 5 2 ポスト用凹部

1 8 , 4 2 剥離層

2 0 , 5 4 ポスト

2 2 , 5 6 半導体素子（電子部品）

20

2 2 a , 5 6 a 電極端子

2 4 , 4 6 樹脂層

2 6 , 6 0 薄金属層

2 8 , 6 4 導体パターン

3 0 , 7 0 電子部品パッケージ

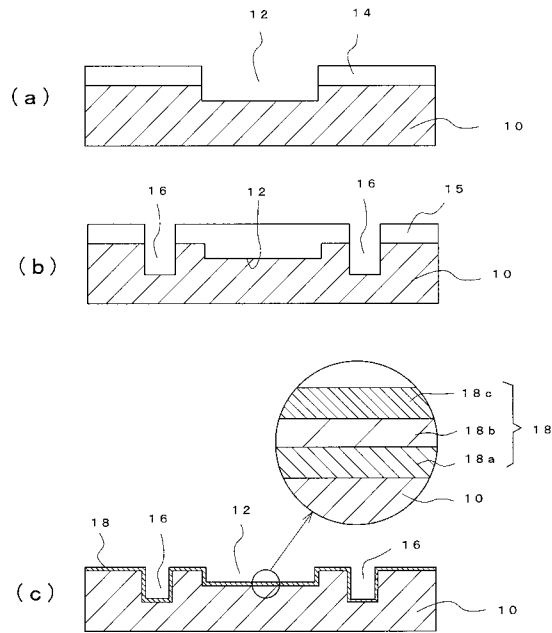
3 2 , 7 2 ヴィア

3 4 電子部品

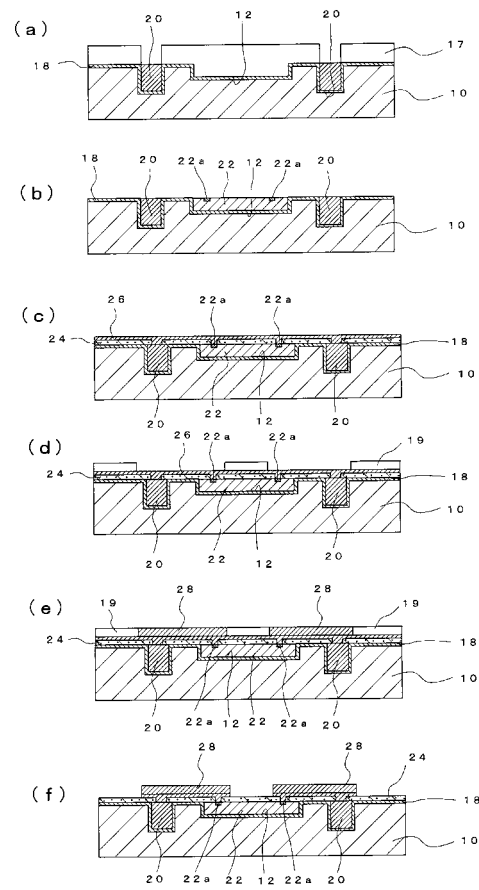
4 4 シード層

6 6 , 7 4 パッド

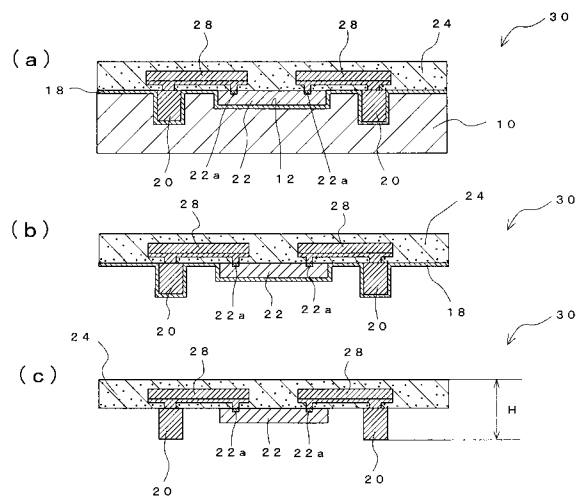
【図 1】



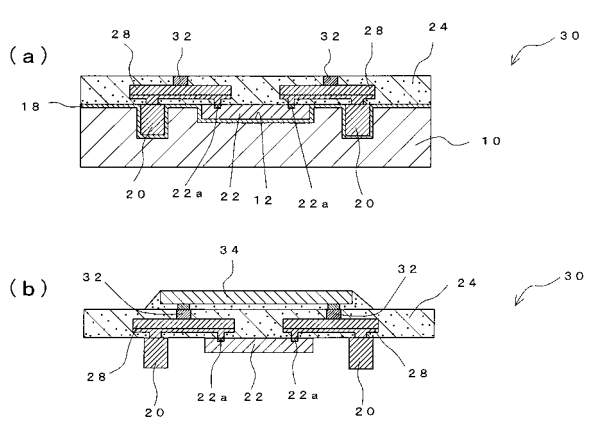
【図 2】



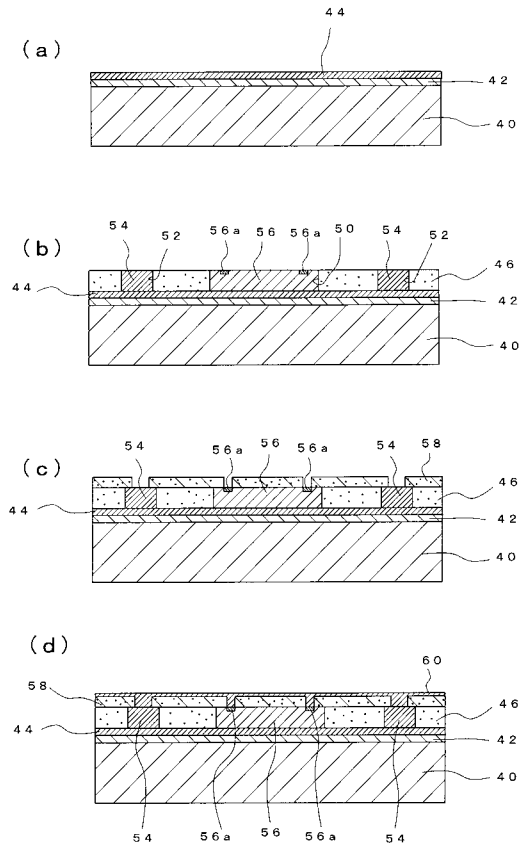
【図 3】



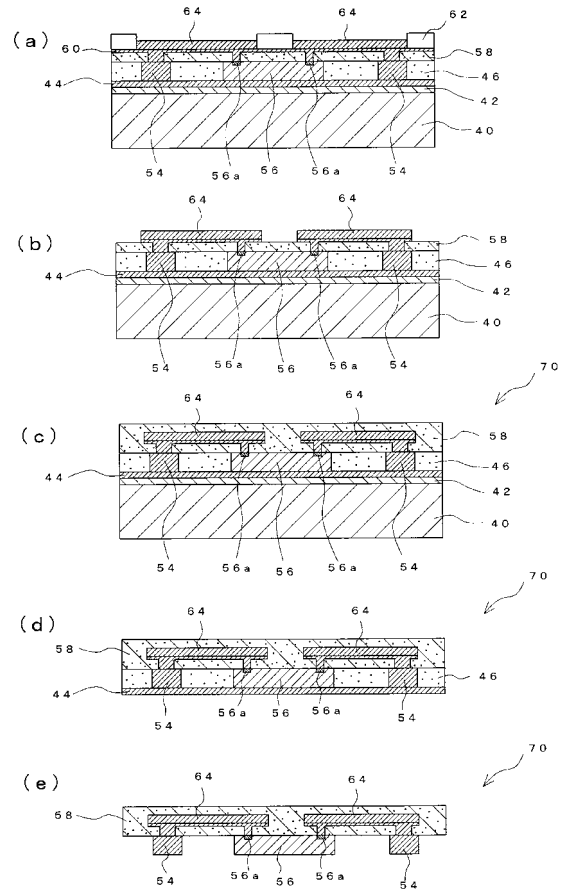
【図 4】



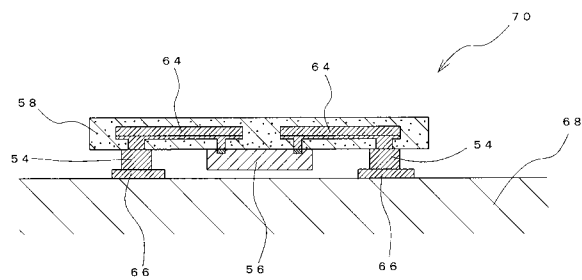
【図 5】



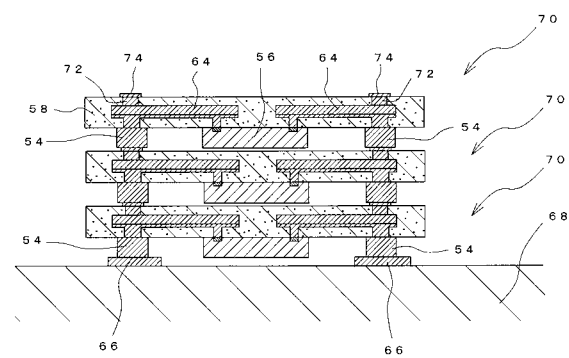
【図 6】



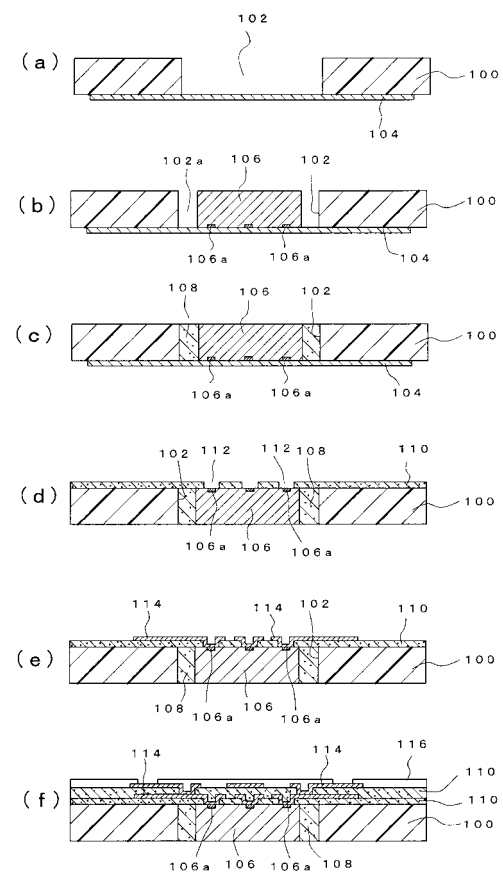
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 東 光敏

長野県長野市小島田町 8 0 番地 新光電気工業株式会社内

審査官 坂本 薫昭

(56)参考文献 特開 2 0 0 2 - 3 1 3 9 9 6 (J P , A)

特開 2 0 0 4 - 2 4 1 6 6 0 (J P , A)

特開 2 0 0 6 - 2 2 8 9 1 3 (J P , A)

特開 2 0 0 7 - 1 0 9 8 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2

H 0 1 L 2 1 / 5 6

H 0 1 L 2 3 / 2 8

H 0 1 L 2 3 / 3 2

H 0 1 L 2 5 / 1 8