

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4712208号
(P4712208)

(45) 発行日 平成23年6月29日 (2011. 6. 29)

(24) 登録日 平成23年4月1日 (2011. 4. 1)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/78 6 1 2 B

H O 1 L 29/78 6 1 7 L

H O 1 L 29/78 6 1 7 K

H O 1 L 29/78 6 1 7 N

請求項の数 4 (全 40 頁)

(21) 出願番号 特願2001-79623 (P2001-79623)
 (22) 出願日 平成13年3月21日 (2001. 3. 21)
 (65) 公開番号 特開2001-345453 (P2001-345453A)
 (43) 公開日 平成13年12月14日 (2001. 12. 14)
 審査請求日 平成20年3月12日 (2008. 3. 12)
 (31) 優先権主張番号 特願2000-86720 (P2000-86720)
 (32) 優先日 平成12年3月27日 (2000. 3. 27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須沢 英臣
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小野 幸治
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 の半導体層を形成し、

前記第 1 乃至前記第 3 の半導体層上に絶縁膜を形成し、

前記絶縁膜上に第 1 の導電膜及び第 2 の導電膜を形成し、

前記第 2 の導電膜上に第 1 のマスクを形成し、

第 1 のエッチングを行うことにより、前記絶縁膜を介して、前記第 1 の半導体層上に第 1 のゲート電極及び第 5 のゲート電極、前記第 2 の半導体層上に第 2 のゲート電極及び第 6 のゲート電極、前記第 3 の半導体層上に第 3 及び第 4 のゲート電極と第 7 及び第 8 のゲート電極とを形成し、

第 2 のエッチングを行うことにより、前記第 5 乃至前記第 8 のゲート電極の幅を、前記第 1 乃至前記第 4 のゲート電極の幅よりも狭くし、

前記第 1 のマスクの除去を行い、

前記第 1 乃至前記第 8 のゲート電極をマスクとして、前記第 1 乃至前記第 3 の半導体層に、n 型を付与する不純物の第 1 のドーピングを行うことにより、前記第 1 の半導体層に第 1 の低濃度不純物領域、前記第 2 の半導体層に第 2 の低濃度不純物領域、前記第 3 の半導体層に第 3 の低濃度不純物領域及び第 4 の低濃度不純物領域を形成し、

前記第 3 の半導体層上に前記第 3 及び前記第 7 のゲート電極と前記第 4 及び前記第 8 のゲート電極とを覆う様に第 2 のマスクを形成し、前記第 1 乃至前記第 3 の半導体層に、n 型を付与する第 2 のドーピングを行うことにより、前記第 1 の半導体層に第 1 の高濃度不

純物領域、前記第2の半導体層に第2の高濃度不純物領域、前記第3の半導体層に第3の高濃度不純物領域及び前記第3の低濃度不純物領域と前記第4の低濃度不純物領域とに挟まれた中間領域を形成し、

前記第2のマスクの除去を行い、

前記第2及び前記第3の半導体層上に第3のマスクを形成し、前記第1の半導体層に、p型を付与する不純物の第3のドーピングを行うことを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、前記第1の導電膜はタンタルであり、前記第2の導電膜はタングステンであり、前記第1のエッチングは CF_4 と Cl_2 との混合ガスを用いて行い、前記第2のエッチングは CF_4 と Cl_2 と O_2 との混合ガスを用いることを特徴とする半導体装置の作製方法。

10

【請求項3】

請求項1において、前記第1の導電膜は窒化タンタルであり、前記第2の導電膜はタングステンであり、前記第1のエッチングは CF_4 と Cl_2 と O_2 との混合ガスを用いる第1処理を行った後、 CF_4 と Cl_2 との混合ガスを用いる第2処理を行い、前記第2のエッチングは CF_4 と Cl_2 と O_2 との混合ガスを用いる第3処理を行うことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1において、前記第1の導電膜は窒化タンタルであり、前記第2の導電膜はタングステンであり、前記第1のエッチングは SF_4 と Cl_2 と O_2 との混合ガスを用いる第1処理を行った後、 SF_4 と Cl_2 との混合ガスを用いる第2処理を行い、前記第2のエッチングは SF_4 と Cl_2 と O_2 との混合ガスを用いる第3処理を行うことを特徴とする半導体装置の作製方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子（半導体薄膜を用いた素子）を用いた半導体表示装置、中でも特に液晶表示装置に関する。また液晶表示装置を表示部に用いた電子機器に関する。

【0002】

30

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数nm～数百nm程度）を用いて薄膜トランジスタ（TFT）を形成する技術が注目されている。薄膜トランジスタはICや半導体表示装置のような電子デバイスに広く応用され、特に液晶表示装置、液晶表示装置のスイッチング素子として開発が急がれている。

【0003】

アクティブマトリクス型の液晶表示装置は、画素部が有する複数の画素にそれぞれTFT（画素TFT）と、液晶セルとを有している。液晶セルは、画素電極と、対向電極と、画素電極と対向電極の間に設けられた液晶とを有している。そして画素電極にかかる電圧を画素TFTによって制御することで、画素部に画像が表示される。

40

【0004】

特に結晶構造を有する半導体膜を活性層として用いたTFT（結晶質TFT）は高移動度を得られることから、同一基板上に機能回路を集積させて高精細な画像表示を行う液晶表示装置を実現することが可能である。

【0005】

本明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含むものであり、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0006】

50

アクティブマトリクス型液晶表示装置を構成するためには、画素部だけでも100～200万個の結晶質TFTが必要となり、さらに周辺に設けられる機能回路を付加するとそれ以上の結晶質TFTが必要であった。液晶表示装置に要求される仕様は厳しく、画像表示を安定して行うためには、個々の結晶質TFTの信頼性を確保することが必要であった。

【0007】

TFTの特性はオン状態とオフ状態の2つの状態に分けて考えることができる。オン状態の特性からは、オン電流、移動度、S値、しきい値などの特性を知ることができ、オフ状態の特性ではオフ電流が重視されている。

【0008】

しかし、結晶質TFTはオフ電流が高くなりやすいという問題点があった。

10

【0009】

また、結晶質TFTは信頼性の面で依然LSIなどに用いられるMOSトランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質TFTを連続駆動させると移動度やオン電流（TFTがオン状態にある時に流れる電流）の低下、オフ電流（TFTがオフ状態にある時に流れる電流）の増加といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられた。

【0010】

MOSトランジスタでは、オフ電流を下げ、ドレイン近傍の高電界を緩和する方法として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャンネル領域の外側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

20

【0011】

特にLDD領域がゲート絶縁膜を介してゲート電極と重なる構造（GOLD（Gate-drain Overlapped LDD）構造）を有している場合、ドレイン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。なお本明細書においてLDD領域がゲート絶縁膜を介してゲート電極と重なる領域をLov領域（第1のLDD領域）と呼ぶ。

【0012】

なおGOLD（Gate-drain Overlapped LDD）構造は、LATID（Large-tilt-angle implanted drain）構造、または、ITLDD（Inverse T LDD）構造等としても知られている。そして、例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

30

【0013】

なお本明細書においてLDD領域がゲート絶縁膜を介してゲート電極と重ならない領域をLoff領域（第2のLDD領域）と呼ぶ。

【0014】

Loff領域とLov領域を併せ持つTFTの作製方法はすでにいくつか提案されている。Lov領域とLoff領域とを形成する方法としては、セルフアラインは用いずにマスクのみで形成する方法と、互いに幅の異なる2層のゲート電極及びゲート絶縁膜を用いてセルフアラインのみで形成する方法とが挙げられる。

40

【0015】

しかしマスクのみを用いる場合、Lov領域とLoff領域を形成するのに2枚のマスクが必要となり、工程数が増加してしまう。一方セルフアラインのみによってLov領域とLoff領域を形成する場合、マスクの数を増やさなくても良いので、工程数を抑えることは可能である。しかしゲート電極の幅とゲート絶縁膜の厚さはそのままLov領域とLoff領域の形成される位置に影響を与える。ゲート電極とゲート絶縁膜のエッチングレートはたいいていの場合大きく異なっており、エッチングによって、Lov領域とLoff

50

領域の微妙な位置あわせを制御するのが難しい。

【 0 0 1 6 】

【発明が解決しようとする課題】

本発明は上記のことに鑑み、L o v 領域及びL o f f 領域を形成する際にマスクの数を抑え、またL o v 領域とL o f f 領域を所望の位置に容易に形成できるようにすることを課題とする。またオン状態とオフ状態の両方で良好な特性が得られる結晶質T F Tを実現することを課題とする。そして、そのような結晶質T F Tで回路を形成した半導体回路を有する信頼性の高い半導体表示装置を実現することを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明は、ゲート電極を用いたセルフアラインとマスクとを用いて半導体層に不純物を添加し、L o v 領域とL o f f 領域を形成した。ゲート電極は2層の導電膜から形成されており、より半導体層に近い層（第1のゲート電極）は遠い層（第2のゲート電極）よりも、チャンネル長方向において長くなっている。

【 0 0 1 8 】

なお本明細書においてチャンネル長方向とは、ソース領域とドレイン領域の間をキャリアが移動する方向である。

【 0 0 1 9 】

本発明では、第1のゲート電極と第2のゲート電極のチャンネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第1及び第2のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第2のゲート電極の下に位置する半導体層中のイオン濃度を、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 0 2 0 】

またマスクを用いてL o f f 領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、L o f f 領域とL o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域とL o f f 領域の微妙な位置あわせが容易になり、所望の特性を有するT F Tを作製することが容易になった。

【 0 0 2 1 】

以下に本発明の構成を示す。

【 0 0 2 2 】

本発明によって

絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するL D D領域と、前記L D D領域に接するソース領域及びドレイン領域とを有しており、

チャンネル長の方向における前記第1のゲート電極の幅は、チャンネル長の方向における前記第2のゲート電極の幅より広く、

前記L D D領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 3 】

本発明によって

10

20

30

40

50

絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、

チャンネル長の方向における前記第1のゲート電極の幅は、チャンネル長の方向における前記第2のゲート電極の幅より広く、

前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、

10

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【0024】

本発明によって

絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とを含むTFEと、液晶セルとを有する半導体表示装置であって、

チャンネル長の方向における前記第1のゲート電極の幅は、チャンネル長の方向における前記第2のゲート電極の幅より広く、

20

前記第1のゲート電極は、端部における断面の形状がテーパであり、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、

前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

30

【0025】

本発明は、前記LDD領域が前記第2のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴としても良い。

【0026】

本発明は、前記LDD領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャンネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としても良い。

【0027】

本発明によって

40

絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とをそれぞれ含む画素TFE及び駆動回路用TFEと、液晶セルとを有する半導体表示装置であって、

チャンネル長の方向における前記第1のゲート電極の幅は、チャンネル長の方向における前記第2のゲート電極の幅より広く、

前記画素TFEの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャンネル形成領域と、前記チャンネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレイン領域とを有

50

しており、

前記駆動回路用 T F T の半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なる第 3 の L D D 領域と、該第 3 の L D D 領域と接するソース領域またはドレイン領域とを含んでおり、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記画素 T F T の前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 8 】

10

本発明によって

絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第 1 のゲート電極と、前記第 1 のゲート電極に接する第 2 のゲート電極とをそれぞれ含む画素 T F T 及び駆動回路用 T F T と、液晶セルとを有する半導体表示装置であって、

チャネル長の方向における前記第 1 のゲート電極の幅は、チャネル長の方向における前記第 2 のゲート電極の幅より広く、

前記第 1 のゲート電極は、端部における断面の形状がテーパであり、

前記画素 T F T の半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なる第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを有しており、

20

前記駆動回路用 T F T の半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なる第 3 の L D D 領域と、該第 3 の L D D 領域と接するソース領域またはドレイン領域とを含んでおり、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記画素 T F T の前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

30

【 0 0 2 9 】

本発明は、前記第 1 の L D D 領域における不純物濃度が、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としても良い。

【 0 0 3 0 】

本発明は、前記第 3 の L D D 領域における不純物濃度が、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としても良い。

【 0 0 3 1 】

40

本発明は、前記第 1 の L D D 領域または前記第 3 の L D D 領域が、前記第 2 のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴としても良い。

【 0 0 3 2 】

本発明によって

絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と、第 2 の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は前記ゲート絶縁膜に接して形成されており、

50

前記第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線とに接して形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており、

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており、

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられたコンタクトホールを介して前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆って形成されており、

前記中間配線は前記コンタクトホールにおいて、前記第 1 の層間絶縁膜を間に介して前記第 2 の配線と重なっており、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接する L D D 領域と、前記 L D D 領域に接するソース領域及びドレイン領域とを有しており、

チャンネル長の方向における前記第 1 のゲート電極の幅は、チャンネル長の方向における前記第 2 のゲート電極の幅より広く、

前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、

前記 L D D 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 3 3 】

本発明によって

絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と、第 2 の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は前記ゲート絶縁膜に接して形成されており、

前記第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線とに接して形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており、

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており、

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられた第 1 のコンタクトホールを介して前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆って形成されており、

前記中間配線は前記第 1 のコンタクトホールにおいて、前記第 1 の層間絶縁膜を間に介して前記第 2 の配線と重なっており、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接する L D D 領域と、前記 L D D 領域に接するソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、

前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とに設けられた第 2 のコンタクトホールを介して前記ソース領域または前記ドレイン領域に接続されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記画素ＴＦＴの前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【００３４】

本発明によって

絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第１のゲート電極と、第２のゲート電極と、第１の配線と、第２の配線と、第１の層間絶縁膜と、第２の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第１のゲート電極及び前記第１の配線は前記ゲート絶縁膜に接して形成されており、

前記第２のゲート電極と前記第２の配線とは、それぞれ前記第１のゲート電極と前記第１の配線とに接して形成されており、

前記第１のゲート電極及び前記第１の配線は第１の導電膜から形成されており、

前記第２のゲート電極及び前記第２の配線は第２の導電膜から形成されており、

前記第１の層間絶縁膜は、前記第１及び第２のゲート電極と、前記第１及び第２の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第２の層間絶縁膜は、前記第１の層間絶縁膜上に形成されており、

前記中間配線は、前記第２の層間絶縁膜に設けられたコンタクトホールを介して前記第１の層間絶縁膜に接するように、前記第２の層間絶縁膜を覆って形成されており、

前記中間配線は前記コンタクトホールにおいて、前記第１の層間絶縁膜を間に介して前記第２の配線と重なっており、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するＬＤＤ領域と、前記ＬＤＤ領域に接するソース領域及びドレイン領域とを有しており、

前記ＬＤＤ領域は前記ゲート絶縁膜を間に挟んで前記第１のゲート電極と重なっており、

前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第２のゲート電極と重なっており、

前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、

前記遮蔽膜は前記チャンネル形成領域と重なるように前記第２の層間絶縁膜上に形成されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【００３５】

本発明によって

絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第１のゲート電極と、第２のゲート電極と、第１の配線と、第２の配線と、第１の層間絶縁膜と、第２の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第１のゲート電極及び前記第１の配線は前記ゲート絶縁膜に接して形成されており、

前記第２のゲート電極と前記第２の配線とは、それぞれ前記第１のゲート電極と前記第１の配線とに接して形成されており、

前記第１のゲート電極及び前記第１の配線は第１の導電膜から形成されており、

前記第２のゲート電極及び前記第２の配線は第２の導電膜から形成されており、

前記第１の層間絶縁膜は、前記第１及び第２のゲート電極と、前記第１及び第２の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第２の層間絶縁膜は、前記第１の層間絶縁膜上に形成されており、

前記中間配線は、前記第２の層間絶縁膜に設けられた第１のコンタクトホールを介して前記第１の層間絶縁膜に接するように、前記第２の層間絶縁膜を覆って形成されており、

前記中間配線は前記第１のコンタクトホールにおいて、前記第１の層間絶縁膜を間に介して前記第２の配線と重なっており、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するＬＤＤ領域と、前記ＬＤＤ領域に接するソース領域及びドレイン領域とを有しており、

前記ＬＤＤ領域は前記ゲート絶縁膜を間に挟んで前記第１のゲート電極と重なっており、前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第２のゲート電極と重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第１の層間絶縁膜と、第２の層間絶縁膜とに設けられた第２のコンタクトホールを介して前記ソース領域または前記ドレイン領域に接続されており、

前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、

前記遮蔽膜は前記チャンネル形成領域と重なるように前記第２の層間絶縁膜上に形成されており、

10

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【００３６】

本発明によって

基板上に形成された遮光膜と、前記遮光膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第１のゲート電極と、前記第１のゲート電極に接する第２のゲート電極と、液晶セルとを有する半導体表示装置であって、

20

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するＬＤＤ領域と、前記ＬＤＤ領域に接するソース領域及びドレイン領域とを有しており、

前記ＬＤＤ領域は前記ゲート絶縁膜を間に挟んで前記第１のゲート電極と重なっており、前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第２のゲート電極と重なっており、

前記遮光膜は前記絶縁膜を介して前記チャンネル形成領域と重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

30

【００３７】

本発明によって

基板上に形成された遮光膜と、前記遮光膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第１のゲート電極と、前記第１のゲート電極に接する第２のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接するＬＤＤ領域と、前記ＬＤＤ領域に接するソース領域及びドレイン領域とを有しており、

前記ＬＤＤ領域は前記ゲート絶縁膜を間に挟んで前記第１のゲート電極と重なっており、前記チャンネル形成領域は前記ゲート絶縁膜を間に挟んで前記第２のゲート電極と重なっており、

40

前記遮光膜は前記絶縁膜を介して前記チャンネル形成領域と重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、

前記ソース領域または前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【００３８】

本発明は、前記絶縁膜がＣＭＰ研磨によって平坦化されていることを特徴としていても良い。

50

【 0 0 3 9 】

本発明は、前記半導体表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイまたはパーソナルコンピュータであっても良い。

【 0 0 4 0 】

本発明によって

絶縁表面上に半導体層を形成する工程と、

前記半導体層に接するようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接するように第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接するように第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

10

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中にチャネル形成領域と、前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と

、
前記半導体層と、前記第 1 のゲート電極と、前記第 2 のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、

20

前記層間絶縁膜にコンタクトホールを形成する工程と、

前記コンタクトホールを介して前記ソース領域またはドレイン領域と電氣的に接続している画素電極を形成する工程と、

を有する半導体表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極よりも長く、

前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、

前記第 1 の L D D 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっていることを特徴とする半導体表示装置の作製方法が提供される。

30

【 0 0 4 1 】

本発明によって

絶縁表面上に半導体層を形成する工程と、

前記半導体層に接するようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接するように第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接するように第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極の形成されている方から前記ゲート電極に第 1 の不純物を添加する工程と、

40

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中にチャネル形成領域と、前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と

、
前記半導体層と、前記第 1 のゲート電極と、前記第 2 のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、

前記コンタクトホールを介して前記ソース領域またはドレイン領域と電氣的に接続してい

50

る画素電極を形成する工程と、
 を有する半導体表示装置の作製方法であって、
 チャネル長方向において、前記第１のゲート電極は前記第２のゲート電極よりも長く、
 前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第２のゲート電極と重なっており、
 前記第１のＬＤＤ領域は前記ゲート絶縁膜を間に挟んで前記第１のゲート電極と重なっていることを特徴とする半導体表示装置の作製方法が提供される。

【００４２】

本発明によって

絶縁表面上に半導体層を形成する工程と、
 前記半導体層に接するようにゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜に接するように第１の形状の第１の導電層と、第１の形状の第２の導電層とを形成する工程と、
 前記第１の形状の第１の導電層、前記第１の形状の第２の導電層をエッチングして、テーパー部を有する第１のゲート電極と、第２のゲート電極を形成する工程と、
 前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第２のＬＤＤ領域を形成すると同時に、前記第１のゲート電極のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第１のＬＤＤ領域を形成する工程と、
 前記テーパー部を有する第１のゲート電極と第２のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、
 前記半導体層と、前記第１のゲート電極と、前記第２のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、
 前記層間絶縁膜にコンタクトホールを形成する工程と、
 前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、
 を有する半導体表示装置の作製方法が提供される。

【００４３】

本発明によって

絶縁表面上に半導体層を形成する工程と、
 前記半導体層に接するようにゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜に接するように第１の導電膜を形成する工程と、
 前記第１の導電膜に接するように第２の導電膜を形成する工程と、
 前記第２の導電膜をエッチングし、第１の形状の第２の導電層とを形成する工程と、
 前記第１の導電膜をエッチングし、第１の形状の第１の導電層を形成する工程と、
 前記第１の形状の第１の導電層、前記第１の形状の第２の導電層をエッチングして、テーパー部を有する第１のゲート電極と、第２のゲート電極とを形成する工程と、
 前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第２のＬＤＤ領域を形成すると同時に、前記第１のゲート電極のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第１のＬＤＤ領域を形成する工程と、
 前記テーパー部を有する第１のゲート電極と第２のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、
 前記半導体層と、前記第１のゲート電極と、前記第２のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、
 前記層間絶縁膜にコンタクトホールを形成する工程と、
 前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、
 を有する半導体表示装置の作製方法が提供される。

【００４４】

【発明の実施の形態】

図 1 に本発明の薄膜トランジスタの構造およびその作製方法を示す。

【0045】

基板 100 上に下地膜 101 を形成する。下地膜 101 は形成しなくとも良いが、下地膜 101 を形成することは基板 100 から半導体層への不純物拡散を防ぐのに有効である。そして下地膜 101 上に公知の方法で形成された結晶質半導体膜からなる半導体層 102、103 を形成する。

【0046】

半導体層 102、103 を覆うようにゲート絶縁膜 104 を形成する。そしてゲート絶縁膜 104 上にゲート電極を形成するための第 1 の導電膜 105 と第 2 の導電膜 106 とを形成する。なお第 1 の導電膜 105 と第 2 の導電膜 106 は、エッチングで選択比の取れる導電性材料であることが必要である。(図 1 (A))

10

【0047】

次に、半導体層 102、103 上にレジストによるマスク 107、108 を形成する。そしてマスク 107、108 を用いて第 1 の導電膜 105 と第 2 の導電膜 106 をエッチングする(第 1 のエッチング処理)ことで第 1 の形状の導電層 109、110 (第 1 の形状の第 1 の導電層 109a、110a、第 1 の形状の第 2 の導電層 109b、110b) が形成される。(図 1 (B))

【0048】

ここで図 2 (A) に図 1 (B) における第 1 の形状の導電層 109、110 の拡大図を示す。図 2 (A) 示すように第 1 の導電層 109a、110a 及び第 2 の導電層 109b、110b の端部はテーパ状となる。またゲート絶縁膜 104 は、上記エッチングによって第 1 の形状の導電層 109、110 で覆われない領域がエッチングされ薄くなり、第 1 の形状のゲート絶縁膜 104a となる。

20

【0049】

次に、図 1 (C) に示すように第 2 のエッチング処理を行う。第 1 の形状の第 2 の導電層 109b、110b を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の形状の第 1 の導電層 109a、110a を異方性エッチングし、第 2 の形状の導電層 113、114 (第 2 の形状の第 1 の導電層 113a、114a と第 2 の形状の第 2 の導電層 113b、114b) を形成する。

30

【0050】

ここで、図 2 (B) に図 1 (C) における第 2 の形状の導電層 113、114 の拡大図を示す。図 2 (B) に示すように、第 2 のエッチング処理により第 2 の形状の第 2 の導電層 113b、114b は第 2 の形状の第 1 の導電層 113a、114a よりもよりたくさんエッチングされている。また、マスク 107、108 は第 2 のエッチング処理によってエッチングされ、マスク 111、112 となっている。また、第 1 の形状のゲート絶縁膜 104a は、上記エッチングによって第 2 の形状の導電層 113、114 で覆われない領域がさらにエッチングされ薄くなり、第 2 の形状のゲート絶縁膜 104b となる。

【0051】

マスク 111、112 を除去し、図 1 (D) に示すように半導体層 102、103 に第 1 のドーピング処理を行い、n 型を付与する不純物元素を添加する。ドーピングは、第 2 の形状の導電層 113、114 を不純物元素に対するマスクとして用い、第 2 の形状の第 2 の導電層 113a、114a の下側の領域にも不純物元素が添加されるようにドーピングする。

40

【0052】

こうして、第 2 の導電層 113a、114a と重なる第 1 の不純物領域 115、116 と、第 1 の不純物領域よりも不純物の濃度が高い第 2 の不純物領域 117、118 とが形成される。なお本実施例ではマスク 111、112 を除去してから n 型を付与する不純物元素を添加したが、本発明はこれに限定されない。図 1 (D) の工程において n 型を付与する不純物元素を添加してからマスク 111、112 を除去しても良い。

50

【 0 0 5 3 】

次に第 2 の形状の導電層 1 1 4 を覆うように半導体層 1 0 3 上にレジストからなるマスク 1 1 9 を形成する。マスク 1 1 9 は第 2 の形状のゲート絶縁膜 1 0 4 b を間に挟んで第 2 の不純物領域 1 1 8 と一部重なっている。そして第 2 のドーピング処理を行い n 型を付与する不純物元素を添加する。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素をドーピングする。第 2 のドーピング処理によって、チャンネル形成領域 1 2 4 及び L o v 領域 1 2 3 の他に、自己整合的にソース領域 1 2 0 、ドレイン領域 1 2 1 、L o f f 領域 1 2 2 が半導体層 1 0 3 に形成される。また第 2 の形状の第 1 の導電層 1 1 3 a をマスクとした第 2 のドーピング処理によって、半導体層 1 0 2 に第 3 の不純物領域 1 2 5 が形成される。(図 1 (E))

10

【 0 0 5 4 】

本発明はマスク 1 1 9 のサイズを制御することで、L o f f 領域 1 2 2 のサイズを自由に設定することが可能である。

【 0 0 5 5 】

そして、図 1 (F) に示すように、n チャンネル型 T F T を形成する半導体層 1 0 3 はレジストマスク 1 2 6 で全面を被覆する。そして第 2 の形状の導電層 1 1 3 を不純物元素に対するマスクとして用いた第 3 のドーピング処理によって、p チャンネル型 T F T を形成する半導体層 1 0 2 に p 型を付与する不純物元素を有するソース領域 1 2 7 、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 とチャンネル形成領域 1 3 0 を自己整合的に形成する。

20

【 0 0 5 6 】

ソース領域 1 2 7 、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 にはそれぞれ異なる濃度で n 型を付与する不純物が添加されているが、p 型を付与する不純物元素の濃度が n 型を付与する不純物元素の濃度よりも十分に高くなるようにすることで、ソース領域 1 2 7 、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 の導電性を p 型とした。

【 0 0 5 7 】

以上までの工程でそれぞれの半導体層 1 0 2 、1 0 3 に不純物領域 (ソース領域、ドレイン領域、L o v 領域、L o f f 領域) が形成される。半導体層 1 0 2 、1 0 3 と重なる第 2 の形状の導電層 1 1 3 、1 1 4 がゲート電極として機能する。第 2 の形状の第 1 の導電層 1 1 3 a 、1 1 4 a を第 1 のゲート電極、第 2 の形状の第 2 の導電層 1 1 3 b 、1 1 4 b を第 2 のゲート電極と呼ぶ。

30

【 0 0 5 8 】

次に導電性の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。ただし、1 0 5 、1 0 6 に用いた導電性の材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【 0 0 5 9 】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で熱処理を行い、半導体層 1 0 2 、1 0 3 を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

40

【 0 0 6 0 】

以上の工程が終了すると、p チャンネル型 T F T 1 4 1 、n チャンネル型 T F T 1 4 2 が完成する。

【 0 0 6 1 】

なお図 1 及び図 2 では、チャンネル長方向における第 2 のゲート電極 1 1 3 b 、1 1 4 b の長さ比べ、第 2 の形状の第 1 のゲート電極 1 1 3 a 、1 1 4 a のほうが長くなっている領域の表面が平坦であるように図示されているが、実際は非常に小さいテーパ角を有するテーパ状となっている。なお、エッチング条件によっては、平坦にすることも可能である。

【 0 0 6 2 】

50

上述したように、本発明では、第1のゲート電極と第2のゲート電極のチャネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第1及び第2のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第2のゲート電極の下に位置する半導体層中のイオン濃度を、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0063】

またマスクを用いてLoFF領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、LoFF領域とLov領域の位置の制御が従来に比べて容易になった。よって、Lov領域とLoFF領域の微妙な位置あわせが容易になり、所望の特性を有するTF Tを作製することが容易になった。

【0064】

【実施例】

以下、本発明の実施例について説明する。

【0065】

（実施例1）

本実施例では、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTF T（nチャネル型TF T及びpチャネル型TF T）を同時に作製する方法について詳細に説明する。

【0066】

まず、図3（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板300上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜301を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を10～200nm（好ましくは50～100nm）形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜を50～200nm（好ましくは100～150nm）の厚さに積層形成する。なお図3（A）では2層構造である下地膜301を1つの層で示した。本実施例では下地膜301が2層構造である例を示したが、前記絶縁膜の単層膜または3層以上積層させた構造として形成しても良い。

【0067】

半導体層302～304は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層302～304の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0068】

公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【0069】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザ

10

20

30

40

50

ーエネルギー密度を $300 \sim 600 \text{ mJ/cm}^2$ (代表的には $350 \sim 500 \text{ mJ/cm}^2$) とすると良い。そして幅 $100 \sim 1000 \mu\text{m}$ 、例えば $400 \mu\text{m}$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を $80 \sim 98\%$ として行う。

【0070】

次いで、半導体層302～304を覆うゲート絶縁膜305を形成する。ゲート絶縁膜305はプラズマCVD法またはスパッタ法を用い、厚さを $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。本実施例では、 120 nm の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400$ とし、高周波(13.56 MHz)電力密度 $0.5 \sim 0.8 \text{ W/cm}^2$ で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 $400 \sim 500$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0071】

そして、ゲート絶縁膜305上にゲート電極を形成するための第1の導電膜306と第2の導電膜307とを形成する。本実施例では、第1の導電膜306をTaで $50 \sim 100 \text{ nm}$ の厚さに形成し、第2の導電膜307をWで $100 \sim 300 \text{ nm}$ の厚さに形成する。

【0072】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は $20 \mu\text{cm}$ 程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は $180 \mu\text{cm}$ 程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを $10 \sim 50 \text{ nm}$ 程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることができる。

【0073】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF_6)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20 \mu\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% または 99.99% のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\text{cm}$ を実現することができる。

【0074】

なお、本実施例では、第1の導電膜306をTa、第2の導電膜307をWとしたが、特に限定されず、エッチングの選択比のとれる導電性材料であれば良い。第1の導電膜306と第2の導電膜307は、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。(図3(B))

【0075】

次に、レジストによるマスク308～311を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結

10

20

30

40

50

合型プラズマ)エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0076】

なお図3(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。また図3(C)では図示しなかったが、ゲート絶縁膜305は、上記エッチングによって第1の形状の導電層312~315で覆われない領域が20~50nm程度エッチングされ薄くなり、第1の形状のゲート絶縁膜305aとなる。

【0077】

こうして、第1のエッチング処理により第1の形状の第1の導電層と第1の形状の第2の導電層とから成る第1の形状の導電層312~315(第1の導電層312a~315aと第2の導電層312b~315b)を形成する。

【0078】

次に、図3(D)に示すように第2のエッチング処理を行う。同様にICPEッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層320~323(第1の導電層320a~323aと第2の導電層320b~323b)を形成する。また図3(D)では図示しなかったが、第1の形状のゲート絶縁膜305aは、上記エッチングによって第2の形状の導電層320~323で覆われない領域がさらに20~50nm程度エッチングされ薄くなり、第2の形状のゲート絶縁膜305bとなった。また、マスク308~311は第2のエッチング処理によってエッチングされ、マスク316~319となっている。

【0079】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0080】

そして、マスク316~319を除去し、図4(A)に示すように第1のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を70~120keVとし、 $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で行う。ドーピングは、第2の形状の第2の導電

層 3 2 0 b ~ 3 2 2 b を不純物元素に対するマスクとして用い、第 2 の形状の第 1 の導電層 3 2 0 a ~ 3 2 2 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 2 の形状の第 1 の導電層 3 2 0 a ~ 3 2 2 a と重なる第 1 の不純物領域 3 2 5 ~ 3 2 7 と、第 1 の不純物領域よりも不純物の濃度が高い第 2 の不純物領域 3 2 8 ~ 3 3 0 とが形成される。なお本実施例ではマスク 3 1 6 ~ 3 1 9 を除去してから n 型を付与する不純物元素を添加したが、本発明はこれに限定されない。図 4 (A) の工程において n 型を付与する不純物元素を添加してからマスク 3 1 6 ~ 3 1 9 を除去しても良い。

【 0 0 8 1 】

次に第 2 の形状の第 2 の導電層 3 1 8 を覆うように半導体層 3 0 4 上にレジストからなるマスク 3 3 1 を形成する。マスク 3 3 1 は第 2 の形状のゲート絶縁膜 3 0 5 b を間に挟んで第 2 の不純物領域 3 3 0 と一部重なっている。そして第 2 のドーピング処理を行い n 型を付与する不純物元素を添加する。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素をドーピングする。(図 4 (B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を 60 ~ 100 keV として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いる。この場合、第 2 の形状の導電層 3 2 0、3 2 1 が n 型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域 3 3 2 ~ 3 3 4、ドレイン領域 3 3 5 ~ 3 3 7、中間領域 3 3 8、L o v 領域 3 3 9 ~ 3 4 0 が形成される。またマスク 3 3 1 によって L o f f 領域 3 4 1 が形成される。ソース領域 3 3 2 ~ 3 3 4、ドレイン領域 3 3 5 ~ 3 3 7 には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 0 8 2 】

本発明はマスク 3 3 1 のサイズを制御することで、L o f f 領域 3 4 1 の、キャリアが移動する方向における長さを自由に設定することが可能である。

【 0 0 8 3 】

n 型を付与する不純物元素は、L o f f 領域で $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにし、L o v 領域で $1 \times 10^{16} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【 0 0 8 4 】

なお図 4 (B) において、上述したような条件で n 型を付与する不純物元素をドーピングする前または後に、半導体層 3 0 4 上にマスク 3 3 1 を形成した状態で加速電圧を 70 ~ 120 keV とし n 型を付与する不純物元素をドーピングしても良い。上記工程によって、画素 T F T の L o f f 領域となる部分 3 4 1 の n 型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の n 型を付与する不純物元素の濃度を高めることができる。画素 T F T の L o f f 領域となる部分 3 4 1 の n 型を付与する不純物元素の濃度を抑えることで、画素 T F T のオフ電流を低減することが可能である。また駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の n 型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。この工程において、駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の、n 型を付与する不純物元素の濃度は、 $5 \times 10^{17} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ であることが望ましい。

【 0 0 8 5 】

そして、図 4 (C) に示すように、p チャネル型 T F T を形成する半導体層 3 0 2 に一導電型とは逆の導電型の不純物元素が添加されたソース領域 3 6 0 と、ドレイン領域 3 6 1 と、L o v 領域 3 4 2 を形成する。第 2 の形状を有する導電層 3 2 0 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する半導体層 3 0 3、3 0 4 はレジストマスク 3 4 3 で全面を被覆しておく。ソース領域 3 6 0 及びドレイン領域 3 6 1 と、L o v 領域 3 4 2 とにはそれぞれ異なる濃度

でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。実際には、ソース領域 360 と、ドレイン領域 361 と、Lov 領域 342 に含まれるボロンは、第 2 のドーピング処理と同様に半導体層上に位置するテーパ状となっている導電層や絶縁膜の膜厚による影響を受け、不純物元素の濃度も変化している。

【0086】

以上までの工程でそれぞれの半導体層 302 ~ 304 に不純物領域 (ソース領域、ドレイン領域、Lov 領域、LoFF 領域) が形成される。半導体層 302 ~ 304 と重なる第 2 の形状の導電層 320 ~ 322 がゲート電極として機能する。また、323 は容量配線として機能する。

10

【0087】

こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行うものであり、本実施例では 500 で 4 時間の熱処理を行う。ただし、第 1 の導電膜 306、第 2 の導電膜 307 が熱に弱い場合には、ゲート電極、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【0088】

20

さらに、3 ~ 100% の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0089】

次いで、第 1 の層間絶縁膜 344 は酸化窒化シリコン膜から 100 ~ 200 nm の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 345 を形成する。

【0090】

そして第 2 の層間絶縁膜 345 の容量配線 323 上にコンタクトホールを形成し、前記第 1 の層間絶縁膜 344 の一部を露出させる。次に中間配線 346 を容量配線 323 上のコンタクトホールを介して第 1 の層間絶縁膜 344 に接するように形成した。(図 4 (D))

30

【0091】

次に第 2 の層間絶縁膜 345 上に、有機絶縁物材料から成る第 3 の層間絶縁膜 347 を形成する。

【0092】

そして、第 2 の形状のゲート絶縁膜 305 b、第 1 の層間絶縁膜 344、第 2 の層間絶縁膜 345 にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域 360、333、334 と接するようにソース配線 348 ~ 350 を形成した。また同様に、ドレイン領域 361、336 と接するドレイン配線 351 を形成する (図 5 (A))。ドレイン領域 337 と中間配線 346 とは、ドレイン配線 352 によって電氣的に接続される。

40

【0093】

なお、第 2 の形状のゲート絶縁膜 305 b、第 1 の層間絶縁膜 344、第 2 の層間絶縁膜 345、第 3 の層間絶縁膜 347 が SiO_2 膜または $SiON$ 膜の場合、 CF_4 と O_2 とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。また第 2 の形状のゲート絶縁膜 305 b、第 1 の層間絶縁膜 344、第 2 の層間絶縁膜 345、第 3 の層間絶縁膜 347 が有機樹脂膜の場合、 CHF_3 を用いたドライエッチング、または BHF (緩衝フッ酸: $HF + NH_4F$) でコンタクトホールを形成するのが好ましい。また第 2 の形状のゲート絶縁膜 305 b、第 1 の層間絶縁膜 344、第 2 の層間絶縁膜 345、第 3

50

の層間絶縁膜 3 4 7 が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが。エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

【 0 0 9 4 】

容量配線 3 2 3 と中間配線 3 4 6 との間に第 1 の層間絶縁膜 3 4 4 が接して設けられている部分に、保持容量が形成される。

【 0 0 9 5 】

次に、有機樹脂からなる第 4 層間絶縁膜 3 5 3 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、B C B (ベンゾシクロブテン) 等を使用することができる。特に、第 4 層間絶縁膜 3 5 3 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 μm (さらに好ましくは 2 ~ 4 μm) とすれば良い。

【 0 0 9 6 】

次に第 4 層間絶縁膜 3 5 3 に、中間配線 3 5 2 に達するコンタクトホールを形成し、画素電極 3 5 4 を形成する。本実施例では酸化インジウム・スズ (I T O) 膜を 1 1 0 n m の厚さに形成し、パターニングを行って画素電極 3 5 4 を形成する。また、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。この画素電極 3 5 4 が液晶セルの画素電極となる。(図 5 (B))

【 0 0 9 7 】

次に、図 6 に示すように、図 5 (B) の状態のアクティブマトリクス基板に配向膜 3 5 5 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また図 6 には示さないが、対向基板とアクティブマトリクス基板との間にスペーサを有していても良い。

【 0 0 9 8 】

一方、対向側の対向基板 3 5 6 に対向電極 3 5 7 および配向膜 3 5 8 を形成する。図 6 では図示しないが対向基板 3 5 6 上に遮蔽膜を有していても良い。その場合、遮蔽膜は T i 膜、C r 膜、A l 膜などを 1 5 0 ~ 3 0 0 n m の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 (図示せず) で貼り合わせる。シール剤にはフィラー (図示せず) が混入されていて、このフィラー (場合によってはスペーサも) によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 3 5 9 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、T N 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 6 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 0 9 9 】

本実施例において、画素 T F T 4 0 1 の半導体層は、ソース領域 4 0 4、ドレイン領域 4 0 5、L o f f 領域 4 0 6、L o v 領域 4 0 7、チャネル形成領域 4 0 8、中間領域 4 0 9 を含んでいる。L o f f 領域 4 0 6 は第 2 の形状のゲート絶縁膜 3 0 5 b を介してゲート電極 3 1 8 と重ならないように設けられている。また L o v 領域 4 0 7 は第 2 の形状のゲート絶縁膜 3 0 5 b を介してゲート電極 3 1 8 と重なるように設けられている。このような構造はホットキャリア効果によるオフ電流を低減する上で非常に効果的である。

【 0 1 0 0 】

また、本実施例では画素 T F T 4 0 1 はダブルゲート構造としているが、本発明では画素 T F T はシングルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流をさらに低減することができるという利点がある。

【 0 1 0 1 】

また本実施例では画素用ＴＦＴ４０１はｎチャネル型ＴＦＴであるが、ｐチャネル型ＴＦＴであってもかまわない。

【０１０２】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のＴＦＴを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【０１０３】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するＴＦＴを、駆動回路部を形成するＣＭＯＳ回路のｎチャネル型ＴＦＴ４０３として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、Ｄ／Ａコンバータなどの信号変換回路も含まれ得る。

10

【０１０４】

本実施例の場合、ＣＭＯＳ回路のｎチャネル型ＴＦＴ（駆動回路用ｎチャネル型ＴＦＴ）４０３の半導体層は、ソース領域４２１、ドレイン領域４２２、Ｌｏｖ領域４２３及びチャネル形成領域４２４を含んでいる。

【０１０５】

駆動回路用ｐチャネル型ＴＦＴ４０２の半導体層は、ソース領域４１０、ドレイン領域４１１、Ｌｏｖ領域４１２、チャネル形成領域４１３を含んでいる。Ｌｏｖ領域４１２は第２の形状のゲート絶縁膜３０５ｂを介してゲート電極３２０と重なるように設けられている。なお本実施例において駆動回路用ｐチャネル型ＴＦＴ４０２はＬｏｆｆ領域を有していないが、Ｌｏｆｆ領域を有する構成にしても良い。

20

【０１０６】

上述したように本発明では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第１のゲート電極の下に位置する半導体層中のイオン濃度を、第１のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【０１０７】

またマスクを用いてＬｏｆｆ領域を形成するために、エッチングで制御しなくてはならないのは第１のゲート電極と第２のゲート電極の幅のみであり、Ｌｏｆｆ領域とＬｏｖ領域の位置の制御が従来に比べて容易になった。よって、Ｌｏｖ領域とＬｏｆｆ領域の微妙な位置あわせが容易になり、所望の特性を有するＴＦＴを作製することも容易になった。

30

【０１０８】

また、画素ＴＦＴのドレイン領域に接続されたドレイン配線を形成するためのコンタクトホールは、ゲート絶縁膜と第１の層間絶縁膜とをエッチングして形成する必要があったため、ドレイン配線と容量配線と第１の層間絶縁膜とで保持容量を形成することが難しかった。しかし本発明は第２の層間絶縁膜と第３の層間絶縁膜の間に新たに中間配線を設けているので、画素ＴＦＴのドレイン配線に接続された中間配線３５２と、第１の層間絶縁膜３４４と、ゲート信号線と同時に形成された容量配線３２３とで保持容量を形成することができる。

40

【０１０９】

なお本実施例では透過型の液晶表示装置について説明したが、本発明はこれに限定されず、反射型の液晶表示装置であっても良い。また本実施例では画素ＴＦＴがｎチャネル型ＴＦＴである場合について説明したが、本発明はこれに限定されず、画素ＴＦＴはｐチャネル型ＴＦＴであっても良い。

【０１１０】

また本実施例では、画素ＴＦＴにＬｏｖ領域とＬｏｆｆ領域の両方を設ける場合について説明したが、画素ＴＦＴがＬｏｖ領域のみを有している構成にしても良い。また本実施例では駆動回路用ＴＦＴにＬｏｖ領域のみ設ける構成について説明したが、駆動回路用ＴＦＴにＬｏｖ領域とＬｏｆｆ領域の両方を設ける構成にしても良い。

50

【 0 1 1 1 】

(実施例 2)

本実施例では、本発明の液晶表示装置の画素部の上面図について説明する。

【 0 1 1 2 】

図 7 (A) に本実施例の液晶表示装置の上面図を示す。また図 7 (B) は本実施例の液晶表示装置の画素部の回路図である。5 0 1 はソース信号線、5 0 2 はゲート信号線である。ソース信号線 5 0 1 上に設けられている配線 5 0 3 は容量配線であり、ソース信号線 5 0 1 と重なっている。

【 0 1 1 3 】

5 0 4 は画素 T F T であり、半導体層 5 0 5 を有している。半導体層 5 0 5 上にゲート信号線 5 0 2 の一部がゲート電極として設けられている。そして半導体層 5 0 5 のソース領域とドレイン領域は、一方はソース信号線 5 0 1 に、もう一方はドレイン配線 5 1 0 によって中間配線 5 1 1 に接続されている。容量配線 5 0 3 は、5 1 2 で示す部分で第 1 の層間絶縁膜 (図示せず) と接しており、容量配線 5 0 3 と第 1 の層間絶縁膜と中間配線 5 1 1 とは 5 1 2 で示す部分で保持容量を形成している。

10

【 0 1 1 4 】

ドレイン配線 5 1 0 は画素電極 5 0 9 に接続されている。

【 0 1 1 5 】

なお本実施例は実施例 1 と自由に組み合わせることが可能である。

【 0 1 1 6 】

20

(実施例 3)

本実施例では、保持容量を、容量配線と第 1 の層間絶縁膜と中間配線とで形成する構成に加え、容量配線とゲート絶縁膜と半導体層とで形成している例について説明する。なお図 3 ~ 図 6 で示した物は同じ符号を用いる。

【 0 1 1 7 】

図 8 に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図 5 (B) で示した液晶表示装置と、半導体層 6 0 0 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【 0 1 1 8 】

30

半導体層 6 0 0 は第 2 の形状のゲート絶縁膜 3 0 5 b を間に挟んで第 1 の容量配線 3 2 3 a 及び第 2 の容量配線 3 2 3 b と重なっている。半導体層 6 0 0 はチャネル形成領域 6 0 3 と、チャネル形成領域 6 0 3 に接するように設けられた第 1 の不純物領域 6 0 2 と、第 1 の不純物領域 6 0 2 に接するように設けられた第 2 の不純物領域 6 0 1 とを有している。第 1 の不純物領域 6 0 2 における不純物の濃度は第 2 の不純物領域 6 0 1 における不純物の濃度よりも低い。また第 1 の不純物領域 6 0 2 は第 1 の容量配線 3 2 3 a と、第 1 の形状のゲート絶縁膜 3 0 5 b を間に挟んで重なっている。

【 0 1 1 9 】

なお半導体層 6 0 0 が有するチャネル形成領域 6 0 3 にチャネルが形成されるような電圧が、容量配線 3 2 3 に常にかかっている。

40

【 0 1 2 0 】

中間配線 3 4 6 はドレイン配線 3 5 2 によって画素 T F T 2 0 1 のドレイン領域 4 0 5 と電氣的に接続されている。また中間配線 3 4 6 は第 2 の層間絶縁膜 3 4 5 に形成されたコンタクトホールを介して第 2 の容量配線 3 2 3 b 上の第 1 の層間絶縁膜 3 4 4 と接している。

【 0 1 2 1 】

本実施例の構成によって、保持容量の容量値を高くすることができる。なお保持容量の面積を大きくすると開口率の低下によって液晶表示装置の輝度が低くなってしまっていたが、本実施例の構成では、容量配線 3 2 3 と第 2 の形状のゲート絶縁膜 3 0 5 b と半導体層 6 0 0 とで形成される保持容量が、中間配線 3 4 6 と第 1 の層間絶縁膜 3 4 4 と容量配線

50

３２３とで形成される保持容量とが重なっているために、開口率の低下を抑えつつ保持容量の容量値を高くすることができる。

【０１２２】

なお本実施例では画素ＴＦＴがｎチャネル型ＴＦＴである場合について説明したが、本発明はこれに限定されず、画素ＴＦＴはｐチャネル型ＴＦＴであっても良い。

【０１２３】

なお本実施例は実施例１、２と組み合わせて実施することが可能である。

【０１２４】

（実施例４）

本実施例では、中間配線と遮蔽膜（ブラックマトリクス）とを同時に形成する例について説明する。なお図３～図６で示した物は同じ符号を用いる。

10

【０１２５】

図９に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図５（Ｂ）で示した液晶表示装置と、遮蔽膜７０１を有している点が異なっている。なおその他の構成については実施例１において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例１を参照し、ここでは説明を省略する。

【０１２６】

中間配線３４６は第２の層間絶縁膜３４５に形成されたコンタクトホールを介して第２の容量配線３２３ｂ上の第１の層間絶縁膜３４４と接している。

【０１２７】

20

遮蔽膜７０１は第２の層間絶縁膜３４５上に中間配線３４６と同時に形成される。遮蔽膜７０１を設けることによって、液晶表示装置の外部からの光が画素ＴＦＴのチャネル形成領域４０８に入射することによってオフ電流が増加するのを防ぐことができる。

【０１２８】

また本実施例の遮蔽膜７０１は中間配線３４６と同時に形成することが可能であるため、工程数を増やす必要がない。

【０１２９】

なお本実施例の場合、遮蔽膜７０１と中間配線３４６とを光を透過しにくい材料で形成することが重要である。

【０１３０】

30

なお本実施例では画素ＴＦＴがｎチャネル型ＴＦＴである場合について説明したが、本発明はこれに限定されず、画素ＴＦＴはｐチャネル型ＴＦＴであっても良い。また本実施例では遮蔽膜を画素ＴＦＴのチャネル形成領域４０８の上にのみ設けたが、本発明はこれに限定されない。駆動回路用のＴＦＴのチャネル形成領域上に遮蔽膜を設けても良い。

【０１３１】

なお本実施例は実施例１～３と組み合わせて実施することが可能である。

【０１３２】

（実施例５）

本実施例では、ソース配線とドレイン配線を形成するために第１の形状のゲート絶縁膜３０５ｂ、第１の層間絶縁膜３４４、第２の層間絶縁膜３４５、第３の層間絶縁膜３４７に設けられるコンタクトホールの形成の仕方について、実施例１とは異なる例について説明する。なお図３～図６で示した物は同じ符号を用いる。

40

【０１３３】

図１０に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図５（Ｂ）で示した液晶表示装置と、コンタクトホールの構成が異なっている。なおその他の構成については実施例１において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例１を参照し、ここでは説明を省略する。

【０１３４】

本実施例では、中間配線３４６を形成する前に、第２の層間絶縁膜３４５に中間配線３４６を形成するためのコンタクトホール設けるのと同時に、ソース配線３４８～３５０とド

50

レイン配線 3 5 1、3 5 2 を形成するためのコンタクトホールを第 2 の層間絶縁膜 3 4 5 に形成する。このとき第 1 の層間絶縁膜 3 4 4 および第 2 の形状のゲート絶縁膜 3 0 5 b にはコンタクトホールを設けない。

【0135】

次に中間配線 3 4 6 を形成したあと第 3 の層間絶縁膜 3 4 7 を形成する。そして第 3 の層間絶縁膜 3 4 7、第 1 の層間絶縁膜 3 4 4、第 2 の形状のゲート絶縁膜 3 0 5 b にコンタクトホールを形成し、ソース領域 4 1 0、4 2 2、4 0 4 とドレイン領域 4 1 1、4 2 1、4 0 5 とドレイン配線 3 4 6 に接続するように、ソース配線 3 4 8 ~ 3 5 0 とドレイン配線 3 5 1、3 5 2 を形成する。

【0136】

本実施例では上記構成によって、ソース領域 4 1 0、4 2 2、4 0 4 とドレイン領域 4 1 1、4 2 1、4 0 5 に接続するためのコンタクトホールを、第 2 の層間絶縁膜 3 4 5 をエッチングすることなしに形成することが出来、エッチングが簡単になる。

【0137】

なお本実施例では画素 T F T が n チャネル型 T F T である場合について説明したが、本発明はこれに限定されず、画素 T F T は p チャネル型 T F T であっても良い。

【0138】

なお本実施例は実施例 1 ~ 4 と組み合わせて実施することが可能である。

【0139】

(実施例 6)

本実施例では、遮蔽膜を基板と T F T の半導体層との間に設ける例について説明する。なお図 3 ~ 図 6 で示した物は同じ符号を用いる。

【0140】

図 1 1 に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図 5 (B) で示した液晶表示装置と、遮蔽膜 8 0 1 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【0141】

本実施例の液晶表示装置は、画素 T F T の半導体層 3 0 4 の下に遮蔽膜 8 0 1 を設けている。遮蔽膜 8 0 1 は、画素 T F T の半導体層 3 0 4 のチャネル形成領域 4 0 8 と絶縁膜 (本実施例では酸化膜) 8 0 3 を間に挟んで重なっている。

【0142】

遮蔽膜 8 0 1 は光を遮蔽することができ、遮蔽膜が形成された後の工程における加熱処理の温度に耐えうる材料ならば、いずれの材料でも用いることが可能であり、光を透過しにくい金属、シリコン、等を用いることが可能である。本実施例では W を用いた。なお遮蔽膜 8 0 1 の厚さは 0 . 1 μ m ~ 0 . 5 μ m 程度であることが好ましい。また酸化膜 8 0 3 の厚さは 0 . 5 μ m ~ 1 . 5 μ m 程度であることが好ましい。さらに遮蔽膜 8 0 1 と半導体層 3 0 4 との間の距離は 0 . 1 μ m ~ 0 . 5 μ m 程度であることが好ましい。

【0143】

なお本実施例では遮蔽膜を画素部 T F T の半導体層 3 0 4 下側にのみ設けたが、本実施例はこれに限定されない。同様に駆動回路用の T F T の半導体層 3 0 2、3 0 3 の下に遮蔽膜を設けてもかまわない。

【0144】

本実施例は上記構成によって、基板の下側から入射する光がチャネル形成領域に入射することによって T F T のオフ電流が上がるのを防いでいる。

【0145】

酸化膜 8 0 3 の表面が平坦化されていないと、その上に形成された半導体層を結晶化させる際に、半導体層が均一に結晶化されないという問題が起こってしまう。よって、酸化膜 8 0 3 上には半導体層を直に形成するので、半導体層を形成する前に酸化膜 8 0 3 の表面を平坦化しておくことが好ましい。

10

20

30

40

50

【0146】

例えば、CMP（ケミカルメカニカルポリッシング）研磨を用いて酸化膜803を平坦化しても良い。CMP研磨は公知の方法を用いて行うことができる。

【0147】

本実施例ではシリカゾルと電解溶液とを混合したものをを用いて研磨を行う。電解溶液中において、 100 kg/cm^2 の圧力を研磨パッドから加えて研磨を行う。この研磨の際の圧力は $50\text{ kg/cm}^2 \sim 150\text{ kg/cm}^2$ 程度の範囲から選択することができる。また研磨を行う表面と研磨パッドとの隙間は $0.1\text{ }\mu\text{m}$ として研磨を行う。

【0148】

上記構成によって、TFTのオフ電流を抑えることができ、なおかつ半導体層の結晶性が不均一になるのを防ぐことができる。

10

【0149】

なお本実施例では画素TFTがnチャネル型TFTである場合について説明したが、本発明はこれに限定されず、画素TFTはpチャネル型TFTであっても良い。

【0150】

なお本実施例は実施例1～5と組み合わせて実施することが可能である。

【0151】

（実施例7）

本実施例は、ソース信号線を形成した後にゲート信号線を形成する例について説明する。

【0152】

20

図12（A）に本実施例の液晶表示装置の上面図を示す。なお図12（B）は図12（A）のA-A'における断面図である。901はソース信号線、902はゲート信号線である。ゲート信号線902の下に設けられている配線903は中間配線であり、ゲート信号線902と重なっている。

【0153】

904は画素TFTであり、半導体層905を有している。半導体層905上にゲート信号線902に接続されたゲート電極920が設けられている。そして半導体層905のソース領域とドレイン領域は、一方はソース配線921によってソース信号線901に、もう一方はドレイン配線910によって容量配線911に接続されている。中間配線903は、912で示す部分で第1の層間絶縁膜923と接しており、中間配線903と第1の層間絶縁膜923と容量配線911とで保持容量912を形成している。

30

【0154】

ドレイン配線910は画素電極909に接続されている。

【0155】

本発明は中間配線903を第2の層間絶縁膜924と第3の層間絶縁膜925の間に設けている。そのために中間配線をゲート信号線902と重ねて設けることができるので、開口率を上げることができる。

【0156】

（実施例8）

本実施例では、本発明において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

40

【0157】

ここで、特開平7-130652号公報に開示されている技術を本発明に適用する場合の例を図13に示す。まず基板1201に酸化シリコン膜1202を設け、その上に非晶質シリコン膜1203を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1204を形成した。（図13（A））

【0158】

次に、500、1時間の脱水素工程の後、500～650で4～12時間、例えば550、8時間の熱処理を行い、結晶質シリコン膜1205を形成した。こうして得られ

50

た結晶質シリコン膜 1 2 0 5 は非常に優れた結晶質を有した。(図 1 3 (B))

【 0 1 5 9 】

また、特開平 8 - 7 8 3 2 9 号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本発明に適用した場合について、図 1 4 で説明する。

【 0 1 6 0 】

まず、ガラス基板 1 3 0 1 に酸化シリコン膜 1 3 0 2 を設け、その上に非晶質シリコン膜 1 3 0 3、酸化シリコン膜 1 3 0 4 を連続的に形成した。この時、酸化シリコン膜 1 3 0 4 の厚さは 1 5 0 n m とした。

【 0 1 6 1 】

次に酸化シリコン膜 1 3 0 4 をパターンニングして、選択的に開孔部 1 3 0 5 を形成し、その後、重量換算で 1 0 p p m のニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層 1 3 0 6 が形成され、ニッケル含有層 1 3 0 6 は開孔部 1 3 0 5 の底部のみで非晶質シリコン膜 1 3 0 2 と接触した。(図 1 4 (A))

【 0 1 6 2 】

次に、5 0 0 ~ 6 5 0 で 4 ~ 2 4 時間、例えば 5 7 0 、1 4 時間の熱処理を行い、結晶質シリコン膜 1 3 0 7 を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜 1 3 0 7 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図 1 4 (B))

【 0 1 6 3 】

尚、上記 2 つの技術において使用可能な触媒元素は、ニッケル (N i) の以外にも、ゲルマニウム (G e)、鉄 (F e)、パラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u)、といった元素を用いても良い。

【 0 1 6 4 】

以上のような技術を用いて結晶質半導体膜 (結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む) を形成し、パターンニングを行えば、結晶質 T F T の半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製された T F T は、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本発明の T F T 構造を採用することで、本実施例の技術を最大限に生かした T F T を作製することが可能となった。

【 0 1 6 5 】

次に、実施例 1 で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例について、図 1 5 を用いて説明する。本実施例ではその方法として、特開平 1 0 - 1 3 5 4 6 8 号公報または特開平 1 0 - 1 3 5 4 6 9 号公報に記載された技術を用いた。

【 0 1 6 6 】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【 0 1 6 7 】

ここではコーニング社の 1 7 3 7 基板に代表される無アルカリガラス基板を用いた。図 1 5 (A) では、実施例 4 で示した結晶化の技術を用いて、下地 1 4 0 2、結晶質シリコン膜 1 4 0 3 が形成された状態を示している。そして、結晶質シリコン膜 1 4 0 3 の表面にマスク用の酸化シリコン膜 1 4 0 4 が 1 5 0 n m の厚さに形成され、パターンニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域 1 4 0 5 が設けられた

10

20

30

40

50

。

【0168】

この状態で、窒素雰囲気中で550～800、5～24時間、例えば600、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域1405がゲッターリングサイトとして働き、結晶質シリコン膜1403に残存していた触媒元素はリンが添加された領域1405に偏析させることができた。

【0169】

そして、マスク用の酸化シリコン膜1404と、リンが添加された領域1405とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{at ms/cm}^3$ 以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま本発明のTFTの半導体層として使用することができた。

10

【0170】

(実施例9)

本発明の液晶表示装置の駆動方法のについて説明する。図16に、本実施例の液晶表示装置の一例をブロック図で示す。

【0171】

1601はソース信号線駆動回路、1602はゲート信号線駆動回路、1603は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つつ設けても良いし、ゲート信号線駆動回路を2つつ設けても良い。

20

【0172】

ソース信号線駆動回路1601は、シフトレジスタ回路1601__1、レベルシフト回路1601__2、サンプリング回路1601__3を有している。なおレベルシフト回路は必要に応じて用いられよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト回路1601__2はシフトレジスタ回路1601__1とサンプリング回路1601__3との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ回路1601__1の中にレベルシフト回路1601__2が組み込まれている構成にしても良い。

【0173】

クロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ回路1601__1に入力される。そしてシフトレジスタ回路1601__1からビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト回路1601__2に入力され、その電位の振幅を大きくされて出力される。

30

【0174】

レベルシフト回路1601__2から出力されたサンプリング信号は、サンプリング回路1601__3に入力される。そして同時にソース信号線駆動回路1601の外部からビデオ信号が、ビデオ信号線(図示せず)を介してサンプリング回路1601__3に入力される。

。

【0175】

サンプリング回路1601__3において、入力されたビデオ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線1604を介して所定の画素に入力される。

40

。

【0176】

画素部1603では、ソース信号線駆動回路1601に接続されたソース信号線1604と、ゲート信号線駆動回路1602に接続されたゲート信号線1605とが交差している。そのソース信号線1604とゲート信号線1605とに囲まれた領域に、画素1606の薄膜トランジスタ(画素TFT)1607と、対向電極と画素電極の間に液晶を挟んだ液晶セル1608と、保持容量1609とが設けられている。

【0177】

画素TFT1607は、ゲート信号線駆動回路1602からゲート信号線1605を介して入力される選択信号により動作する。ソース信号線1604に入力されたビデオ信号は

50

、画素 T F T 1 6 0 7 により選択され、同時に所定の画素電極に書き込まれる。

【 0 1 7 8 】

なお本実施例では、ソース信号線駆動回路 1 6 0 1 とゲート信号線駆動回路 1 6 0 2 とを、画素部 1 6 0 3 が形成されている基板上に形成しているが、本発明はこれに限定されない。ソース信号線駆動回路 1 6 0 1 とゲート信号線駆動回路 1 6 0 2 とを I C チップ上に形成し、F P C や T A B を介して画素部 1 6 0 3 と接続されていても良い。

【 0 1 7 9 】

また本発明の液晶表示装置の駆動方法は、本実施例に示した駆動方法に限定されない。

【 0 1 8 0 】

本実施例は実施例 1 ~ 8 と組み合わせて実施することが可能である。

10

【 0 1 8 1 】

(実施例 1 0)

実施例 1 では、第 1 の形状の導電層を形成する第 1 のエッチング処理を 1 回のエッチング条件で行ったが、ゲート絶縁膜の膜減り及び形状の均一性を向上させるため、複数回のエッチング条件で行ってもよい。本実施例では第 1 のエッチング処理を 2 回のエッチング条件で第 1 の形状の導電層を形成する例を示す。

【 0 1 8 2 】

また、本発明は、導電層の両側にテーパ状が形成され、チャネル形成領域の両側に L D D 領域が形成されるが、本実施例は、駆動回路用 n チャネル型 T F T における導電層近傍の片側の断面拡大図である図 1 8 を用い、作製工程に従って説明する。なお、簡略化のため、下地膜と基板は図示していない。

20

【 0 1 8 3 】

まず、実施例 1 に従って、図 3 (B) と同じ状態を得る。ただし、実施例 1 では第 1 の導電膜として T a を用いたが、本実施例では第 1 の導電膜として非常に耐熱性の高い T a N を用いた。第 1 の導電膜は、膜厚 2 0 ~ 1 0 0 n m とし、第 2 の導電膜は、膜厚 1 0 0 ~ 4 0 0 n m とすればよく、本実施例では、膜厚 3 0 n m の T a N からなる第 1 の導電膜と膜厚 3 7 0 n m の W からなる第 2 の導電膜を積層形成した。

【 0 1 8 4 】

次いで、レジストからなる第 1 の形状のマスク 1 5 0 5 a を形成し、I C P 法によりエッチングを行って第 1 の形状の第 2 の導電層 1 5 0 4 a を形成する。ここでは、T a N と選択比が高いエッチングガスとして C F₄ と C l₂ と O₂ からなる混合ガスを用いたため、図 1 8 (A) に示した状態を得ることができる。表 1 に様々なエッチング条件と第 2 の導電層 (W) のエッチングレート、第 1 の導電層 (T a N) のエッチングレート、または第 2 の導電層 (W) のテーパ角との関係を示す。

30

【 0 1 8 5 】

【表 1】

W及びTaNのエッチングレート (E.R.) 及びWテーパ-角度

条件	ICP [W]	バイアス [W]	圧力 [Pa]	CF ₄ [sccm]	Cl ₂ [sccm]	O ₂ [sccm]	W E.R. ① [nm/min]	TaN E.R. ② [nm/min]	W/TaN選択比 ①÷②	Wテーパ-角度 [deg]
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	—	14.83	—	—
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(*) セル内の — はエッチング時にW表面が変質したため測定不可。

【 0 1 8 6 】

なお、本明細書においてテーパ-角とは、図 1 8 (A) の右上図に示したように、水平面と材料層の側面とがなす角を指している。また、本明細書中では便宜上、テーパ-角を有している側面をテーパ-状と呼び、テーパ-状を有している部分をテーパ-部と呼ぶ。

【 0 1 8 7 】

また、水平面と第 2 の導電層 (W) の側面とがなす角 (テーパ-角 1) は、第 1 のエッチング条件を、例えば表 1 中の条件 4 ~ 1 5 のいずれかーに設定することで 1 9 度 ~ 7 0 度の範囲で自由に設定することができる。なお、エッチング時間は実施者が適宜設定すればよい。

【 0 1 8 8 】

また、図 1 8 (A) において、1 5 0 1 は半導体層、1 5 0 2 はゲート絶縁膜、1 5 0 3 は第 1 の導電膜である。

【 0 1 8 9 】

次いで、マスク 1 5 0 5 a をそのままにした状態で、第 2 のエッチング条件とし、エッチングを行って、第 1 の形状の第 1 の導電層 1 5 0 3 a を形成する。なお、第 2 のエッチング条件でのエッチングの際、ゲート絶縁膜 1 5 0 2 も若干エッチングされて第 1 の形状のゲート絶縁膜 1 5 0 2 a となる。ここでは、第 2 のエッチング条件のエッチングガスとして CF₄ と Cl₂ からなる混合ガスを用いた。第 2 のエッチング条件として、例えば、表 1 の条件 1 ~ 3 のいずれかーを用いればよい。このように第 1 のエッチング処理を 2 回のエッチング条件で行うことによって、ゲート絶縁膜 1 5 0 2 の膜減りを抑えることができる。(図 1 8 (B))

【 0 1 9 0 】

なお、図 1 8 (B) では、第 2 のエッチング条件のエッチングを行った際、第 1 の形状の第 2 の導電層 1 5 0 4 a も若干、エッチングされるが微小 (約 0 . 1 5 μ m 程度、即ち線幅全体で 0 . 3 μ m 程度) であるため図 1 8 (A) と同一形状として図示した。

【 0 1 9 1 】

次いで、マスク 1 5 0 5 a をそのままにした状態で、第 2 のエッチング処理を行い、図 1 8 (C) に示した第 2 の形状の導電層を得る。本実施例では、第 2 のエッチング処理として、CF₄ と Cl₂ と O₂ からなる混合ガスを用いたエッチング条件でエッチングを行った。ここでのエッチング条件は、表 1 中の条件 4 ~ 1 5 のいずれかー条件を用い、エッチング時間を適宜設定すればよい。また、各導電層のチャネル長方向の幅もエッチング条件によって自由に設定することができる。この第 2 のエッチング処理によって、第 2 の形状のマスク 1 5 0 5 b、第 2 の形状の第 1 の導電層 1 5 0 3 b、第 2 の形状の第 2 の導電層 1

10

20

30

40

50

504b、及び第2の形状のゲート絶縁膜1502bが形成される。

【0192】

なお本実施例では、第2の形状の第1の導電層1503bが第1のゲート電極、第2の形状の第2の導電層1504bが第2のゲート電極に相当する。

【0193】

第2の形状の第2の導電層1504bは、テーパ角 1 よりも大きいテーパ角 2 を形成し、第2の形状の第1の導電層1503bは非常に小さいテーパ角 を形成する。

【0194】

次いで、マスク1505bをそのままの状態としたまま、第1のドーピング処理を行う。
(図18(C))ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第2の導電層1504bをマスクとして半導体層1501に添加する。また、ここではマスク1505bをそのままの状態としたまま第1のドーピング処理を行ったが、マスク1505bを除去した後に第1のドーピング処理を行ってもよい。

10

【0195】

この第1のドーピング処理により不純物領域1501a、1501bが形成される。また、ゲート絶縁膜及び第1の導電層を挟んで第2の導電層と重なる半導体層は、チャンネル形成領域となる。なお、図示しないが、チャンネル形成領域を挟んで両側に不純物領域1501a、1501bが左右対称に形成される。

【0196】

また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、ゲート絶縁膜を挟んで第1の導電層と重なる不純物領域1501a、即ち第1のLDD領域(Lov領域)は、テーパ角 の側面を有するテーパ状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加している。

20

【0197】

また、第2のエッチング処理の際、エッチングの条件によってはゲート絶縁膜にテーパ状の部分が形成される場合もある。その場合もテーパ状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。

【0198】

一方、第1の導電層と重ならない不純物領域1501b、第2のLDD領域(Loff領域)において、ゲート絶縁膜の膜厚は、ほぼ一定であるので不純物濃度もほぼ一定となる。

30

【0199】

次いで、図示しないが、画素TF Tの一部を覆うレジストマスクを形成する。画素TF Tにおいては、ここでのレジストマスクのサイズを制御することでLoff領域の長さが決定する。

【0200】

次いで、第2のドーピング処理を行う。半導体に一導電型を付与する不純物元素、ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第1の導電層1503b及び第2の形状の第2の導電層1504bをマスクとして半導体層1501に添加する。第2のドーピング処理は、第1のドーピング処理よりも高濃度のドーピングを行い、不純物領域1501c、1501dを形成する。

40

【0201】

不純物領域1501d、即ちソース領域またはドレイン領域は、第1のドーピング処理により添加された不純物濃度に加え、さらに第2のドーピング処理により高濃度となる。

【0202】

また、第1の導電層と重なっているため不純物領域1501cにはドーピングされず、不純物領域1501aと同一の濃度分布を有する。従って、不純物領域1501cも第1のLDD領域である。ただし、ドーピング条件によっては、さらに高濃度となる。その場合には、第2のドーピング処理においても第1のドーピング処理と同様にテーパ角 の側

50

面を有するテーパ状の部分の影響を受けて、半導体層中に添加される。

【0203】

一方、画素TF Tにおいては、レジストマスクで覆われなかった領域のみにドーピングされてソース領域またはドレイン領域が形成される。また、レジストマスクで覆われ、且つ導電層と重ならない第2のLDD領域1501bはそのままの状態である。

【0204】

次いで、画素TF Tのレジストマスクを除去する。

【0205】

以降の工程は、実施例1の図4(C)以降の工程に従って図6(B)に示すアクティブマトリクス基板を作製すればよい。

【0206】

上記方法により駆動回路用nチャネルTF Tと、画素TF Tとが作り分けられる。

【0207】

駆動回路用nチャネルTF Tは、ゲート絶縁膜を間に挟んで第2の導電層と重なるチャネル形成領域と、該チャネル形成領域の両側に第1のLDD領域と、該第1のLDD領域に接するソース領域またはドレイン領域とを備え、画素TF Tは、ゲート絶縁膜を間に挟んで第2の導電層と重なるチャネル形成領域と、該チャネル形成領域の両側に第1のLDD領域と、該第1のLDD領域に接する第2のLDD領域と、該第2のLDD領域に接するソース領域またはドレイン領域を備える。

【0208】

また、ゲート絶縁膜を間に挟んで第1の導電層と重なる第1のLDD領域は、チャネル形成領域からの距離が増大するとともに不純物濃度が増加する濃度分布を備えている。なお、第1のLDD領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでいる。このようにLDD領域において連続的な濃度勾配を有していれば、オフ電流の低減に効果がある。また、第1のLDD領域におけるチャネル長方向の長さが長ければ長いほど信頼性が向上する。

【0209】

また、駆動回路用pチャネル型TF Tにボロンをドーピングする工程(図4(C)において、実際には、149~152に含まれるボロンは、第1のドーピング処理と同様に半導体層上に位置するテーパ状となっている第1の導電層の膜厚による影響を受け、不純物領域中に添加される不純物元素の濃度は変化している。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加している。

【0210】

また、本実施例は、実施例1~9のいずれか一と自由に組み合わせることができる。

【0211】

また、本実施例のエッチングガス用ガス(CF₄とCl₂の混合ガス)に代えてSF₆とCl₂の混合ガスを用いた場合、あるいはCF₄とCl₂とO₂の混合ガスに代えてSF₆とCl₂とO₂の混合ガスを用いた場合、ゲート絶縁膜1502との選択比が非常に高いのでさらに膜減りを抑えることができる。

【0212】

(実施例11)

実施例10に記述したようにエッチング条件によって第2の形状の第1のゲート電極(TaN)は様々な形状となる。本実施例では、図19(A)の形状Aと図19(B)の形状Bとでシミュレーションを行い、比較を行った。

【0213】

図19(A)に実施例10に示した形状Aを示した。図19(A)は、図18(D)と同一であるので同じ符号を用いた。図20は、図19(A)において第1のゲート電極(TaN)の膜厚を15nm~40nmとし、Lov長(Lov領域のチャネル長方向の長さ)を0.4μm、0.8μm、1.5μmとした場合における電子温度との関係を示すグラフである。なお、チャネル長方向における不純物元素の濃度分布(半導体層表面から深さ1

10

20

30

40

50

0 nmの濃度分布)は、図23に示したものをを用いてシミュレーションを行った。ただし、第1のゲート電極側面の一部でテーパ角が変化しており、その変化している箇所は、断面から見てゲート絶縁膜から10 nmの膜厚の位置であり、かつ、上面からみて第1のゲート電極の端部から0.13 μm離れた位置としてシミュレーションを行った。

【0214】

また、図19(B)に本実施例の形状Bを示す。図19(B)は、図19(A)とは異なっており、側面の一部でテーパ角が変化している箇所はなく、テーパ角が形成されている。

【0215】

図19(B)に示した第1のゲート電極1700においても同様にシミュレーションを行い、第1のゲート電極(TaN)の膜厚を15 nm~40 nmとし、Lov長を0.4 μm、0.8 μm、1.5 μmとした場合における電子温度との関係を図21に示す。なお、チャンネル長方向における不純物元素の濃度分布は、図23に示したものをを用いてシミュレーションを行った。

10

【0216】

また、図19(B)に示した第1のゲート電極1700、即ちTaN膜厚が30 nmの時、図22にチャンネル長方向の電界強度とLov長との関係と、Lov長と電子温度との関係を示した。図22において、電界強度と電子温度の示す傾向が、近似している。従って、電子温度が低ければ、それだけTFTの劣化の程度が小さくなる傾向を示すと言える。

【0217】

20

図21と図20を比較した場合、図21に示した図19(B)の形状のほうが低い電子温度を示している。即ち、TFTの劣化の点から見れば、図19(B)の形状とすると、電子温度を低下させることができるため望ましい。

【0218】

また、1.5 μmのLov長である時に電子温度が低いことから、Lov長は長いほうがよいことが読み取れる。

【0219】

本実施例は実施例1~10と自由に組み合わせて実施することが可能である。

【0220】

(実施例12)

30

本発明の液晶表示装置は様々な電子機器の表示媒体として用いることができる。

【0221】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。

それらの一例を図17に示す。

【0222】

図17(A)は画像表示装置であり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に適用することができる。

40

【0223】

図17(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示部2102に適用することができる。

【0224】

図17(C)は頭部取り付け型のディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明は表示部2206に適用できる。

【0225】

図17(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本

50

体 2 3 0 1、記録媒体 (D V D 等) 2 3 0 2、操作スイッチ 2 3 0 3、表示部 (a) 2 3 0 4、表示部 (b) 2 3 0 5 等を含む。表示部 (a) 2 3 0 4 は主として画像情報を表示し、表示部 (b) 2 3 0 5 は主として文字情報を表示するが、本発明はこれら表示部 (a)、(b) 2 3 0 4、2 3 0 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 2 6 】

図 1 7 (E) はパーソナルコンピュータであり、本体 2 4 0 1、映像入力部 2 4 0 2、表示部 2 4 0 3、キーボード 2 4 0 4 で構成される。本発明を表示部 2 4 0 3 に適用することができる。

【 0 2 2 7 】

図 1 7 (F) はゴーグル型ディスプレイであり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 で構成される。本発明は表示部 2 5 0 2 に適用することができる。

【 0 2 2 8 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 2 9 】

【発明の効果】

上述したように本発明では、第 1 のゲート電極と第 2 のゲート電極のチャンネル長方向 (キャリアが移動する方向) の長さ (以下単にゲート電極の幅と呼ぶ) が異なっている。そのため、第 1 及び第 2 のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 2 のゲート電極の下に位置する半導体層中のイオン濃度を、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 2 3 0 】

またマスクを用いて L o f f 領域を形成するために、エッチングで制御しなくてはならないのは第 1 のゲート電極と第 2 のゲート電極の幅のみであり、L o f f 領域と L o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域と L o f f 領域の微妙な位置あわせが容易になり、所望の特性を有する T F T を作製することが容易になった。

【 0 2 3 1 】

また中間配線を第 2 の層間絶縁膜と第 3 の層間絶縁膜の間に設けている。そのために中間配線をゲート信号線またはソース信号線と重ねて設けることができるので、開口率を上げることができる。

【図面の簡単な説明】

【図 1】 本発明の液晶表示装置の作製行程を示す図。

【図 2】 T F T ゲート電極の拡大図。

【図 3】 本発明の液晶表示装置の作製行程を示す図。

【図 4】 本発明の液晶表示装置の作製行程を示す図。

【図 5】 本発明の液晶表示装置の作製行程を示す図。

【図 6】 本発明の液晶表示装置の作製行程を示す図。

【図 7】 本発明の液晶表示装置の画素の上面図及び回路図。

【図 8】 本発明の液晶表示装置の断面図。

【図 9】 本発明の液晶表示装置の断面図。

【図 1 0】 本発明の液晶表示装置の断面図。

【図 1 1】 本発明の液晶表示装置の断面図。

【図 1 2】 本発明の液晶表示装置の画素の上面図及び断面図。

【図 1 3】 半導体層の結晶化方法を示す図。

10

20

30

40

50

- 【図 14】 半導体層の結晶化方法を示す図。
- 【図 15】 半導体層の結晶化方法を示す図。
- 【図 16】 本発明の液晶表示装置のブロック図。
- 【図 17】 本発明の液晶表示装置を用いた電子機器。
- 【図 18】 本発明の液晶表示装置の作製行程を示す図。
- 【図 19】 T F T ゲート電極の拡大図。
- 【図 20】 形状 A における T a N 膜厚と電子温度の関係を示すグラフ。
- 【図 21】 形状 B における T a N 厚と電子温度の関係を示すグラフ。
- 【図 22】 形状 B における電子温度と横方向電界強度との比較。
- 【図 23】 形状 A 及び形状 B におけるリンの濃度分布を示す図。

10

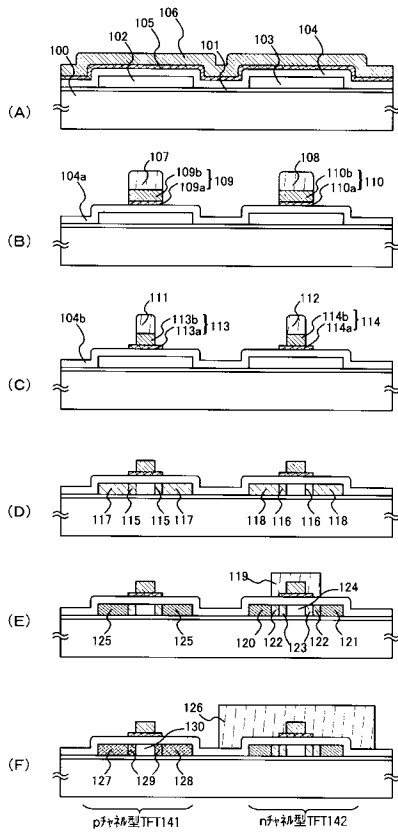
【符号の説明】

- 100 基板
- 101 保護膜
- 102、103 半導体層
- 104 ゲート絶縁膜
- 105 第1の導電膜
- 106 第2の導電膜
- 107、108 マスク
- 109、110 第1の形状の導電層
- 104a 第1の形状のゲート絶縁膜
- 111、112 マスク
- 113、114 第2の形状の導電層
- 104b 第2の形状のゲート絶縁膜
- 115、116 第1の不純物領域
- 117、118 第2の不純物領域
- 119 マスク
- 120 ソース領域
- 121 ドレイン領域
- 122 L o f f 領域
- 123 L o v 領域
- 124 チャネル形成領域
- 125 第3の不純物領域
- 126 マスク
- 127 ソース領域
- 128 ドレイン領域
- 129 L o v 領域
- 130 チャネル形成領域
- 141 pチャネル方 T F T
- 142 nチャネル型 T F T

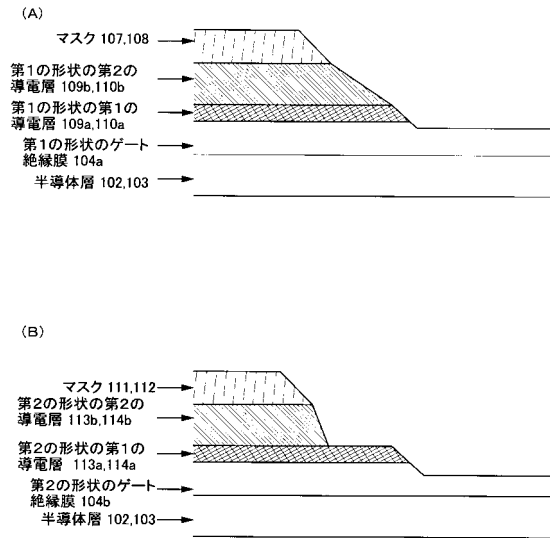
20

30

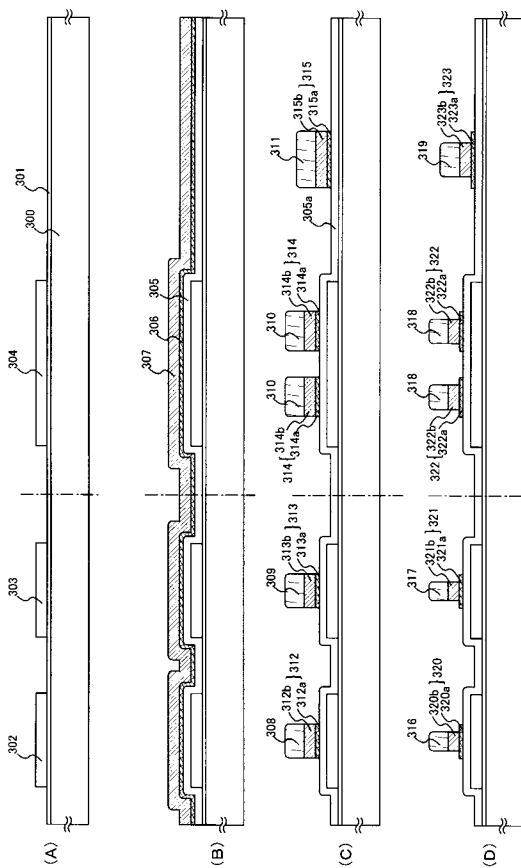
【図 1】



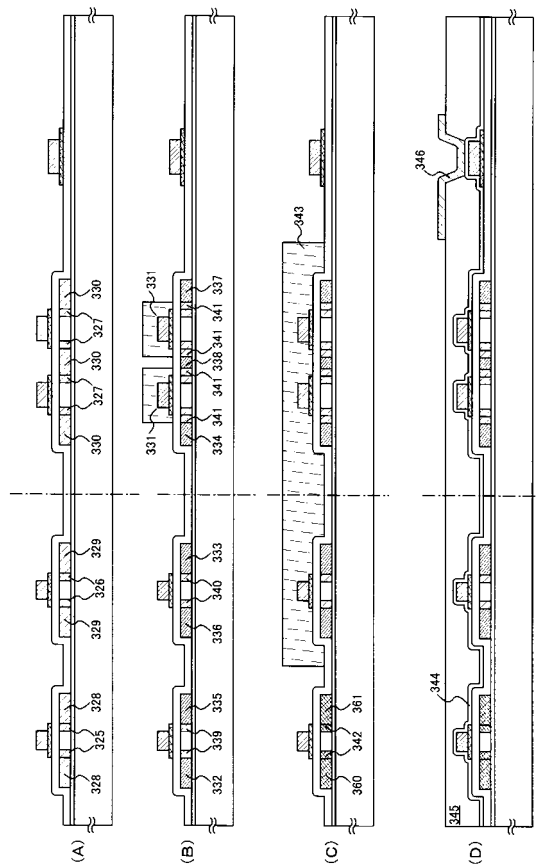
【図 2】



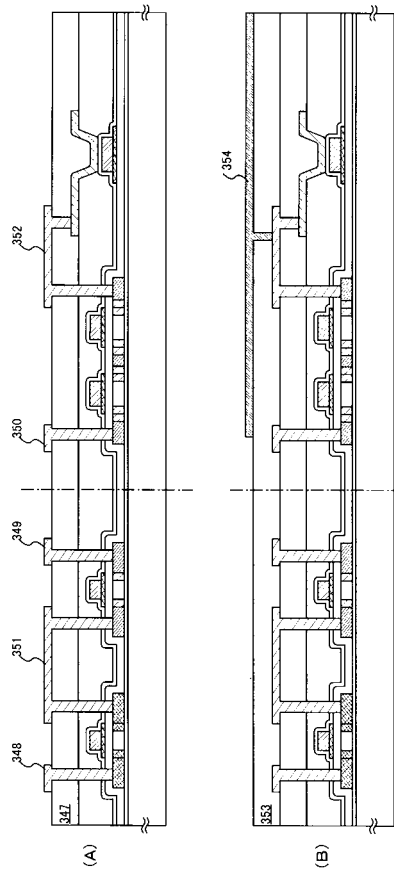
【図 3】



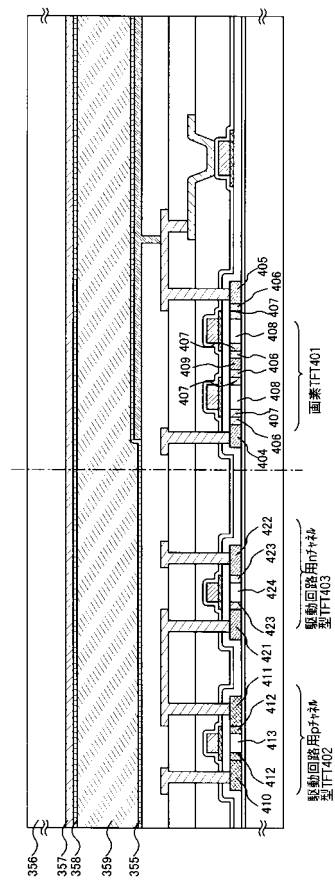
【図 4】



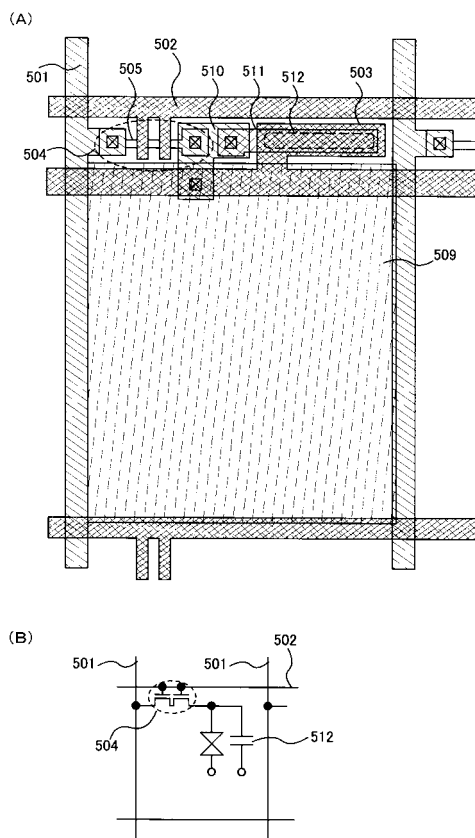
【図 5】



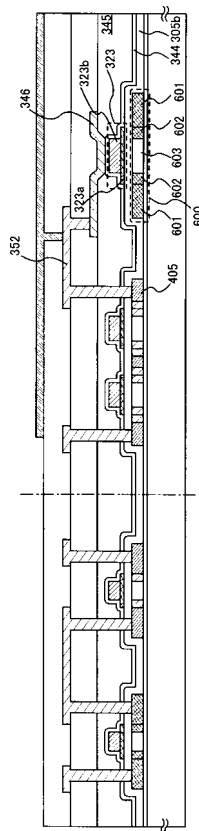
【図 6】



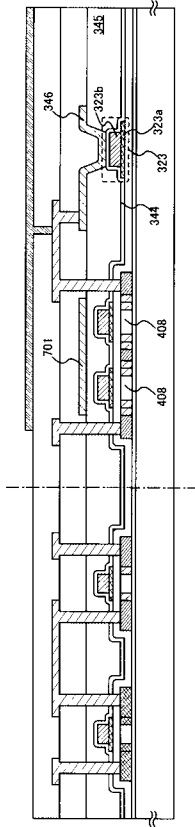
【図 7】



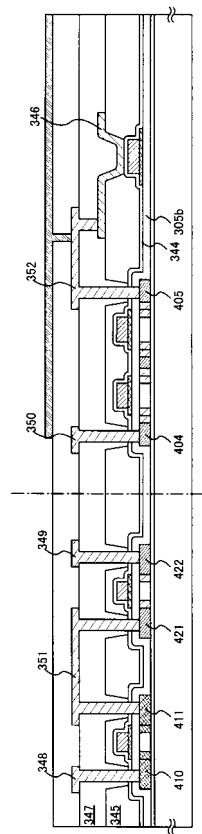
【図 8】



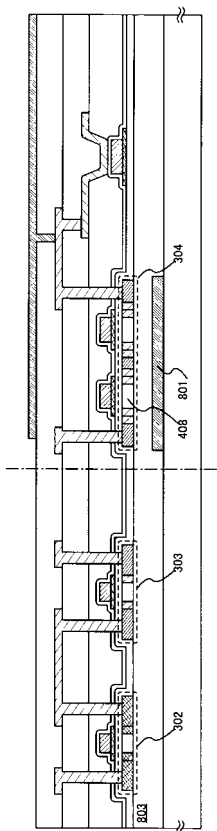
【図 9】



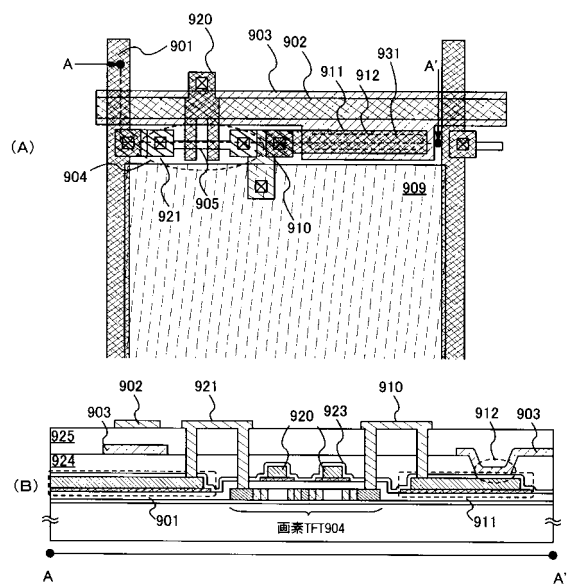
【図 10】



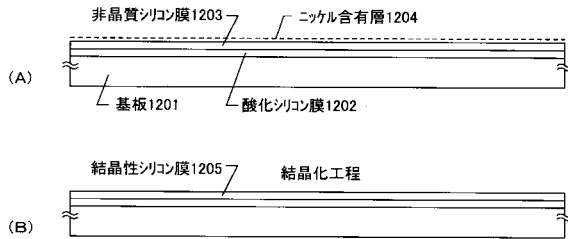
【図 11】



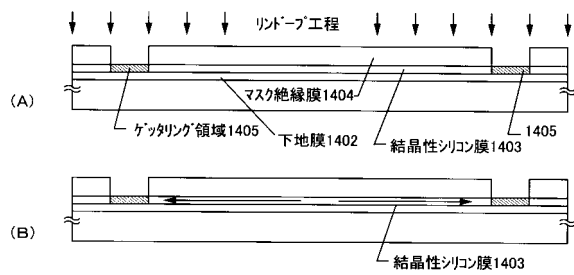
【図 12】



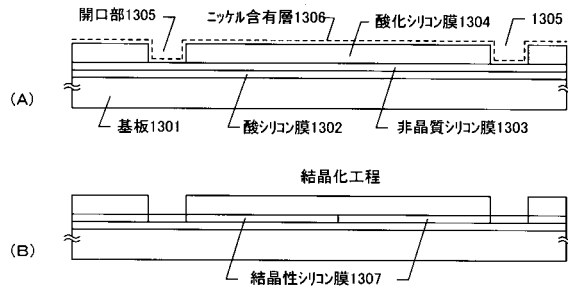
【図 13】



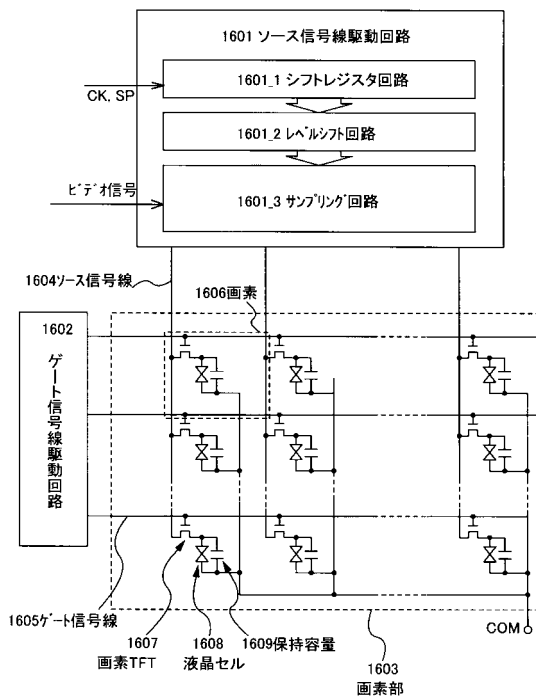
【図 15】



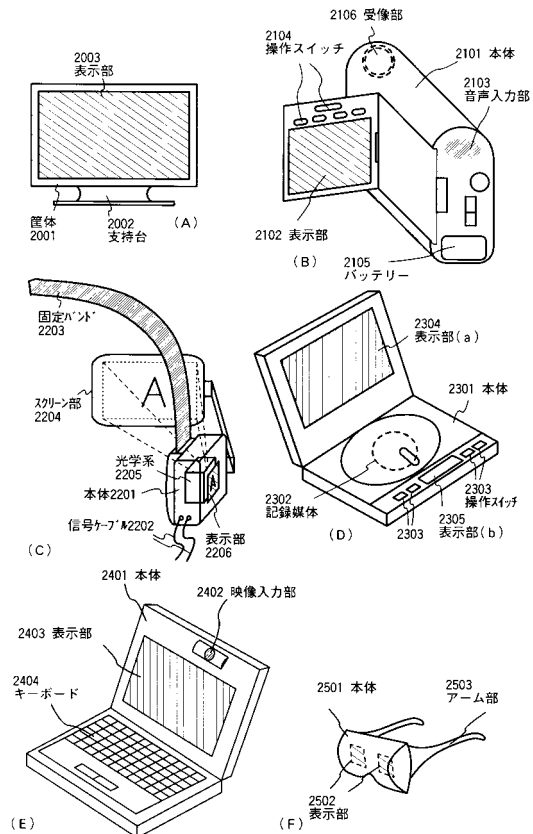
【図 14】



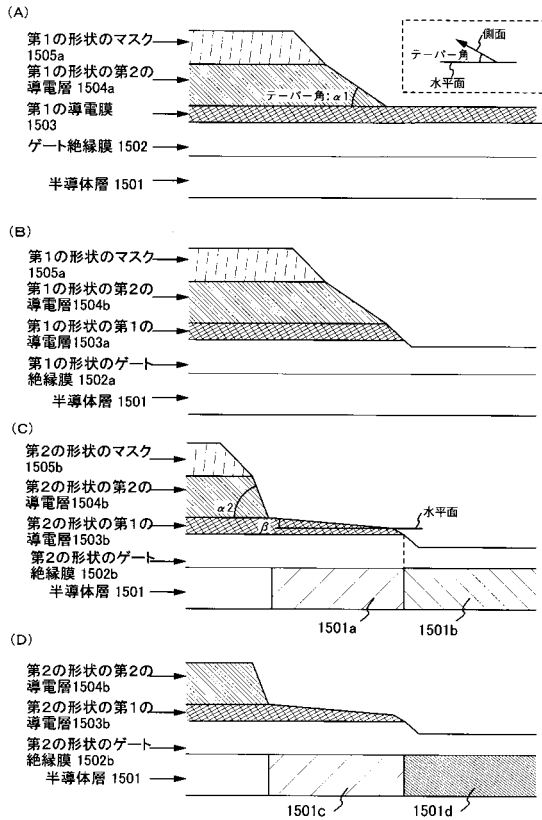
【図 16】



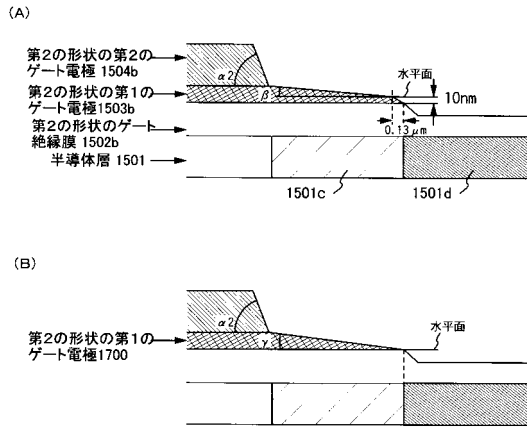
【図 17】



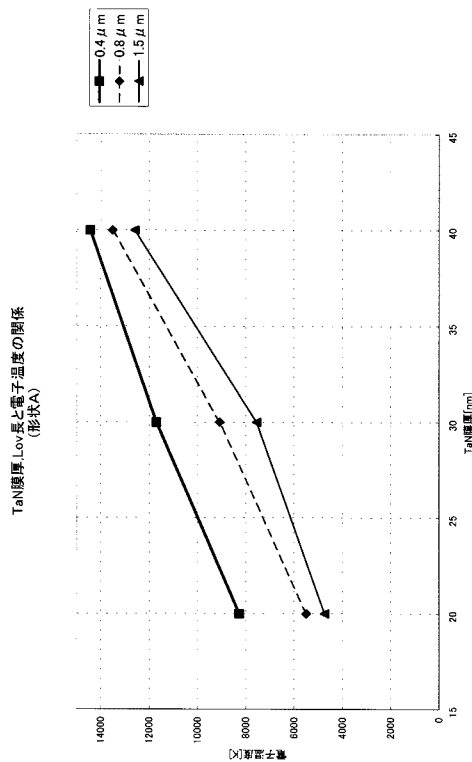
【図 18】



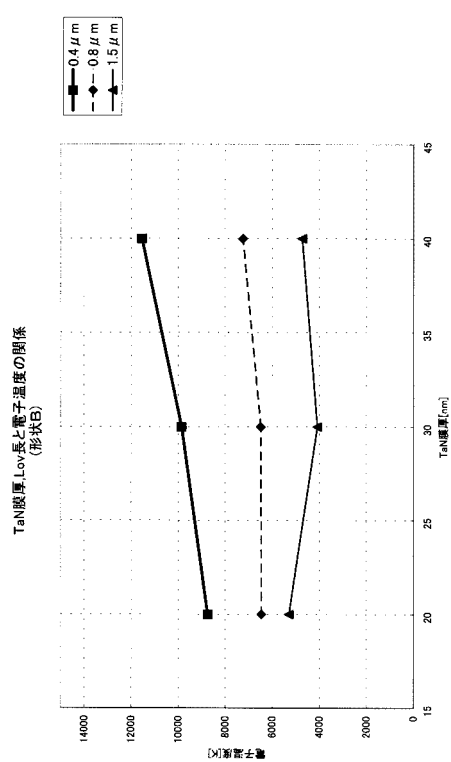
【図 19】



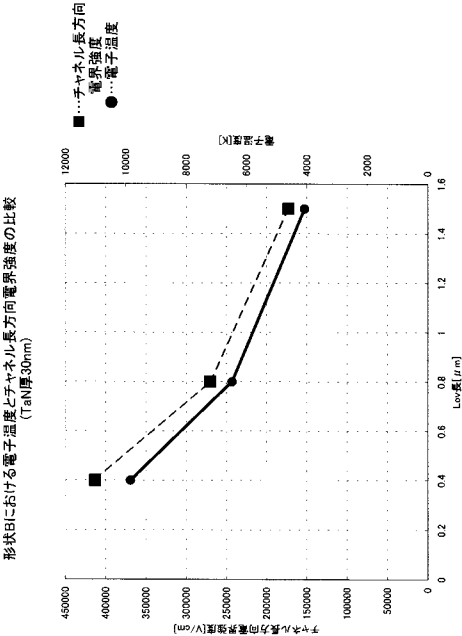
【図 20】



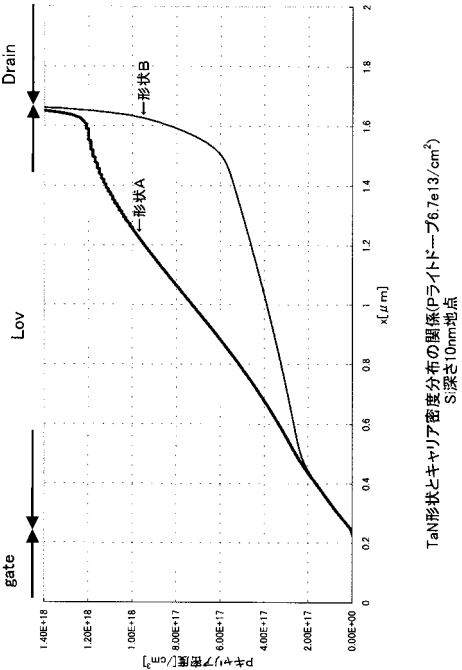
【図 21】



【図 2 2】



【図 2 3】



フロントページの続き

(72)発明者 荒尾 達也

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 特開平 0 9 - 0 5 5 5 0 8 (J P , A)
特開平 0 7 - 0 8 6 6 0 9 (J P , A)
特開平 0 8 - 0 6 4 8 3 8 (J P , A)
特開 2 0 0 0 - 0 5 8 8 4 7 (J P , A)
特開平 0 8 - 2 7 4 3 3 6 (J P , A)
特開平 1 1 - 1 7 7 1 0 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/336

H01L 29/786