

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 6월 27일 (27.06.2024)



(10) 국제공개번호
WO 2024/136124 A1

(51) 국제특허분류:
H10B 12/00 (2023.01) *H01L 29/66* (2006.01)

(21) 국제출원번호: PCT/KR2023/018022

(22) 국제출원일: 2023년 11월 10일 (10.11.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2022-0180961 2022년 12월 21일 (21.12.2022) KR
10-2022-0180972 2022년 12월 21일 (21.12.2022) KR

(71) 출원인: 서울대학교 산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울특별시 관악구 관악로 1, Seoul (KR).

(72) 발명자: 황철성 (HWANG, Cheol Seong); 06276 서울특별시 강남구 선릉로 221 410동 402호, Seoul (KR).

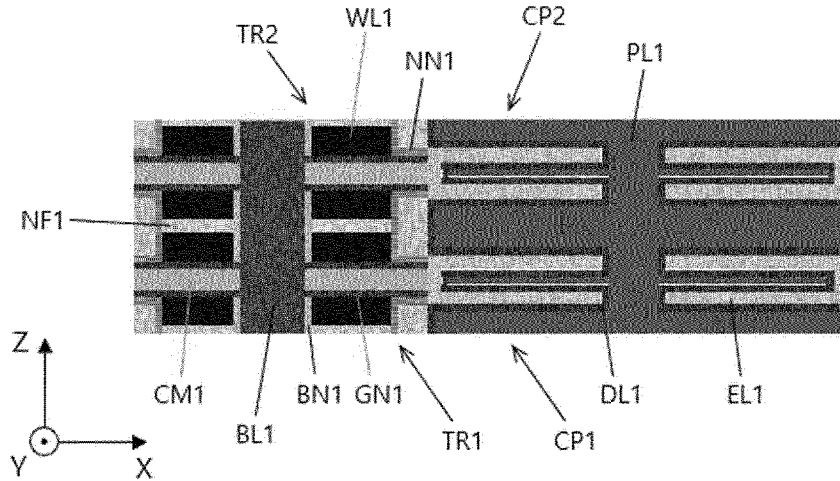
(74) 대리인: 김권석 (KIM, Kwonsaek); 06775 서울특별시 서초구 논현로 87, B동 7층 703호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

(54) Title: MEMORY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 메모리 소자 및 그 제조 방법



(57) Abstract: Disclosed are a memory device and a method for manufacturing same. The disclosed method for manufacturing a memory device may comprise the steps of: forming a laminate including a first insulating layer, and a first sacrificial layer and a second insulating layer sequentially stacked on the first insulating layer; patterning the laminate so as to form a patterned laminate having at least one pattern portion including a first sacrificial layer pattern obtained from the first sacrificial layer; filling empty spaces on respective sides of the at least one pattern portion with an insulating material so as to form a structure including the patterned laminate and the insulating material; forming, in the structure, a first vertical hole penetrating through the first sacrificial layer pattern of the pattern portion; forming a horizontal hole by removing the first sacrificial layer pattern exposed by the first vertical hole; forming gate insulating material layers on inner surfaces of the first vertical hole and the horizontal hole; and forming channel material layers filling the first vertical hole and the horizontal hole on the gate insulating material layers. The method for manufacturing a memory device may further comprise the steps of: forming a transistor including the channel material layers; and forming a capacitor electrically connected to the transistor.

[다음 쪽 계속]



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 메모리 소자 및 그 제조 방법에 관해 개시되어 있다. 개시된 메모리 소자의 제조 방법은 제 1 절연층과 상기 제 1 절연층 상에 순차로 적층된 제 1 희생층 및 제 2 절연층을 포함하는 적층체를 형성하는 단계, 상기 적층체를 패터닝하여 상기 제 1 희생층으로부터 얻어진 제 1 희생층 패턴을 구비한 적어도 하나의 패턴부를 갖는 패턴화된 적층체를 형성하는 단계, 상기 적어도 하나의 패턴부의 양측의 빈공간에 절연 물질을 충전하여 상기 패턴화된 적층체와 상기 절연 물질을 포함하는 구조체를 형성하는 단계, 상기 구조체에 상기 패턴부의 상기 제 1 희생층 패턴을 관통하는 제 1 수직홀을 형성하는 단계, 상기 제 1 수직홀에 의해 노출된 상기 제 1 희생층 패턴을 제거하여 수평홀을 형성하는 단계, 상기 제 1 수직홀 및 상기 수평홀의 내측면에 게이트 절연 물질층을 형성하는 단계 및 상기 게이트 절연 물질층 상에 상기 제 1 수직홀 및 상기 수평홀을 충전하는 채널 물질층을 형성하는 단계를 포함할 수 있다. 상기 메모리 소자의 제조 방법은 상기 채널 물질층을 포함하는 트랜지스터를 형성하는 단계 및 상기 트랜지스터와 전기적으로 연결된 커패시터를 형성하는 단계를 더 포함할 수 있다.

명세서

발명의 명칭: 메모리 소자 및 그 제조 방법

기술분야

- [1] 본 발명은 반도체/전자 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 반도체 소자의 성능 및 반도체 소자의 집적도를 증가시키는 것은 계속적으로 요구되고 있다. 반도체 소자의 단위 셀(unit cell)들을 2차원적으로, 즉, 평면적으로 배치하는 것으로는, 반도체 소자의 집적도를 증가시키는데 한계에 다다르고 있다. 이에, 반도체 소자의 단위 셀들을 3차원적으로 집적함으로써, 반도체 소자의 집적도를 크게 증가시키는 기술에 대한 시도들이 이루어지고 있다. 이와 관련하여, 낸드(NAND) 소자나 디램(DRAM) 소자와 같은 메모리(memory) 소자의 집적도를 증가시키려는 시도들이 다양한 형태로 시도되고 있다. 아울러, 메모리 소자의 성능 및 동작 특성을 개선하기 위한 연구 및 개발도 지속적으로 이루어지고 있다.
- [3] 최근에는, 높은 이동도(mobility) 특성 및 낮은 오프-커런트(Off-current) 특성을 확보하기 위해서, 실리콘 기반의 반도체를 비정질 산화물 반도체(amorphous oxide semiconductor) 등으로 대체하려는 시도가 이루어지고 있다. 그러나, 산화물 반도체는 식각 손상(etching damage)에 취약한 단점을 갖기 때문에, 이를 반도체 소자에 적용하였을 때, 패터닝 과정 등에 의해 식각 손상이 발생하여 반도체 소자의 특성이 열화되고 불안정해지는 문제가 발생하게 된다. 특히, 산화물 반도체는 건식 식각(dry etching)에 대하여 취약할 수 있다.
- [4] 또한, 산화물 반도체는 수소(H_2) 공정에 의해 특성이 열화될 수 있고, 열 공정에 의해서도 특성이 열화될 수 있다. 다시 말해, 산화물 반도체를 형성한 후, 후속의 수소 공정이나 열 공정을 수행할 경우, 산화물 반도체는 수소에 의한 손상(즉, H_2 damage)이나 열에 의한 손상(즉, thermal damage)을 겪을 수 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명이 이루고자 하는 기술적 과제는 집적도를 높일 수 있고 우수한 성능을 구현할 수 있는 메모리 소자 및 그 제조 방법을 제공하는데 있다.
- [6] 또한, 본 발명이 이루고자 하는 기술적 과제는 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상에 의한 특성 열화를 억제할 수 있는 메모리 소자의 제조 방법 및 이 방법으로 제조된 메모리 소자를 제공하는데 있다.
- [7] 또한, 본 발명이 이루고자 하는 기술적 과제는 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상, 수소(H_2) 공정에 의한 손상, 열 공정에 의한 손상 등에 따

른 특성 열화를 방지 내지 최소화할 수 있는 메모리 소자의 제조 방법 및 이 방법으로 제조된 메모리 소자를 제공하는데 있다.

- [8] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 이해될 수 있을 것이다.

과제 해결 수단

- [9] 본 발명의 일 실시예에 따르면, 제 1 절연층과 상기 제 1 절연층 상에 순차로 적층된 제 1 희생층 및 제 2 절연층을 포함하는 적층체를 형성하는 단계; 상기 적층체를 패터닝하여 상기 제 1 희생층으로부터 얻어진 제 1 희생층 패턴을 구비한 적어도 하나의 패턴부를 갖는 패턴화된 적층체를 형성하되, 상기 패턴부는 제 1 방향으로 연장된 형태를 갖고, 상기 제 1 방향과 수직인 제 2 방향에 따른 상기 패턴부의 양측에 빈공간이 구비된 상기 패턴화된 적층체를 형성하는 단계; 상기 적어도 하나의 패턴부의 양측의 빈공간에 절연 물질을 충전하여 상기 패턴화된 적층체와 상기 절연 물질을 포함하는 구조체를 형성하는 단계; 상기 구조체에 상기 패턴부의 상기 제 1 희생층 패턴을 관통하는 제 1 수직홀을 형성하는 단계; 상기 제 1 수직홀에 의해 노출된 상기 제 1 희생층 패턴을 제거하여 상기 제 1 방향으로 연장된 수평홀을 형성하는 단계; 상기 제 1 수직홀 및 상기 수평홀의 내측면에 게이트 절연 물질층을 형성하고, 상기 게이트 절연 물질층 상에 상기 제 1 수직홀 및 상기 수평홀을 충전하는 채널 물질층을 형성하는 단계; 상기 게이트 절연 물질층 및 상기 채널 물질층이 형성된 상기 구조체에서 상기 제 1 수직홀에 대응하는 영역에 제 2 수직홀을 형성하는 단계; 상기 구조체의 상기 제 2 수직홀 주위의 트랜지스터 형성 영역에서 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 단계; 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인을 형성하여 이를 포함하는 트랜지스터를 정의하는 단계; 상기 구조체의 상기 트랜지스터 형성 영역과 인접한 커패시터 형성 영역에 제 1 트렌치를 형성하는 단계; 상기 커패시터 형성 영역에서 상기 제 1 트렌치에 의해 노출된 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 제 1 리세스부를 형성하는 단계; 상기 제 1 리세스부를 충전하는 몰드 절연층을 형성하는 단계; 상기 트랜지스터 형성 영역에서 상기 제 2 수직홀에 대응하는 영역에 상기 채널 물질층의 일단에 연결된 비트 라인을 형성하는 단계; 및 상기 커패시터 형성 영역에서 상기 채널 물질층 및 상기 게이트 절연 물질층을 제거하여 제 2 리세스부를 형성하고, 상기 제 2 리세스부의 내측면에 상기 채널 물질층의 타단과 연결된 전극 부재를 형성하고, 상기 전극 부재 상에 유전층 및 플레이트 전극을 순차로 형성하여 상기 전극 부재와 상기 유전층 및 상기 플레이트 전극을 포함하는 커패시터를 형성하는 단계를 포함하는 메모리 소자의 제조 방법이 제공된다.

- [10] 상기 수평홀을 형성하는 단계에서 상기 제 1 희생층 패턴 전체를 제거할 수 있다.
- [11] 상기 제 1 절연층, 상기 제 2 절연층 및 상기 절연 물질은 실리콘 질화물을 포함할 수 있고, 상기 제 1 희생층은 실리콘 산화물을 포함할 수 있다.
- [12] 상기 채널 물질층은 산화물 반도체를 포함할 수 있다.
- [13] 상기 워드 라인을 형성하여 상기 트랜지스터를 정의하는 단계는 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인용 물질층을 형성하는 단계; 상기 워드 라인용 물질층에서 상기 제 2 수직홀에 대응하는 영역을 식각하여 관통홀을 형성하는 단계; 상기 채널 물질층의 상기 일단이 상기 워드 라인용 물질층 보다 상기 관통홀 쪽으로 돌출되도록 상기 관통홀을 통해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계; 및 상기 관통홀을 충전하는 바디 절연층을 형성하는 단계를 포함할 수 있다.
- [14] 상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 제 1 리세스부에 의해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계를 더 포함할 수 있다.
- [15] 상기 비트 라인을 형성하는 단계는 상기 바디 절연층의 상기 제 2 수직홀에 대응하는 영역에 제 3 수직홀을 형성하는 단계; 및 상기 제 3 수직홀 내에 상기 비트 라인을 형성하는 단계를 포함할 수 있다.
- [16] 상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 커패시터 형성 영역에서 상기 노출된 상기 게이트 절연 물질층 부분을 감싸는 삽입 절연층을 형성하는 단계를 더 포함할 수 있고, 상기 몰드 절연층은 상기 삽입 절연층 상에 상기 제 1 리세스부 및 상기 제 1 트렌치를 충전하도록 형성될 수 있고, 상기 몰드 절연층에서 상기 제 1 트렌치에 대응하는 영역에 제 2 트렌치를 형성하는 단계를 더 포함할 수 있으며, 상기 제 2 트렌치에 의해 노출된 상기 채널 물질층, 상기 게이트 절연 물질층 및 상기 삽입 절연층을 식각하여 상기 제 2 리세스부를 형성할 수 있다.
- [17] 상기 전극 부재를 형성한 후, 상기 몰드 절연층을 식각하여 상기 전극 부재의 외측면을 노출시키는 단계를 더 포함할 수 있고, 상기 몰드 절연층을 식각한 후, 상기 유전층 및 상기 플레이트 전극을 순차로 형성할 수 있다.
- [18] 상기 적층체는 상기 제 2 절연층 상에 순차로 적층된 제 2 희생층 및 제 3 절연층을 더 포함할 수 있고, 상기 적층체는 상기 제 2 절연층을 기준으로 상하 대칭적인 구조를 가질 수 있다.
- [19] 상기 제 2 절연층은 상기 제 1 절연층, 상기 제 3 절연층, 상기 제 1 희생층 및 상기 제 2 희생층 각각의 두께 보다 큰 두께를 가질 수 있다.
- [20] 상기 트랜지스터는 제 1 트랜지스터일 수 있고, 상기 커패시터는 제 1 커패시터일 수 있으며, 상기 메모리 소자는 상기 제 1 트랜지스터 상에 배치되는 제 2 트랜지스터 및 상기 제 1 커패시터 상에 배치되는 제 2 커패시터를 더 포함할 수 있다.

- [21] 본 발명의 다른 실시예에 따르면, 수직 방향으로 적층된 복수의 메모리 셀을 포함하고, 상기 복수의 메모리 셀 각각은 트랜지스터 및 상기 트랜지스터의 측방으로 이와 전기적으로 연결된 커패시터를 포함하고, 상기 트랜지스터는 채널 물질층과 이를 둘러싸는 워드 라인 및 이들 사이에 배치된 게이트 절연층을 포함하고, 상기 커패시터는 상기 트랜지스터와 전기적으로 연결된 전극 부재, 상기 전극 부재의 표면에 배치된 유전층 및 상기 유전층의 표면에 배치된 플레이트 전극을 포함하고, 상기 복수의 메모리 셀의 복수의 트랜지스터에 연결된 것으로, 수직 방향으로 연장된 비트 라인이 구비되고, 상기 비트 라인과 상기 워드 라인 사이에서 상기 비트 라인의 외측면의 적어도 일부를 둘러싸는 바디 절연층이 구비되고, 상기 복수의 트랜지스터의 상호 인접한 두 개의 워드 라인 사이에 상기 바디 절연층과 별도의 물질층인 충전 절연층이 구비된 메모리 소자가 제공된다.
- [22] 상기 트랜지스터는 GAA(gate-all-around) 구조를 가질 수 있다.
- [23] 상기 바디 절연층은, 위에서 보았을 때, 상기 워드 라인과 동일한 방향으로 연장된 라인 형태를 가질 수 있다.
- [24] 상기 전극 부재에 인접한 상기 게이트 절연층의 일부를 둘러싸면서 상기 워드 라인의 측면을 덮도록 연장된 삽입 절연층이 더 구비될 수 있고, 상기 삽입 절연층은 상기 바디 절연층 및 상기 충전 절연층과 별도의 물질층일 수 있다.
- [25] 상기 충전 절연층의 제 1 측면에 상기 바디 절연층이 접촉될 수 있고, 상기 충전 절연층의 제 2 측면에 상기 삽입 절연층이 접촉될 수 있다.
- [26] 상기 삽입 절연층은 ALD(atomic layer deposition) 물질층일 수 있다.
- [27] 본 발명의 다른 실시예에 따르면, 제 1 절연층과 상기 제 1 절연층 상에 순차로 적층된 제 1 희생층 및 제 2 절연층을 포함하는 적층체를 형성하는 단계; 상기 적층체를 패터닝하여 상기 제 1 희생층으로부터 얻어진 제 1 희생층 패턴을 구비한 적어도 하나의 패턴부를 갖는 패턴화된 적층체를 형성하되, 상기 패턴부는 제 1 방향으로 연장된 형태를 갖고, 상기 제 1 방향과 수직한 제 2 방향에 따른 상기 패턴부의 양측에 빈공간이 구비된 상기 패턴화된 적층체를 형성하는 단계; 상기 적어도 하나의 패턴부의 양측의 빈공간에 절연 물질을 충전하여 상기 패턴화된 적층체와 상기 절연 물질을 포함하는 구조체를 형성하는 단계; 상기 구조체에 상기 패턴부의 상기 제 1 희생층 패턴을 관통하는 제 1 수직홀을 형성하는 단계; 상기 제 1 수직홀에 의해 노출된 상기 제 1 희생층 패턴을 제거하여 상기 제 1 방향으로 연장된 수평홀을 형성하는 단계; 상기 제 1 수직홀 및 상기 수평홀의 내측면에 게이트 절연 물질층을 형성하고, 상기 게이트 절연 물질층 상에 상기 제 1 수직홀 및 상기 수평홀을 충전하는 더미(dummy) 채널 물질층을 형성하는 단계; 상기 게이트 절연 물질층 및 상기 더미 채널 물질층이 형성된 상기 구조체에서 상기 제 1 수직홀에 대응하는 영역에 제 2 수직홀을 형성하는 단계; 상기 구조체의 상기 제 2 수직홀 주위의 트랜지스터 형성 영역에서 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 단계; 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인

을 형성하는 단계; 상기 구조체의 상기 트랜지스터 형성 영역과 인접한 커패시터 형성 영역에 제 1 트렌치를 형성하는 단계; 상기 커패시터 형성 영역에서 상기 제 1 트렌치에 의해 노출된 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 제 1 리세스부를 형성하는 단계; 상기 제 1 리세스부를 충전하는 몰드 절연층을 형성하는 단계; 상기 커패시터 형성 영역에서 상기 더미 채널 물질층 및 상기 게이트 절연 물질층을 제거하여 제 2 리세스부를 형성하고, 상기 제 2 리세스부의 내측면에 전극 부재를 형성하고, 상기 전극 부재 상에 유전층 및 플레이트 전극을 순차로 형성하여 상기 전극 부재와 상기 유전층 및 상기 플레이트 전극을 포함하는 커패시터를 형성하는 단계; 상기 트랜지스터 형성 영역에서 상기 더미 채널 물질층을 제거하여 빈 채널 공간을 형성하고, 상기 빈 채널 공간 내에 상기 커패시터와 연결된 채널 물질층을 형성하여 상기 채널 물질층을 포함하는 트랜지스터를 정의하는 단계; 및 상기 채널 물질층에 연결된 비트 라인을 형성하는 단계를 포함하는 메모리 소자의 제조 방법이 제공된다.

- [28] 상기 제 1 절연층, 상기 제 2 절연층 및 상기 절연 물질은 실리콘 질화물을 포함할 수 있고, 상기 제 1 희생층은 실리콘 산화물을 포함할 수 있다.
- [29] 상기 더미 채널 물질층은 폴리실리콘(poly-Si)을 포함할 수 있다.
- [30] 상기 채널 물질층은 산화물 반도체를 포함할 수 있다.
- [31] 상기 워드 라인을 형성하는 단계는 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인용 물질층을 형성하는 단계; 상기 워드 라인용 물질층에서 상기 제 2 수직홀에 대응하는 영역을 식각하여 관통홀을 형성하는 단계; 상기 더미 채널 물질층의 일단이 상기 워드 라인용 물질층 보다 상기 관통홀 쪽으로 돌출되도록 상기 관통홀을 통해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계; 및 상기 관통홀을 충전하는 바디 절연층을 형성하는 단계를 포함할 수 있다.
- [32] 상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 제 1 리세스부에 의해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계를 더 포함할 수 있다.
- [33] 상기 빈 채널 공간을 형성하고 상기 채널 물질층을 형성하는 단계는 상기 바디 절연층의 상기 제 2 수직홀에 대응하는 영역에 제 3 수직홀을 형성하는 단계; 상기 제 3 수직홀에 의해 노출된 상기 더미 채널 물질층을 제거하여 상기 빈 채널 공간을 형성하는 단계; 및 상기 빈 채널 공간 및 상기 제 3 수직홀 내에 상기 채널 물질층을 형성하는 단계를 포함할 수 있다.
- [34] 상기 비트 라인을 형성하는 단계는 상기 제 3 수직홀 내에 형성된 상기 채널 물질층 부분을 제거하여 상기 제 3 수직홀을 재형성하는 단계; 및 상기 재형성된 제 3 수직홀 내에 상기 비트 라인을 형성하는 단계를 포함할 수 있다.
- [35] 상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 커패시터 형성 영역에서 상기 노출된 상기 게이트 절연 물질층 부분을 감싸는 삽입

절연층을 형성하는 단계를 더 포함할 수 있고, 상기 몰드 절연층은 상기 삽입 절연층 상에 상기 제 1 리세스부 및 상기 제 1 트렌치를 충전하도록 형성될 수 있고, 상기 몰드 절연층에서 상기 제 1 트렌치에 대응하는 영역에 제 2 트렌치를 형성하는 단계를 더 포함할 수 있으며, 상기 제 2 트렌치에 의해 노출된 상기 더미 채널 물질층, 상기 게이트 절연 물질층 및 상기 삽입 절연층을 식각하여 상기 제 2 리세스부를 형성할 수 있다.

- [36] 상기 전극 부재를 형성한 후, 상기 몰드 절연층을 식각하여 상기 전극 부재의 외측면을 노출시키는 단계를 더 포함할 수 있고, 상기 몰드 절연층을 식각한 후, 상기 유전층 및 상기 플레이트 전극을 순차로 형성할 수 있다.
- [37] 상기 적층체는 상기 제 2 절연층 상에 순차로 적층된 제 2 희생층 및 제 3 절연층을 더 포함할 수 있고, 상기 적층체는 상기 제 2 절연층을 기준으로 상하 대칭적인 구조를 가질 수 있다.
- [38] 상기 제 2 절연층은 상기 제 1 절연층, 상기 제 3 절연층, 상기 제 1 희생층 및 상기 제 2 희생층 각각의 두께 보다 큰 두께를 가질 수 있다.
- [39] 상기 트랜지스터는 제 1 트랜지스터일 수 있고, 상기 커패시터는 제 1 커패시터일 수 있으며, 상기 메모리 소자는 상기 제 1 트랜지스터 상에 배치되는 제 2 트랜지스터 및 상기 제 1 커패시터 상에 배치되는 제 2 커패시터를 더 포함하도록 형성될 수 있다.
- [40] 본 발명의 다른 실시예에 따르면, 수직 방향으로 적층된 복수의 메모리 셀을 포함하고, 상기 복수의 메모리 셀 각각은 트랜지스터 및 상기 트랜지스터의 측방으로 이와 전기적으로 연결된 커패시터를 포함하고, 상기 트랜지스터는 채널 물질층과 이를 둘러싸는 워드 라인 및 이들 사이에 배치된 게이트 절연층을 포함하고, 상기 커패시터는 상기 트랜지스터와 전기적으로 연결된 전극 부재, 상기 전극 부재의 표면에 배치된 유전층 및 상기 유전층의 표면에 배치된 플레이트 전극을 포함하고, 상기 복수의 메모리 셀의 복수의 트랜지스터에 연결된 것으로, 수직 방향으로 연장된 비트 라인이 구비되고, 상기 비트 라인과 상기 워드 라인 사이에서 상기 비트 라인의 외측면의 적어도 일부를 둘러싸는 바디 절연층이 구비되고, 상기 바디 절연층은, 위에서 보았을 때, 상기 워드 라인과 동일한 방향으로 연장된 라인 형태를 갖고, 상기 복수의 트랜지스터의 상호 인접한 두 개의 워드 라인 사이에 충전 절연층이 구비된 메모리 소자가 제공된다.
- [41] 상기 트랜지스터는 GAA(gate-all-around) 구조를 가질 수 있다.
- [42] 상기 전극 부재에 인접한 상기 게이트 절연층의 일부를 둘러싸면서 상기 워드 라인의 측면을 덮도록 연장된 삽입 절연층이 더 구비될 수 있고, 상기 삽입 절연층은 상기 바디 절연층 및 상기 충전 절연층과 별도의 물질층일 수 있다.
- [43] 상기 충전 절연층의 제 1 측면에 상기 바디 절연층이 접촉될 수 있고, 상기 충전 절연층의 제 2 측면에 상기 삽입 절연층이 접촉될 수 있다.
- [44] 상기 삽입 절연층은 ALD(atomic layer deposition) 물질층일 수 있다.

발명의 효과

- [45] 본 발명의 실시예들에 따르면, 집적도를 향상시킬 수 있으면서 우수한 성능 및 동작 특성을 가질 수 있는 적층형 메모리 소자를 구현할 수 있다. 특히, 본 발명의 실시예들에 따르면, 주어진 방식에 따라 희생층을 패터닝한 후, 상기 희생층의 패턴을 제거한 영역(공간)에 반도체 물질(예컨대, 산화물 반도체 물질)을 나중에 형성함으로써, 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상에 의한 특성 열화를 억제/방지할 수 있는 적층형 메모리 소자의 제조 방법을 구현할 수 있다.
- [46] 또한, 본 발명의 실시예들에 따르면, 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상, 수소(H₂) 공정에 의한 손상, 열 공정에 의한 손상 등에 따른 특성 열화를 방지 내지 최소화할 수 있는 메모리 소자의 제조 방법을 구현할 수 있다. 예컨대, 본 발명의 실시예들에 따르면, 주어진 방식에 따라 희생층을 패터닝한 후, 상기 희생층의 패턴을 제거한 영역(공간)에 더미 물질을 형성한 다음, 소자의 제조가 거의 완료된 상태에서 상기 더미 물질을 유효 반도체 물질(예컨대, 산화물 반도체 물질)로 대체함으로써, 유효 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상, 수소(H₂)에 의한 손상, 열에 의한 손상 등에 따른 특성 열화를 방지 내지 최소화할 수 있는 적층형 메모리 소자의 제조 방법을 구현할 수 있다.
- [47] 일례에 따르면, 상기 적층형 메모리 소자는 수평 적층형 디램(DRAM) 소자를 포함하여 구성될 수 있다.
- [48] 그러나, 본 발명의 효과는 상기 효과들로 한정되는 것은 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

도면의 간단한 설명

- [49] 도 1a 내지 도 26a는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다.
- [50] 도 1b 내지 도 26b는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 도면이다.
- [51] 도 1c 내지 도 19c는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다.
- [52] 도 26a 및 도 26b는 본 발명의 일 실시예에 따른 메모리 소자를 설명하기 위한 도면이다.
- [53] 도 27a, 도 28a, 도 29a, 도 30a, 도 31a, 도 32a, 도 33a, 도 34a, 도 35a, 도 36a, 도 37a, 도 38a, 도 39a, 도 40a, 도 41a, 도 42a, 도 43a, 도 44a, 도 45a, 도 46a, 도 47a, 도 48a, 도 49a, 도 50a, 도 51a, 도 52a, 도 53a, 도 54a 및 도 55a는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다.
- [54] 도 27b, 도 28b, 도 29b, 도 30b, 도 31b, 도 32b, 도 33b, 도 34b, 도 35b, 도 36b, 도 37b, 도 38b, 도 39b, 도 40b, 도 41b, 도 42b, 도 43b, 도 44b, 도 45b, 도 46b, 도 47b,

도 48b, 도 49b, 도 50b, 도 51b, 도 52b, 도 53b, 도 54b 및 도 55b는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 도면이다.

[55] 도 27c, 도 28c, 도 29c, 도 30c, 도 31c, 도 32c, 도 33c, 도 34c, 도 35c, 도 36c, 도 37c 및 도 38c는 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다.

[56] 도 55a 및 도 55b는 본 발명의 일 실시예에 따른 메모리 소자를 설명하기 위한 도면이다.

발명의 실시를 위한 최선의 형태

[57] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

[58] 이하에서 설명할 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 명확하게 설명하기 위하여 제공되는 것이고, 본 발명의 범위가 하기 실시예에 의해 한정되는 것은 아니며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있다.

[59] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 단수 형태의 용어는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이라는 용어는 언급한 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재 또는 부가를 배제하는 것이 아니다. 또한, 본 명세서에서 사용된 "연결"이라는 용어는 어떤 부재들이 직접적으로 연결된 것을 의미할 뿐만 아니라, 부재들 사이에 다른 부재가 더 개재되어 간접적으로 연결된 것까지 포함하는 개념이다.

[60] 또한, 본 명세서의 기재에서 "제1" 및 "제2", "상부(upper or top)" 및 "하부(lower or bottom)"와 같은 기재는 부재를 구분하기 위한 것이며, 부재 자체를 한정하거나 특정한 순서를 의미하는 것으로 사용된 것은 아니고, 상대적인 위치 관계를 의미하는 것이지 그 부재에 직접 접촉하거나 또는 사이 계면에 다른 부재가 더 도입되는 특정한 경우를 제한하는 것은 아니다. 구성 요소들 간의 관계를 설명하는 다른 표현들에서도 마찬가지로의 해석이 적용될 수 있다.

[61] 아울러, 본원 명세서에서 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 본 명세서에서 사용된 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본원 명세서에서 사용되는 "약", "실질적으로" 등의 정도의 용어는 고유한 제조 및 물질 허용 오차를 감안하여, 그 수치나 정도의 범주 또는 이에 근접한 의미로 사용되고,

본원의 이해를 돕기 위해 제공된 정확하거나 절대적인 수치가 언급된 개시 내용을 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

- [62] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 첨부된 도면에 도시된 영역이나 파트들의 사이즈나 두께는 명세서의 명확성 및 설명의 편의성을 위해 다소 과장되어 있을 수 있다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [63] 도 1a 내지 도 26b는 본 발명의 일 실시예에 따른 메모리 소자(적층형 메모리 소자)의 제조 방법을 예시적으로 설명하기 위한 도면이다.
- [64] 도 1a 내지 도 26b에서 동일한 도면 번호(예를 들어, 도 1a, 도 1b, 도 1c에서의 도 1)는 동일한 단계를 나타낸다. 도 1a, 도 2a, 도 3a, 도 4a, 도 5a, 도 6a, 도 7a, 도 8a, 도 9a, 도 10a, 도 11a, 도 12a, 도 13a, 도 14a, 도 15a, 도 16a, 도 17a, 도 18a, 도 19a, 도 20a, 도 21a, 도 22a, 도 23a, 도 24a, 도 25a, 도 26a는 XZ 평면으로 절단한 단면도이다. 도 1b, 도 2b, 도 3b, 도 4b, 도 5b, 도 6b, 도 7b, 도 8b, 도 9b, 도 10b, 도 11b, 도 12b, 도 13b, 도 14b, 도 15b, 도 16b, 도 17b, 도 18b, 도 19b, 도 20b, 도 21b, 도 22b, 도 23b, 도 24b, 도 25b, 도 26b는 상부에서 바라본 평면도(즉, top-view)이거나 XY 평면으로 절단한 단면도(즉, Z-cut view)이다. 도 1c, 도 2c, 도 3c, 도 4c, 도 5c, 도 6c, 도 7c, 도 8c, 도 9c, 도 10c, 도 11c, 도 12c, 도 13c, 도 14c, 도 15c, 도 16c, 도 17c, 도 18c, 도 19c는 YZ 평면으로 절단한 단면도이다.
- [65] 도 1a 내지 도 1c를 참조하면, 소정의 기판(미도시) 상에 적층체(S10)를 형성할 수 있다. 상기 기판의 물질은 다양한 물질 중에서 선택될 수 있다. 상기 기판은 반도체 물질 또는 절연 물질을 포함하여 이루어질 수 있다. 상기 기판은 반도체 웨이퍼(wafer)를 포함할 수 있다. 상기 기판은 벌크 실리콘 기판(bulk silicon substrate), 실리콘-온-인슐레이터(silicon-on-insulator)(SOI) 기판, 게르마늄(germanium) 기판, 게르마늄-온-인슐레이터(germanium-on-insulator)(GOI) 기판, 실리콘-게르마늄 기판 또는 에피택셜 성장(epitaxial growth) 공정으로 형성된 기판을 포함할 수도 있다.
- [66] 상기 기판 상에 적층체(S10)를 형성할 수 있다. 적층체(S10)는 제 1 절연층(NL10)과 제 1 절연층(NL10) 상에 순차로 적층된 제 1 희생층(SL10) 및 제 2 절연층(NL20)을 포함할 수 있다. 제 1 절연층(NL10)과 제 2 절연층(NL20)은, 비제한적인 예로서, 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 제 1 희생층(SL10)은, 비제한적인 예로서, 실리콘 산화물(ex, SiO_2)을 포함하거나 실리콘 산화물(ex, SiO_2)로 형성될 수 있다. 제 1 절연층(NL10)과 제 1 희생층(SL10)은 식각 선택비를 가질 수 있고, 이와 유사하게, 제 2 절연층(NL20)과 제 1 희생층(SL10)은 식각 선택비를 가질 수 있다. 제 1 절연층(NL10), 제 1 희생층(SL10) 및 제 2 절연층(NL20)은 증착 공정으로 형성될 수 있다.
- [67] 또한, 일 실시예에 따르면, 적층체(S10)는 제 2 절연층(NL20) 상에 순차로 적층된 제 2 희생층(SL20) 및 제 3 절연층(NL30)을 더 포함할 수 있다. 이 경우, 적층체(S10)는 제 2 절연층(NL20)을 기준으로 상하 대칭적인 구조를 가질 수 있다. 제 2

희생층(SL20)은 제 1 희생층(SL10)과 동일한 물질로 형성될 수 있고, 제 3 절연층(NL30)은 제 1 절연층(NL10) 및/또는 제 2 절연층(NL20)과 동일한 물질로 형성될 수 있다. 제 2 희생층(SL20) 및 제 3 절연층(NL30)은 증착 공정으로 형성될 수 있다.

- [68] 제 2 절연층(NL20)은 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20) 각각의 두께 보다 큰 두께를 가질 수 있다. 예를 들어, 제 2 절연층(NL20)은 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20) 각각의 두께 보다 약 1.5배 내지 2.5배 정도 큰 두께를 가질 수 있다. 제 2 절연층(NL20)을 상대적으로 두껍게 형성함으로써, 추후에 형성될 상하부 셀(cell) 간의 간격을 확보할 수 있다. 제 1 절연층(NL10)과 제 3 절연층(NL30)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다. 제 1 희생층(SL10)과 제 2 희생층(SL20)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다. 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다.
- [69] 도 2a 내지 도 2c를 참조하면, 상기 적층체(도 1a의 S10)를 패터닝하여 적어도 하나의 패턴부(SP1)를 갖는 패턴화된 적층체(S11)를 형성할 수 있다. 패턴부(SP1)는 제 1 방향, 예컨대, X축 방향으로 연장된 형태를 가질 수 있고, 상기 제 1 방향과 수직한 제 2 방향, 예컨대, Y축 방향에 따른 패턴부(SP1)의 양측에 빈공간이 구비될 수 있다. 복수의 패턴부(SP1)가 Y축 방향으로 이격하여 X축 방향으로 상호 나란하게 배치될 수 있다. 본 단계에서 추후에 형성될 채널 영역으로부터 연장된 영역을 제외한 나머지 영역들을 패터닝 방식으로 제거할 수 있다.
- [70] 패턴부(SP1)는 패터닝된 제 1 절연층(NL11), 패터닝된 제 1 희생층(SL11), 패터닝된 제 2 절연층(NL21), 패터닝된 제 2 희생층(SL21) 및 패터닝된 제 3 절연층(NL31)을 포함할 수 있다. 여기서, 패터닝된 제 1 희생층(SL11)은 상기 제 1 희생층(도 1a의 SL10)으로부터 얻어진 제 1 희생층 패턴(SL11)이라고 할 수 있다. 또한, 패터닝된 제 2 희생층(SL21)은 상기 제 2 희생층(도 1a의 SL20)으로부터 얻어진 제 2 희생층 패턴(SL21)이라고 할 수 있다. 복수의 제 1 희생층 패턴(SL11)이 Y축 방향으로 상호 이격하여 X축 방향으로 상호 나란히 연장될 수 있고, 이와 유사하게, 복수의 제 2 희생층 패턴(SL21)이 Y축 방향으로 상호 이격하여 X축 방향으로 상호 나란히 연장될 수 있다. 복수의 제 1 희생층 패턴(SL11) 및 복수의 제 2 희생층 패턴(SL21) 각각은 라인(line) 형상을 가질 수 있다.
- [71] 도 2a 내지 도 2c의 패터닝 공정을 위해, 적층체(도 1a의 S10) 상에 배치된 제 1 마스크 패턴(M10)이 사용될 수 있다. 제 1 마스크 패턴(M10)은 소정의 패턴 구조를 가질 수 있다. 제 1 마스크 패턴(M10)은, 예컨대, 포토레지스트 패턴(photoresist pattern)일 수 있다. 상기 패터닝 공정 후, 제 1 마스크 패턴(M10)은 제거될 수 있다.
- [72] 도 3a 내지 도 3c를 참조하면, 적어도 하나의 패턴부(SP1)의 양측의 빈공간에 절연 물질(NM1)을 충전(filling)하여 상기 패턴화된 적층체(도 2a의 S11)와 절연 물

질(NM1)을 포함하는 구조체(S20)를 형성할 수 있다. 여기서, 도 3b는 도 3a의 (A)선에 따른 단면도일 수 있다.

- [73] 절연 물질(NM1)은 '절연 물질층' 또는 '절연 물질층 패턴'이라고 할 수 있고, 패턴부(SP1)와 동일한(혹은, 실질적으로 동일한) 높이를 가질 수 있다. 절연 물질(NM1)은 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 동일한 물질로 형성될 수 있다. 예를 들어, 절연 물질(NM1)은 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 따라서, 제 1 물질로 형성된 매트릭스 물질층 내에 이와 식각 선택비를 갖는 제 2 물질로 형성된 복수의 제 1 희생층 패턴(SL11) 및 복수의 제 2 희생층 패턴(SL21)이 배치되었다고 할 수 있다.
- [74] 도 4a 내지 도 4c를 참조하면, 구조체(S20)에 패턴부(SP1)의 제 1 희생층 패턴(SL11)을 관통하는 제 1 수직홀(H10)을 형성할 수 있다. 제 1 수직홀(H10)은 제 2 희생층 패턴(S21) 및 제 1 희생층 패턴(S11)을 관통하도록 형성될 수 있다. 제 1 수직홀(H10)은 구조체(S20)의 소정 영역에서 패턴부(SP1)의 제 3 절연층(NL31)부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있다. 제 1 수직홀(H10)은 추후에 비트 라인이 형성될 영역에 대응될 수 있다. 제 1 수직홀(H10)은 구조체(S20)에서 트랜지스터가 형성될 영역, 즉, 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에 형성될 수 있다. 복수의 제 1 수직홀(H10)이 Y축 방향으로 상호 이격하여 형성될 수 있다. 제 1 수직홀(H10)의 형성에 따라, 제 1 희생층 패턴(S11) 및 제 2 희생층 패턴(S21)의 측면들이 노출될 수 있다.
- [75] 제 1 수직홀(H10)의 형성을 위해, 제 2 마스크 패턴(M20)이 사용될 수 있다. 제 2 마스크 패턴(M20)은 소정의 개구 패턴을 가질 수 있다. 제 2 마스크 패턴(M20)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 1 수직홀(H10)의 형성 후, 제 2 마스크 패턴(M20)은 제거될 수 있다.
- [76] 도 5a 내지 도 5c를 참조하면, 제 1 수직홀(H10)에 의해 노출된 상기 제 1 희생층 패턴(도 4a의 SL11) 및 제 2 희생층 패턴(도 4a의 SL21)을 제거하여 상기 제 1 방향, 예컨대, X축 방향으로 연장된 수평홀(H15)을 형성할 수 있다. 상기 제 1 희생층 패턴(도 4a의 SL11) 및 제 2 희생층 패턴(도 4a의 SL21)에 식각 선택성을 갖는 습식 에천트(wet etchant)를 이용한 습식 식각 공정을 이용해서, 상기 제 1 희생층 패턴(도 4a의 SL11) 및 제 2 희생층 패턴(도 4a의 SL21)을 선택적으로 제거할 수 있다. 상기 제 1 희생층 패턴(도 4a의 SL11)의 제거에 의해 형성된 수평홀(H15)은 제 1 수평홀이라고 지칭할 수 있고, 상기 제 2 희생층 패턴(도 4a의 SL21)의 제거에 의해 형성된 수평홀(H15)은 제 2 수평홀이라고 지칭할 수 있다. 수평홀(H15)은 X축 방향으로 연장된 라인 형태를 가질 수 있다.
- [77] 일 실시예에 따르면, 수평홀(H15)을 형성하는 단계에서 상기 제 1 희생층 패턴(도 4a의 SL11) 전체를 제거할 수 있다. 또한, 수평홀(H15)을 형성하는 단계에서 상기 제 2 희생층 패턴(도 4a의 SL21) 전체를 제거할 수 있다. 따라서, 수평홀(H15)은 트랜지스터가 형성될 영역(즉, 트랜지스터 형성 영역) 뿐만 아니라 커패시터가 형성될 영역(즉, 커패시터 형성 영역)까지 연장되도록 형성될 수 있다. 본

단계에서 상기 제 1 희생층 패턴(도 4a의 SL11) 전체 및 상기 제 2 희생층 패턴(도 4a의 SL21) 전체를 제거하는 경우, 이와 관련해서, 공정이 단순화되는 효과를 얻을 수 있다.

- [78] 도 6a 내지 도 6c를 참조하면, 제 1 수직홀(H10) 및 수평홀(H15)의 내측면에 게이트 절연 물질층(GN1)을 형성할 수 있다. 게이트 절연 물질층(GN1)은 제 1 수직홀(H10) 및 수평홀(H15)의 상기 내측면의 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 게이트 절연 물질층(GN1)은, 예를 들어, ALD(atomic layer deposition) 공정으로 형성될 수 있다. 게이트 절연 물질층(GN1)은 실리콘 산화물, 실리콘 질화물, 실리콘 질산화물 및 고유전(high-k) 물질 중 적어도 하나를 포함하도록 형성될 수 있다. 여기서, 상기 고유전(high-k) 물질은 실리콘 질화물 보다 높은 유전 상수를 갖는 물질일 수 있다. 게이트 절연 물질층(GN1)의 구체적인 물질은 상술한 바에 한정되지 않고, 다양하게 변화될 수 있다. 게이트 절연 물질층(GN1)은 제 1 수직홀(H10) 및 수평홀(H15)의 내부를 충전하지 않는 얇은 두께로 형성될 수 있다. 도 6a 내지 도 6c의 단계에서, 건식 식각에 의한 패터닝 공정 없이 게이트 절연 물질층(GN1)을 형성할 수 있기 때문에, 게이트 절연 물질층(GN1)에 대한 식각 손상 및 특성 열화 문제를 방지 내지 억제하는 효과를 얻을 수 있다.
- [79] 도 7a 내지 도 7c를 참조하면, 게이트 절연 물질층(GN1) 상에 제 1 수직홀(H10) 및 수평홀(H15)을 충전하는 채널 물질층(CM1)을 형성할 수 있다. 채널 물질층(CM1)은, 예를 들어, ALD 공정으로 형성될 수 있다. 채널 물질층(CM1)은 다양한 반도체 물질 중 적어도 하나를 포함할 수 있다. 채널 물질층(CM1)은 산화물 반도체나 비산화물 반도체를 포함할 수 있다. 상기 산화물 반도체는 비정질 산화물 반도체(amorphous oxide semiconductor)(AOS)를 포함할 수 있다. 상기 산화물 반도체는, 예를 들어, IGZO(indium gallium zinc oxide), ZTO(zinc tin oxide), ITO(indium tin oxide) 등으로 구성된 그룹에서 선택된 적어도 하나를 포함할 수 있다. 그러나, 채널 물질층(CM1)의 구체적인 물질은 상기한 바에 한정되지 않고, 다양하게 변화될 수 있다. 채널 물질층(CM1)은 단일층이거나 다중층일 수 있다.
- [80] 채널 물질층(CM1)을 상기 산화물 반도체로 형성할 경우, 높은 이동도(mobility) 특성 및 낮은 오프-커런트(Off-current) 특성 확보 등의 효과를 얻을 수 있다. 그런데, 산화물 반도체는 식각 손상(etching damage)에 취약한 단점을 갖기 때문에, 일반적인 반도체 소자의 제조 공정에서는 패터닝 과정 등에 의해 산화물 반도체에 식각 손상이 발생하여 반도체 소자의 특성이 열화되고 불안정해지는 문제가 발생하게 된다. 특히, 산화물 반도체는 건식 식각(dry etching)에 대하여 취약할 수 있다. 그러나, 본 발명의 실시예에서는 희생층 패턴(도 3a의 SL11, SL21)을 이용해서 패턴화된 수평홀(H15)을 형성한 다음에, 패턴화된 수평홀(H15) 내에 채널 물질을 채워 넣는 방식으로 채널 물질층(CM1)을 형성하기 때문에, 건식 식각 등에 의한 패터닝 공정 없이 채널 물질층(CM1)을 형성할 수 있다. 따라서, 채널 물질층(CM1)에 산화물 반도체를 적용하더라도, 건식 식각/패터닝에 의한 식각 손

상을 방지 내지 억제할 수 있고, 결과적으로, 우수한 특성을 갖는 메모리 소자를 구현할 수 있다.

- [81] 또한, 앞서 도 6a 내지 도 6c를 참조하여 설명한 게이트 절연 물질층(GN1)의 형성 과정에서, 건식 식각에 의한 패터닝 공정 없이 게이트 절연 물질층(GN1)을 형성할 수 있기 때문에, 게이트 절연 물질층(GN1)에 대한 식각 손상 및 특성 열화 문제도 방지 내지 억제하는 효과를 얻을 수 있다.
- [82] 도 8a 내지 도 8c를 참조하면, 게이트 절연 물질층(GN1) 및 채널 물질층(CM1)이 형성된 구조체(S20)에서 상기 제 1 수직홀(도 7a의 H10)에 대응하는 영역에 제 2 수직홀(H20)을 형성할 수 있다. 제 2 수직홀(H20)은 제 3 절연층(NL31)으로부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있다.
- [83] 제 2 수직홀(H20)의 형성을 위해, 제 3 마스크 패턴(M30)이 사용될 수 있다. 제 3 마스크 패턴(M30)은 소정의 개구 패턴을 가질 수 있다. 제 3 마스크 패턴(M30)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 2 수직홀(H20)의 형성 후, 제 3 마스크 패턴(M30)은 제거될 수 있다.
- [84] 도 9a 내지 도 9c를 참조하면, 구조체(S20)의 제 2 수직홀(H20) 주위의 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에서 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 절연 물질(NM1)을 제거하여 게이트 절연 물질층(GN1)을 노출시킬 수 있다. 이때, 상기 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에 인접한 커패시터 형성 영역(커패시터 형성 예정 영역) 상에는 제 4 마스크 패턴(M40)을 형성할 수 있고, 제 4 마스크 패턴(M40)은 상기 트랜지스터 형성 영역을 노출시키도록 형성될 수 있다. 제 4 마스크 패턴(M40)을 식각 마스크로 이용해서 상기 트랜지스터 형성 영역에서 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 절연 물질(NM1)을 식각하여 제거할 수 있다. 이후, 제 4 마스크 패턴(M40)은 제거될 수 있다. 도 9c는 도 9a의 (B)선에 따른 단면도일 수 있다.
- [85] 그런 다음, 도 10a 내지 도 15c에 예시된 바와 같은 방법을 이용해서, 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 둘러싸는 워드 라인(도 15a의 WL1)을 형성하여 이를 포함하는 트랜지스터를 정의할 수 있다.
- [86] 도 10a 내지 도 10c를 참조하면, 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 둘러싸는 워드 라인용 물질층(WM1)을 형성할 수 있다. 워드 라인용 물질층(WM1)은 상기 트랜지스터 형성 영역에서 노출된 표면 영역들의 형상을 따라서 대체로 컨포멀하게(conformally) 형성될 수 있다. 워드 라인용 물질층(WM1)은, 예를 들어, ALD 공정으로 형성될 수 있다. 이때, 도 10a 및 도 10c에 도시된 바와 같이, 하부/상부의 채널 물질층(CM1) 사이의 Z축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 클 수 있다. 또한, 하부/상부의 게이트 절연 물질층(GN1) 사이의 Z축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 클 수 있다. 한편, 도 10b에 도시된 바와 같이, Y축 방향으로 이격된 두 개의 채널 물질층(CM1) 사이의 Y축 방향으로

의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 작을 수 있다. 또한, Y축 방향으로 이격된 두 개의 게이트 절연 물질층(GN1) 사이의 Y축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 작을 수 있다.

- [87] 워드 라인용 물질층(WM1)은 상기 트랜지스터 형성 영역에서 각각의 채널 물질층(CM1)을 둘러싸도록 형성될 수 있다. 또한, 워드 라인용 물질층(WM1)은 Y축 방향으로 연장된 라인 형태를 가질 수 있다.
- [88] 도 11a 내지 도 11c를 참조하면, 워드 라인용 물질층(WM1)에서 상기 제 2 수직 홀(도 8a의 H20)에 대응하는 영역을 식각하여 관통홀(H25)을 형성할 수 있다. 관통홀(H25)은 수직한 홀일 수 있다. 관통홀(H25)의 형성을 위해, 제 5 마스크 패턴(M50)이 사용될 수 있다. 제 5 마스크 패턴(M50)은 소정의 개구 패턴을 가질 수 있다. 제 5 마스크 패턴(M50)은, 예컨대, 포토레지스트 패턴일 수 있다.
- [89] 다음으로, 워드 라인용 물질층(WM1)의 굴곡부(굴절부)의 빈공간을 채우는 충전 절연층(NF1)을 형성할 수 있다. 충전 절연층(NF1)은 일종의 갭필(gap fill) 물질층일 수 있다. 충전 절연층(NF1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다. 그런 다음, 다시 홀(hole) 에칭을 통해서 관통홀(H25)을 형성할 수 있다.
- [90] 그리고 나서, 채널 물질층(CM1)의 일단이 워드 라인용 물질층(WM1) 보다 관통홀(H25) 쪽으로 돌출되도록 관통홀(H25)을 통해 노출된 워드 라인용 물질층(WM1)의 일부를 리세스(recess)할 수 있다. 따라서, 관통홀(H25) 주위에서 워드 라인용 물질층(WM1)의 일부가 식각되고, Y축 방향으로 연장된 트렌치 구조가 형성될 수 있다. 상기 트렌치 구조 내에 관통홀(H25)이 포함된 것으로 볼 수 있다.
- [91] 도 12a 내지 도 12c를 참조하면, 관통홀(H25) 및 그 주위의 상기 트렌치 구조를 충전하는 바디 절연층(BN1)을 형성할 수 있다. 바디 절연층(BN1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다. 바디 절연층(BN1)은 충전 절연층(NF1)과 동일한 물질로 형성되거나 다른 물질로 형성될 수도 있다.
- [92] 도 13a 내지 도 13c를 참조하면, 구조체(S20)의 상기 트랜지스터 형성 영역과 인접한 상기 커패시터 형성 영역에 제 1 트렌치(T10)를 형성할 수 있다. 제 1 트렌치(T10)는 워드 라인용 물질층(WM1)과 이격하여 배치될 수 있고, 제 3 절연층(NL31)으로부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있으며, Y축 방향으로 연장된 형태를 가질 수 있다.
- [93] 제 1 트렌치(T10)의 형성을 위해, 제 6 마스크 패턴(M60)이 사용될 수 있다. 제 6 마스크 패턴(M60)은 소정의 개구 영역을 가질 수 있다. 제 6 마스크 패턴(M60)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 1 트렌치(T10)의 형성 후, 제 6 마스크 패턴(M60)은 제거될 수 있다.
- [94] 도 14a 내지 도 14c를 참조하면, 상기 커패시터 형성 영역에서 제 1 트렌치(T10)에 의해 노출된 상기 제 1 내지 제 3 절연층(도 13a의 NL11, NL21, NL31)과 상기 절연 물질(도 13b의 NM1)을 제거(식각)하여 게이트 절연 물질층(GN1)을 노출시키는 제 1 리세스부(R1)를 형성할 수 있다. 상기 제 1 내지 제 3 절연층(도 13a의

- NL11, NL21, NL31)과 상기 절연 물질(도 13b의 NM1)은 동일한 물질일 수 있으므로, 식각 선택성을 갖는 식각 방식을 이용해서 이들을 용이하게 제거할 수 있다.
- [95] 도 15a 내지 도 15c를 참조하면, 상기 커패시터 형성 영역에 제 1 리세스부(R1)를 형성한 후, 제 1 리세스부(R1)에 의해 노출된 워드 라인용 물질층(도 14a의 WM1)의 일부를 리세스할 수 있다. 다시 말해, 상기 커패시터 형성 영역 쪽으로 노출된 워드 라인용 물질층(도 14a의 WM1)의 일부를 리세스할 수 있다. 그 결과, 하부의 채널 물질층(CM1)을 감싸는 워드 라인용 물질층 부분과 상부의 채널 물질층(CM1)을 감싸는 워드 라인용 물질층 부분이 상호 분리될 수 있다. 여기서, 분리된 상기 워드 라인용 물질층 부분을 워드 라인(WL1)이라고 지칭할 수 있다.
- [96] 도 10a 내지 도 15c를 참조하여 워드 라인(WL1)의 형성 방법 등을 구체적으로 설명하였지만, 이는 예시적인 것에 불과하고, 워드 라인(WL1)의 형성 방법 등은 경우에 따라 다양하게 변화될 수 있다.
- [97] 도 16a 내지 도 16c를 참조하면, 상기 커패시터 형성 영역에 제 1 리세스부(R1)를 형성한 후, 상기 커패시터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 감싸는 삽입 절연층(NN1)을 형성할 수 있다. 삽입 절연층(NN1)은 제 1 리세스부(R1)에 노출된 표면 영역에 컨포멀하게(conformally) 형성될 수 있다. 삽입 절연층(NN1)은 상기 커패시터 형성 영역에 노출된 게이트 절연 물질층(GN1), 채널 물질층(CM1) 및 워드 라인(WL1) 등의 표면을 덮도록 형성될 수 있다. 삽입 절연층(NN1)은, 예컨대, ALD 공정으로 형성될 수 있다. 삽입 절연층(NN1)의 두께는 수십 nm 이하로 얇을 수 있다. 삽입 절연층(NN1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다.
- [98] 도 17a 내지 도 17c를 참조하면, 제 1 리세스부(R1)를 충전하는 몰드 절연층(MN1)을 형성할 수 있다. 몰드 절연층(MN1)은 삽입 절연층(NN1) 상에 제 1 리세스부(R1) 및 제 1 트렌치(T10)를 충전하도록 형성될 수 있다. 몰드 절연층(MN1)은, 예를 들어, 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 몰드 절연층(MN1)의 형성시, 몰드 절연층(MN1)용 절연체의 증착 후 그 상면 및 주변 영역에 대한 평탄화 공정을 더 수행할 수 있다.
- [99] 도 18a 내지 도 18c를 참조하면, 바디 절연층(BN1)의 상기 제 2 수직홀(도 8a의 H20)에 대응하는 영역에 제 3 수직홀(H30)을 형성할 수 있다. 제 3 수직홀(H30)의 형성을 위해, 제 7 마스크 패턴(M70)이 사용될 수 있다. 제 7 마스크 패턴(M70)은 소정의 개구 패턴을 가질 수 있다. 제 7 마스크 패턴(M70)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 3 수직홀(H30)의 형성 후, 제 7 마스크 패턴(M70)은 제거될 수 있다. 도 18c는 도 18a의 (C)선에 따른 단면 영역에서 바라본 단면도일 수 있다.
- [100] 도 19a 내지 도 19c를 참조하면, 제 3 수직홀(H30) 내에 비트 라인(BL1)을 형성할 수 있다. 비트 라인(BL1)은 채널 물질층(CM1)의 일단에 연결(접촉)될 수 있다. 따라서, 비트 라인(BL1)은 상기 트랜지스터 형성 영역에서 상기 제 2 수직홀(도 8a의 H20)에 대응하는 영역에 채널 물질층(CM1)의 일단에 연결(접촉)되도록 형

성될 수 있다. 비트 라인(BL1)은 구조체(S20)를 수직 방향으로 관통하는 기둥 형상을 가질 수 있다. 비트 라인(BL1)은 측방향으로 채널 물질층(CM1)의 일단에 전기적으로 접속될 수 있다. 복수의 채널 물질층(CM1)에 연결된 복수의 비트 라인(BL1)이 형성될 수 있다.

- [101] 도시하지는 않았지만, 제 3 수직홀(H30)의 위쪽에 증착되어 있는 비트 라인(BL1)의 도전 물질이 있는 경우, 예를 들어, 에치백(etchback) 공정을 통해 이를 제거할 수 있다.
- [102] 도 20a 및 도 20b를 참조하면, 몰드 절연층(MN1)에서 상기 제 1 트렌치(도 13a의 T10)에 대응하는 영역에 제 2 트렌치(T20)를 형성할 수 있다. 몰드 절연층(MN1)의 일부 및 삽입 절연층(NN1)의 일부를 식각하여 제 2 트렌치(T20)를 형성할 수 있다. 따라서, 게이트 절연 물질층(GN1)의 단부와 채널 물질층(CM1)의 단부가 제 2 트렌치(T20) 측으로 노출될 수 있다. 제 2 트렌치(T20)는 Y축 방향으로 연장된 라인 형상을 가질 수 있다.
- [103] 제 2 트렌치(T20)의 형성을 위해, 제 8 마스크 패턴(M80)이 사용될 수 있다. 제 8 마스크 패턴(M80)은 소정의 개구 영역을 가질 수 있다. 제 8 마스크 패턴(M80)은, 에천대, 포토레지스트 패턴일 수 있다. 제 2 트렌치(T20)의 형성 후, 제 8 마스크 패턴(M80)은 제거될 수 있다.
- [104] 도 21a 및 도 21b를 참조하면, 제 2 트렌치(T20)에 의해 노출된 채널 물질층(CM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)을 식각하여 제 2 리세스부(R2)를 형성할 수 있다. 제 2 트렌치(T20)를 통해서 소정의 습식 에천트(wet etchant), 즉, 습식 식각 용액을 투입하여 채널 물질층(CM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)을 식각할 수 있다. 이때, 하나 이상의 습식 에천트가 사용될 수 있다. 제 2 리세스부(R2)는 워드 라인(WL1)과 다소 이격된 영역까지 형성될 수 있다. 식각 공정의 조건을 조절하여 채널 물질층(CM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)의 식각 범위를 제어할 수 있다.
- [105] 앞서 도 16a의 단계에서 삽입 절연층(NN1)을 먼저 형성한 후, 도 21a의 단계에서 삽입 절연층(NN1)을 제거할 경우, 제 2 리세스부(R2)는 잔류된 게이트 절연 물질층(GN1) 보다 큰 폭을 갖도록 형성될 수 있다. 따라서, 제 2 리세스부(R2)의 Z축 방향으로의 폭은 잔류된 게이트 절연 물질층(GN1)의 Z축 방향으로의 폭 보다 클 수 있다. 또한, 제 2 리세스부(R2)의 Y축 방향으로의 폭은 잔류된 게이트 절연 물질층(GN1)의 Y축 방향으로의 폭 보다 클 수 있다. 결과적으로, 후속하는 공정에서 커패시터를 형성하기 위한 공정 마진이 증가할 수 있다. 공정 마진 확보 등을 위해서는, 삽입 절연층(NN1)을 형성하는 것이 바람직할 수 있다. 그러나, 상기한 삽입 절연층(NN1)의 형성은 선택적인(optional) 것일 수 있고, 경우에 따라, 생략할 수도 있다.
- [106] 한편, 도 21a의 단계에서는 상기 커패시터 형성 영역에서 습식 식각 공정을 이용하여 채널 물질층(CM1) 부분을 식각하여 제거할 수 있으므로, 이러한 습식 식

각은 채널 물질층(CM1)에 식각 손상을 거의 유발하지 않거나 상당히 제한된 수준으로 유발할 수 있다.

- [107] 도 22a 및 도 22b를 참조하면, 상기 제 2 리세스부(도 21a의 R2)의 내측면에 채널 물질층(CM1)의 타단과 연결된 전극 부재(EL1)를 형성할 수 있다. 전극 부재(EL1)는 커패시터용 전극층(제 1 전극층)이라고 할 수 있다. 전극 부재(EL1)는 몰드 절연층(MN1)의 표면 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 전극 부재(EL1)는, 예를 들어, ALD 공정으로 형성될 수 있다.
- [108] 도 23a 및 도 23b를 참조하면, 상기 커패시터 형성 영역에서 상기 제 2 트렌치(도 20a의 T20)에 대응하는 영역에 제 3 트렌치(T30)를 형성할 수 있다. 전극 부재(EL1)의 일부를 식각하여 제 3 트렌치(T30)를 형성할 수 있다. 제 3 트렌치(T30)는 Y축 방향으로 연장된 라인 형상을 가질 수 있다. 이러한 과정을 통해서 전극 부재(EL1)는 개별 커패시터 영역으로 분리될 수 있다. 다시 말해, 전극 부재(EL1)는 단위 셀 영역으로 분리될 수 있다.
- [109] 제 3 트렌치(T30)의 형성을 위해, 제 9 마스크 패턴(M90)이 사용될 수 있다. 제 9 마스크 패턴(M90)은 소정의 개구 영역을 가질 수 있다. 제 9 마스크 패턴(M90)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 3 트렌치(T30)의 형성 후, 제 9 마스크 패턴(M90)은 제거될 수 있다.
- [110] 도 24a 및 도 24b를 참조하면, 전극 부재(EL1)를 형성한 후, 상기 몰드 절연층(도 23a의 MN1)을 식각하여 전극 부재(EL1)의 외측면을 노출시킬 수 있다. 이때, 상기 몰드 절연층(도 23a의 MN1)의 식각 범위는 적절히 조절될 수 있다. 상기 식각 범위를 조절하는 방법으로 제 9 마스크 패턴(도 23a의 M90)의 적어도 일부를 임시로 유지시키거나, 별도의 하드 마스크(미도시) 등을 사용할 수도 있다. 필요에 따라, 삽입 절연층(NN1)에 인접한 상기 몰드 절연층(도 23a의 MN1)의 일부는 식각하지 않고 잔류시킬 수 있다. 그러나, 경우에 따라, 본 단계에서 상기 몰드 절연층(도 23a의 MN1)을 모두 제거하여 삽입 절연층(NN1)을 노출시킬 수도 있다.
- [111] 도 25a 및 도 25b를 참조하면, 상기 커패시터 형성 영역에서 전극 부재(EL1) 상에 유전층(DL1)을 형성할 수 있다. 유전층(DL1)은 커패시터용 유전층일 수 있다. 유전층(DL1)은 전극 부재(EL1)의 표면 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 유전층(DL1)은, 예를 들어, ALD 공정으로 형성(증착)될 수 있다. 유전층(DL1)은 다양한 유전 물질 중 적어도 하나를 포함하도록 형성될 수 있다. 예컨대, 유전층(DL1)은 실리콘 질화물 보다 유전 상수가 높은 고유전(high-k) 물질을 포함할 수 있다. 유전층(DL1)의 구체적인 물질은 다양하게 변화될 수 있다.
- [112] 도 26a 및 도 26b를 참조하면, 상기 커패시터 형성 영역에서 유전층(DL1) 상에 플레이트 전극(PL1)을 형성할 수 있다. 플레이트 전극(PL1)은 커패시터용 전극층(제 2 전극층)이라고 할 수 있다. 플레이트 전극(PL1)은 상기 제 3 트렌치(도 25a의 T30) 및 전극 부재(EL1)의 내부와 전극 부재(EL1)들 사이의 공간을 모두도록 형성될 수 있다. 플레이트 전극(PL1)은 반도체 소자 공정에서 사용하는 다양한 전극 물질 중 하나 이상을 포함하도록 형성될 수 있다. 플레이트 전극(PL1)은 일

종의 라인 형태를 가질 수 있다. 따라서, 플레이트 전극(PL1)은 플레이트 전극 라인이라고 할 수 있다. 전극 부재(EL1)와 유전층(DL1) 및 플레이트 전극(PL1)은 커패시터를 구성할 수 있다.

[113] 도 22a 내지 도 26b에서는 상기 커패시터의 형성 방법을 예시적으로 도시하고 설명하였지만, 경우에 따라, 상기 커패시터의 형성 방법 및 상기 커패시터의 구체적인 구조는 다양하게 변화될 수 있다.

[114] 도 26a의 소자 구조에서 하부의 채널 물질층(CM1)과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이의 게이트 절연 물질층(GN1) 등은 제 1 트랜지스터(TR1)를 구성한다고 할 수 있다. 또한, 제 1 트랜지스터(TR1)의 측방으로 제 1 트랜지스터(TR1)와 전기적으로 연결된 하부의 전극 부재(EL1) 및 이와 접하는 유전층(DL1) 및 플레이트 전극(PL1)은 제 1 커패시터(CP1)를 구성한다고 할 수 있다. 또한, 제 1 트랜지스터(TR1)와 제 1 커패시터(CP1)는 하나의 메모리 셀(하부 메모리 셀)을 구성한다고 할 수 있다. 제 1 트랜지스터(TR1)와 제 1 커패시터(CP1)는 수평 방향으로 배열될 수 있다.

[115] 또한, 상부의 채널 물질층(CM1)과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이의 게이트 절연 물질층(GN1) 등은 제 2 트랜지스터(TR2)를 구성한다고 할 수 있다. 또한, 제 2 트랜지스터(TR2)의 측방으로 제 2 트랜지스터(TR2)와 전기적으로 연결된 상부의 전극 부재(EL1) 및 이와 접하는 유전층(DL1) 및 플레이트 전극(PL1)은 제 2 커패시터(CP2)를 구성한다고 할 수 있다. 또한, 제 2 트랜지스터(TR2)와 제 2 커패시터(CP2)는 하나의 메모리 셀(상부 메모리 셀)을 구성한다고 할 수 있다. 제 2 트랜지스터(TR2)와 제 2 커패시터(CP2)는 수평 방향으로 배열될 수 있다. 제 2 트랜지스터(TR2)는 제 1 트랜지스터(TR1) 상에 배치될 수 있고, 제 2 커패시터(CP2)는 제 1 커패시터(CP1) 상에 배치될 수 있다.

[116] 도시하지는 않았지만, 도 26a 및 도 26b와 같은 소자 구조가 Z축 방향으로 반복적으로 배치될 수 있고, X축 방향으로 반복적으로 배치될 수 있으며, Y축 방향으로도 반복적으로 배치될 수 있다. 이러한 본 발명의 실시예들에 따르면, 집적도를 크게 향상시킬 수 있으면서 우수한 성능 및 동작 특성을 가질 수 있는 메모리 소자를 구현할 수 있다. 상기 메모리 소자는 수평 배열 및 적층형 구조를 갖는 GAA(gate-all-around) 타입의 적층형 메모리 소자일 수 있다. 또한, 본 발명의 일 실시예에 따른 메모리 소자는 수직형 디램(DRAM) 소자 또는 3차원 디램(DRAM) 소자일 수 있다.

[117] 이하에서는, 도 26a 및 도 26b를 참조하여 본 발명의 일 실시예에 따른 메모리 소자에 대해서 추가적으로 설명하도록 한다.

[118] 도 26a 및 도 26b를 참조하면, 본 발명의 일 실시예에 따른 메모리 소자는 수직 방향으로 적층된 복수의 메모리 셀을 포함할 수 있다. 상기 복수의 메모리 셀 각각은 트랜지스터 및 상기 트랜지스터의 측방으로 이와 전기적으로 연결된 커패시터를 포함할 수 있다. 상기 트랜지스터는 TR1 및 TR2에 해당할 수 있고, 상기 커패시터는 CP1 및 CP2에 해당할 수 있다. 상기 트랜지스터는 채널 물질층(CM1)

과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이에 배치된 게이트 절연층(GN1)을 포함할 수 있다. 상기 커패시터는 상기 트랜지스터와 전기적으로 연결된 전극 부재(EL1), 전극 부재(EL1)의 표면에 배치된 유전층(DL1) 및 유전층(DL1)의 표면에 배치된 플레이트 전극(PL1)을 포함할 수 있다.

- [119] 또한, 상기 메모리 소자는 상기 복수의 메모리 셀의 복수의 트랜지스터에 연결된 비트 라인(BL1)을 포함할 수 있다. 비트 라인(BL1)은 수직 방향으로 연장될 수 있다. 비트 라인(BL1)과 워드 라인(WL1) 사이에서 비트 라인(BL1)의 외측면의 적어도 일부를 둘러싸는 바디 절연층(BN1)이 배치될 수 있다. 상기 복수의 트랜지스터의 상호 인접한 두 개의 워드 라인(WL1) 사이에는 바디 절연층(BN1)과 별도의 물질층인 충전 절연층(NF1)이 배치될 수 있다.
- [120] 본 발명의 실시예에서 상기 트랜지스터는 GAA(gate-all-around) 구조를 가질 수 있다. 이와 관련해서, 상기 트랜지스터와 이를 포함하는 메모리 소자는 우수한 특성을 가질 수 있다.
- [121] 바디 절연층(BN1)은, 도 26b에 도시된 바와 같이 위에서 보았을 때, 워드 라인(WL1)과 동일한 방향으로 연장된 라인 형태를 가질 수 있다. 바디 절연층(BN1) 내에 복수의 비트 라인(BL1)이 수평 방향, 즉, 워드 라인(WL1)이 연장된 수평 방향으로 상호 이격하여 배치될 수 있다.
- [122] 부가해서, 상기 메모리 소자는 전극 부재(EL1)에 인접한 게이트 절연층(GN1)의 일부(단부)를 둘러싸면서 워드 라인(WL1)의 측면을 덮도록 연장된 삽입 절연층(NN1)을 더 포함할 수 있다. 삽입 절연층(NN1)은 바디 절연층(BN1) 및 충전 절연층(NF1)과 별도의 물질층일 수 있다. 삽입 절연층(NN1)은, 예컨대, ALD(atomic layer deposition) 물질층일 수 있다.
- [123] 일 실시예에 따르면, 충전 절연층(NF1)의 제 1 측면(제 1 단부)에 바디 절연층(BN1)이 접촉될 수 있고, 충전 절연층(NF1)의 제 2 측면(제 2 단부)에 삽입 절연층(NN1)이 접촉될 수 있다. 삽입 절연층(NN1)의 일부는 전극 부재(EL1)에 접촉될 수 있다.
- [124] 또한, 일 실시예에 따르면, 삽입 절연층(NN1)의 측면은 유전층(DL1)의 측면에 면상으로 접촉하지 않을 수 있다. 삽입 절연층(NN1)과 유전층(DL1) 사이에는 잔류된 몰드 절연층(도 23b의 MN1)이 배치될 수 있다. 워드 라인(WL1)과 유전층(DL1) 사이에 잔류된 몰드 절연층(도 23b의 MN1)이 배치될 수 있고, 몰드 절연층(도 23b의 MN1)과 워드 라인(WL1) 사이 및 몰드 절연층(도 23b의 MN1)과 게이트 절연층(GN1) 사이에 삽입 절연층(NN1)이 배치될 수 있다. 그러나, 이러한 구조에 한정되지 않고, 변형 가능할 수 있다.
- [125] 본 발명의 일 실시예에 따른 메모리 소자는 도 26a 및 도 26b에 도시된 바와 같은 구조적 특징들을 가질 수 있다. 예를 들어, 상기 메모리 소자는 적층형 구조를 가지면서 바디 절연층(BN1), 충전 절연층(NF1), 삽입 절연층(NN1) 및 이들의 주변부, 그리고, 트랜지스터 및 커패시터의 구조에서 특징들을 가질 수 있다.

- [126] 이 상에서 설명한 본 발명의 실시예들에 따르면, 집적도를 향상시킬 수 있으면서 우수한 성능 및 동작 특성을 가질 수 있는 적층형 메모리 소자를 구현할 수 있다. 특히, 본 발명의 실시예들에 따르면, 주어진 방식에 따라 희생층을 패터닝한 후, 상기 희생층의 패턴을 제거한 영역(공간)에 반도체 물질(예컨대, 산화물 반도체 물질)을 나중에 형성함으로써, 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상에 의한 특성 열화를 억제/방지할 수 있는 적층형 메모리 소자의 제조 방법을 구현할 수 있다. 일례에 따르면, 상기 적층형 메모리 소자는 디램(DRAM) 소자를 포함하여 구성될 수 있다. 그러나, 본 발명의 실시예들에 따른 소자 구조 및 제조 방법의 적어도 일부는 디램(DRAM) 소자뿐 아니라, 다른 메모리 소자(예컨대, PRAM, RRAM, SRAM, flash 메모리, MRAM, FRAM 등) 또는 논리 회로가 집적된 로직(logic) 소자를 구현하는 기술 분야 등에도 적용될 수 있다.
- [127] 도 27a 내지 도 55b는 본 발명의 일 실시예에 따른 메모리 소자(적층형 메모리 소자)의 제조 방법을 예시적으로 설명하기 위한 도면이다.
- [128] 도 27a 내지 도 55b에서 동일한 도면 번호(예를 들어, 도 27a, 도 27b, 도 27c에서의 도 1)는 동일한 단계를 나타낸다. 도 27a, 도 28a, 도 29a, 도 30a, 도 31a, 도 32a, 도 33a, 도 34a, 도 35a, 도 36a, 도 37a, 도 38a, 도 39a, 도 40a, 도 41a, 도 42a, 도 43a, 도 44a, 도 45a, 도 46a, 도 47a, 도 48a, 도 49a, 도 50a, 도 51a, 도 52a, 도 53a, 도 54a, 도 55a는 XZ 평면으로 절단한 단면도이다. 도 27b, 도 28b, 도 29b, 도 30b, 도 31b, 도 32b, 도 33b, 도 34b, 도 35b, 도 36b, 도 37b, 도 38b, 도 39b, 도 40b, 도 41b, 도 42b, 도 43b, 도 44b, 도 45b, 도 46b, 도 47b, 도 48b, 도 49b, 도 50b, 도 51b, 도 52b, 도 53b, 도 54b, 도 55b는 상부에서 바라본 평면도(즉, top-view)이거나 XY 평면으로 절단한 단면도(즉, Z-cut view)이다. 도 27c, 도 28c, 도 29c, 도 30c, 도 31c, 도 32c, 도 33c, 도 34c, 도 35c, 도 36c, 도 37c, 도 38c는 YZ 평면으로 절단한 단면도이다.
- [129] 도 27a 내지 도 27c를 참조하면, 소정의 기판(미도시) 상에 적층체(S10)를 형성할 수 있다. 상기 기판의 물질은 다양한 물질 중에서 선택될 수 있다. 상기 기판은 반도체 물질 또는 절연 물질을 포함하여 이루어질 수 있다. 상기 기판은 반도체 웨이퍼(wafer)를 포함할 수 있다. 상기 기판은 벌크 실리콘 기판(bulk silicon substrate), 실리콘-온-인슐레이터(silicon-on-insulator)(SOI) 기판, 게르마늄(germanium) 기판, 게르마늄-온-인슐레이터(germanium-on-insulator)(GOI) 기판, 실리콘-게르마늄 기판 또는 에피택셜 성장(epitaxial growth) 공정으로 형성된 기판을 포함할 수도 있다.
- [130] 상기 기판 상에 적층체(S10)를 형성할 수 있다. 적층체(S10)는 제 1 절연층(NL10)과 제 1 절연층(NL10) 상에 순차로 적층된 제 1 희생층(SL10) 및 제 2 절연층(NL20)을 포함할 수 있다. 제 1 절연층(NL10)과 제 2 절연층(NL20)은, 비제한적인 예로서, 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 제 1 희생층(SL10)은, 비제한적인 예로서, 실리콘 산화물(ex, SiO_2)을 포함하거나 실리콘 산화물(ex, SiO_2)로 형성될 수 있다. 제 1 절연층(NL10)과

제 1 희생층(SL10)은 식각 선택비를 가질 수 있고, 이와 유사하게, 제 2 절연층(NL20)과 제 1 희생층(SL10)은 식각 선택비를 가질 수 있다. 제 1 절연층(NL10), 제 1 희생층(SL10) 및 제 2 절연층(NL20)은 증착 공정으로 형성될 수 있다.

[131] 또한, 일 실시예에 따르면, 적층체(S10)는 제 2 절연층(NL20) 상에 순차로 적층된 제 2 희생층(SL20) 및 제 3 절연층(NL30)을 더 포함할 수 있다. 이 경우, 적층체(S10)는 제 2 절연층(NL20)을 기준으로 상하 대칭적인 구조를 가질 수 있다. 제 2 희생층(SL20)은 제 1 희생층(SL10)과 동일한 물질로 형성될 수 있고, 제 3 절연층(NL30)은 제 1 절연층(NL10) 및/또는 제 2 절연층(NL20)과 동일한 물질로 형성될 수 있다. 제 2 희생층(SL20) 및 제 3 절연층(NL30)은 증착 공정으로 형성될 수 있다.

[132] 제 2 절연층(NL20)은 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20) 각각의 두께 보다 큰 두께를 가질 수 있다. 예를 들어, 제 2 절연층(NL20)은 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20) 각각의 두께 보다 약 1.5배 내지 2.5배 정도 큰 두께를 가질 수 있다. 제 2 절연층(NL20)을 상대적으로 두껍게 형성함으로써, 추후에 형성될 상하부 셀(cell) 간의 간격을 확보할 수 있다. 제 1 절연층(NL10)과 제 3 절연층(NL30)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다. 제 1 희생층(SL10)과 제 2 희생층(SL20)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다. 제 1 절연층(NL10), 제 3 절연층(NL30), 제 1 희생층(SL10) 및 제 2 희생층(SL20)은 동일한 두께를 갖거나 실질적으로 동일한 두께를 가질 수 있다.

[133] 도 28a 내지 도 28c를 참조하면, 상기 적층체(도 27a의 S10)를 패터닝하여 적어도 하나의 패턴부(SP1)를 갖는 패턴화된 적층체(S11)를 형성할 수 있다. 패턴부(SP1)는 제 1 방향, 예컨대, X축 방향으로 연장된 형태를 가질 수 있고, 상기 제 1 방향과 수직한 제 2 방향, 예컨대, Y축 방향에 따른 패턴부(SP1)의 양측에 빈공간이 구비될 수 있다. 복수의 패턴부(SP1)가 Y축 방향으로 이격하여 X축 방향으로 상호 나란하게 배치될 수 있다. 본 단계에서, 추후에 형성될 채널 영역으로부터 연장된 영역을 제외한 나머지 영역들을 패터닝 방식으로 제거할 수 있다. 다시 말해, 본 단계에서 채널 예정 영역 및 그로부터 연장된 영역을 제외한 나머지 영역을 제거할 수 있다.

[134] 패턴부(SP1)는 패터닝된 제 1 절연층(NL11), 패터닝된 제 1 희생층(SL11), 패터닝된 제 2 절연층(NL21), 패터닝된 제 2 희생층(SL21) 및 패터닝된 제 3 절연층(NL31)을 포함할 수 있다. 여기서, 패터닝된 제 1 희생층(SL11)은 상기 제 1 희생층(도 27a의 SL10)으로부터 얻어진 제 1 희생층 패턴(SL11)이라고 할 수 있다. 또한, 패터닝된 제 2 희생층(SL21)은 상기 제 2 희생층(도 27a의 SL20)으로부터 얻어진 제 2 희생층 패턴(SL21)이라고 할 수 있다. 복수의 제 1 희생층 패턴(SL11)이 Y축 방향으로 상호 이격하여 X축 방향으로 상호 나란히 연장될 수 있고, 이와 유사하게, 복수의 제 2 희생층 패턴(SL21)이 Y축 방향으로 상호 이격하여 X축 방향

으로 상호 나란히 연장될 수 있다. 복수의 제 1 희생층 패턴(SL11) 및 복수의 제 2 희생층 패턴(SL21) 각각은 라인(line) 형상을 가질 수 있다.

- [135] 도 28a 내지 도 28c의 패터닝 공정을 위해, 적층체(도 27a의 S10) 상에 배치된 제 1 마스크 패턴(M10)이 사용될 수 있다. 제 1 마스크 패턴(M10)은 소정의 패턴 구조를 가질 수 있다. 제 1 마스크 패턴(M10)은, 예컨대, 포토레지스트 패턴(photoresist pattern)일 수 있다. 상기 패터닝 공정 후, 제 1 마스크 패턴(M10)은 제거될 수 있다.
- [136] 도 29a 내지 도 29c를 참조하면, 적어도 하나의 패턴부(SP1)의 양측의 빈공간에 절연 물질(NM1)을 충전(filling)하여 상기 패턴화된 적층체(도 28a의 S11)와 절연 물질(NM1)을 포함하는 구조체(S20)를 형성할 수 있다. 여기서, 도 29b는 도 29a의 (A)선에 따른 단면도일 수 있다.
- [137] 절연 물질(NM1)은 '절연 물질층' 또는 '절연 물질층 패턴'이라고 할 수 있고, 패턴부(SP1)와 동일한(혹은, 실질적으로 동일한) 높이를 가질 수 있다. 절연 물질(NM1)은 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 동일한 물질로 형성될 수 있다. 예를 들어, 절연 물질(NM1)은 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 따라서, 제 1 물질로 형성된 매트릭스 물질층 내에 이와 식각 선택비를 갖는 제 2 물질로 형성된 복수의 제 1 희생층 패턴(SL11) 및 복수의 제 2 희생층 패턴(SL21)이 배치되었다고 할 수 있다.
- [138] 도 30a 내지 도 30c를 참조하면, 구조체(S20)에 패턴부(SP1)의 제 1 희생층 패턴(SL11)을 관통하는 제 1 수직홀(H10)을 형성할 수 있다. 제 1 수직홀(H10)은 제 2 희생층 패턴(S21) 및 제 1 희생층 패턴(S11)을 관통하도록 형성될 수 있다. 제 1 수직홀(H10)은 구조체(S20)의 소정 영역에서 패턴부(SP1)의 제 3 절연층(NL31)부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있다. 제 1 수직홀(H10)은 추후에 비트 라인이 형성될 영역에 대응될 수 있다. 제 1 수직홀(H10)은 구조체(S20)에서 트랜지스터가 형성될 영역, 즉, 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에 형성될 수 있다. 복수의 제 1 수직홀(H10)이 Y축 방향으로 상호 이격하여 형성될 수 있다. 제 1 수직홀(H10)의 형성에 따라, 제 1 희생층 패턴(S11) 및 제 2 희생층 패턴(S21)의 측면들이 노출될 수 있다.
- [139] 제 1 수직홀(H10)의 형성을 위해, 제 2 마스크 패턴(M20)이 사용될 수 있다. 제 2 마스크 패턴(M20)은 소정의 개구 패턴을 가질 수 있다. 제 2 마스크 패턴(M20)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 1 수직홀(H10)의 형성 후, 제 2 마스크 패턴(M20)은 제거될 수 있다.
- [140] 도 31a 내지 도 31c를 참조하면, 제 1 수직홀(H10)에 의해 노출된 상기 제 1 희생층 패턴(도 30a의 SL11) 및 제 2 희생층 패턴(도 30a의 SL21)을 제거하여 상기 제 1 방향, 예컨대, X축 방향으로 연장된 수평홀(H15)을 형성할 수 있다. 상기 제 1 희생층 패턴(도 30a의 SL11) 및 제 2 희생층 패턴(도 30a의 SL21)에 식각 선택성을 갖는 습식 에천트(wet etchant)를 이용한 습식 식각 공정을 이용해서, 상기 제 1 희생층 패턴(도 30a의 SL11) 및 제 2 희생층 패턴(도 30a의 SL21)을 선택적으로

제거할 수 있다. 상기 제 1 희생층 패턴(도 30a의 SL11)의 제거에 의해 형성된 수평홀(H15)은 제 1 수평홀이라고 지칭할 수 있고, 상기 제 2 희생층 패턴(도 30a의 SL21)의 제거에 의해 형성된 수평홀(H15)은 제 2 수평홀이라고 지칭할 수 있다. 수평홀(H15)은 X축 방향으로 연장된 라인 형태를 가질 수 있다.

[141] 일 실시예에 따르면, 수평홀(H15)을 형성하는 단계에서 상기 제 1 희생층 패턴(도 30a의 SL11) 전체를 제거할 수 있다. 또한, 수평홀(H15)을 형성하는 단계에서 상기 제 2 희생층 패턴(도 30a의 SL21) 전체를 제거할 수 있다. 따라서, 수평홀(H15)은 트랜지스터가 형성될 영역(즉, 트랜지스터 형성 영역) 뿐만 아니라 커패시터가 형성될 영역(즉, 커패시터 형성 영역)까지 연장되도록 형성될 수 있다. 본 단계에서 상기 제 1 희생층 패턴(도 30a의 SL11) 전체 및 상기 제 2 희생층 패턴(도 30a의 SL21) 전체를 제거하는 경우, 이와 관련해서, 공정이 단순화되는 효과를 얻을 수 있다.

[142] 도 32a 내지 도 32c를 참조하면, 제 1 수직홀(H10) 및 수평홀(H15)의 내측면에 게이트 절연 물질층(GN1)을 형성할 수 있다. 게이트 절연 물질층(GN1)은 제 1 수직홀(H10) 및 수평홀(H15)의 상기 내측면의 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 게이트 절연 물질층(GN1)은, 예를 들어, ALD(atomic layer deposition) 공정으로 형성될 수 있다. 게이트 절연 물질층(GN1)은 실리콘 산화물, 실리콘 질화물, 실리콘 질산화물 및 고유전(high-k) 물질 중 적어도 하나를 포함하도록 형성될 수 있다. 여기서, 상기 고유전(high-k) 물질은 실리콘 질화물 보다 높은 유전 상수를 갖는 물질일 수 있다. 게이트 절연 물질층(GN1)의 구체적인 물질은 상술한 바에 한정되지 않고, 다양하게 변화될 수 있다. 게이트 절연 물질층(GN1)은 제 1 수직홀(H10) 및 수평홀(H15)의 내부를 충전하지 않는 얇은 두께로 형성될 수 있다.

[143] 도 32a 내지 도 32c의 단계에서, 건식 식각에 의한 패터닝 공정 없이 게이트 절연 물질층(GN1)을 형성할 수 있기 때문에, 게이트 절연 물질층(GN1)에 대한 식각 손상 및 특성 열화 문제를 방지 내지 억제하는 효과를 얻을 수 있다.

[144] 도 33a 내지 도 33c를 참조하면, 게이트 절연 물질층(GN1) 상에 제 1 수직홀(H10) 및 수평홀(H15)을 충전하는 더미(dummy) 채널 물질층(DM1)을 형성할 수 있다. 더미 채널 물질층(DM1)은 채널이 형성될 영역 및 이로부터 연장된 영역 내에 임시로 형성하는 더미층일 수 있다. 더미 채널 물질층(DM1)은 소정의 반도체 물질로 형성될 수 있다. 예를 들어, 더미 채널 물질층(DM1)은 폴리실리콘(poly-Si)을 포함하거나 폴리실리콘(poly-Si)으로 형성될 수 있다. 더미 채널 물질층(DM1)이 폴리실리콘(poly-Si)을 포함하는 경우, 더미 채널 물질층(DM1)의 형성 및 선택적 제거가 용이할 수 있다. 폴리실리콘(poly-Si)은 소정의 절연층들에 대하여 높은 식각 선택비를 가질 수 있기 때문에, 후속하는 다양한 공정의 수행에 유리할 수 있고, 더미 채널 물질층(DM1)의 선택적 제거 또한 용이할 수 있다. 그러나, 더미 채널 물질층(DM1)의 물질은 폴리실리콘(poly-Si)으로 한정되지 아니하고, 경우에 따라, 다양하게 변화될 수 있다. 예컨대, 더미 채널 물질층(DM1)

은 비정질 실리콘이나 그 밖에 다른 반도체 물질을 포함하거나, 경우에 따라서는, 비반도체 물질을 포함할 수도 있다.

- [145] 본 발명의 실시예에서는 희생층 패턴(도 29a의 SL11, SL21)을 이용해서 패턴화된 수평홀(H15)을 형성한 다음에, 패턴화된 수평홀(H15) 내에 더미 물질을 채워 넣는 방식으로 더미 채널 물질층(DM1)을 형성하기 때문에, 건식 식각 등에 의한 패터닝 공정 없이 더미 채널 물질층(DM1)을 형성할 수 있다.
- [146] 도 34a 내지 도 34c를 참조하면, 게이트 절연 물질층(GN1) 및 더미 채널 물질층(DM1)이 형성된 구조체(S20)에서 상기 제 1 수직홀(도 33a의 H10)에 대응하는 영역에 제 2 수직홀(H20)을 형성할 수 있다. 제 2 수직홀(H20)은 제 3 절연층(NL31)으로부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있다.
- [147] 제 2 수직홀(H20)의 형성을 위해, 제 3 마스크 패턴(M30)이 사용될 수 있다. 제 3 마스크 패턴(M30)은 소정의 개구 패턴을 가질 수 있다. 제 3 마스크 패턴(M30)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 2 수직홀(H20)의 형성 후, 제 3 마스크 패턴(M30)은 제거될 수 있다.
- [148] 도 35a 내지 도 35c를 참조하면, 구조체(S20)의 제 2 수직홀(H20) 주위의 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에서 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 절연 물질(NM1)을 제거하여 게이트 절연 물질층(GN1)을 노출시킬 수 있다. 이때, 상기 트랜지스터 형성 영역(트랜지스터 형성 예정 영역)에 인접한 커패시터 형성 영역(커패시터 형성 예정 영역) 상에는 제 4 마스크 패턴(M40)을 형성할 수 있고, 제 4 마스크 패턴(M40)은 상기 트랜지스터 형성 영역을 노출시키도록 형성될 수 있다. 제 4 마스크 패턴(M40)을 식각 마스크로 이용해서 상기 트랜지스터 형성 영역에서 제 1 내지 제 3 절연층(NL11, NL21, NL31)과 절연 물질(NM1)을 식각하여 제거할 수 있다. 이후, 제 4 마스크 패턴(M40)은 제거될 수 있다. 도 35c는 도 35a의 (B)선에 따른 단면도일 수 있다.
- [149] 그런 다음, 도 36a 내지 도 41b에 예시된 바와 같은 방법을 이용해서, 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 둘러싸는 워드 라인(도 41a의 WL1)을 형성할 수 있다.
- [150] 도 36a 내지 도 36c를 참조하면, 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 둘러싸는 워드 라인용 물질층(WM1)을 형성할 수 있다. 워드 라인용 물질층(WM1)은 상기 트랜지스터 형성 영역에서 노출된 표면 영역들의 형상을 따라서 대체로 컨포멀하게(conformally) 형성될 수 있다. 워드 라인용 물질층(WM1)은, 예를 들어, ALD 공정으로 형성될 수 있다. 이때, 도 36a 및 도 36c에 도시된 바와 같이, 하부의 더미 채널 물질층(DM1)과 상부의 더미 채널 물질층(DM1) 사이의 Z축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 클 수 있다. 또한, 하부의 게이트 절연 물질층(GN1)과 상부의 게이트 절연 물질층(GN1) 사이의 Z축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 클 수 있다. 한편, 도 36b에 도시된 바와 같이, Y축 방향으로 이격된 두 개의 더미 채널 물질층(DM1) 사이의 Y축 방향으로의 간격

은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 작을 수 있다. 또한, Y축 방향으로 이격된 두 개의 게이트 절연 물질층(GN1) 사이의 Y축 방향으로의 간격은 워드 라인용 물질층(WM1)의 두께의 약 2배 보다 작을 수 있다.

[151] 워드 라인용 물질층(WM1)은 상기 트랜지스터 형성 영역에서 각각의 더미 채널 물질층(DM1)을 둘러싸도록 형성될 수 있다. 또한, 워드 라인용 물질층(WM1)은 Y축 방향으로 연장된 라인 형태를 가질 수 있다.

[152] 도 37a 내지 도 37c를 참조하면, 워드 라인용 물질층(WM1)에서 상기 제 2 수직 홀(도 34a의 H20)에 대응하는 영역을 식각하여 관통홀(H25)을 형성할 수 있다. 관통홀(H25)은 수직한 홀일 수 있다. 관통홀(H25)의 형성을 위해, 제 5 마스크 패턴(M50)이 사용될 수 있다. 제 5 마스크 패턴(M50)은 소정의 개구 패턴을 가질 수 있다. 제 5 마스크 패턴(M50)은, 예컨대, 포토레지스트 패턴일 수 있다.

[153] 다음으로, 워드 라인용 물질층(WM1)의 굴곡부(굴절부)의 빈공간을 채우는 충전 절연층(NF1)을 형성할 수 있다. 충전 절연층(NF1)은 일종의 갭필(gap fill) 물질층일 수 있다. 충전 절연층(NF1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다. 그런 다음, 다시 홀(hole) 에칭을 통해서 관통홀(H25)을 형성할 수 있다.

[154] 그리고 나서, 더미 채널 물질층(DM1)의 일단이 워드 라인용 물질층(WM1) 보다 관통홀(H25) 쪽으로 돌출되도록 관통홀(H25)을 통해 노출된 워드 라인용 물질층(WM1)의 일부를 리세스(recess)할 수 있다. 따라서, 관통홀(H25) 주위에서 워드 라인용 물질층(WM1)의 일부가 식각되고, Y축 방향으로 연장된 트렌치 구조(즉, 바디부 트렌치)가 형성될 수 있다. 상기 트렌치 구조(즉, 바디부 트렌치) 내에 관통홀(H25)이 포함된 것으로 볼 수 있다.

[155] 도 38a 내지 도 38c를 참조하면, 관통홀(H25) 및 그 주위의 상기 트렌치 구조(즉, 바디부 트렌치)를 충전하는 바디 절연층(BN1)을 형성할 수 있다. 바디 절연층(BN1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다. 바디 절연층(BN1)은 충전 절연층(NF1)과 동일한 물질로 형성되거나 다른 물질로 형성될 수도 있다.

[156] 도 39a 및 도 39b를 참조하면, 구조체(S20)의 상기 트랜지스터 형성 영역과 인접한 상기 커패시터 형성 영역에 제 1 트렌치(T10)를 형성할 수 있다. 제 1 트렌치(T10)는 워드 라인용 물질층(WM1)과 이격하여 배치될 수 있고, 제 3 절연층(NL31)으로부터 제 1 절연층(NL11)까지 관통하도록 형성될 수 있으며, Y축 방향으로 연장된 형태를 가질 수 있다.

[157] 제 1 트렌치(T10)의 형성을 위해, 제 6 마스크 패턴(M60)이 사용될 수 있다. 제 6 마스크 패턴(M60)은 소정의 개구 영역을 가질 수 있다. 제 6 마스크 패턴(M60)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 1 트렌치(T10)의 형성 후, 제 6 마스크 패턴(M60)은 제거될 수 있다.

[158] 도 40a 및 도 40b를 참조하면, 상기 커패시터 형성 영역에서 제 1 트렌치(T10)에 의해 노출된 상기 제 1 내지 제 3 절연층(도 39a의 NL11, NL21, NL31)과 상기

절연 물질(도 39b의 NM1)을 제거(식각)하여 게이트 절연 물질층(GN1)을 노출시키는 제 1 리세스부(R1)를 형성할 수 있다. 상기 제 1 내지 제 3 절연층(도 39a의 NL11, NL21, NL31)과 상기 절연 물질(도 39b의 NM1)은 동일한 물질일 수 있으므로, 식각 선택성을 갖는 식각 방식을 이용해서 이들을 용이하게 제거할 수 있다.

- [159] 도 41a 및 도 41b를 참조하면, 상기 커패시터 형성 영역에 제 1 리세스부(R1)를 형성한 후, 제 1 리세스부(R1)에 의해 노출된 워드 라인용 물질층(도 40a의 WM1)의 일부를 리세스할 수 있다. 다시 말해, 상기 커패시터 형성 영역 쪽으로 노출된 워드 라인용 물질층(도 40a의 WM1)의 일부를 리세스할 수 있다. 그 결과, 하부의 더미 채널 물질층(DM1)을 감싸는 워드 라인용 물질층 부분과 상부의 더미 채널 물질층(DM1)을 감싸는 워드 라인용 물질층 부분이 상호 분리될 수 있다. 여기서, 분리된 상기 워드 라인용 물질층 부분을 워드 라인(WL1)이라고 지칭할 수 있다.
- [160] 도 36a 내지 도 41b를 참조하여 워드 라인(WL1)의 형성 방법 등을 구체적으로 설명하였지만, 이는 예시적인 것에 불과하고, 워드 라인(WL1)의 형성 방법 등은 경우에 따라 다양하게 변화될 수 있다. 예를 들어, 하부 셀과 상부 셀 중에서 어느 하나만 형성하는 경우라면, 도 41a 및 도 41b에서 설명한 바와 같은 '분리 공정'은 수행하지 않을 수도 있다.
- [161] 도 42a 및 도 42b를 참조하면, 상기 커패시터 형성 영역에 제 1 리세스부(R1)를 형성한 후, 상기 커패시터 형성 영역에서 상기 노출된 게이트 절연 물질층(GN1) 부분을 감싸는 삽입 절연층(NN1)을 형성할 수 있다. 삽입 절연층(NN1)은 제 1 리세스부(R1)에 노출된 표면 영역에 컨포멀하게(conformally) 형성될 수 있다. 삽입 절연층(NN1)은 상기 커패시터 형성 영역에 노출된 게이트 절연 물질층(GN1), 더미 채널 물질층(DM1) 및 워드 라인(WL1) 등의 표면을 덮도록 형성될 수 있다. 삽입 절연층(NN1)은, 예컨대, ALD 공정으로 형성될 수 있다. 삽입 절연층(NN1)의 두께는 수십 nm 이하로 얇을 수 있다. 삽입 절연층(NN1)은 절연성 산화물로 형성되거나 그 밖에 다른 절연 물질로 형성될 수 있다.
- [162] 도 43a 및 도 43b를 참조하면, 제 1 리세스부(R1)를 충전하는 몰드 절연층(MN1)을 형성할 수 있다. 몰드 절연층(MN1)은 삽입 절연층(NN1) 상에 제 1 리세스부(R1) 및 제 1 트렌치(T10)를 충전하도록 형성될 수 있다. 몰드 절연층(MN1)은, 예를 들어, 실리콘 질화물(ex, SiN_x)을 포함하거나 실리콘 질화물(ex, SiN_x)로 형성될 수 있다. 몰드 절연층(MN1)의 형성시, 몰드 절연층(MN1)용 절연체의 증착 후 그 상면 및 주변 영역에 대한 평탄화 공정을 더 수행할 수 있다.
- [163] 도 44a 및 도 44b를 참조하면, 몰드 절연층(MN1)에서 상기 제 1 트렌치(도 39a의 T10)에 대응하는 영역에 제 2 트렌치(T20)를 형성할 수 있다. 몰드 절연층(MN1)의 일부 및 삽입 절연층(NN1)의 일부를 식각하여 제 2 트렌치(T20)를 형성할 수 있다. 따라서, 게이트 절연 물질층(GN1)의 단부와 더미 채널 물질층(DM1)의 단부가 제 2 트렌치(T20) 측으로 노출될 수 있다. 제 2 트렌치(T20)는 Y축 방향으로 연장된 라인 형상을 가질 수 있다.

- [164] 제 2 트렌치(T20)의 형성을 위해, 제 7 마스크 패턴(M70)이 사용될 수 있다. 제 7 마스크 패턴(M70)은 소정의 개구 영역을 가질 수 있다. 제 7 마스크 패턴(M70)은, 에천대, 포토레지스트 패턴일 수 있다. 제 2 트렌치(T20)의 형성 후, 제 7 마스크 패턴(M70)은 제거될 수 있다.
- [165] 도 45a 및 도 45b를 참조하면, 제 2 트렌치(T20)에 의해 노출된 더미 채널 물질층(DM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)을 식각하여 제 2 리세스부(R2)를 형성할 수 있다. 제 2 트렌치(T20)를 통해서 소정의 습식 에천트(wet etchant), 즉, 습식 식각 용액을 투입하여 더미 채널 물질층(DM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)을 식각할 수 있다. 이때, 하나 이상의 습식 에천트가 사용될 수 있다. 제 2 리세스부(R2)는 워드 라인(WL1)과 다소 이격된 영역까지 형성될 수 있다. 식각 공정의 조건을 조절하여 더미 채널 물질층(DM1), 게이트 절연 물질층(GN1) 및 삽입 절연층(NN1)의 식각 범위를 제어할 수 있다.
- [166] 앞서 도 42a의 단계에서 삽입 절연층(NN1)을 먼저 형성한 후, 도 45a의 단계에서 삽입 절연층(NN1)을 제거할 경우, 제 2 리세스부(R2)는 잔류된 게이트 절연 물질층(GN1)의 외경 보다 큰 폭을 갖도록 형성될 수 있다. 따라서, 제 2 리세스부(R2)의 Z축 방향으로의 폭은 잔류된 게이트 절연 물질층(GN1)의 Z축 방향으로의 폭(외경에 해당하는 폭) 보다 클 수 있다. 또한, 제 2 리세스부(R2)의 Y축 방향으로의 폭은 잔류된 게이트 절연 물질층(GN1)의 Y축 방향으로의 폭(외경에 해당하는 폭) 보다 클 수 있다. 결과적으로, 후속하는 공정에서 커패시터를 형성하기 위한 공정 마진이 증가할 수 있다. 공정 마진 확보 등을 위해서는, 삽입 절연층(NN1)을 형성하는 것이 바람직할 수 있다. 그러나, 상기한 삽입 절연층(NN1)의 형성은 선택적인(optional) 것일 수 있고, 경우에 따라, 생략할 수도 있다.
- [167] 도 46a 및 도 46b를 참조하면, 상기 제 2 리세스부(도 45a의 R2)의 내측면에 더미 채널 물질층(DM1)과 연결된 전극 부재(EL1)를 형성할 수 있다. 전극 부재(EL1)는 커패시터용 전극층(제 1 전극층)이라고 할 수 있다. 전극 부재(EL1)는 몰드 절연층(MN1)의 표면 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 전극 부재(EL1)는, 예를 들어, ALD 공정으로 형성될 수 있다.
- [168] 도 47a 및 도 47b를 참조하면, 상기 커패시터 형성 영역에서 상기 제 2 트렌치(도 44a의 T20)에 대응하는 영역에 제 3 트렌치(T30)를 형성할 수 있다. 전극 부재(EL1)의 일부를 식각하여 제 3 트렌치(T30)를 형성할 수 있다. 제 3 트렌치(T30)는 Y축 방향으로 연장된 라인 형상을 가질 수 있다. 이러한 과정을 통해서 전극 부재(EL1)는 개별 커패시터 영역으로 분리될 수 있다. 다시 말해, 전극 부재(EL1)는 단위 셀 영역으로 분리될 수 있다.
- [169] 제 3 트렌치(T30)의 형성을 위해, 제 8 마스크 패턴(M80)이 사용될 수 있다. 제 8 마스크 패턴(M80)은 소정의 개구 영역을 가질 수 있다. 제 8 마스크 패턴(M80)은, 에천대, 포토레지스트 패턴일 수 있다. 제 3 트렌치(T30)의 형성 후, 제 8 마스크 패턴(M80)은 제거될 수 있다.

- [170] 도 48a 및 도 48b를 참조하면, 전극 부재(EL1)를 형성한 후, 상기 몰드 절연층(도 47a의 MN1)을 식각하여 전극 부재(EL1)의 외측면을 노출시킬 수 있다. 이때, 상기 몰드 절연층(도 47a의 MN1)의 식각 범위는 적절히 조절될 수 있다. 상기 식각 범위를 조절하는 방법으로 제 8 마스크 패턴(도 47a의 M80)의 적어도 일부를 임시로 유지시키거나, 별도의 하드 마스크(미도시) 등을 사용할 수도 있다. 필요에 따라, 삽입 절연층(NN1)에 인접한 상기 몰드 절연층(도 47a의 MN1)의 일부는 식각하지 않고 잔류시킬 수도 있다. 그러나, 본 단계에서 상기 몰드 절연층(도 47a의 MN1)을 모두 제거하여 삽입 절연층(NN1)을 노출시킬 수도 있다. 상기 커패시터 형성 영역에서 상기 몰드 절연층(도 47a의 MN1)의 대부분이 제거되거나 전체가 제거될 수 있다.
- [171] 도 49a 및 도 49b를 참조하면, 상기 커패시터 형성 영역에서 전극 부재(EL1) 상에 유전층(DL1)을 형성할 수 있다. 유전층(DL1)은 커패시터용 유전층일 수 있다. 유전층(DL1)은 전극 부재(EL1)의 표면 형상을 따라 컨포멀하게(conformally) 형성될 수 있다. 유전층(DL1)은, 예를 들어, ALD 공정으로 형성(증착)될 수 있다. 유전층(DL1)은 다양한 유전 물질 중 적어도 하나를 포함하도록 형성될 수 있다. 예컨대, 유전층(DL1)은 실리콘 질화물 보다 유전 상수가 높은 고유전(high-k) 물질을 포함할 수 있다. 유전층(DL1)의 구체적인 물질은 다양하게 변화될 수 있다.
- [172] 도 50a 및 도 50b를 참조하면, 상기 커패시터 형성 영역에서 유전층(DL1) 상에 플레이트 전극(PL1)을 형성할 수 있다. 플레이트 전극(PL1)은 커패시터용 전극층(제 2 전극층)이라고 할 수 있다. 플레이트 전극(PL1)은 상기 제 3 트렌치(도 49a의 T30) 및 전극 부재(EL1)의 내부와 전극 부재(EL1)들 사이의 공간을 매우도록 형성될 수 있다. 플레이트 전극(PL1)은 반도체 소자 공정에서 사용하는 다양한 전극 물질 중 하나 이상을 포함하도록 형성될 수 있다. 플레이트 전극(PL1)은 일종의 라인 형태를 가질 수 있다. 따라서, 플레이트 전극(PL1)은 플레이트 전극 라인이라고 할 수 있다. 전극 부재(EL1)와 유전층(DL1) 및 플레이트 전극(PL1)은 커패시터를 구성할 수 있다.
- [173] 도 46a 내지 도 50b를 참조하여 설명한 상기 커패시터의 형성 과정에서 수소(H_2)를 이용하는 공정 및 열 공정 등이 적용될 수 있다. 또한, 도 46a 내지 도 50b에서는 상기 커패시터의 형성 방법을 예시적으로 도시하고 설명하였지만, 경우에 따라, 상기 커패시터의 형성 방법 및 상기 커패시터의 구체적 구조는 다양하게 변화될 수 있다.
- [174] 다음으로, 도 51a 내지 도 55b에 예시된 바와 같은 방법을 이용해서, 상기 트랜지스터 형성 영역에서 더미 채널 물질층(DM1)을 제거하여 빈 채널 공간을 형성하고, 상기 빈 채널 공간 내에 상기 커패시터와 연결된 채널 물질층(유효 채널 물질층)(도 54a의 CM1)을 형성하여 상기 채널 물질층(도 54a의 CM1)을 포함하는 트랜지스터를 정의할 수 있고, 상기 채널 물질층(도 54a의 CM1)에 연결된 비트 라인(도 55a의 BL1)을 형성할 수 있다.

- [175] 도 51a 및 도 51b를 참조하면, 바디 절연층(BN1)의 상기 제 2 수직홀(도 34a의 H20)에 대응하는 영역에 제 3 수직홀(H30)을 형성할 수 있다. 제 3 수직홀(H30)의 형성을 위해, 제 9 마스크 패턴(M90)이 사용될 수 있다. 제 9 마스크 패턴(M90)은 소정의 개구 패턴을 가질 수 있다. 제 9 마스크 패턴(M90)은, 예컨대, 포토레지스트 패턴일 수 있다. 제 3 수직홀(H30)의 형성 후, 제 9 마스크 패턴(M90)은 제거될 수 있다. 제 3 수직홀(H30)에 의해 더미 채널 물질층(DM1)의 단부(측면)가 노출될 수 있다.
- [176] 도 52a 및 도 52b를 참조하면, 제 3 수직홀(H30)에 의해 노출된 상기 더미 채널 물질층(도 51a의 DM1)을 제거하여 빈 채널 공간(ES1)을 형성할 수 있다. 이때, 상기 트랜지스터 형성 영역에서 상기 더미 채널 물질층(도 51a의 DM1) 전체가 제거될 수 있다. 제 3 수직홀(H30)을 통해서 상기 더미 채널 물질층(도 51a의 DM1)에 대해 식각 선택성을 갖는 습식 에천트(wet etchant), 즉, 습식 식각 용액을 투입하여 상기 더미 채널 물질층(도 51a의 DM1)을 선택적으로 식각할 수 있다. 빈 채널 공간(ES1)은, 예를 들어, X축 방향으로 연장된 라인 형태 또는 바(bar) 형태를 가질 수 있다.
- [177] 도 53a 및 도 53b를 참조하면, 상기 빈 채널 공간(ES1) 및 제 3 수직홀(H30) 내에 채널 물질층(유효 채널 물질층)(CM1)을 형성할 수 있다. 채널 물질층(CM1)은, 예를 들어, ALD 공정으로 형성될 수 있다. 채널 물질층(CM1)은 다양한 반도체 물질 중 적어도 하나를 포함할 수 있다. 채널 물질층(CM1)은 산화물 반도체나 비산화물 반도체를 포함할 수 있다. 상기 산화물 반도체는 비정질 산화물 반도체(amorphous oxide semiconductor)(AOS)를 포함할 수 있다. 상기 산화물 반도체는, 예를 들어, IGZO(indium gallium zinc oxide), ZTO(zinc tin oxide), ITO(indium tin oxide) 등으로 구성된 그룹에서 선택된 적어도 하나를 포함할 수 있다. 그러나, 채널 물질층(CM1)의 구체적인 물질은 상기한 바에 한정되지 않고, 다양하게 변화될 수 있다. 채널 물질층(CM1)은 단일층이거나 다중층일 수 있다.
- [178] 채널 물질층(CM1)을 상기 산화물 반도체로 형성할 경우, 높은 이동도(mobility) 특성 및 낮은 오프-커런트(Off-current) 특성 확보 등의 효과를 얻을 수 있다. 그런데, 산화물 반도체는 식각 손상(etching damage)에 취약한 단점을 갖기 때문에, 일반적인 반도체 소자의 제조 공정에서는 패터닝 과정 등에 의해 산화물 반도체에 식각 손상이 발생하여 반도체 소자의 특성이 열화되고 불안정해지는 문제가 발생하게 된다. 그러나, 본 발명의 실시예에서는 희생층 패턴(도 29a의 SL11, SL21)을 이용해서 패턴화된 수평홀(H15)을 형성한 다음, 패턴화된 수평홀(H15) 내에 더미 채널 물질층(DM1)을 형성하고, 상기 커패시터와 트랜지스터의 제조가 완료된(혹은, 거의 완료된) 시점에 더미 채널 물질층(DM1)을 채널 물질층(CM1)으로 대체하는 방식으로 채널 물질층(CM1)을 형성할 수 있으므로, 식각 등에 의한 패터닝 공정 없이 채널 물질층(CM1)을 형성할 수 있다. 따라서, 채널 물질층(CM1)에 산화물 반도체를 적용하더라도, 식각/패터닝에 의한 식각 손상을 방지 내지 최소화할 수 있고, 결과적으로, 우수한 특성을 갖는 메모리 소자를 구현할

수 있다. 특히, 본 발명의 실시예들에 따르면, 상기 커패시터의 제조가 완료된 상태에서 더미 채널 물질층(DM1)을 채널 물질층(CM1)으로 대체하기 때문에, 상기 커패시터 등의 제조 시에 요구되는 수소(H₂) 공정 및 열 공정에 의한 채널 물질층(CM1)의 손상(즉, H₂ damage 및 thermal damage)을 회피할 수 있다. 따라서, 채널 물질층(CM1)에 대한 식각 손상, 수소(H₂)에 의한 손상, 열에 의한 손상 등을 방지 내지 최소화하면서 우수한 특성을 갖는 메모리 소자를 제조할 수 있다.

[179] 도 54a 및 도 54b를 참조하면, 상기 제 3 수직홀(도 53a의 H30) 내에 형성된 채널 물질층(CM1) 부분을 제거하여 상기 제 3 수직홀(도 53a의 H30)을 재형성할 수 있다. 상기 재형성된 제 3 수직홀은 참조번호 H30'로 표시하였다. 재형성된 제 3 수직홀(H30')은 제 4 수직홀이라고 지칭할 수도 있다.

[180] 재형성된 제 3 수직홀(H30')의 형성을 위해, 제 10 마스크 패턴(M100)이 사용될 수 있다. 제 10 마스크 패턴(M100)은 소정의 개구 패턴을 가질 수 있다. 제 10 마스크 패턴(M100)은, 예컨대, 포토레지스트 패턴일 수 있다. 재형성된 제 3 수직홀(H30')의 형성 후, 제 10 마스크 패턴(M100)은 제거될 수 있다.

[181] 도 55a 및 도 55b를 참조하면, 재형성된 제 3 수직홀(H30') 내에 비트 라인(BL1)을 형성할 수 있다. 비트 라인(BL1)은 채널 물질층(CM1)의 일단에 연결(접촉)될 수 있다. 따라서, 비트 라인(BL1)은 상기 트랜지스터 형성 영역에서 상기 제 2 수직홀(도 34a의 H20)에 대응하는 영역에 형성될 수 있고, 채널 물질층(CM1)의 일단에 연결(접촉)되도록 형성될 수 있다. 채널 물질층(CM1)의 타단은 상기 커패시터의 전극 부재(EL1)에 연결(접촉)될 수 있다. 비트 라인(BL1)은 구조체(S20)를 수직 방향으로 관통하는 기둥 형상을 가질 수 있다. 비트 라인(BL1)은 측방향으로 채널 물질층(CM1)의 일단에 전기적으로 접속될 수 있다. 복수의 채널 물질층(CM1)에 연결된 복수의 비트 라인(BL1)이 형성될 수 있다.

[182] 도시하지는 않았지만, 재형성된 제 3 수직홀(H30')의 위쪽에 증착되어 있는 비트 라인(BL1)의 도전 물질이 있는 경우, 예를 들어, 에치백(etchback) 공정을 통해 이를 제거할 수 있다.

[183] 도 51a 내지 도 55b를 참조하여 더미 채널 물질층(DM1)을 제거하여 빈 채널 공간(ES1)을 형성하고 빈 채널 공간(ES1) 내에 채널 물질층(CM1)을 형성하는 방법 및 채널 물질층(CM1)에 연결된 비트 라인(BL1)을 형성하는 방법을 구체적으로 설명하였지만, 이는 예시적인 것에 불과하고, 더미 채널 물질층(DM1)을 채널 물질층(CM1)으로 대체하는 방법 및 비트 라인(BL1)의 형성 방법은, 경우에 따라, 다양하게 변화될 수 있다.

[184] 도 55a의 소자 구조에서 하부의 채널 물질층(CM1)과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이의 게이트 절연 물질층(GN1) 등은 제 1 트랜지스터(TR1)를 구성한다고 할 수 있다. 또한, 제 1 트랜지스터(TR1)의 측방으로 제 1 트랜지스터(TR1)와 전기적으로 연결된 하부의 전극 부재(EL1) 및 이와 접하는 유전층(DL1) 및 플레이트 전극(PL1)은 제 1 커패시터(CP1)를 구성한다고 할 수 있다. 또한, 제 1 트랜지스터(TR1)와 제 1 커패시터(CP1)는 하나의 메모리 셀(하부 메모리 셀)을

구성한다고 할 수 있다. 제 1 트랜지스터(TR1)와 제 1 커패시터(CP1)는 수평 방향으로 배열될 수 있다.

- [185] 또한, 상부의 채널 물질층(CM1)과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이의 게이트 절연 물질층(GN1) 등은 제 2 트랜지스터(TR2)를 구성한다고 할 수 있다. 또한, 제 2 트랜지스터(TR2)의 측방으로 제 2 트랜지스터(TR2)와 전기적으로 연결된 상부의 전극 부재(EL1) 및 이와 접하는 유전층(DL1) 및 플레이트 전극(PL1)은 제 2 커패시터(CP2)를 구성한다고 할 수 있다. 또한, 제 2 트랜지스터(TR2)와 제 2 커패시터(CP2)는 하나의 메모리 셀(상부 메모리 셀)을 구성한다고 할 수 있다. 제 2 트랜지스터(TR2)와 제 2 커패시터(CP2)는 수평 방향으로 배열될 수 있다. 제 2 트랜지스터(TR2)는 제 1 트랜지스터(TR1) 상에 배치될 수 있고, 제 2 커패시터(CP2)는 제 1 커패시터(CP1) 상에 배치될 수 있다.
- [186] 도시하지는 않았지만, 도 55a 및 도 55b와 같은 소자 구조가 Z축 방향으로 반복적으로 배치될 수 있고, X축 방향으로 반복적으로 배치될 수 있으며, Y축 방향으로도 반복적으로 배치될 수 있다. 이러한 본 발명의 실시예들에 따르면, 집적도를 크게 향상시킬 수 있으면서 우수한 성능 및 동작 특성을 가질 수 있는 메모리 소자를 구현할 수 있다. 상기 메모리 소자는 수평 배열 및 적층형 구조를 갖는 GAA(gate-all-around) 타입의 적층형 메모리 소자일 수 있다. 또한, 본 발명의 일 실시예에 따른 메모리 소자는 수직형 디램(DRAM) 소자 또는 3차원 디램(DRAM) 소자일 수 있다.
- [187] 이하에서는, 도 55a 및 도 55b를 참조하여 본 발명의 일 실시예에 따른 메모리 소자에 대해서 추가적으로 설명하도록 한다.
- [188] 도 55a 및 도 55b를 참조하면, 본 발명의 일 실시예에 따른 메모리 소자는 수직 방향으로 적층된 복수의 메모리 셀을 포함할 수 있다. 상기 복수의 메모리 셀 각각은 트랜지스터 및 상기 트랜지스터의 측방으로 이와 전기적으로 연결된 커패시터를 포함할 수 있다. 상기 트랜지스터는 TR1 및 TR2에 해당할 수 있고, 상기 커패시터는 CP1 및 CP2에 해당할 수 있다. 상기 트랜지스터는 채널 물질층(CM1)과 이를 둘러싸는 워드 라인(WL1) 및 이들 사이에 배치된 게이트 절연층(GN1)을 포함할 수 있다. 상기 커패시터는 상기 트랜지스터와 전기적으로 연결된 전극 부재(EL1), 전극 부재(EL1)의 표면에 배치된 유전층(DL1) 및 유전층(DL1)의 표면에 배치된 플레이트 전극(PL1)을 포함할 수 있다.
- [189] 또한, 상기 메모리 소자는 상기 복수의 메모리 셀의 복수의 트랜지스터에 연결된 비트 라인(BL1)을 포함할 수 있다. 비트 라인(BL1)은 수직 방향으로 연장될 수 있다. 비트 라인(BL1)과 워드 라인(WL1) 사이에서 비트 라인(BL1)의 외측면의 적어도 일부를 둘러싸는 바디 절연층(BN1)이 배치될 수 있다. 상기 복수의 트랜지스터의 상호 인접한 두 개의 워드 라인(WL1) 사이에는 바디 절연층(BN1)과 별도의 물질층인 충전 절연층(NF1)이 배치될 수 있다.

- [190] 본 발명의 실시예에서 상기 트랜지스터는 GAA(gate-all-around) 구조를 가질 수 있다. 이와 관련해서, 상기 트랜지스터와 이를 포함하는 메모리 소자는 우수한 특성을 가질 수 있다.
- [191] 바디 절연층(BN1)은, 도 55b에 도시된 바와 같이 위에서 보았을 때, 워드 라인(WL1)과 동일한 방향으로 연장된 라인 형태를 가질 수 있다. 바디 절연층(BN1) 내에 복수의 비트 라인(BL1)이 수평 방향, 즉, 워드 라인(WL1)이 연장된 수평 방향으로 상호 이격하여 배치될 수 있다.
- [192] 부가해서, 상기 메모리 소자는 전극 부재(EL1)에 인접한 게이트 절연층(GN1)의 일부(단부)를 둘러싸면서 워드 라인(WL1)의 측면을 덮도록 연장된 삽입 절연층(NN1)을 더 포함할 수 있다. 삽입 절연층(NN1)은 바디 절연층(BN1) 및 충전 절연층(NF1)과 별도의 물질층일 수 있다. 삽입 절연층(NN1)은, 예컨대, ALD(atomic layer deposition) 물질층일 수 있다.
- [193] 일 실시예에 따르면, 충전 절연층(NF1)의 제 1 측면(제 1 단부)에 바디 절연층(BN1)이 접촉될 수 있고, 충전 절연층(NF1)의 제 2 측면(제 2 단부)에 삽입 절연층(NN1)이 접촉될 수 있다. 삽입 절연층(NN1)의 일부는 전극 부재(EL1)에 접촉될 수 있다.
- [194] 또한, 일 실시예에 따르면, 삽입 절연층(NN1)의 측면은 유전층(DL1)의 측면에 접촉될 수 있다. 삽입 절연층(NN1)의 제 1 측면에 워드 라인(WL1)이 접촉될 수 있고, 삽입 절연층(NN1)의 제 2 측면에 유전층(DL1)이 접촉될 수 있다. 그러나, 이러한 구조에 한정되지 않고, 변형 가능할 수 있다.
- [195] 본 발명의 일 실시예에 따른 메모리 소자는 도 55a 및 도 55b에 도시된 바와 같은 구조적 특징들을 가질 수 있다. 예를 들어, 상기 메모리 소자는 적층형 구조를 가지면서 바디 절연층(BN1), 충전 절연층(NF1), 삽입 절연층(NN1) 및 이들의 주변부, 그리고, 트랜지스터 및 커패시터의 구조에서 특징들을 가질 수 있다.
- [196] 이상에서 설명한 본 발명의 실시예들에 따르면, 집적도를 향상시킬 수 있으면서 우수한 성능 및 동작 특성을 가질 수 있는 적층형 메모리 소자를 구현할 수 있다. 또한, 본 발명의 실시예들에 따르면, 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상, 수소(H₂) 공정에 의한 손상, 열 공정에 의한 손상 등에 따른 특성 열화를 방지 내지 최소화할 수 있는 메모리 소자의 제조 방법을 구현할 수 있다. 예컨대, 본 발명의 실시예들에 따르면, 주어진 방식에 따라 희생층을 패터닝한 후, 상기 희생층의 패터를 제거한 영역(공간)에 더미 물질을 형성한 다음, 소자의 제조가 거의 완료된 상태에서 상기 더미 물질을 유효 반도체 물질(예컨대, 산화물 반도체 물질)로 대체함으로써, 유효 반도체 물질(예컨대, 산화물 반도체 물질)의 식각 손상, 수소(H₂)에 의한 손상, 열에 의한 손상 등에 따른 특성 열화를 방지 내지 최소화할 수 있는 적층형 메모리 소자의 제조 방법을 구현할 수 있다. 일례에 따르면, 상기 적층형 메모리 소자는 수평 적층형 디램(DRAM) 소자를 포함하여 구성될 수 있다. 그러나, 본 발명의 실시예들에 따른 소자 구조 및 제조 방법의 적어도 일부는 디램(DRAM) 소자뿐 아니라, 다른 메모리 소자(예컨대, PRAM,

RRAM, SRAM, flash 메모리, MRAM, FRAM 등) 또는 논리 회로가 집적된 로직 (logic) 소자를 구현하는 기술 분야 등에도 적용될 수 있다.

- [197] 본 명세서에서는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 해당 기술 분야에서 통상의 지식을 가진 자라면, 도 1a 내지 도 26b 및 도 27a 내지 도 55b를 참조하여 설명한 실시예에 따른 메모리 소자 및 그 제조 방법이, 본 발명의 기술적 사상이 벗어나지 않는 범위 내에서, 다양하게 치환, 변경 및 변형될 수 있음을 알 수 있을 것이다. 때문에 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

산업상 이용가능성

- [198] 본 발명의 실시예들은 반도체/전자 소자 및 그 제조 방법에 적용될 수 있다. 예컨대, 본 발명의 실시예들은 메모리 소자 및 그 제조 방법에 적용될 수 있다.

청구범위

- [청구항 1] 제 1 절연층과 상기 제 1 절연층 상에 순차로 적층된 제 1 희생층 및 제 2 절연층을 포함하는 적층체를 형성하는 단계;
- 상기 적층체를 패터닝하여 상기 제 1 희생층으로부터 얻어진 제 1 희생층 패턴을 구비한 적어도 하나의 패턴부를 갖는 패턴화된 적층체를 형성하되, 상기 패턴부는 제 1 방향으로 연장된 형태를 갖고, 상기 제 1 방향과 수직인 제 2 방향에 따른 상기 패턴부의 양측에 빈공간이 구비된 상기 패턴화된 적층체를 형성하는 단계;
- 상기 적어도 하나의 패턴부의 양측의 빈공간에 절연 물질을 충전하여 상기 패턴화된 적층체와 상기 절연 물질을 포함하는 구조체를 형성하는 단계;
- 상기 구조체에 상기 패턴부의 상기 제 1 희생층 패턴을 관통하는 제 1 수직홀을 형성하는 단계;
- 상기 제 1 수직홀에 의해 노출된 상기 제 1 희생층 패턴을 제거하여 상기 제 1 방향으로 연장된 수평홀을 형성하는 단계;
- 상기 제 1 수직홀 및 상기 수평홀의 내측면에 게이트 절연 물질층을 형성하고, 상기 게이트 절연 물질층 상에 상기 제 1 수직홀 및 상기 수평홀을 충전하는 채널 물질층을 형성하는 단계;
- 상기 게이트 절연 물질층 및 상기 채널 물질층이 형성된 상기 구조체에서 상기 제 1 수직홀에 대응하는 영역에 제 2 수직홀을 형성하는 단계;
- 상기 구조체의 상기 제 2 수직홀 주위의 트랜지스터 형성 영역에서 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 단계;
- 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인을 형성하여 이를 포함하는 트랜지스터를 정의하는 단계;
- 상기 구조체의 상기 트랜지스터 형성 영역과 인접한 커패시터 형성 영역에 제 1 트렌치를 형성하는 단계;
- 상기 커패시터 형성 영역에서 상기 제 1 트렌치에 의해 노출된 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 제 1 리세스부를 형성하는 단계;
- 상기 제 1 리세스부를 충전하는 몰드 절연층을 형성하는 단계;
- 상기 트랜지스터 형성 영역에서 상기 제 2 수직홀에 대응하는 영역에 상기 채널 물질층의 일단에 연결된 비트 라인을 형성하는 단계; 및
- 상기 커패시터 형성 영역에서 상기 채널 물질층 및 상기 게이트 절연 물질층을 제거하여 제 2 리세스부를 형성하고, 상기 제 2 리세스부의 내측면에 상기 채널 물질층의 타단과 연결된 전극 부재를 형성하고, 상기 전극 부재

상에 유전층 및 플레이트 전극을 순차로 형성하여 상기 전극 부재와 상기 유전층 및 상기 플레이트 전극을 포함하는 커패시터를 형성하는 단계를 포함하는 메모리 소자의 제조 방법.

[청구항 2] 제 1 항에 있어서,
상기 수평홀을 형성하는 단계에서 상기 제 1 희생층 패턴 전체를 제거하는 메모리 소자의 제조 방법.

[청구항 3] 제 1 항에 있어서,
상기 제 1 절연층, 상기 제 2 절연층 및 상기 절연 물질은 실리콘 질화물을 포함하고,
상기 제 1 희생층은 실리콘 산화물을 포함하는 메모리 소자의 제조 방법.

[청구항 4] 제 1 항에 있어서,
상기 채널 물질층은 산화물 반도체를 포함하는 메모리 소자의 제조 방법.

[청구항 5] 제 1 항에 있어서, 상기 워드 라인을 형성하여 상기 트랜지스터를 정의하는 단계는,

상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인용 물질층을 형성하는 단계;

상기 워드 라인용 물질층에서 상기 제 2 수직홀에 대응하는 영역을 식각하여 관통홀을 형성하는 단계;

상기 채널 물질층의 상기 일단이 상기 워드 라인용 물질층 보다 상기 관통홀 쪽으로 돌출되도록 상기 관통홀을 통해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계; 및

상기 관통홀을 충전하는 바디 절연층을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.

[청구항 6] 제 5 항에 있어서,
상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 제 1 리세스부에 의해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계를 더 포함하는 메모리 소자의 제조 방법.

[청구항 7] 제 5 항에 있어서, 상기 비트 라인을 형성하는 단계는,
상기 바디 절연층의 상기 제 2 수직홀에 대응하는 영역에 제 3 수직홀을 형성하는 단계; 및
상기 제 3 수직홀 내에 상기 비트 라인을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.

[청구항 8] 제 1 항에 있어서,
상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 커패시터 형성 영역에서 상기 노출된 상기 게이트 절연 물질층 부분을 감싸는 삽입 절연층을 형성하는 단계를 더 포함하고,
상기 몰드 절연층은 상기 삽입 절연층 상에 상기 제 1 리세스부 및 상기 제 1 트렌치를 충전하도록 형성되고,

상기 몰드 절연층에서 상기 제 1 트렌치에 대응하는 영역에 제 2 트렌치를 형성하는 단계를 더 포함하며,
상기 제 2 트렌치에 의해 노출된 상기 채널 물질층, 상기 게이트 절연 물질층 및 상기 삽입 절연층을 식각하여 상기 제 2 리세스부를 형성하는 메모리 소자의 제조 방법.

- [청구항 9] 제 1 항에 있어서,
상기 전극 부재를 형성한 후, 상기 몰드 절연층을 식각하여 상기 전극 부재의 외측면을 노출시키는 단계를 더 포함하고,
상기 몰드 절연층을 식각한 후, 상기 유전층 및 상기 플레이트 전극을 순차로 형성하는 메모리 소자의 제조 방법.
- [청구항 10] 제 1 항에 있어서,
상기 적층체는 상기 제 2 절연층 상에 순차로 적층된 제 2 희생층 및 제 3 절연층을 더 포함하고,
상기 적층체는 상기 제 2 절연층을 기준으로 상하 대칭적인 구조를 갖는 메모리 소자의 제조 방법.
- [청구항 11] 제 10 항에 있어서,
상기 제 2 절연층은 상기 제 1 절연층, 상기 제 3 절연층, 상기 제 1 희생층 및 상기 제 2 희생층 각각의 두께 보다 큰 두께를 갖는 메모리 소자의 제조 방법.
- [청구항 12] 제 10 항에 있어서,
상기 트랜지스터는 제 1 트랜지스터이고,
상기 커패시터는 제 1 커패시터이며,
상기 메모리 소자는 상기 제 1 트랜지스터 상에 배치되는 제 2 트랜지스터 및 상기 제 1 커패시터 상에 배치되는 제 2 커패시터를 더 포함하도록 형성되는 메모리 소자의 제조 방법.
- [청구항 13] 제 1 절연층과 상기 제 1 절연층 상에 순차로 적층된 제 1 희생층 및 제 2 절연층을 포함하는 적층체를 형성하는 단계;
상기 적층체를 패터닝하여 상기 제 1 희생층으로부터 얻어진 제 1 희생층 패턴을 구비한 적어도 하나의 패턴부를 갖는 패턴화된 적층체를 형성하되, 상기 패턴부는 제 1 방향으로 연장된 형태를 갖고, 상기 제 1 방향과 수직인 제 2 방향에 따른 상기 패턴부의 양측에 빈공간이 구비된 상기 패턴화된 적층체를 형성하는 단계;
상기 적어도 하나의 패턴부의 양측의 빈공간에 절연 물질을 충전하여 상기 패턴화된 적층체와 상기 절연 물질을 포함하는 구조체를 형성하는 단계;
상기 구조체에 상기 패턴부의 상기 제 1 희생층 패턴을 관통하는 제 1 수직홀을 형성하는 단계;

상기 제 1 수직홀에 의해 노출된 상기 제 1 희생층 패턴을 제거하여 상기 제 1 방향으로 연장된 수평홀을 형성하는 단계;
 상기 제 1 수직홀 및 상기 수평홀의 내측면에 게이트 절연 물질층을 형성하고, 상기 게이트 절연 물질층 상에 상기 제 1 수직홀 및 상기 수평홀을 충전하는 더미(dummy) 채널 물질층을 형성하는 단계;
 상기 게이트 절연 물질층 및 상기 더미 채널 물질층이 형성된 상기 구조체에서 상기 제 1 수직홀에 대응하는 영역에 제 2 수직홀을 형성하는 단계;
 상기 구조체의 상기 제 2 수직홀 주위의 트랜지스터 형성 영역에서 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 단계;
 상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인을 형성하는 단계;
 상기 구조체의 상기 트랜지스터 형성 영역과 인접한 커패시터 형성 영역에 제 1 트렌치를 형성하는 단계;
 상기 커패시터 형성 영역에서 상기 제 1 트렌치에 의해 노출된 상기 제 1 및 제 2 절연층과 상기 절연 물질을 제거하여 상기 게이트 절연 물질층을 노출시키는 제 1 리세스부를 형성하는 단계;
 상기 제 1 리세스부를 충전하는 몰드 절연층을 형성하는 단계;
 상기 커패시터 형성 영역에서 상기 더미 채널 물질층 및 상기 게이트 절연 물질층을 제거하여 제 2 리세스부를 형성하고, 상기 제 2 리세스부의 내측면에 전극 부재를 형성하고, 상기 전극 부재 상에 유전층 및 플레이트 전극을 순차로 형성하여 상기 전극 부재와 상기 유전층 및 상기 플레이트 전극을 포함하는 커패시터를 형성하는 단계;
 상기 트랜지스터 형성 영역에서 상기 더미 채널 물질층을 제거하여 빈 채널 공간을 형성하고, 상기 빈 채널 공간 내에 상기 커패시터와 연결된 채널 물질층을 형성하여 상기 채널 물질층을 포함하는 트랜지스터를 정의하는 단계; 및
 상기 채널 물질층에 연결된 비트 라인을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.

- [청구항 14] 제 13 항에 있어서,
 상기 제 1 절연층, 상기 제 2 절연층 및 상기 절연 물질은 실리콘 질화물을 포함하고,
 상기 제 1 희생층은 실리콘 산화물을 포함하는 메모리 소자의 제조 방법.
- [청구항 15] 제 13 항에 있어서,
 상기 더미 채널 물질층은 폴리실리콘(poly-Si)을 포함하는 메모리 소자의 제조 방법.
- [청구항 16] 제 13 항에 있어서,
 상기 채널 물질층은 산화물 반도체를 포함하는 메모리 소자의 제조 방법.

- [청구항 17] 제 13 항에 있어서, 상기 워드 라인을 형성하는 단계는,
상기 트랜지스터 형성 영역에서 상기 노출된 게이트 절연 물질층 부분을 둘러싸는 워드 라인용 물질층을 형성하는 단계;
상기 워드 라인용 물질층에서 상기 제 2 수직홀에 대응하는 영역을 식각하여 관통홀을 형성하는 단계;
상기 더미 채널 물질층의 일단이 상기 워드 라인용 물질층 보다 상기 관통홀 쪽으로 돌출되도록 상기 관통홀을 통해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계; 및
상기 관통홀을 충전하는 바디 절연층을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.
- [청구항 18] 제 17 항에 있어서,
상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 제 1 리세스부에 의해 노출된 상기 워드 라인용 물질층의 일부를 리세스하는 단계를 더 포함하는 메모리 소자의 제조 방법.
- [청구항 19] 제 17 항에 있어서, 상기 빈 채널 공간을 형성하고 상기 채널 물질층을 형성하는 단계는,
상기 바디 절연층의 상기 제 2 수직홀에 대응하는 영역에 제 3 수직홀을 형성하는 단계;
상기 제 3 수직홀에 의해 노출된 상기 더미 채널 물질층을 제거하여 상기 빈 채널 공간을 형성하는 단계; 및
상기 빈 채널 공간 및 상기 제 3 수직홀 내에 상기 채널 물질층을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.
- [청구항 20] 제 19 항에 있어서, 상기 비트 라인을 형성하는 단계는,
상기 제 3 수직홀 내에 형성된 상기 채널 물질층 부분을 제거하여 상기 제 3 수직홀을 재형성하는 단계; 및
상기 재형성된 제 3 수직홀 내에 상기 비트 라인을 형성하는 단계를 포함하는 메모리 소자의 제조 방법.
- [청구항 21] 제 13 항에 있어서,
상기 커패시터 형성 영역에 상기 제 1 리세스부를 형성하는 단계 후, 상기 커패시터 형성 영역에서 상기 노출된 상기 게이트 절연 물질층 부분을 감싸는 삽입 절연층을 형성하는 단계를 더 포함하고,
상기 몰드 절연층은 상기 삽입 절연층 상에 상기 제 1 리세스부 및 상기 제 1 트렌치를 충전하도록 형성되고,
상기 몰드 절연층에서 상기 제 1 트렌치에 대응하는 영역에 제 2 트렌치를 형성하는 단계를 더 포함하며,
상기 제 2 트렌치에 의해 노출된 상기 더미 채널 물질층, 상기 게이트 절연 물질층 및 상기 삽입 절연층을 식각하여 상기 제 2 리세스부를 형성하는 메모리 소자의 제조 방법.

- [청구항 22] 제 13 항에 있어서,
상기 전극 부재를 형성한 후, 상기 몰드 절연층을 식각하여 상기 전극 부재의 외측면을 노출시키는 단계를 더 포함하고,
상기 몰드 절연층을 식각한 후, 상기 유전층 및 상기 플레이트 전극을 순차로 형성하는 메모리 소자의 제조 방법.
- [청구항 23] 제 13 항에 있어서,
상기 적층체는 상기 제 2 절연층 상에 순차로 적층된 제 2 희생층 및 제 3 절연층을 더 포함하고,
상기 적층체는 상기 제 2 절연층을 기준으로 상하 대칭적인 구조를 갖는 메모리 소자의 제조 방법.
- [청구항 24] 제 23 항에 있어서,
상기 제 2 절연층은 상기 제 1 절연층, 상기 제 3 절연층, 상기 제 1 희생층 및 상기 제 2 희생층 각각의 두께 보다 큰 두께를 갖는 메모리 소자의 제조 방법.
- [청구항 25] 제 23 항에 있어서,
상기 트랜지스터는 제 1 트랜지스터이고,
상기 커패시터는 제 1 커패시터이며,
상기 메모리 소자는 상기 제 1 트랜지스터 상에 배치되는 제 2 트랜지스터 및 상기 제 1 커패시터 상에 배치되는 제 2 커패시터를 더 포함하도록 형성되는 메모리 소자의 제조 방법.
- [청구항 26] 수직 방향으로 적층된 복수의 메모리 셀을 포함하고,
상기 복수의 메모리 셀 각각은 트랜지스터 및 상기 트랜지스터의 측방으로 이와 전기적으로 연결된 커패시터를 포함하고,
상기 트랜지스터는 채널 물질층과 이를 둘러싸는 워드 라인 및 이들 사이에 배치된 게이트 절연층을 포함하고,
상기 커패시터는 상기 트랜지스터와 전기적으로 연결된 전극 부재, 상기 전극 부재의 표면에 배치된 유전층 및 상기 유전층의 표면에 배치된 플레이트 전극을 포함하고,
상기 복수의 메모리 셀의 복수의 트랜지스터에 연결된 것으로, 수직 방향으로 연장된 비트 라인이 구비되고,
상기 비트 라인과 상기 워드 라인 사이에서 상기 비트 라인의 외측면의 적어도 일부를 둘러싸는 바디 절연층이 구비되고,
상기 복수의 트랜지스터의 상호 인접한 두 개의 워드 라인 사이에 상기 바디 절연층과 별도의 물질층인 충전 절연층이 구비된 메모리 소자.
- [청구항 27] 제 26 항에 있어서,
상기 트랜지스터는 GAA(gate-all-around) 구조를 갖는 메모리 소자.
- [청구항 28] 제 26 항에 있어서,

상기 바디 절연층은, 위에서 보았을 때, 상기 워드 라인과 동일한 방향으로 연장된 라인 형태를 갖는 메모리 소자.

[청구항 29]

제 26 항에 있어서,

상기 전극 부재에 인접한 상기 게이트 절연층의 일부를 둘러싸면서 상기 워드 라인의 측면을 덮도록 연장된 삽입 절연층을 더 포함하고,

상기 삽입 절연층은 상기 바디 절연층 및 상기 충전 절연층과 별도의 물질층인 메모리 소자.

[청구항 30]

제 29 항에 있어서,

상기 충전 절연층의 제 1 측면에 상기 바디 절연층이 접촉되고,

상기 충전 절연층의 제 2 측면에 상기 삽입 절연층이 접촉된 메모리 소자.

[청구항 31]

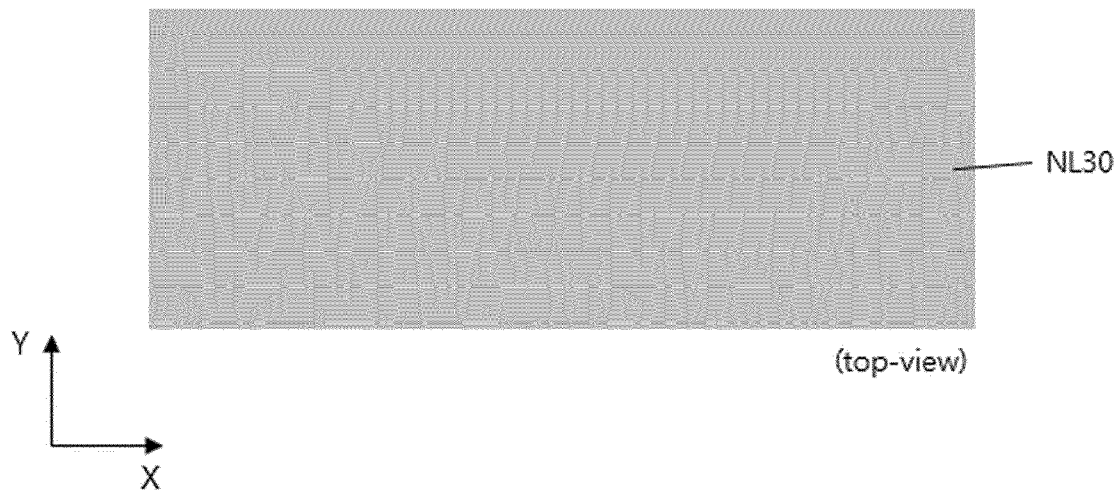
제 29 항에 있어서,

상기 삽입 절연층은 ALD(atomic layer deposition) 물질층인 메모리 소자.

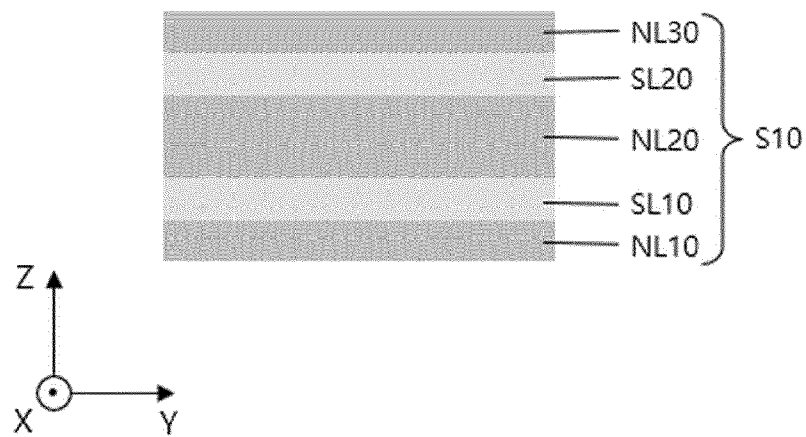
[도 1a]



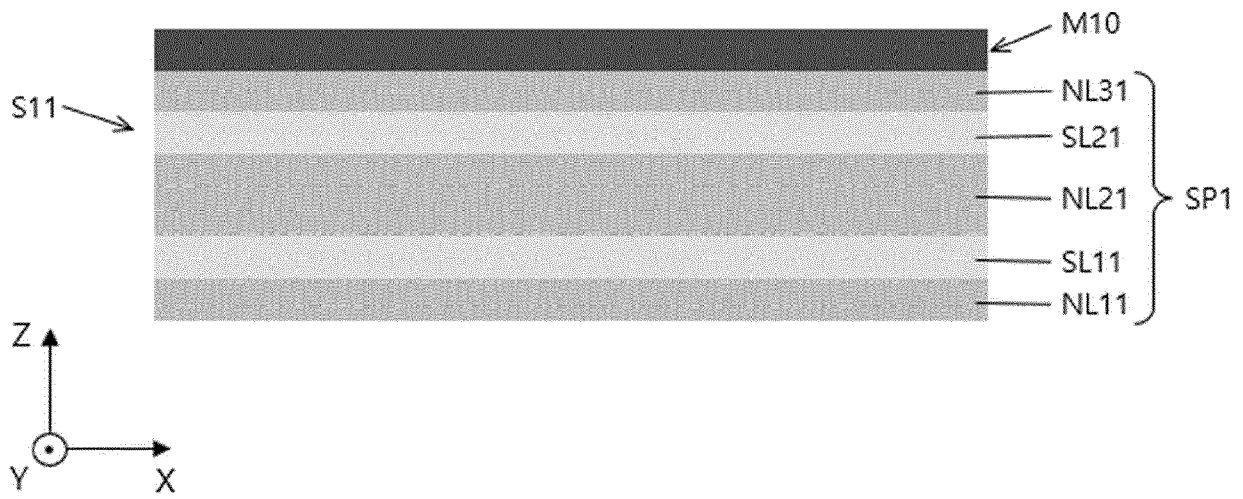
[도 1b]



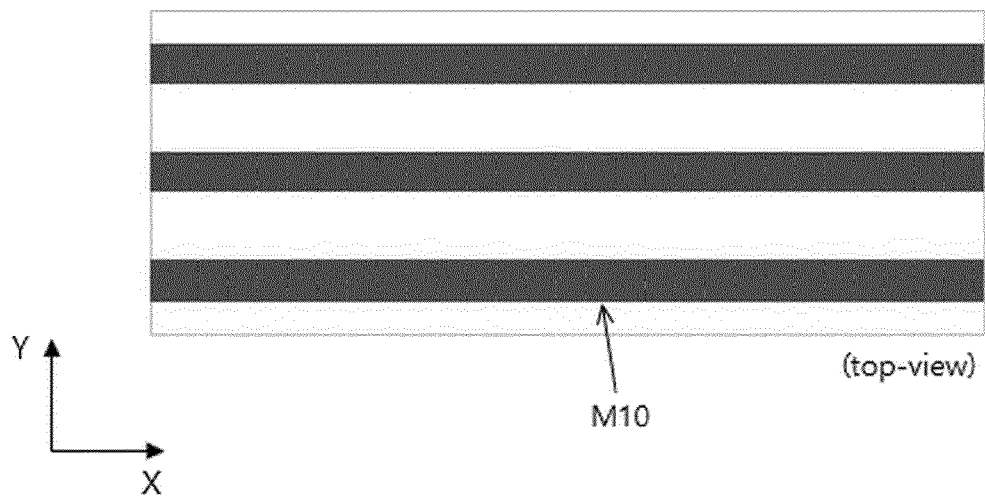
[도 1c]



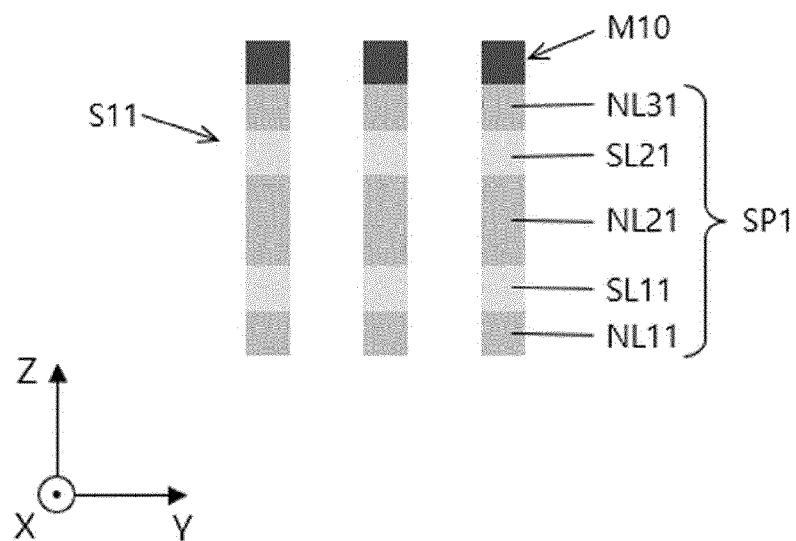
[도2a]



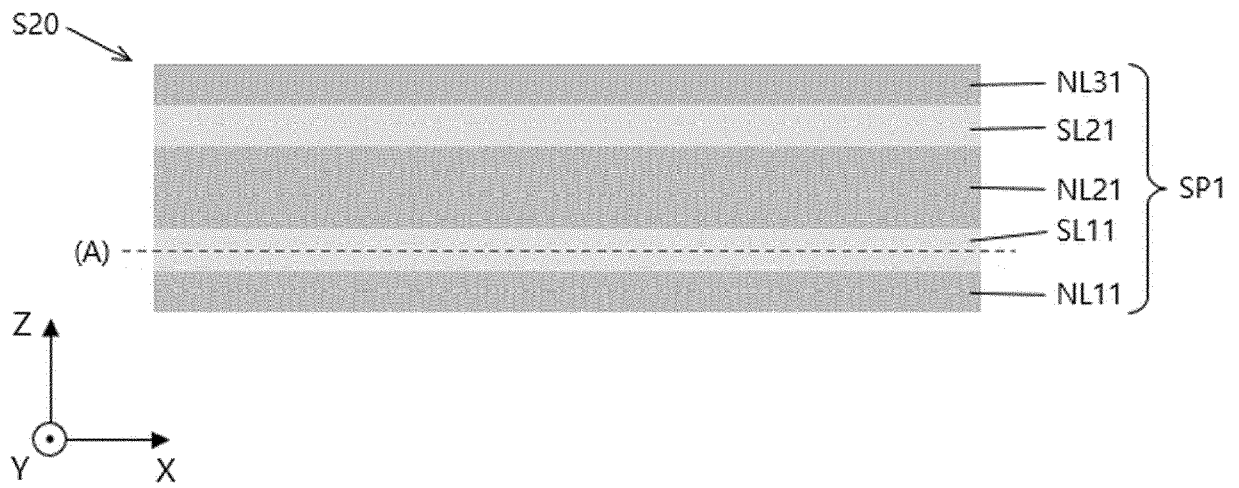
[도2b]



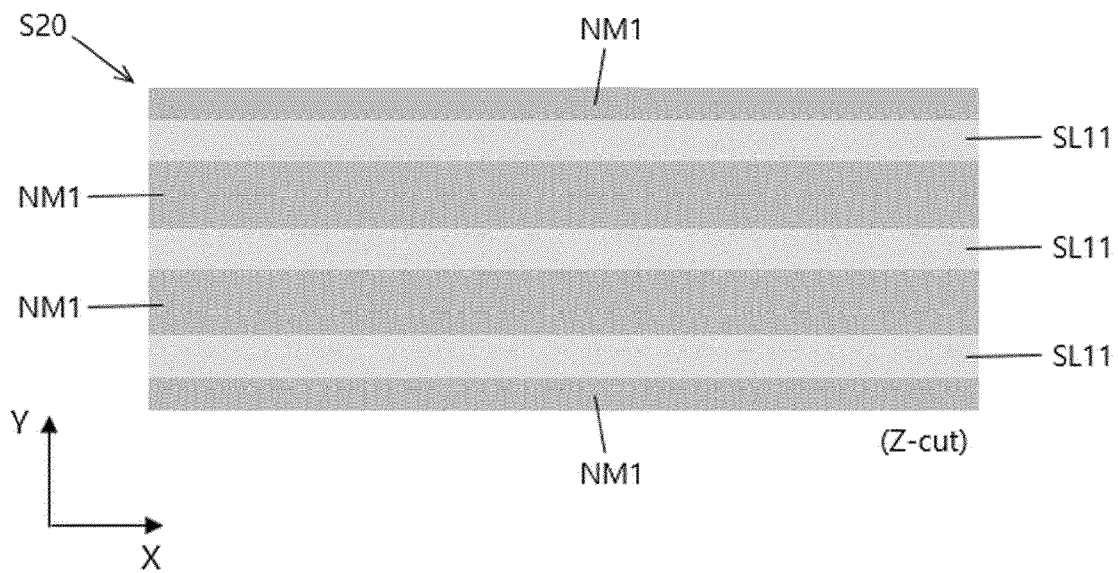
[도2c]



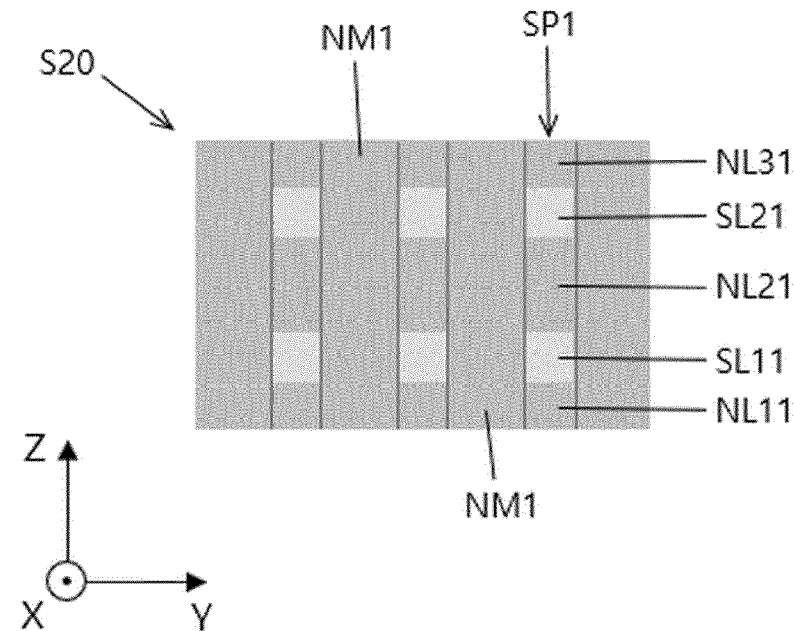
[도3a]



[도3b]



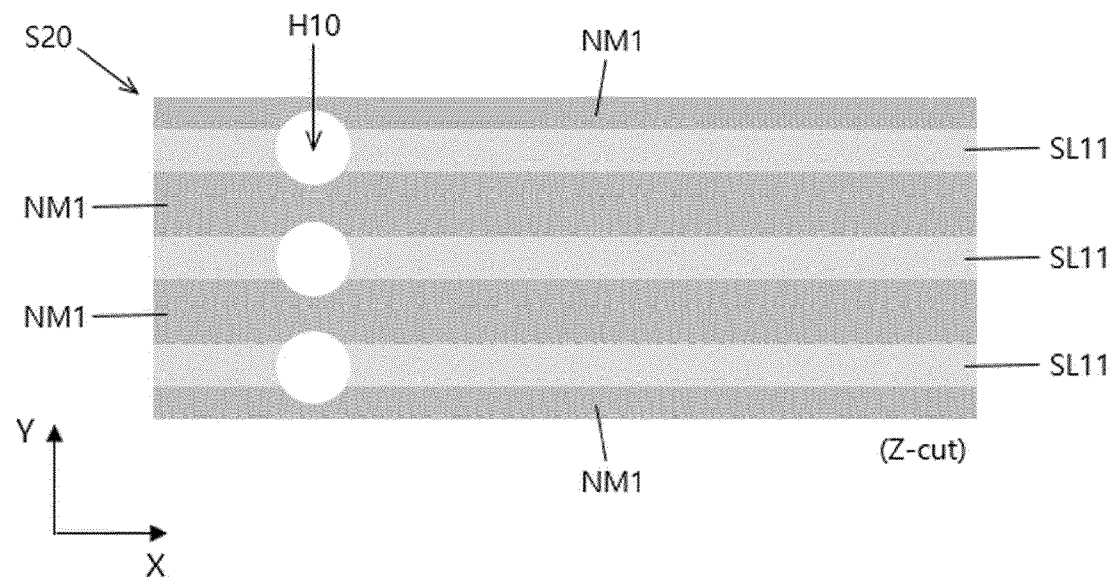
[도3c]



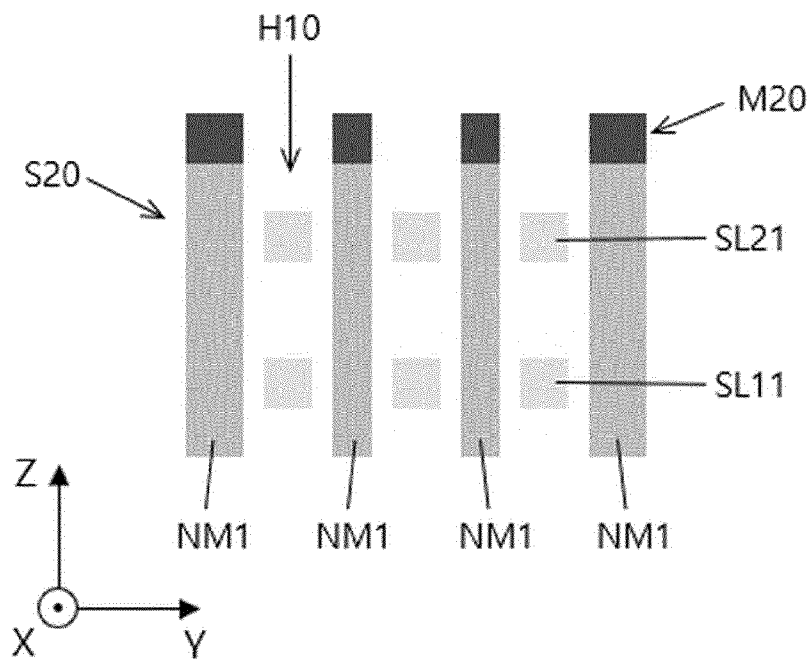
[도4a]



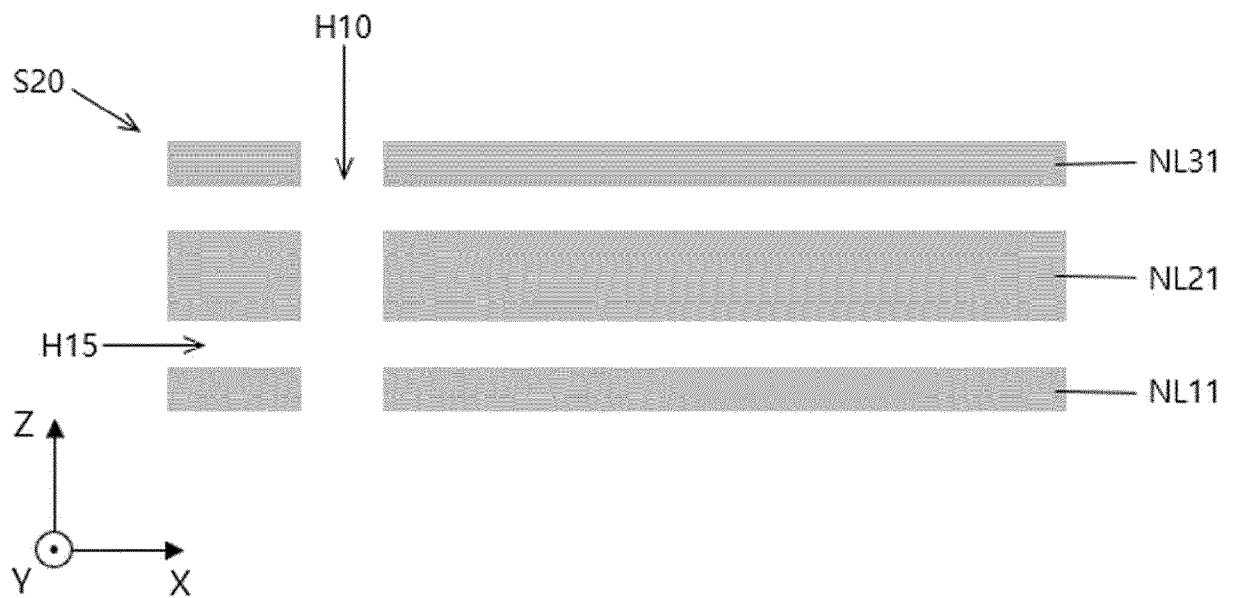
[도4b]



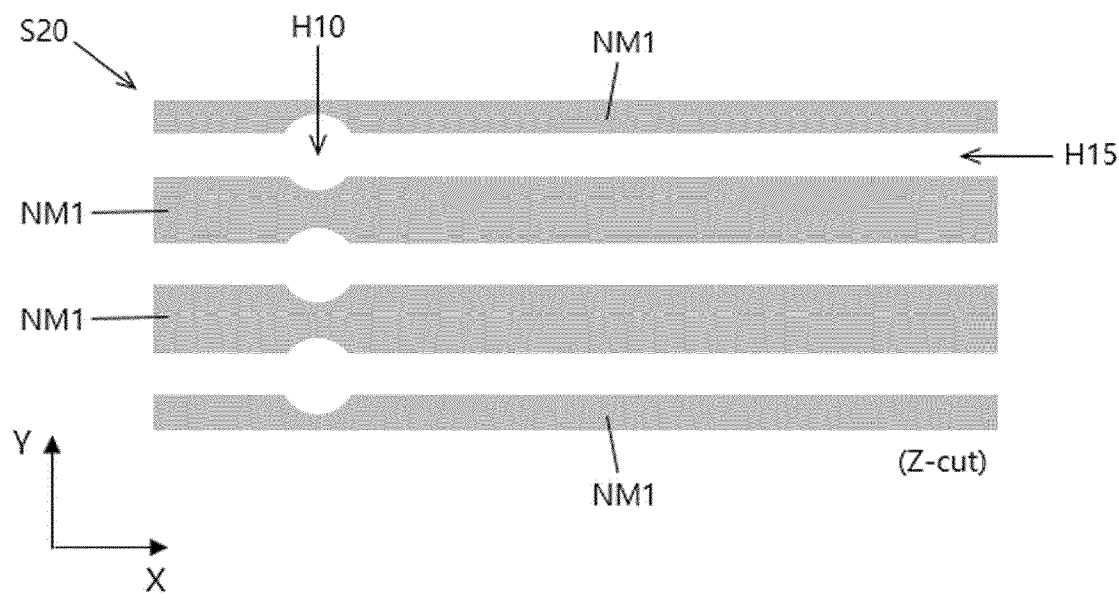
[도4c]



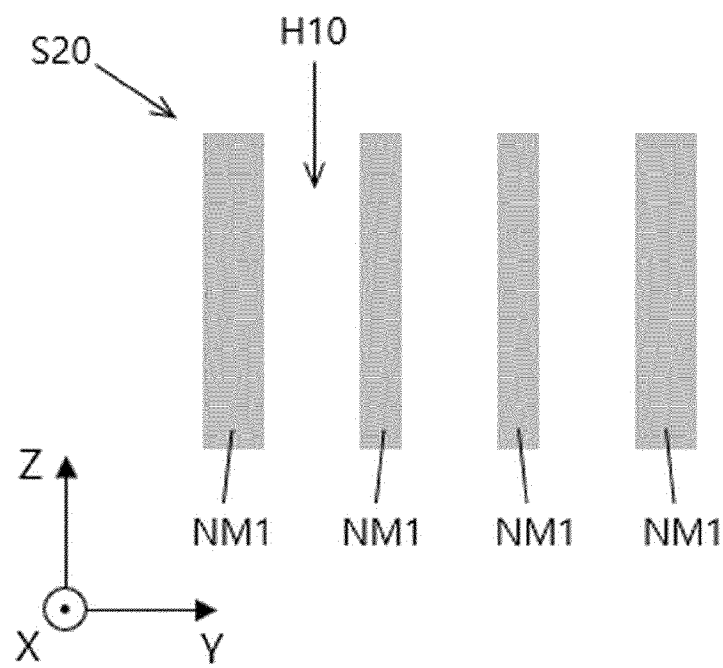
[도5a]



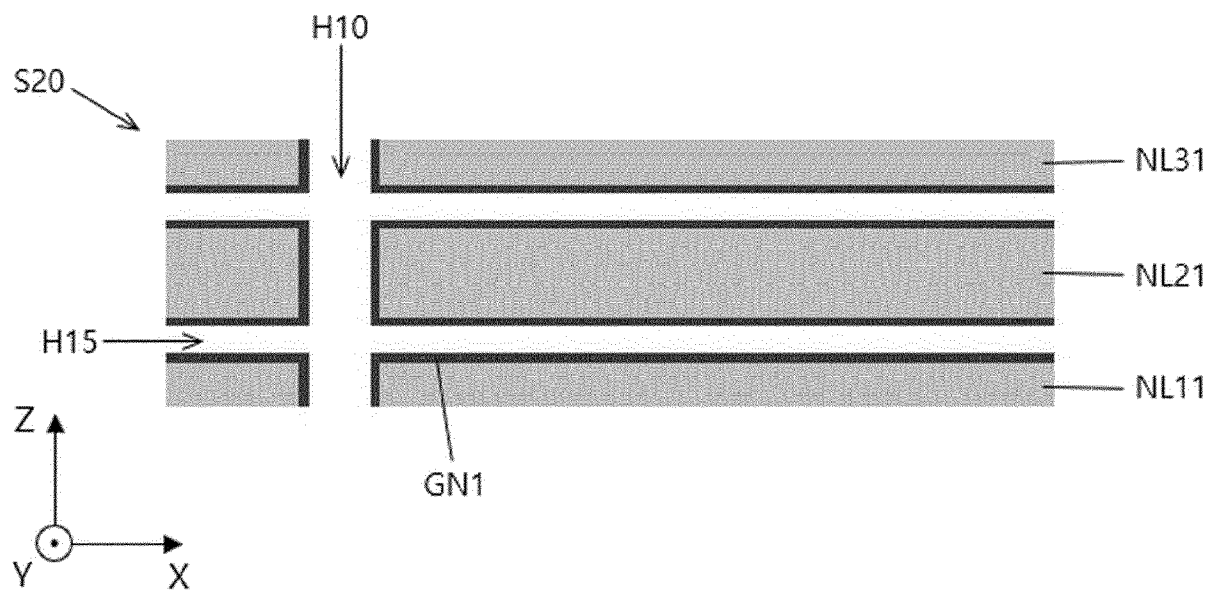
[도5b]



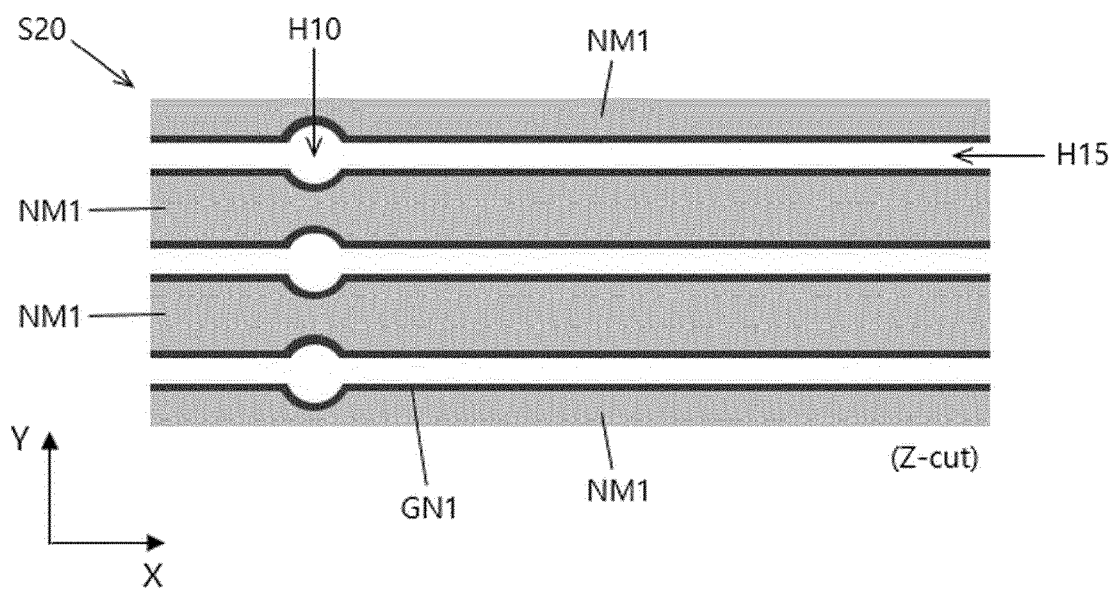
[도5c]



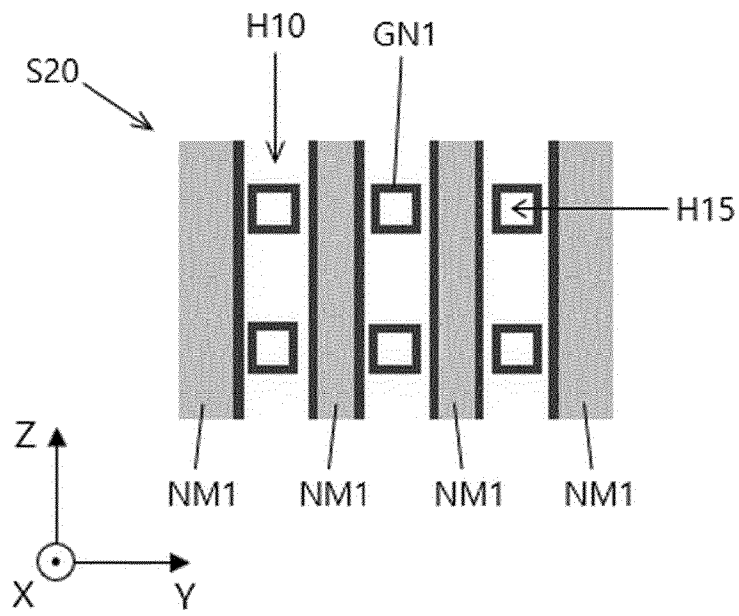
[도6a]



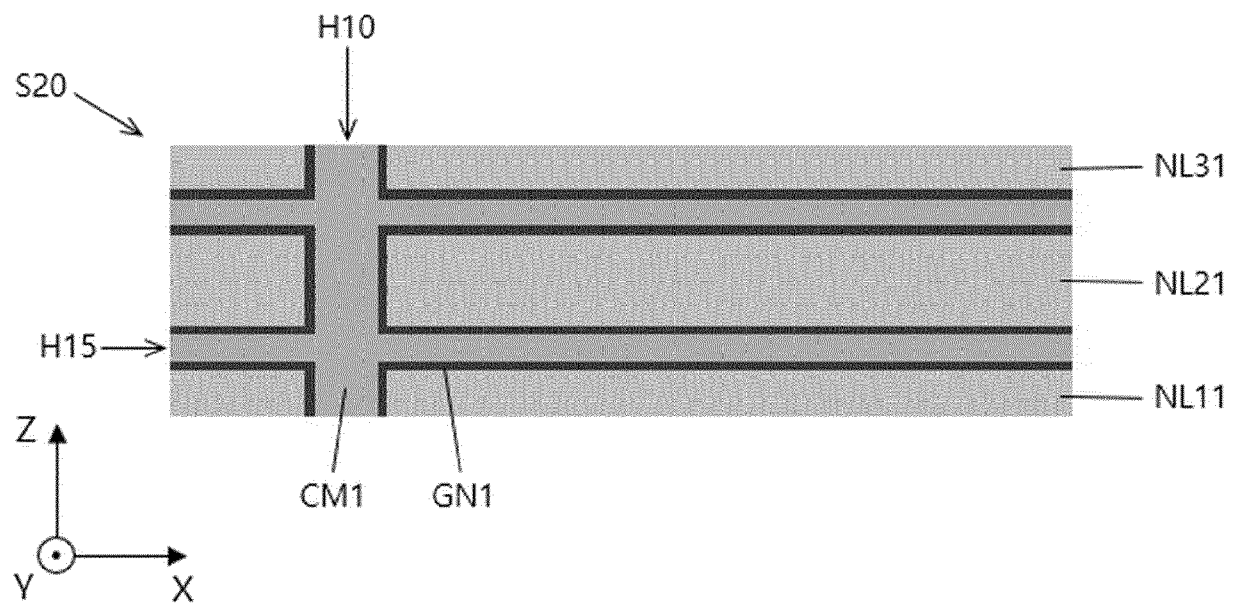
[도6b]



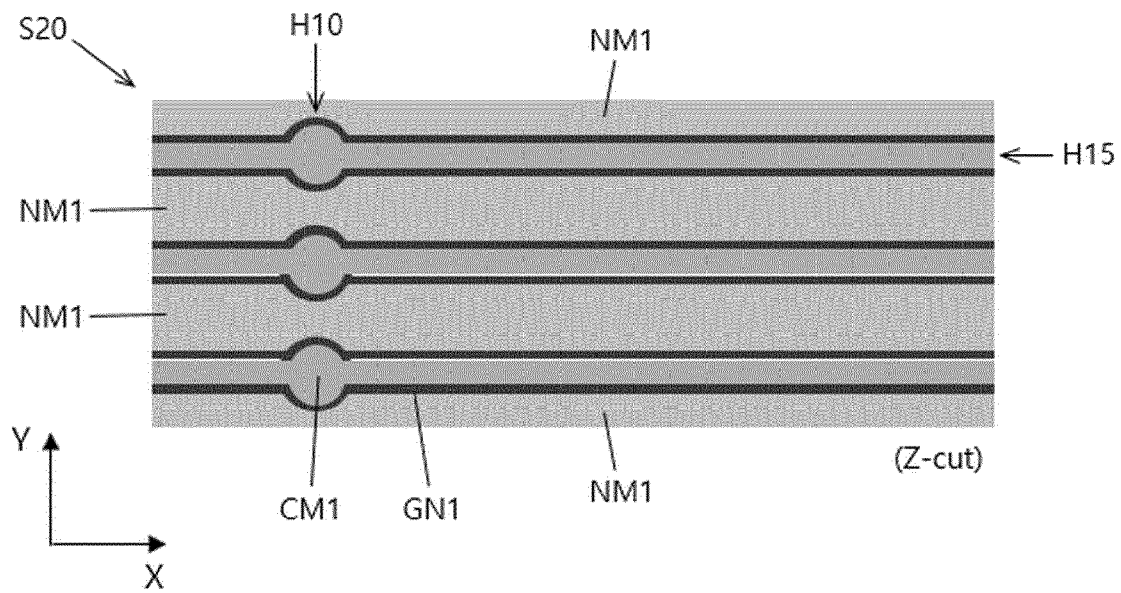
[도6c]



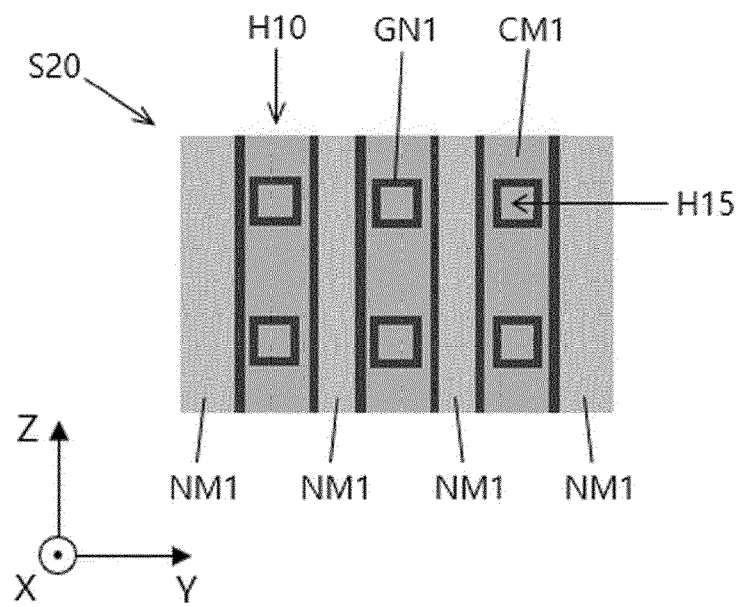
[도7a]



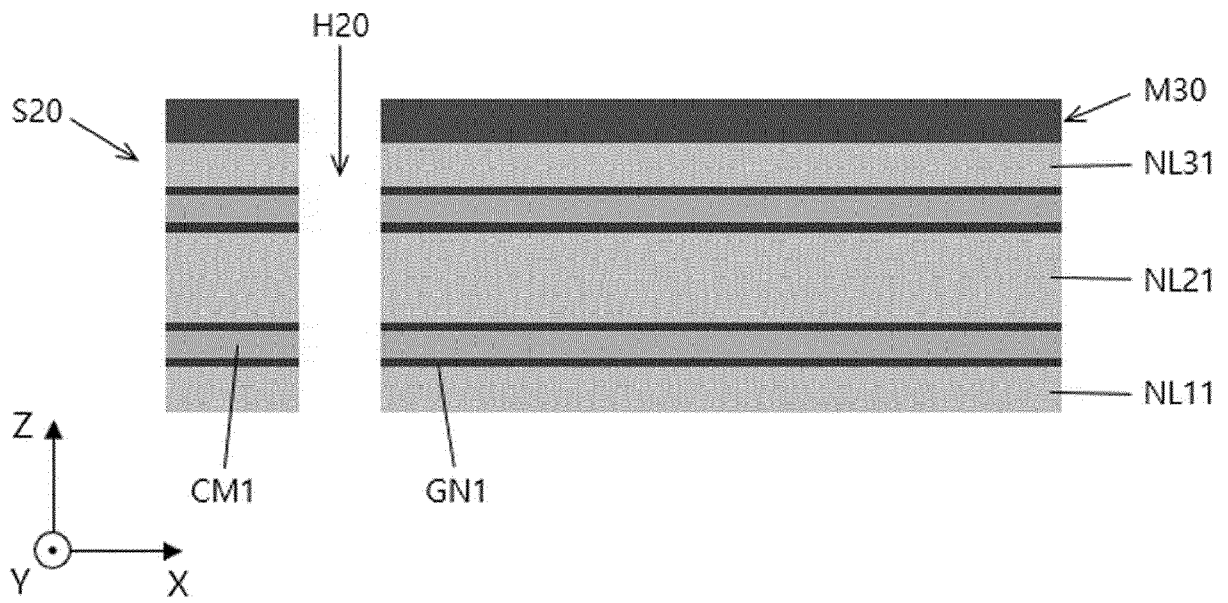
[도7b]



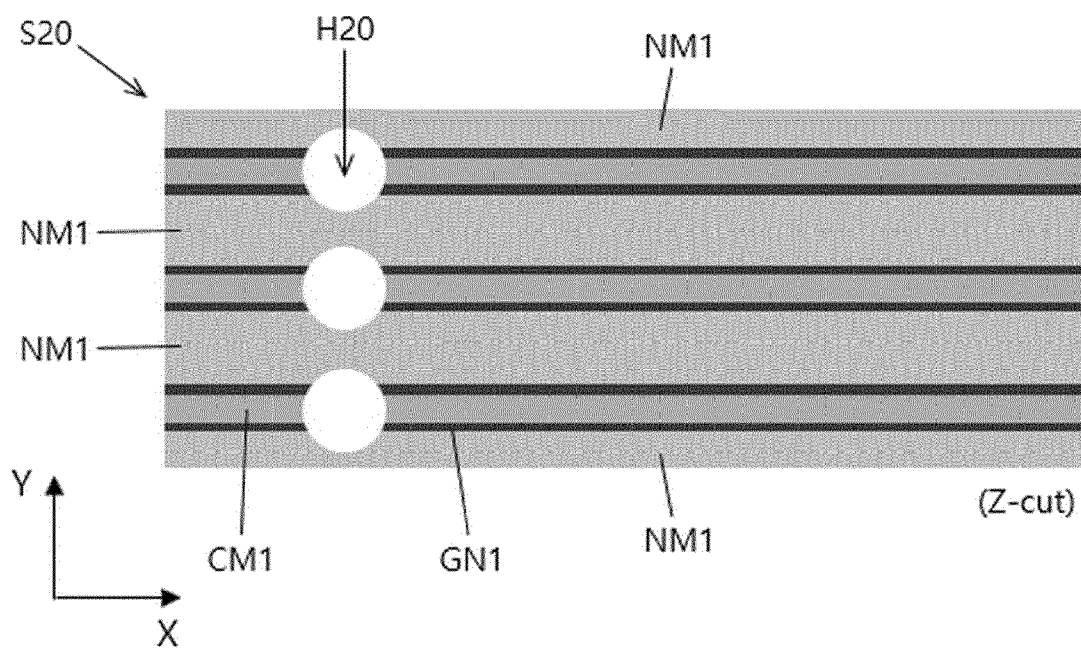
[도7c]



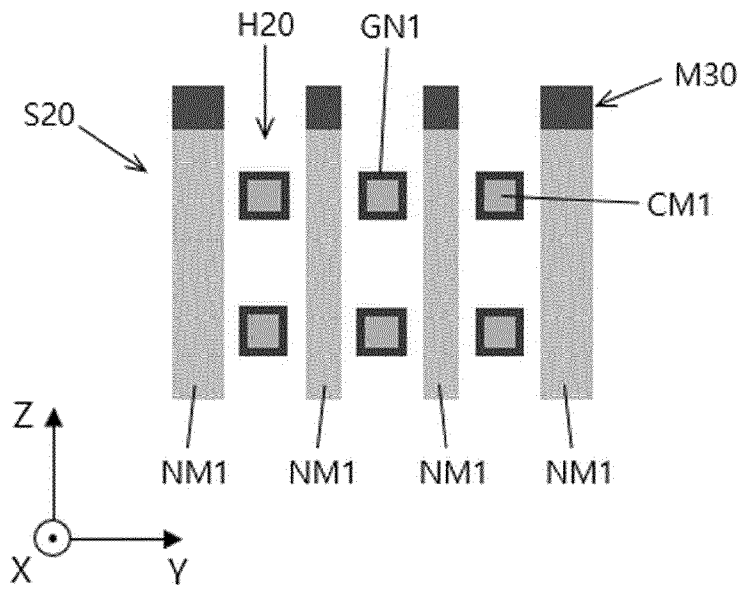
[도8a]



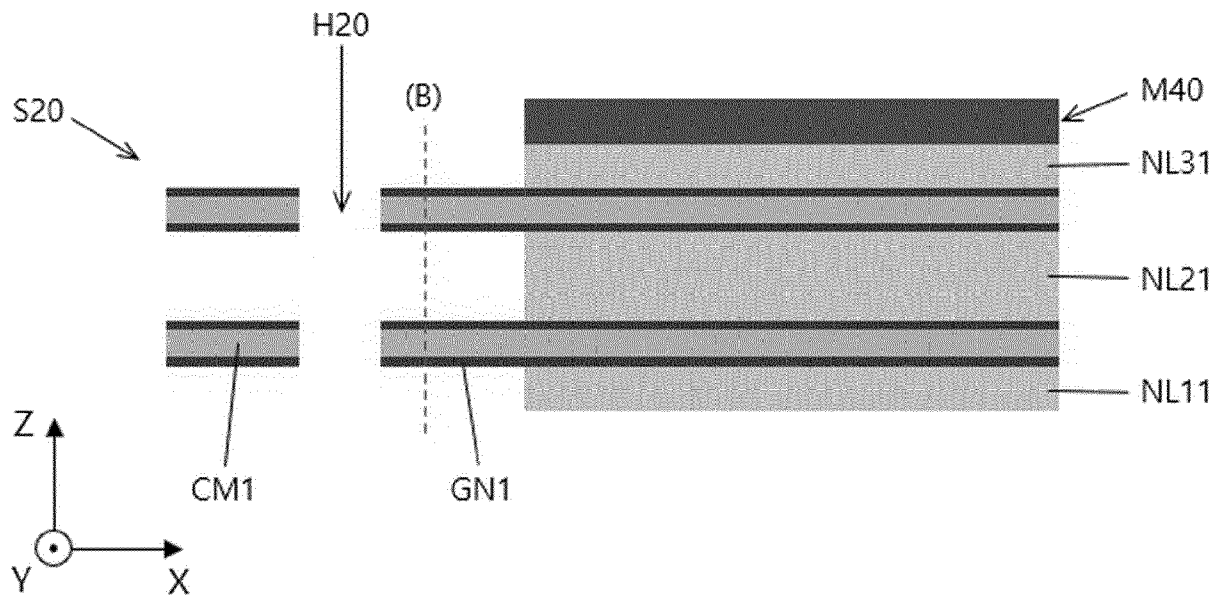
[도8b]



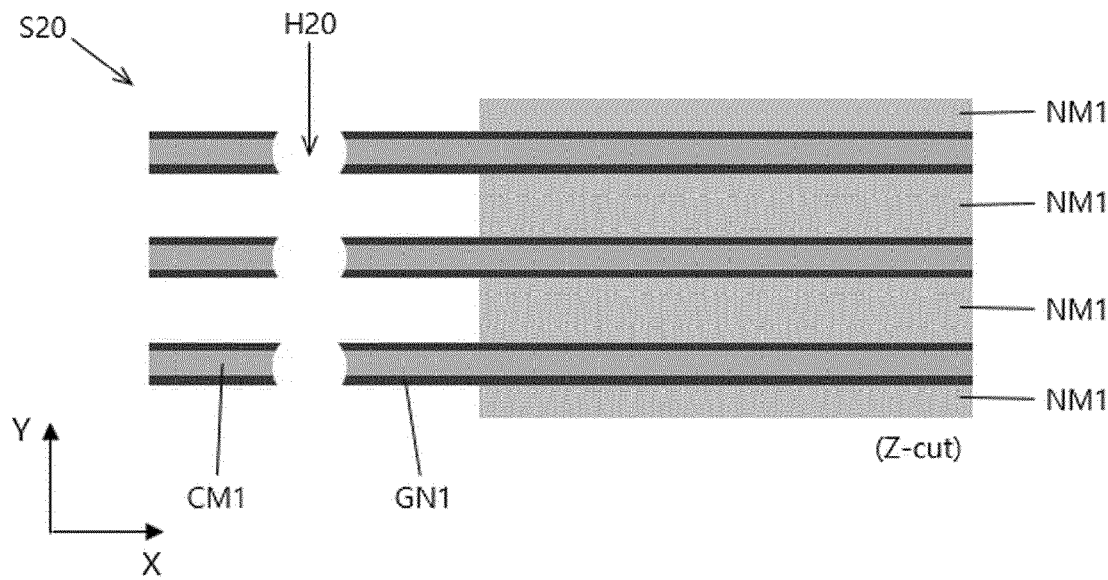
[도8c]



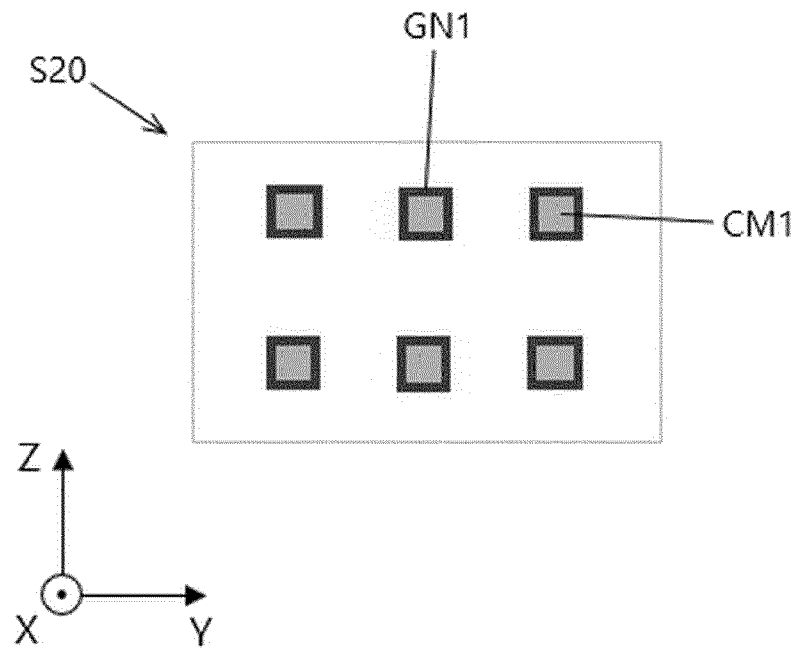
[도9a]



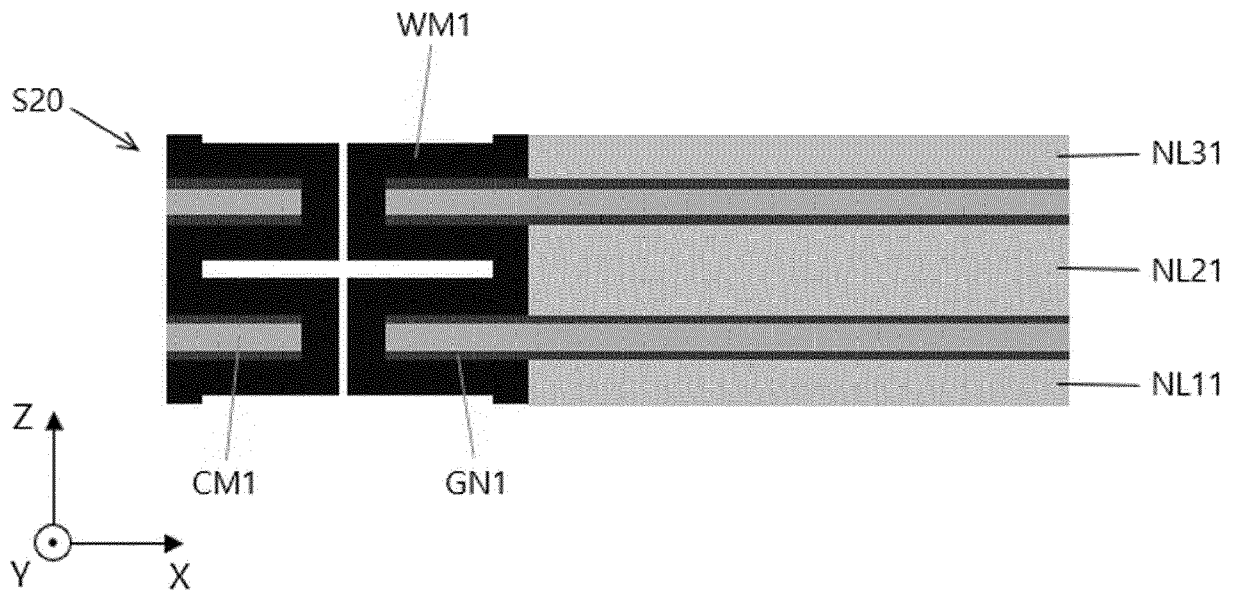
[도9b]



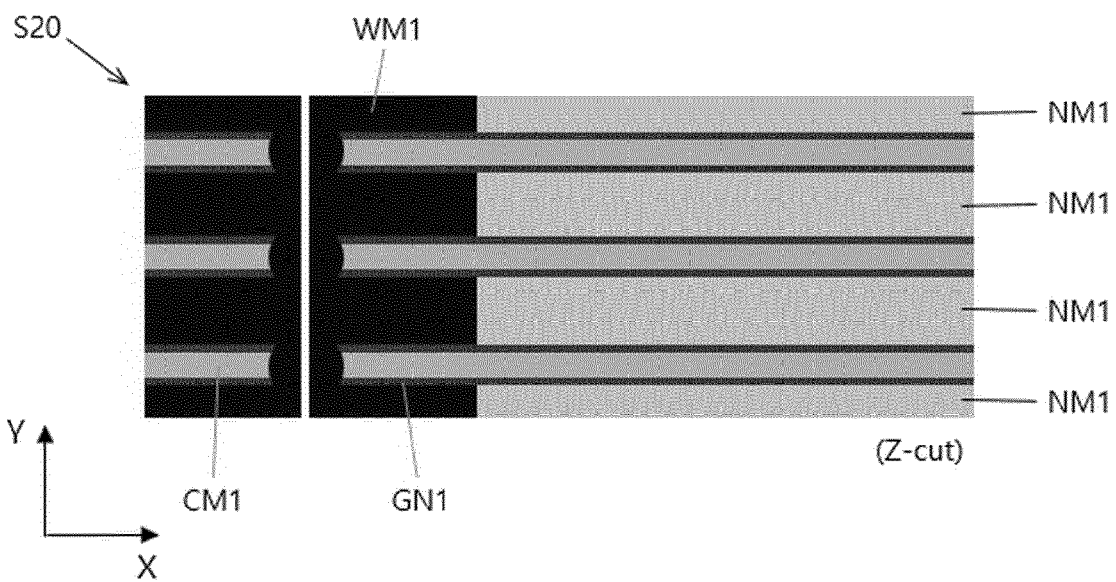
[도9c]



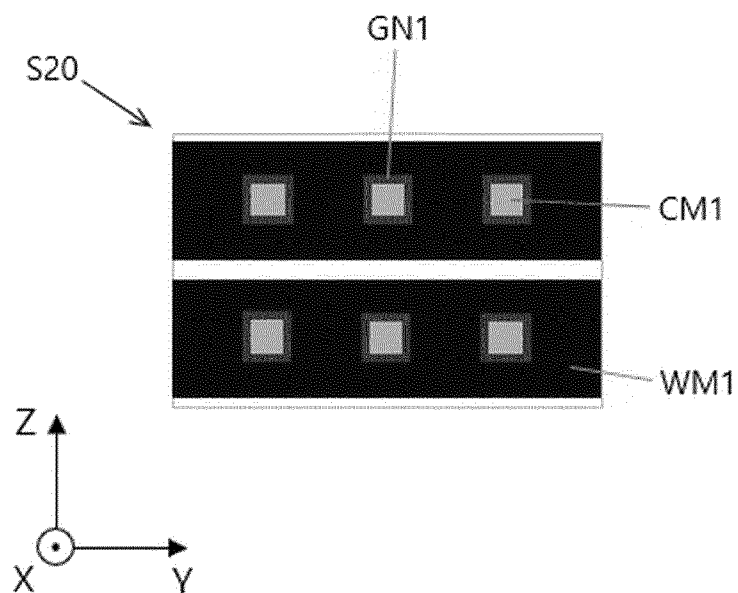
[도 10a]



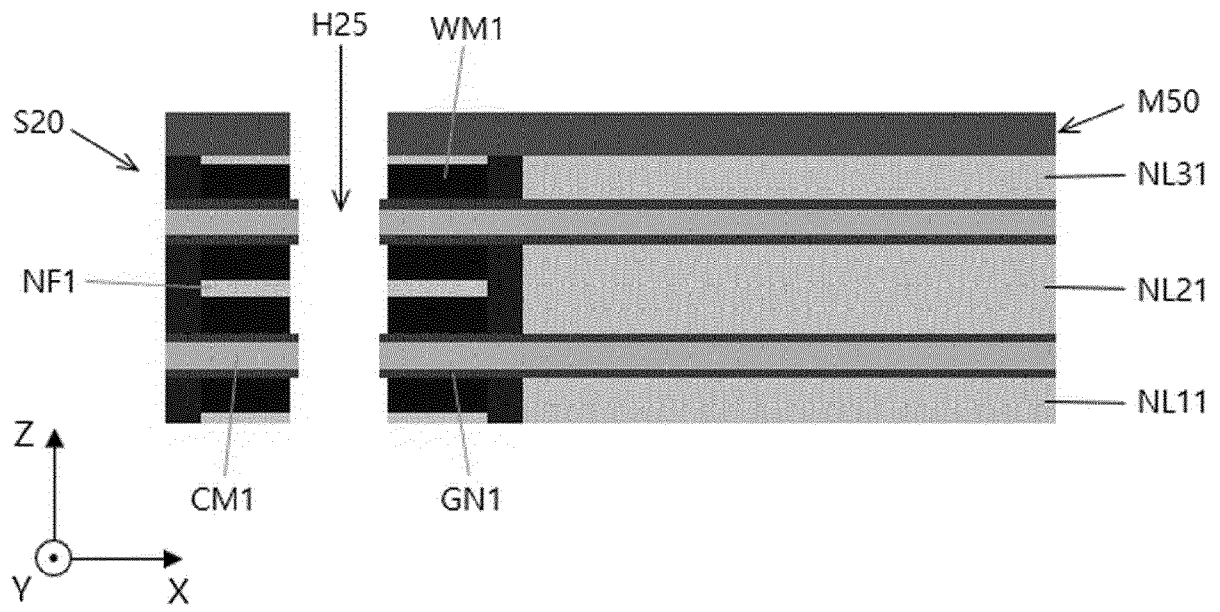
[도 10b]



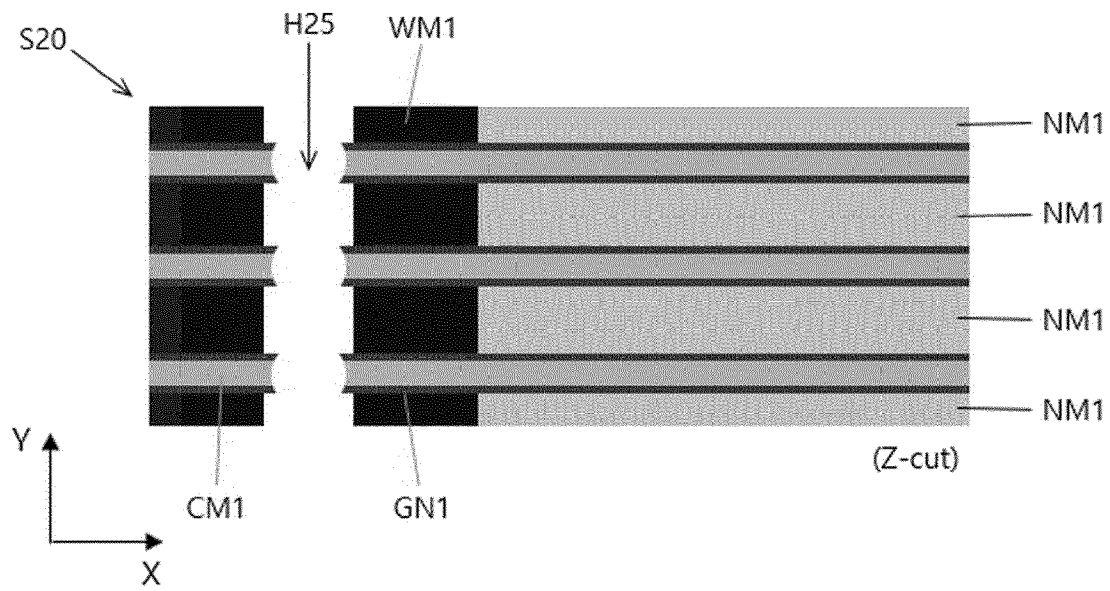
[도 10c]



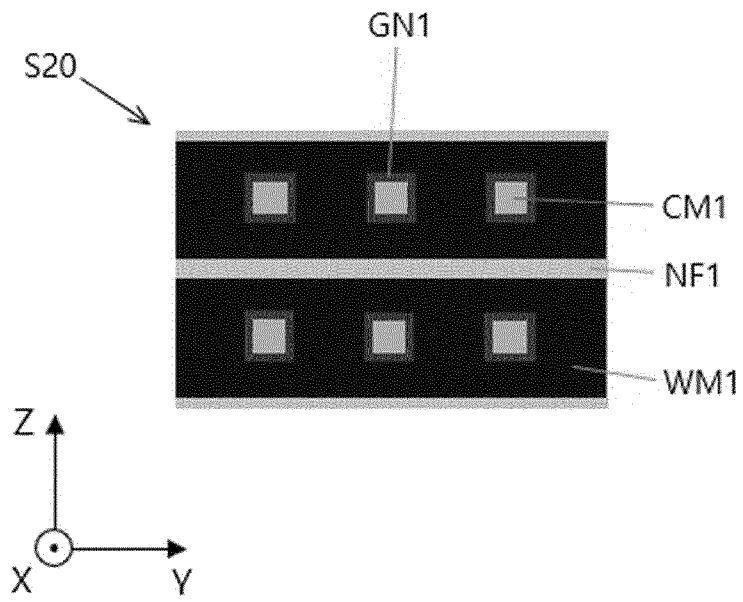
[도11a]



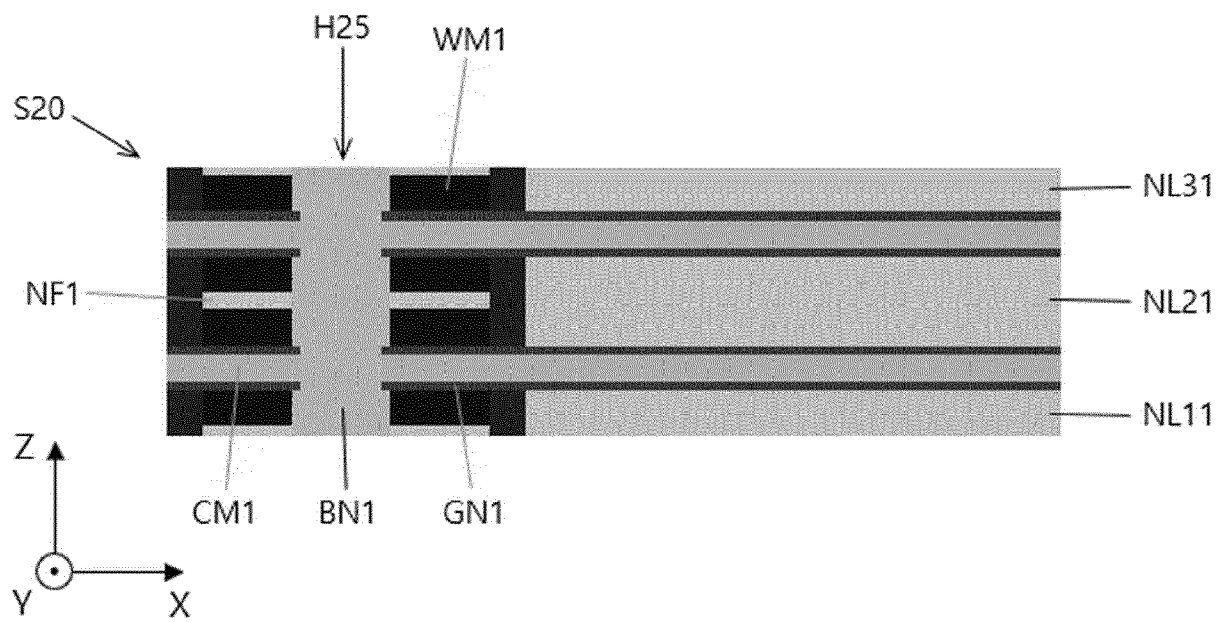
[도11b]



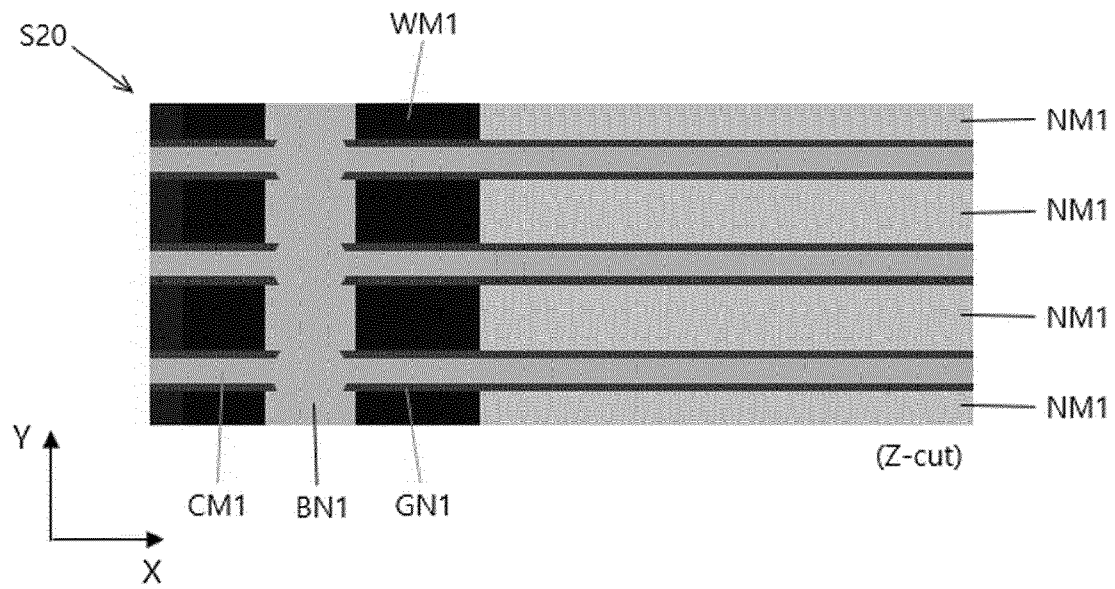
[도11c]



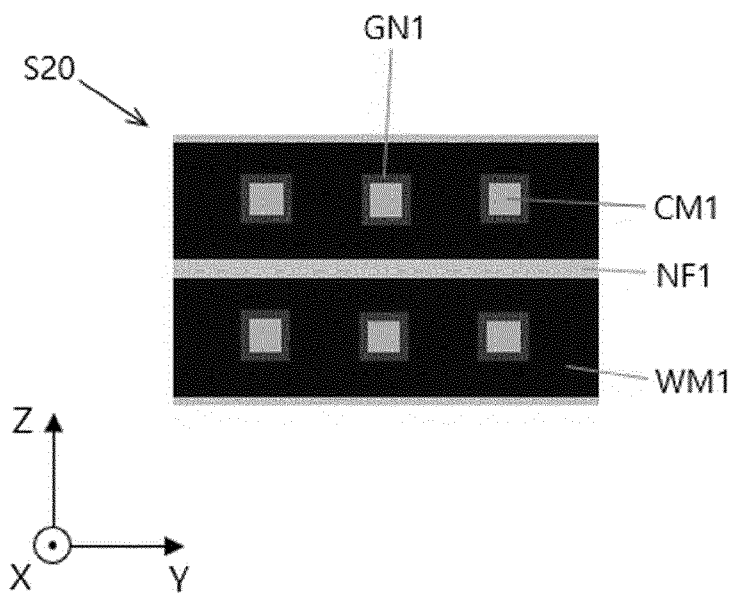
[도12a]



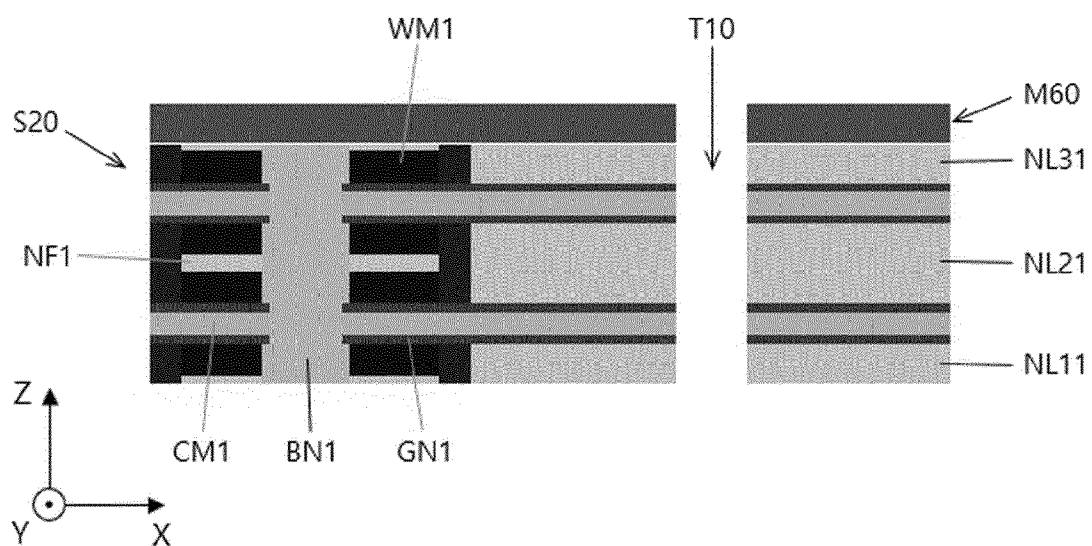
[도 12b]



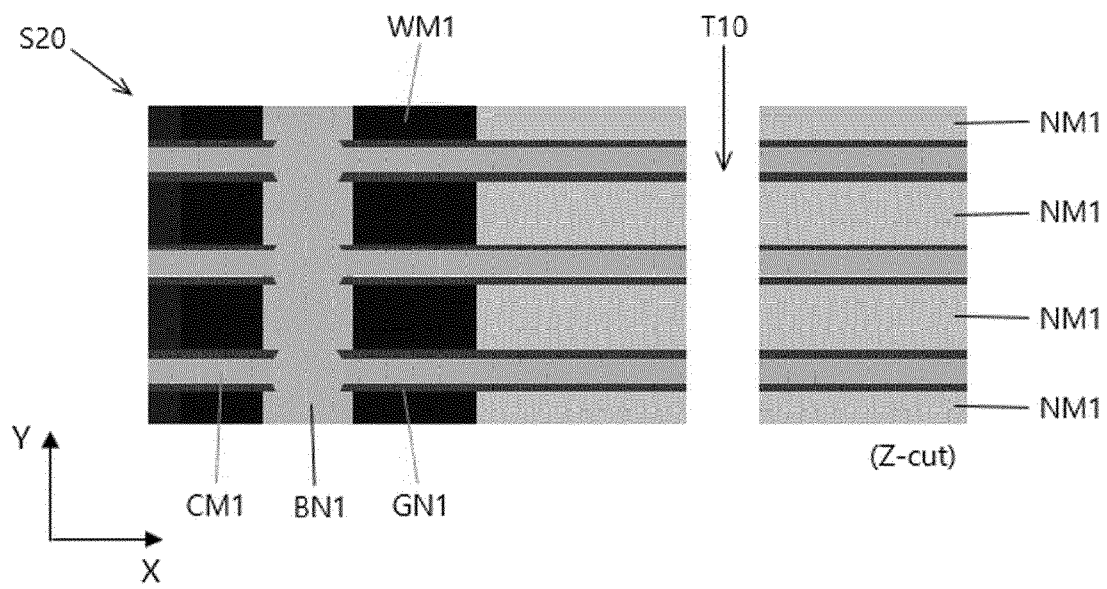
[도 12c]



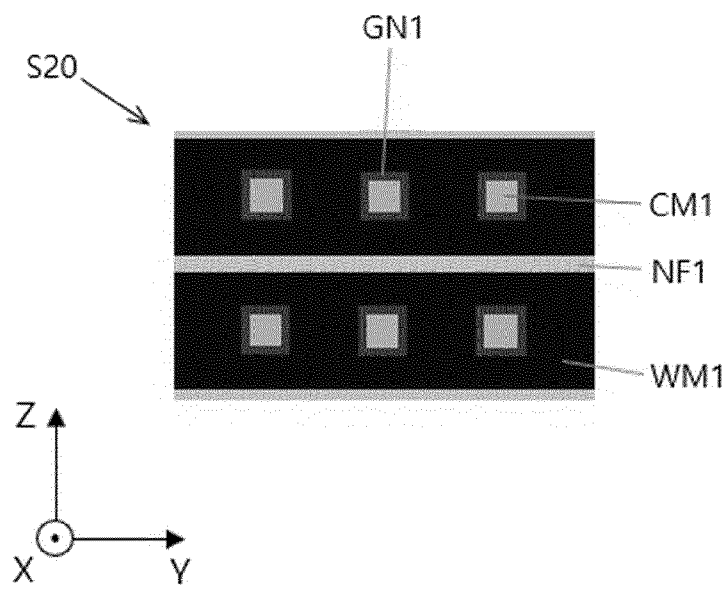
[도 13a]



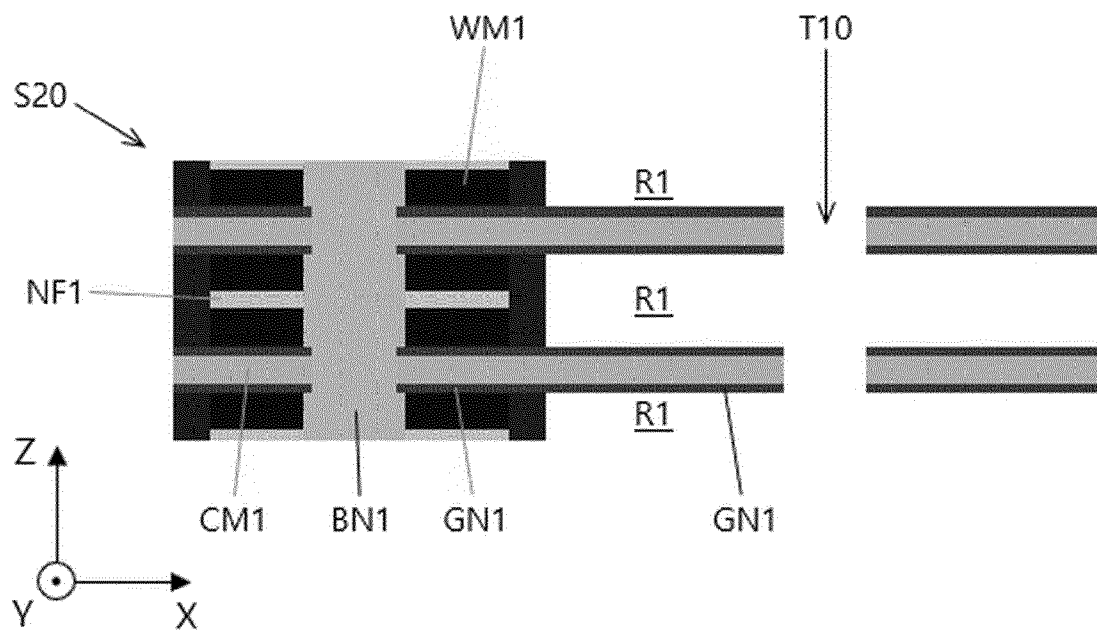
[도 13b]



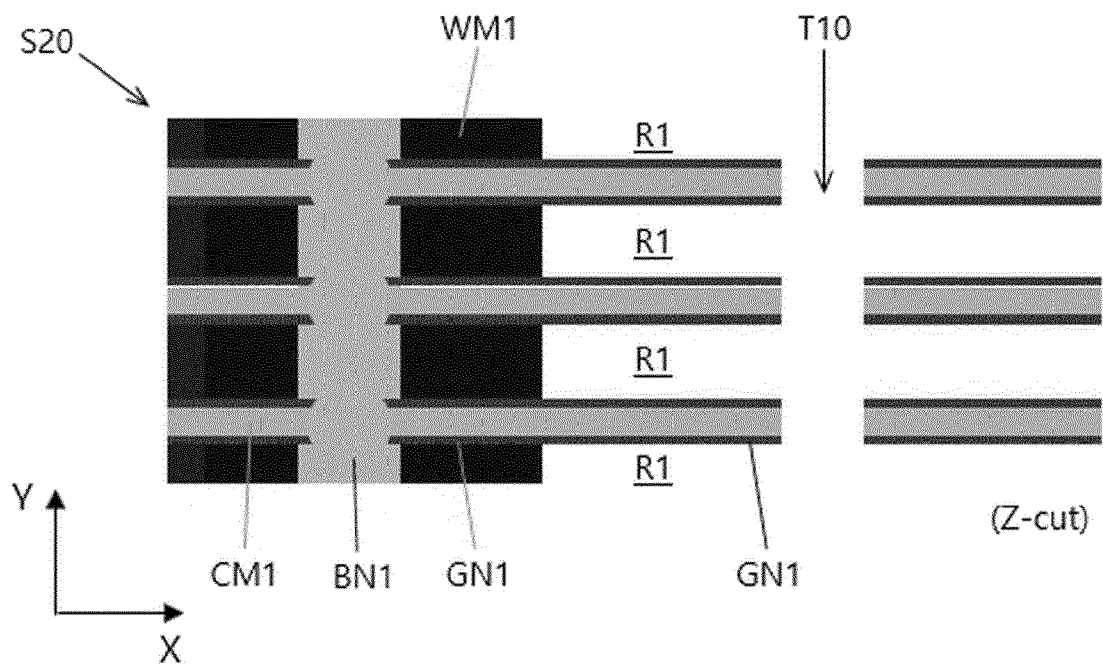
[도 13c]



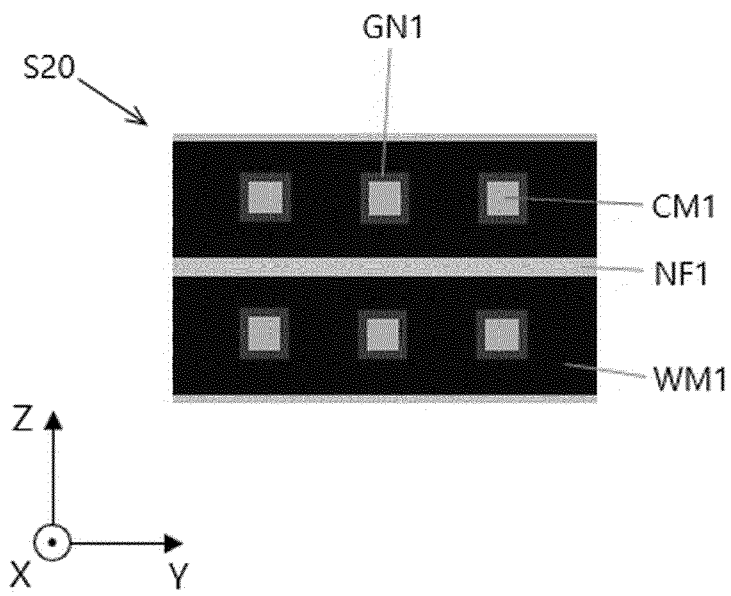
[도 14a]



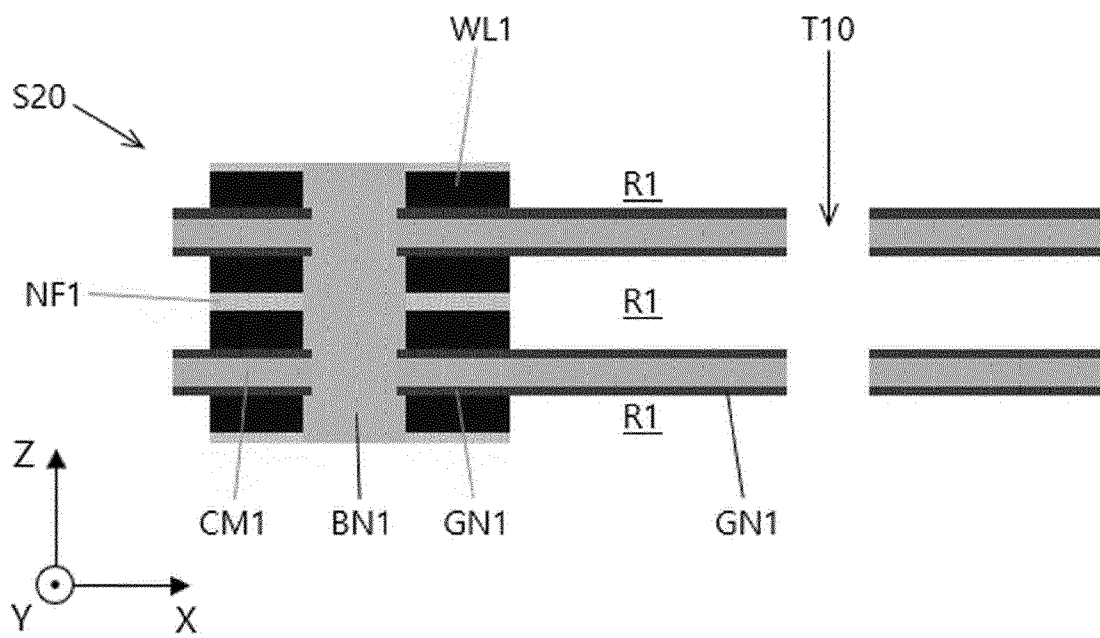
[도 14b]



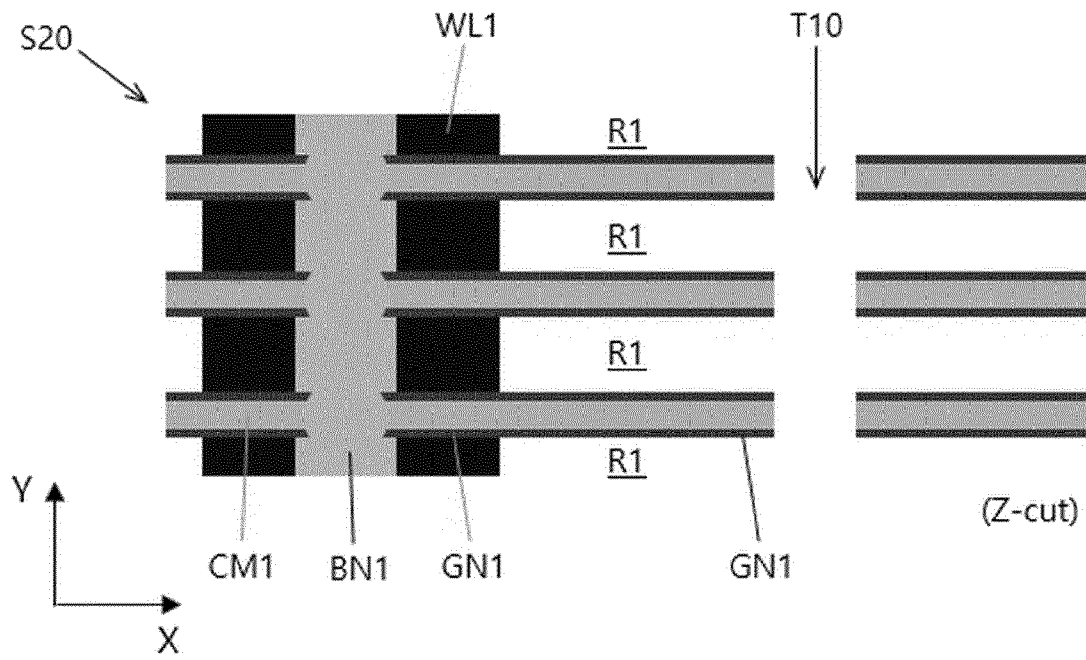
[도14c]



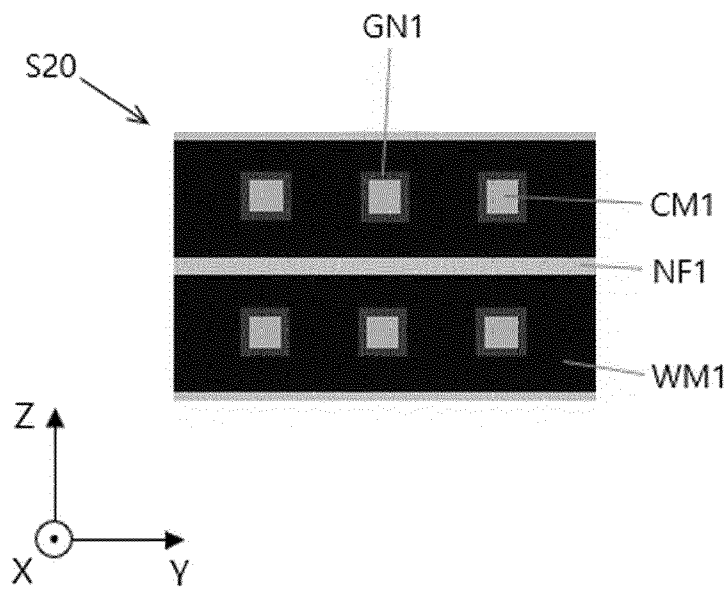
[도15a]



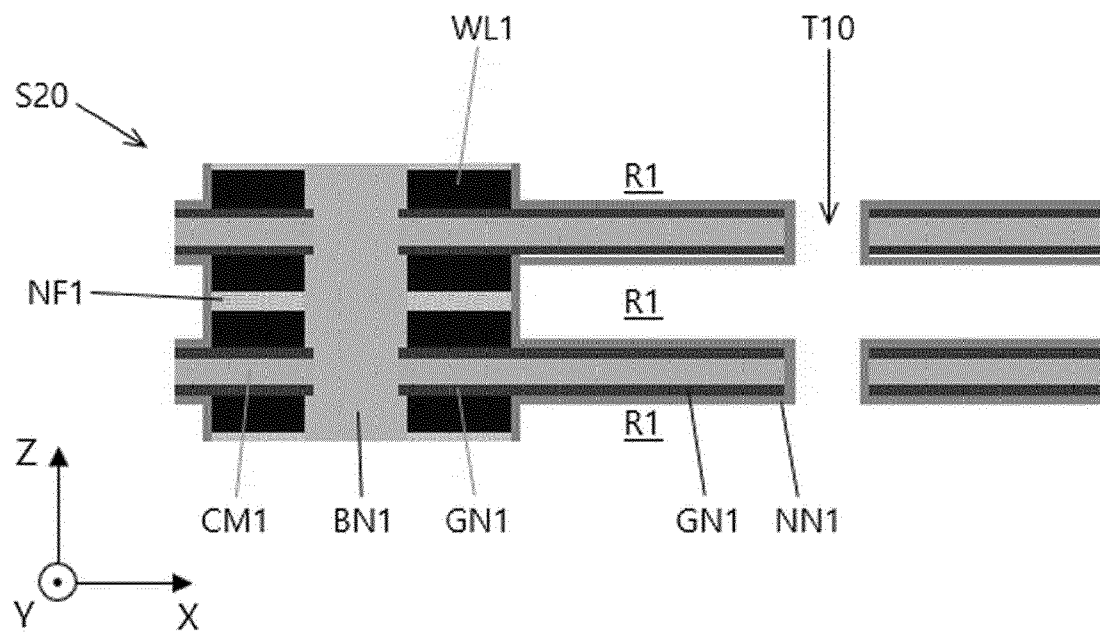
[도 15b]



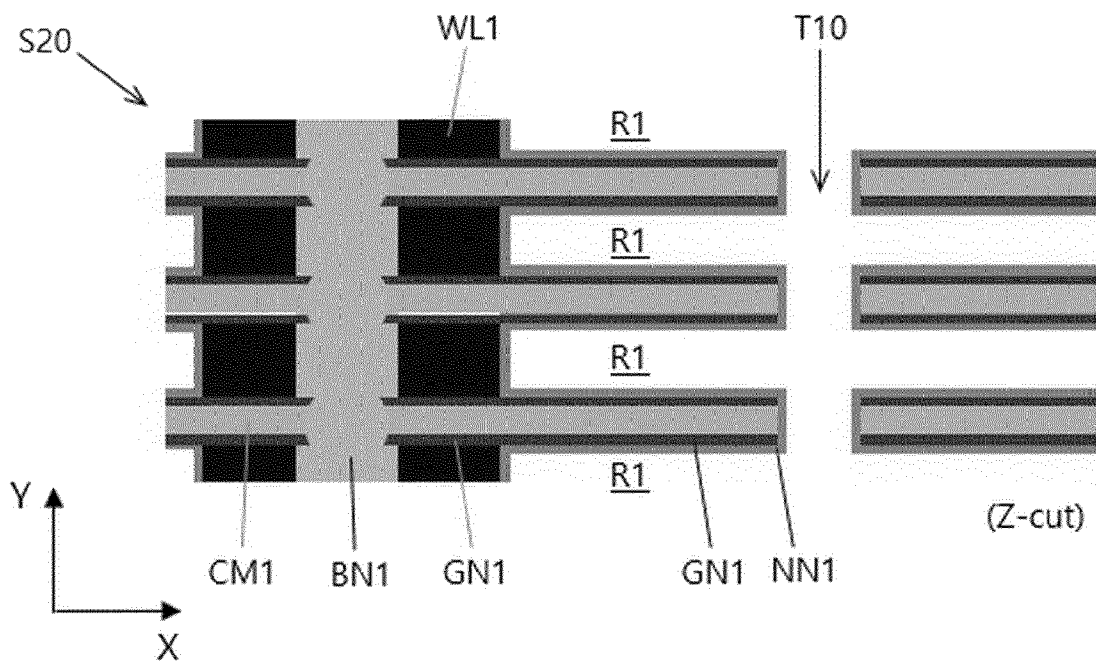
[도 15c]



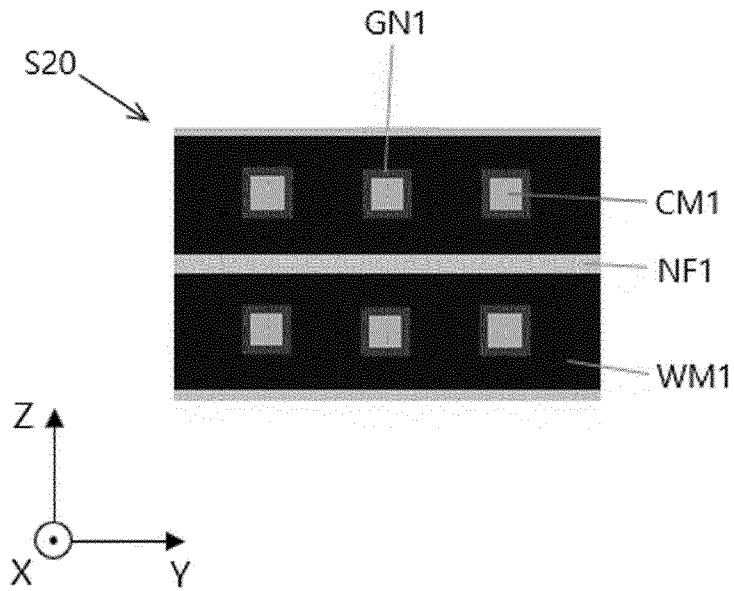
[도 16a]



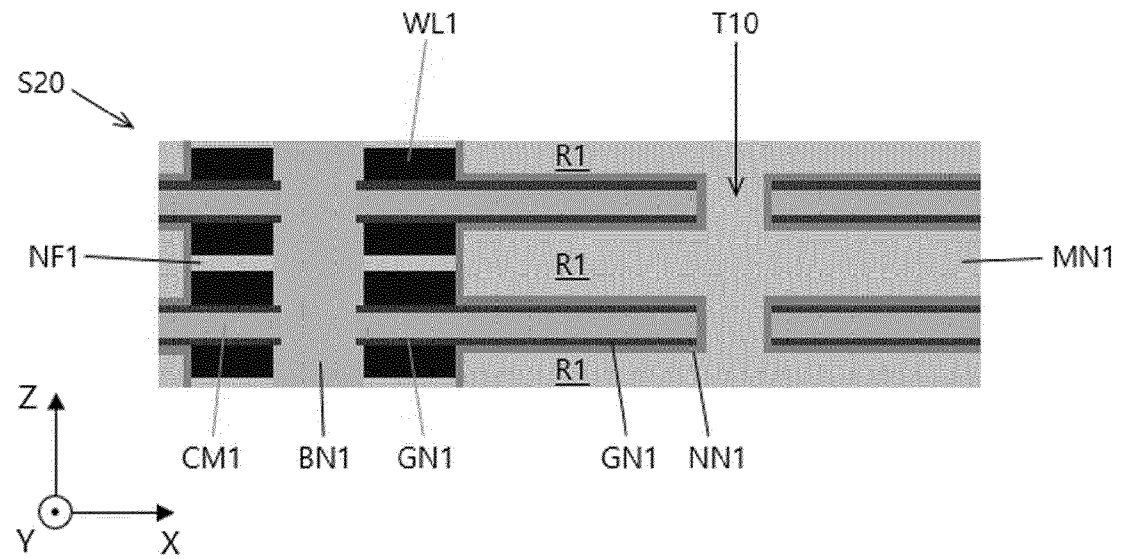
[도 16b]



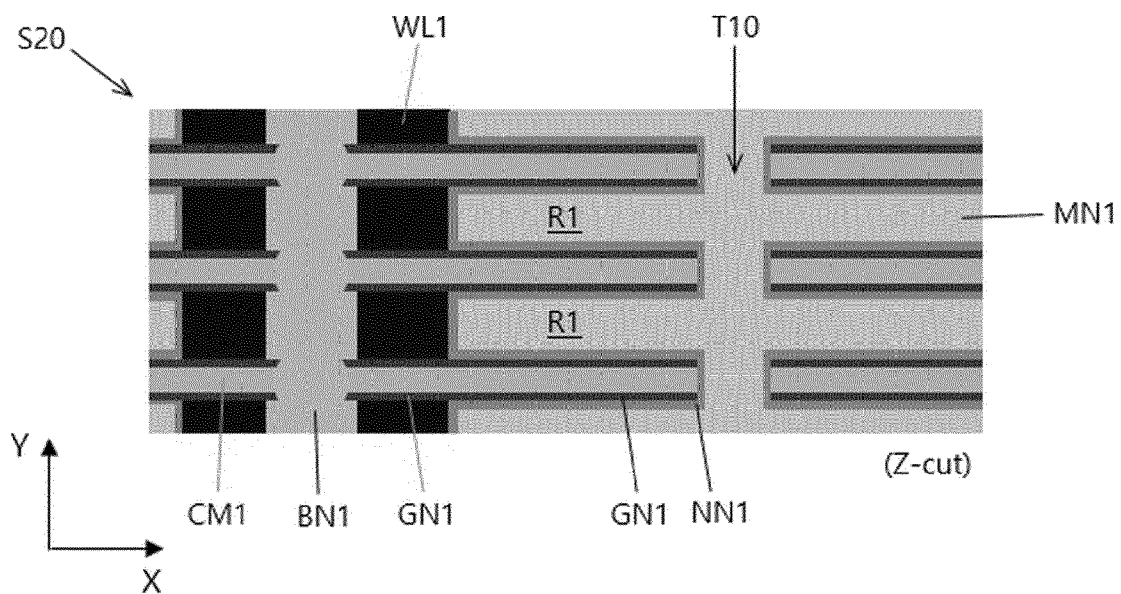
[도16c]



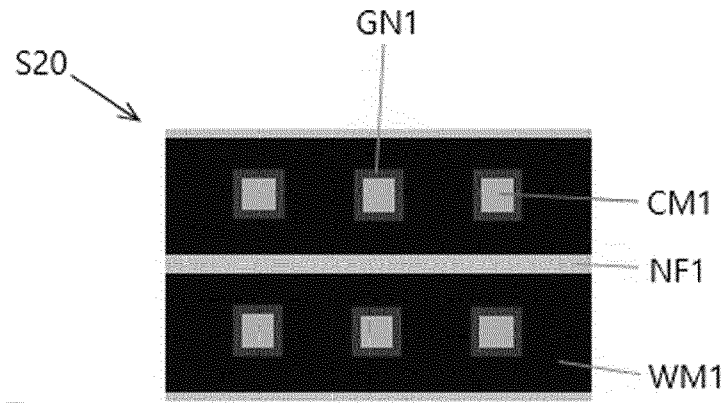
[도17a]



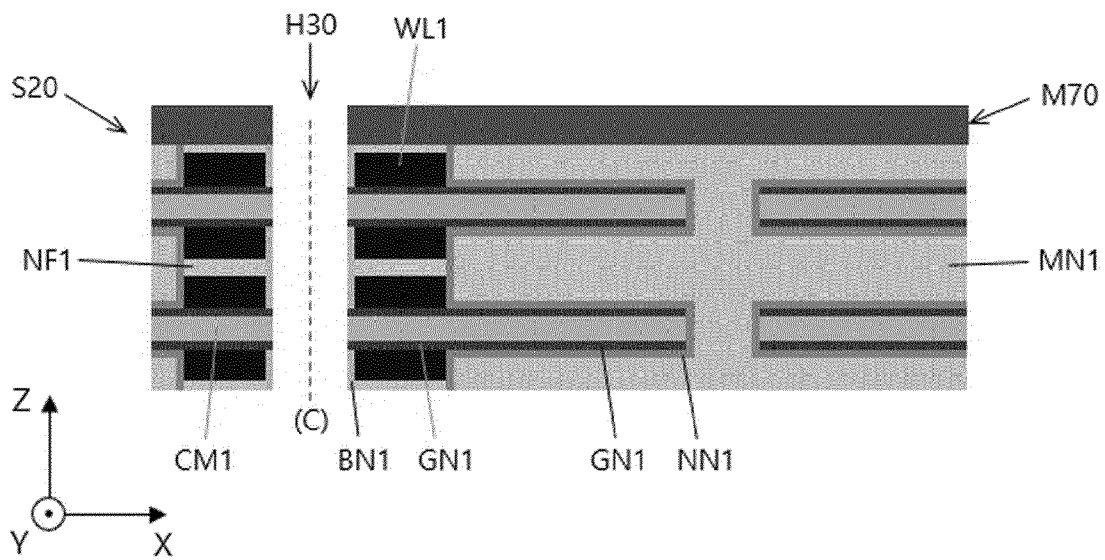
[도17b]



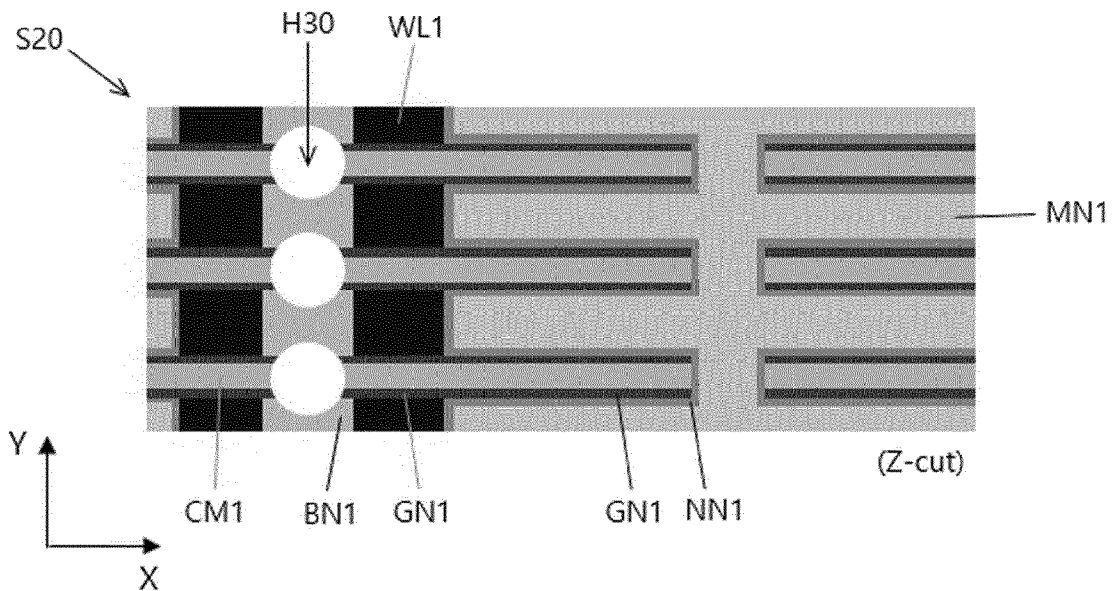
[도17c]



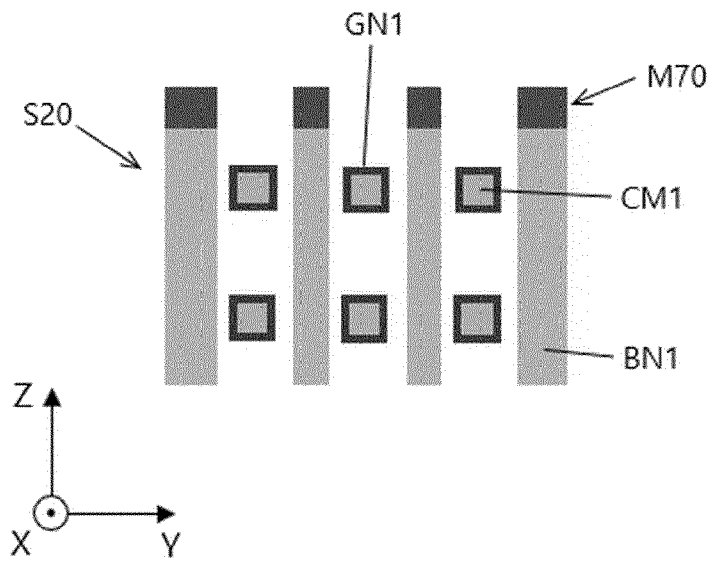
[도18a]



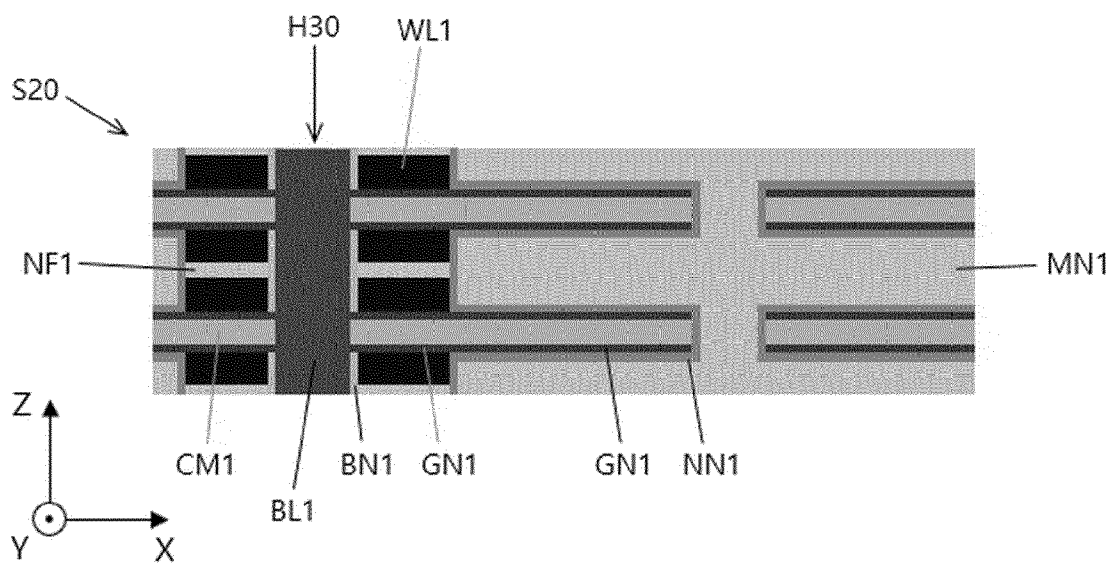
[도18b]



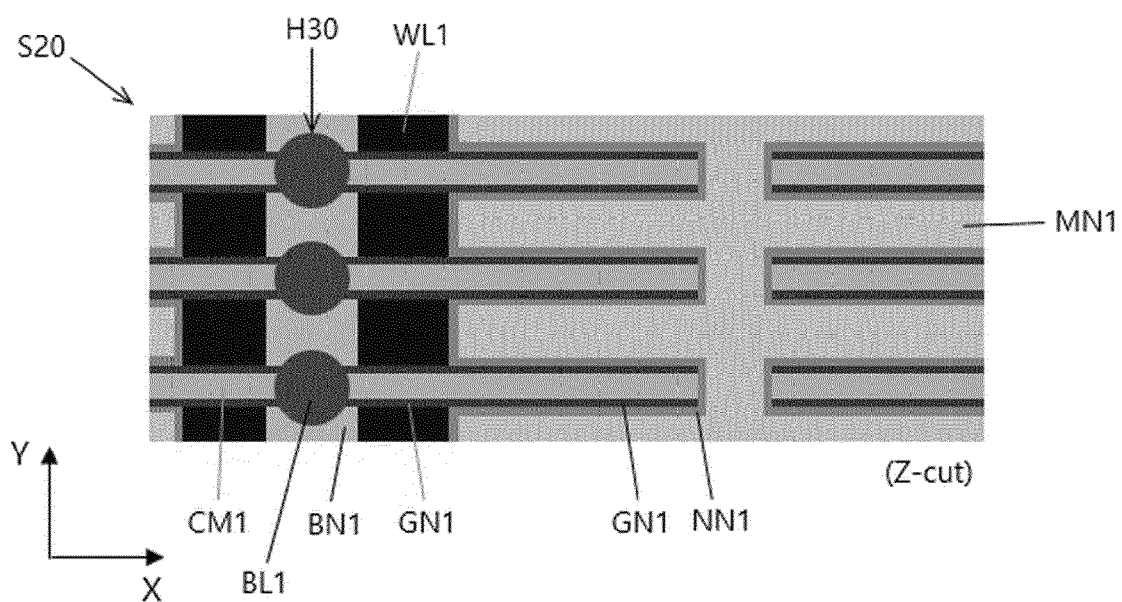
[도 18c]



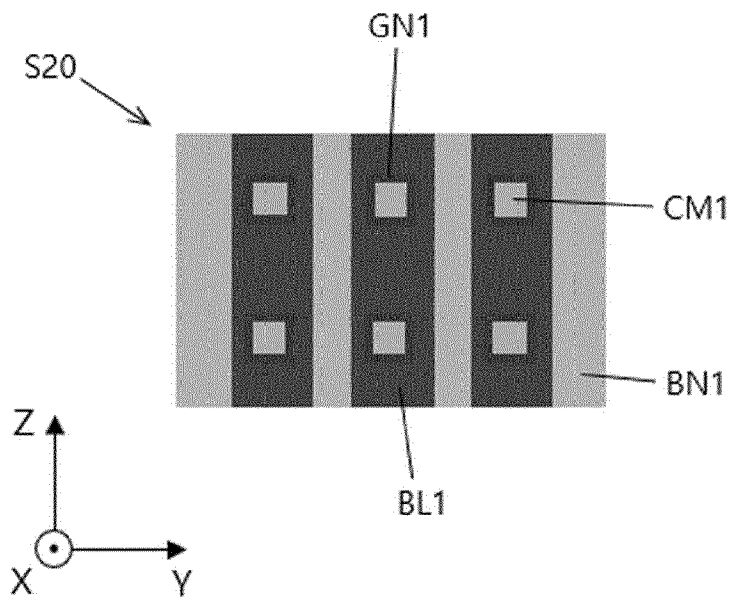
[도 19a]



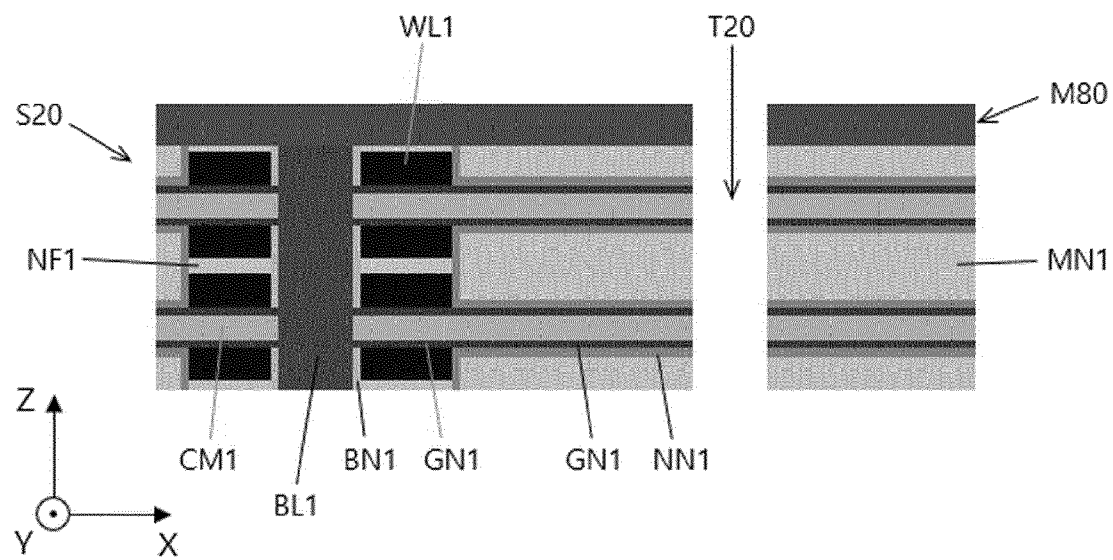
[도 19b]



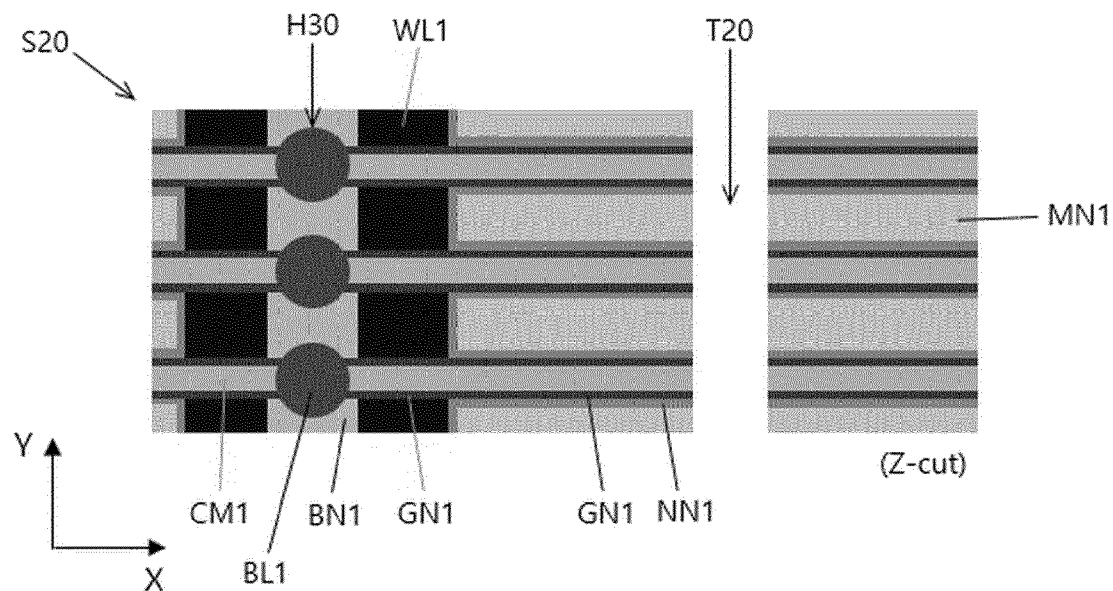
[도19c]



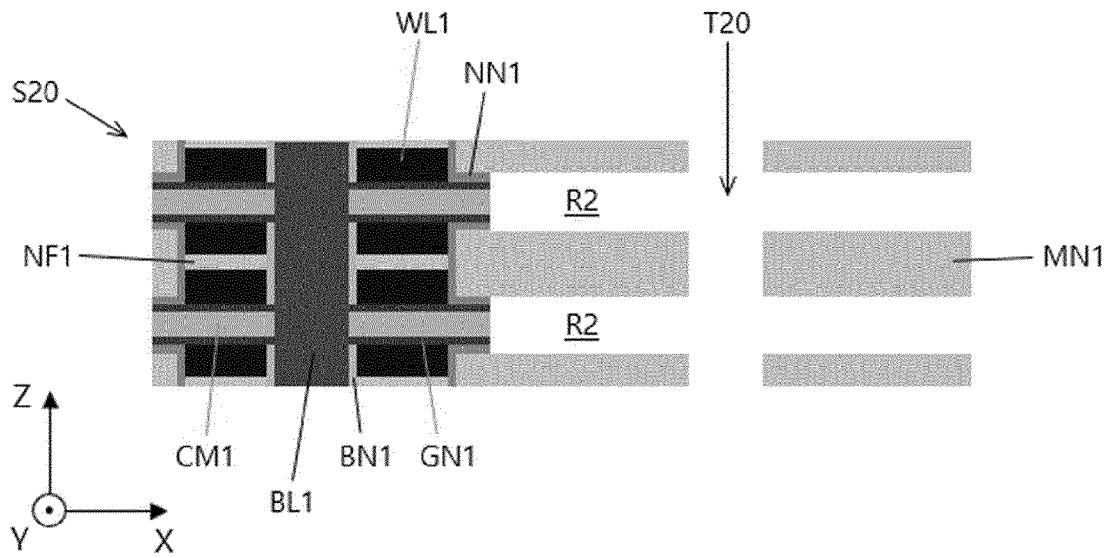
[도20a]



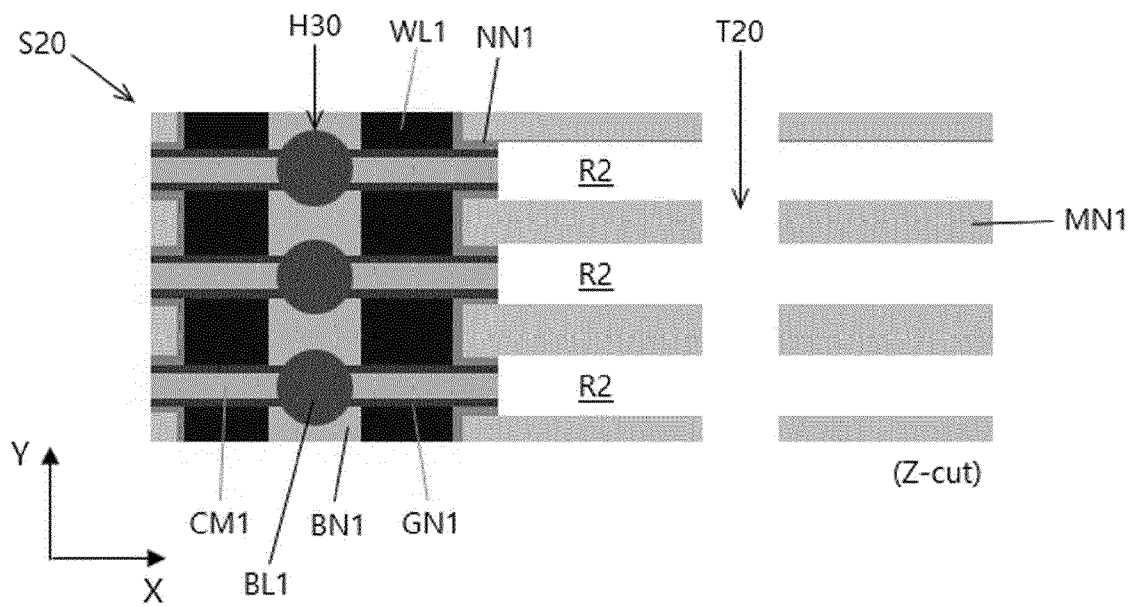
[도20b]



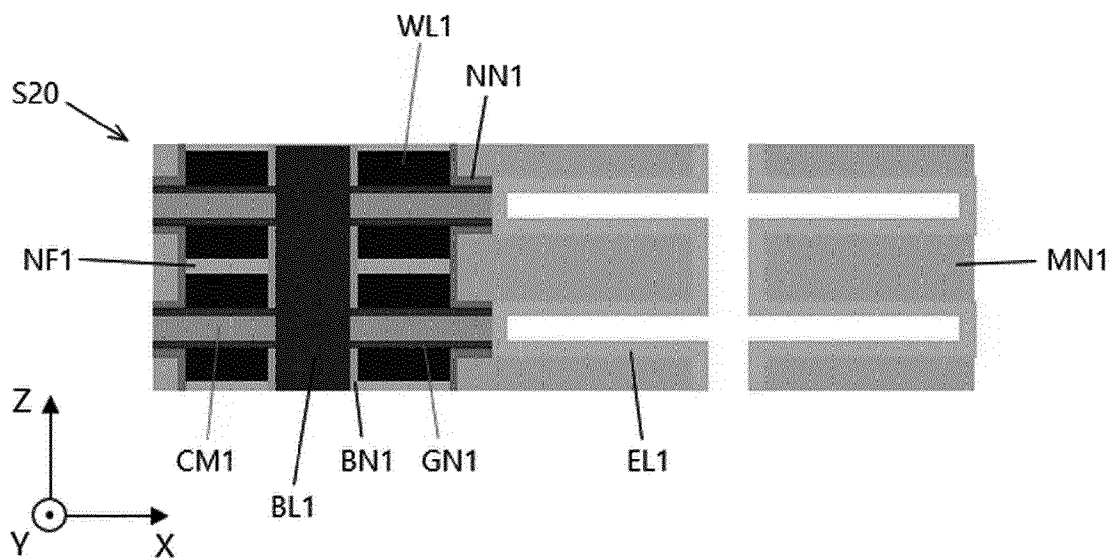
[도21a]



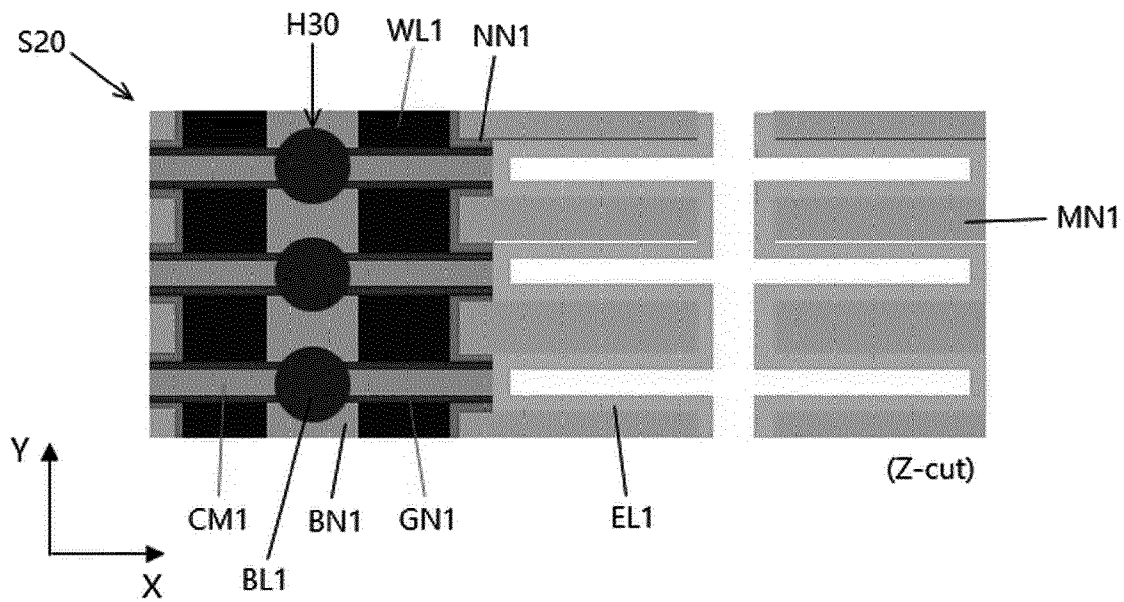
[도21b]



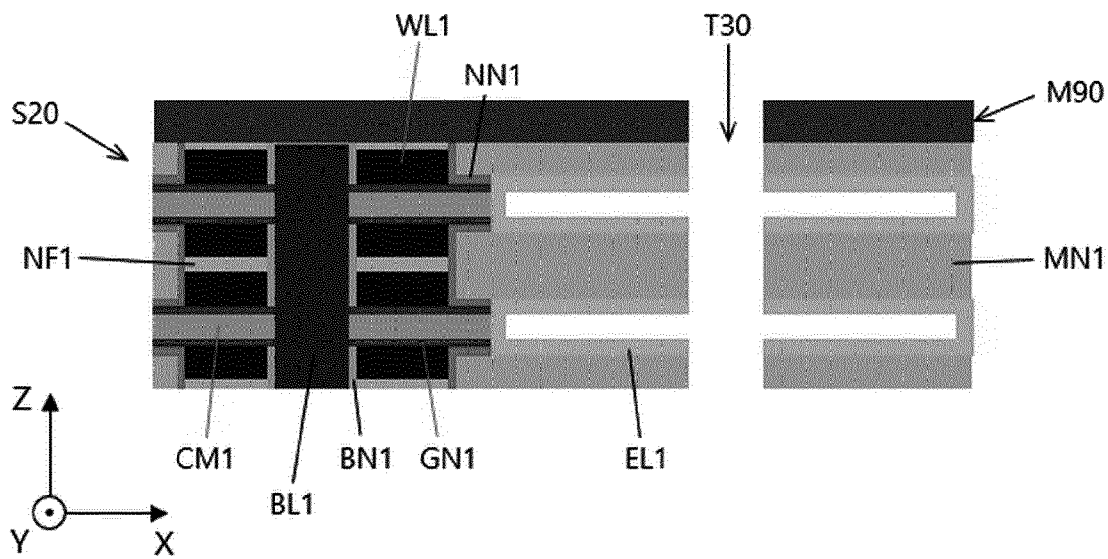
[도22a]



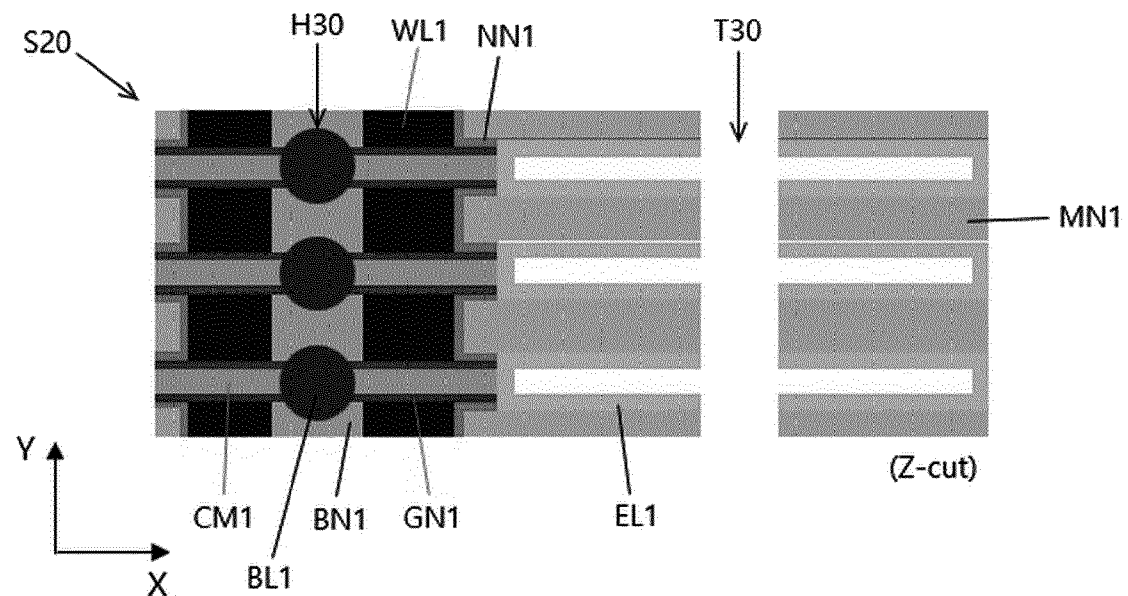
[도22b]



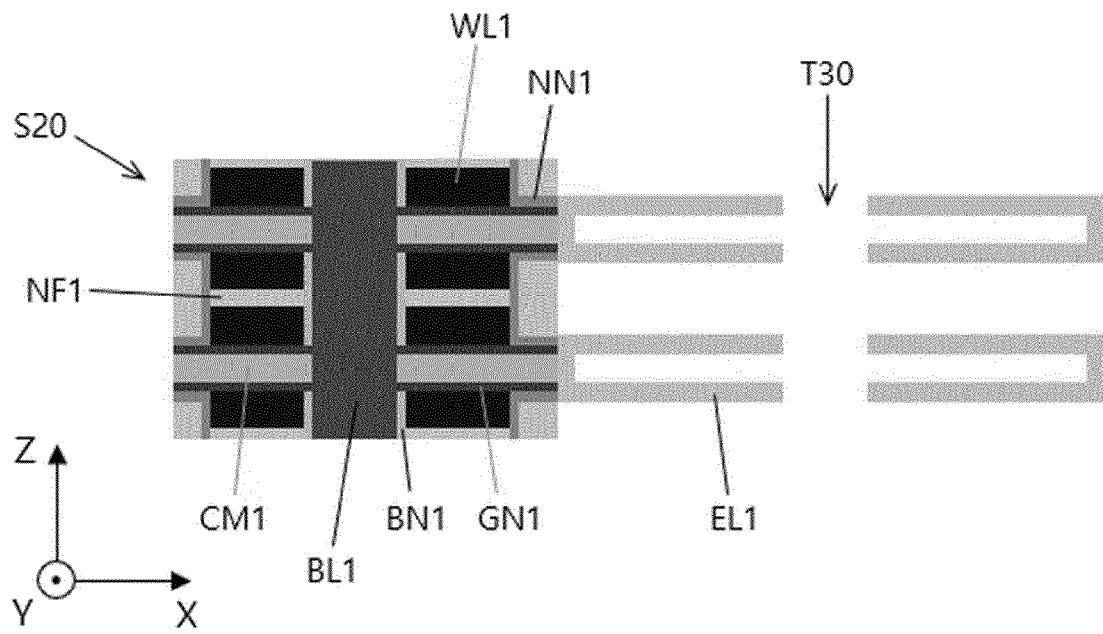
[도23a]



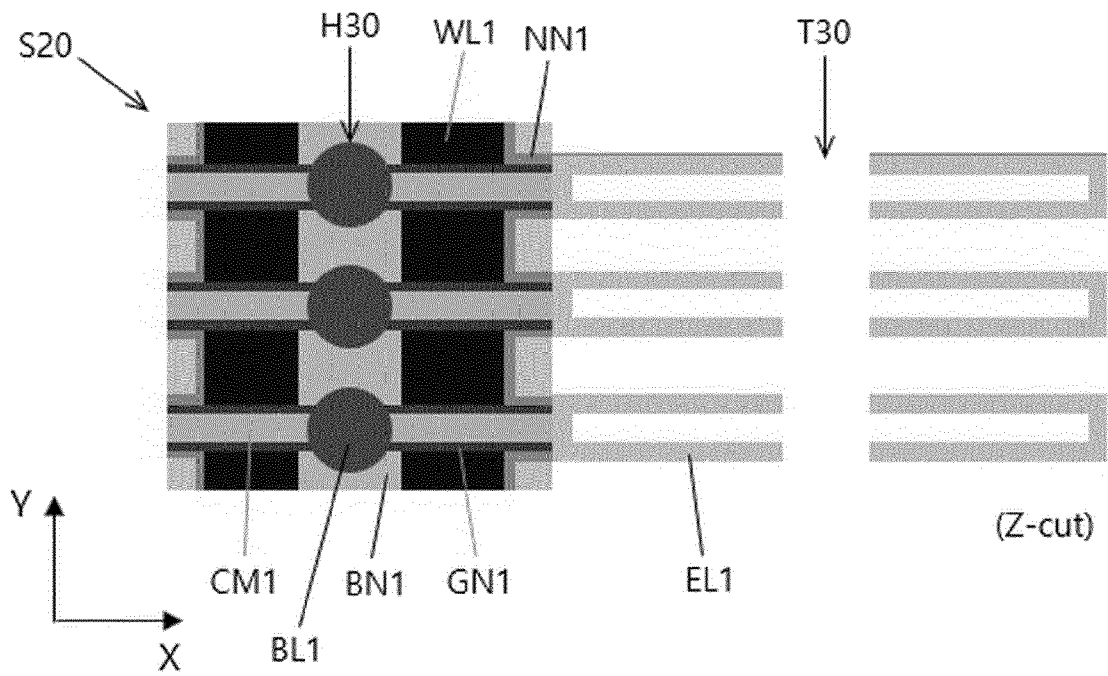
[도23b]



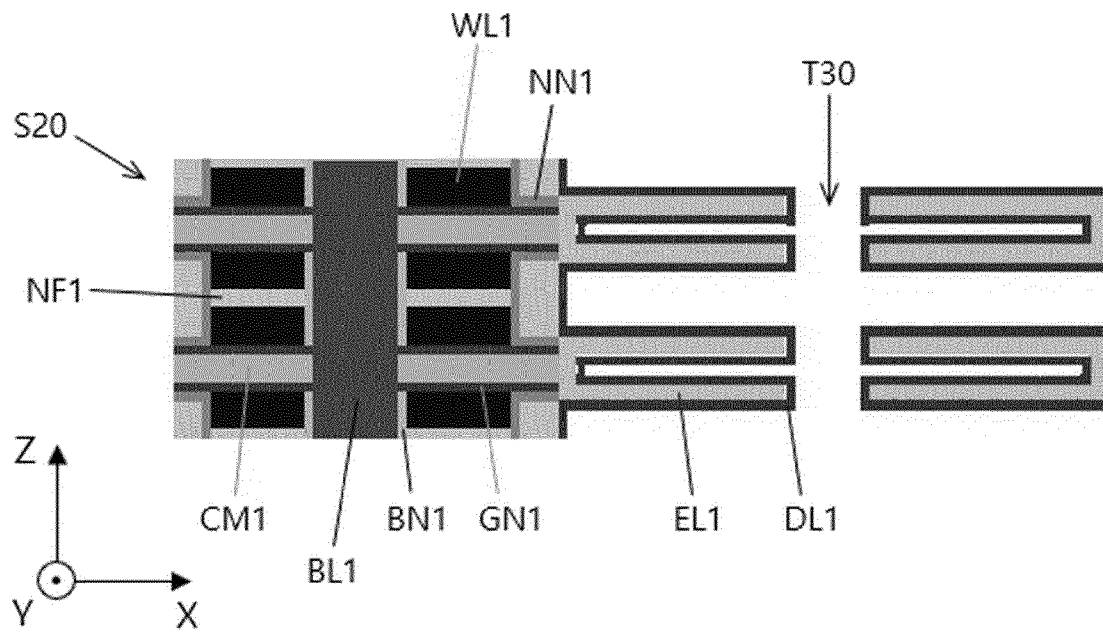
[도24a]



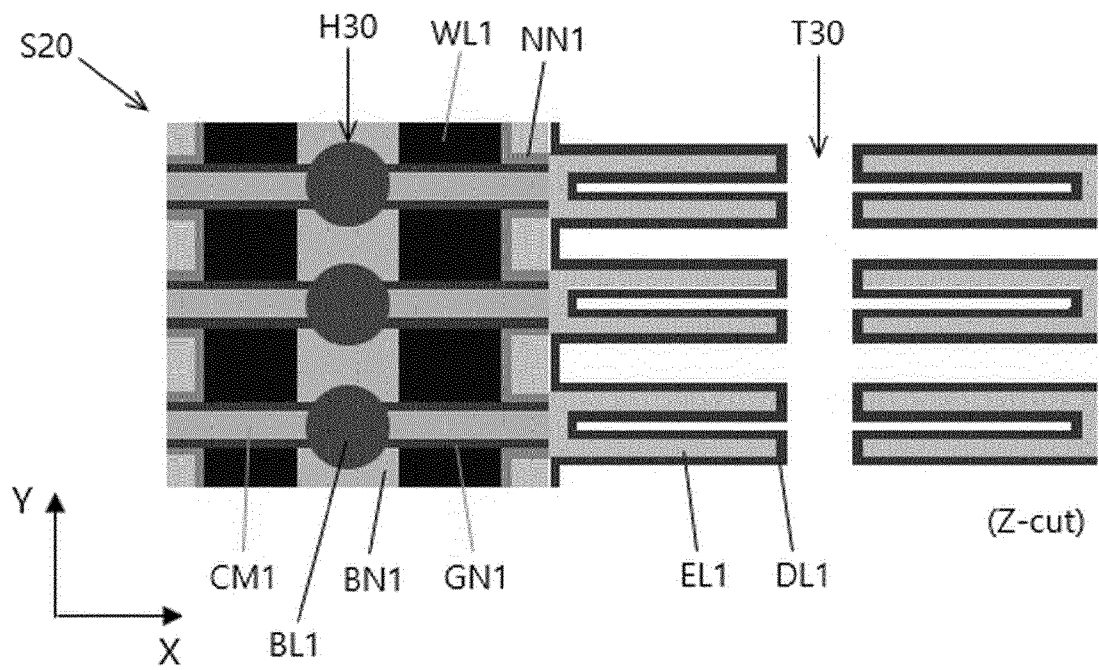
[도24b]



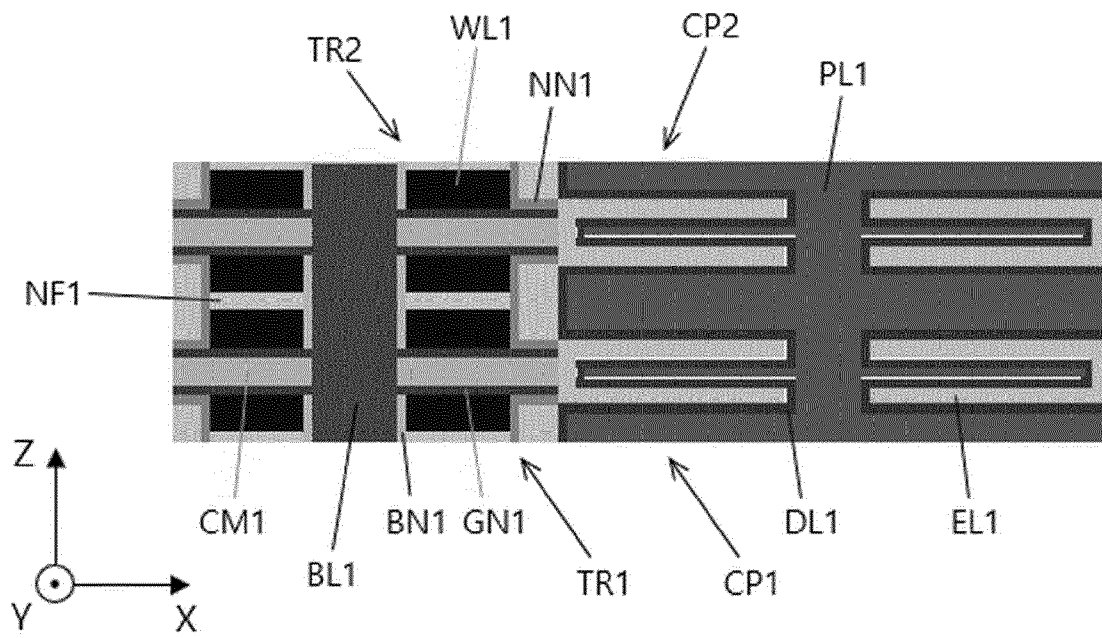
[도25a]



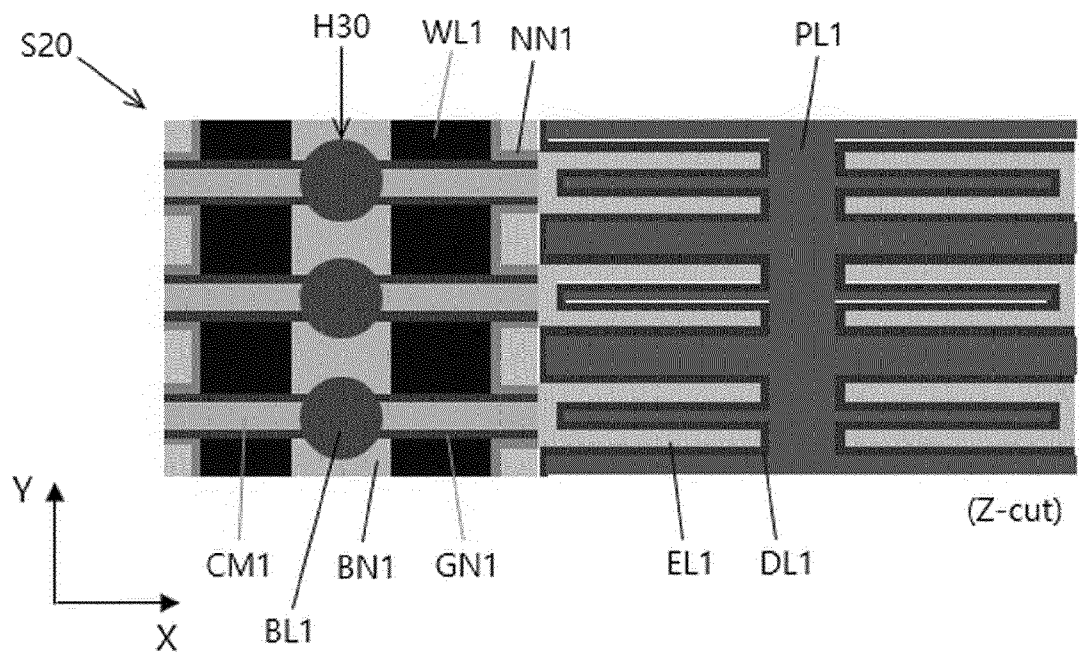
[도25b]



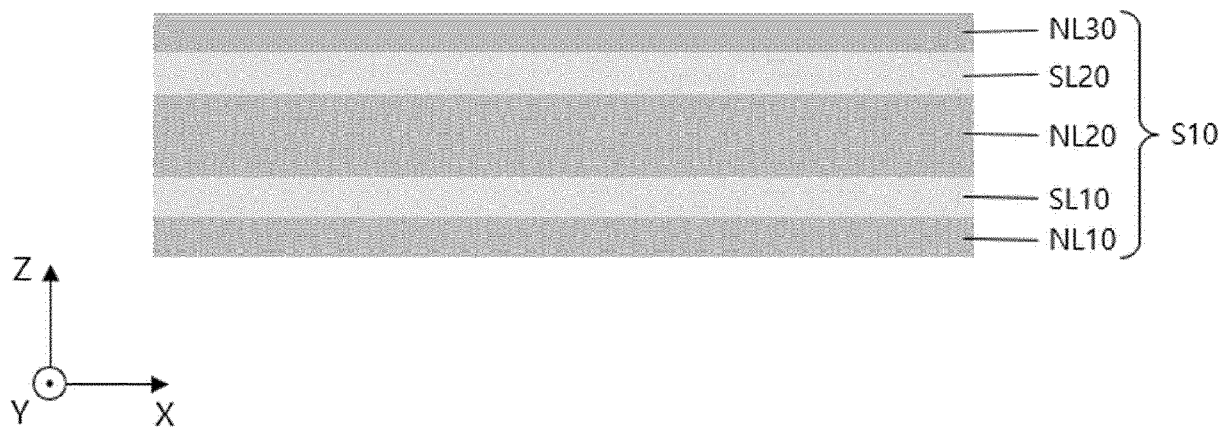
[도26a]



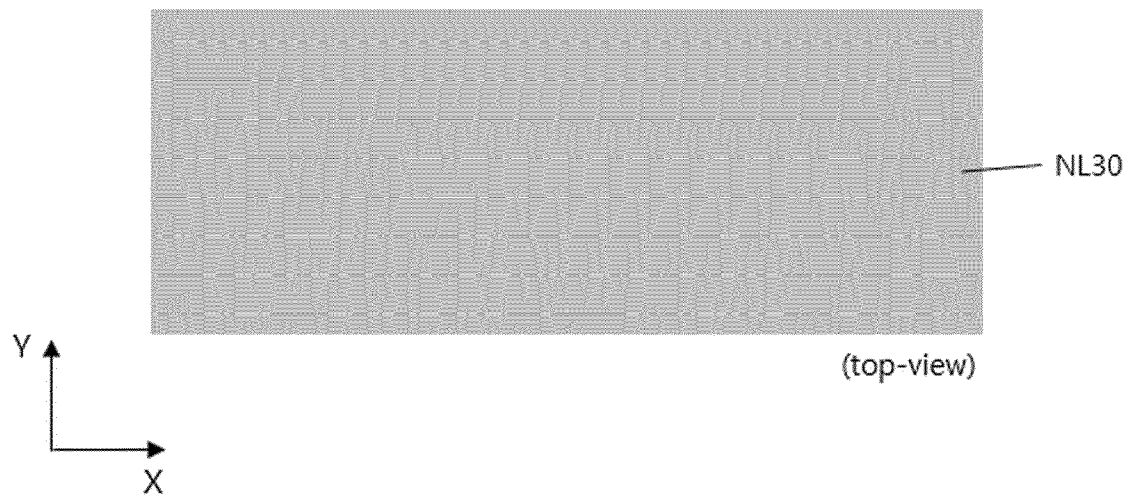
[도26b]



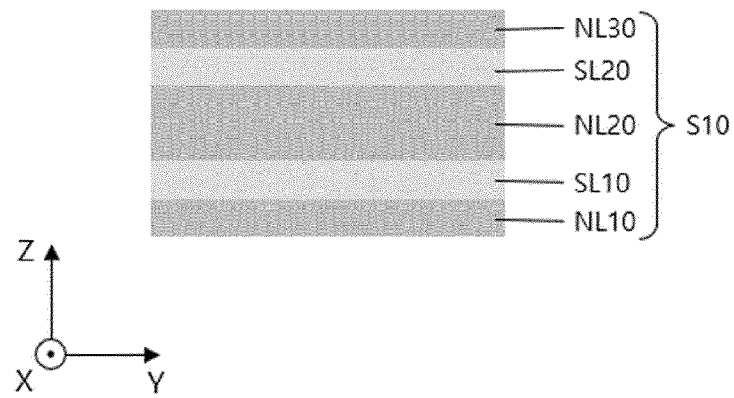
[도27a]



[도27b]



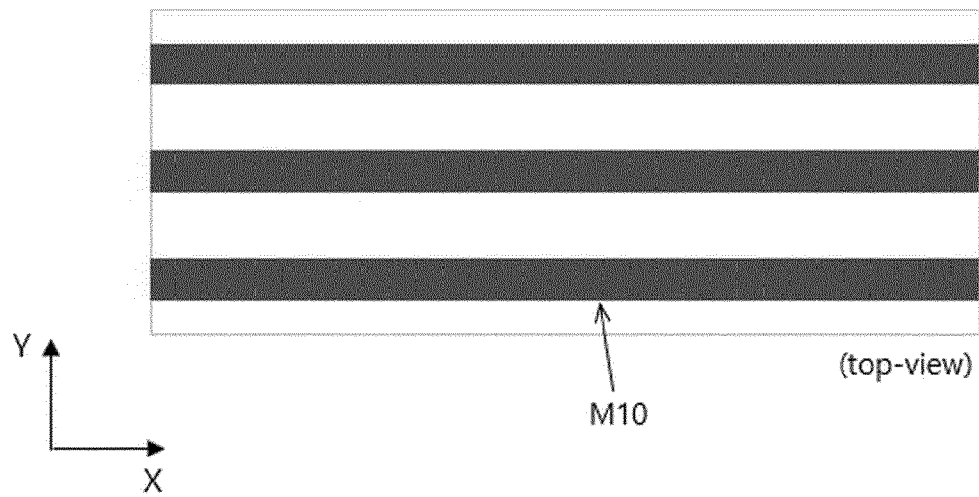
[도27c]



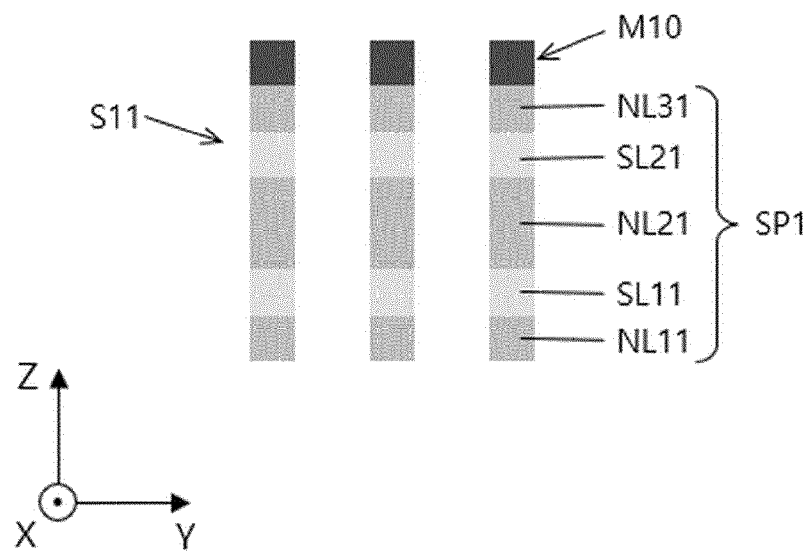
[도28a]



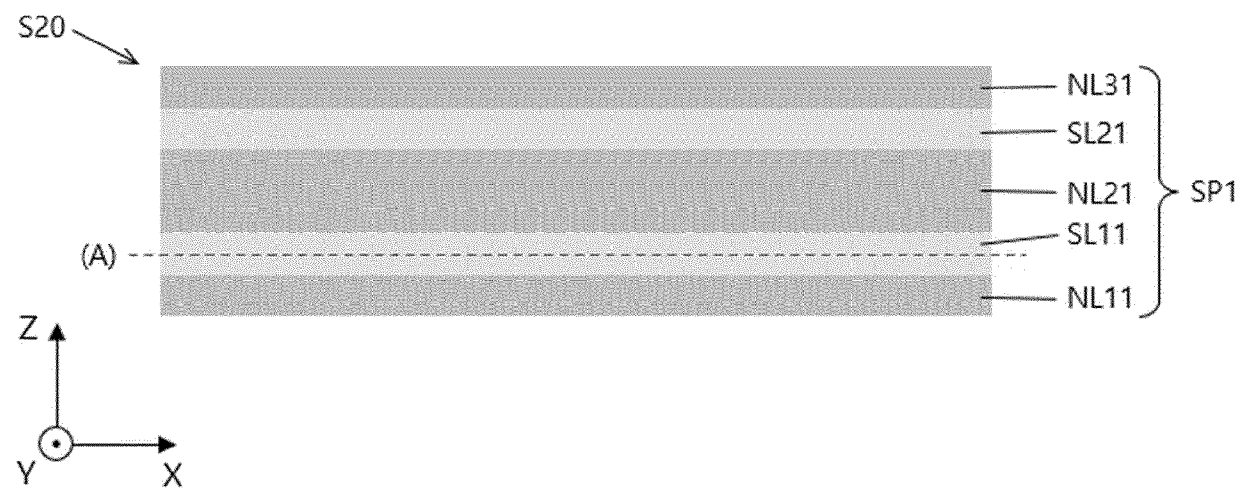
[도28b]



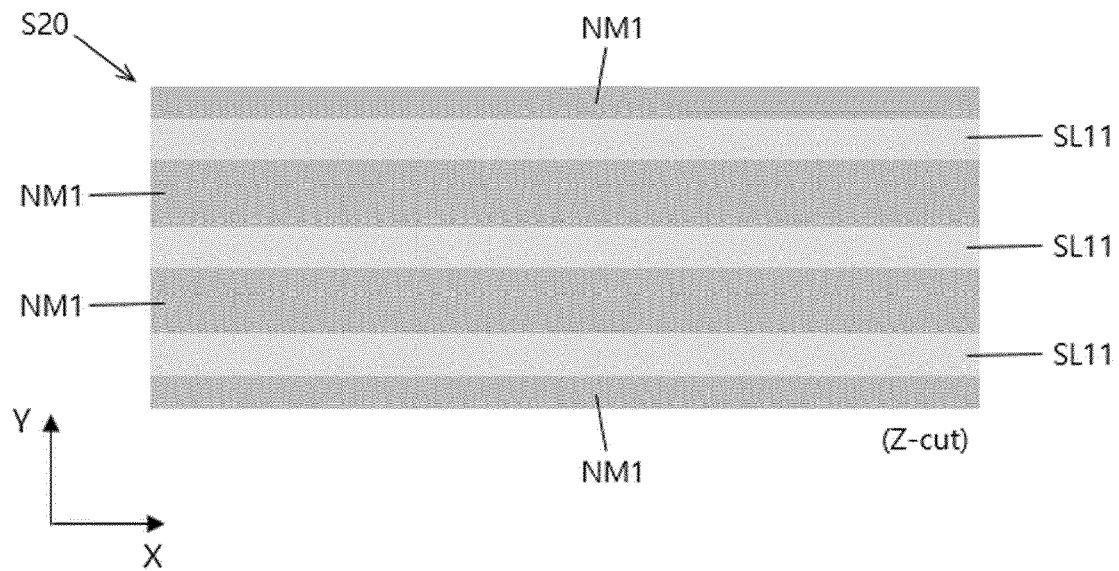
[도28c]



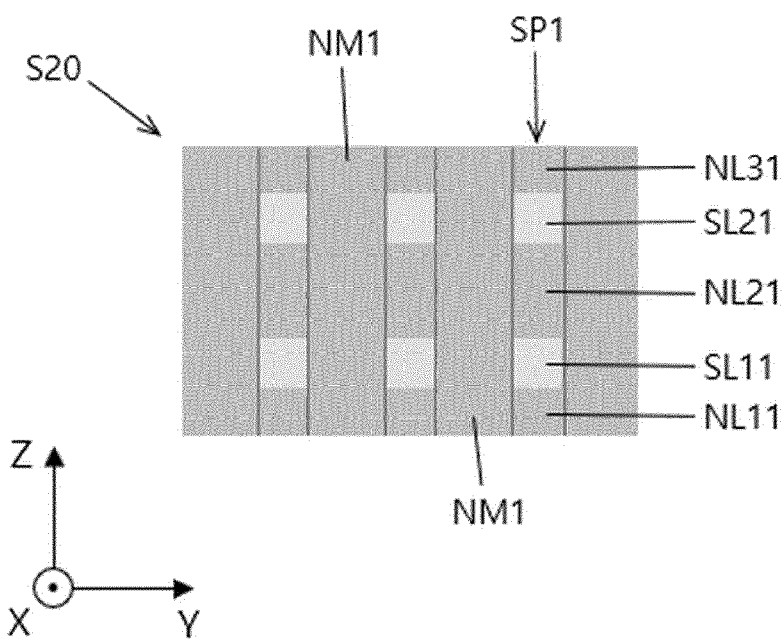
[도29a]



[도29b]



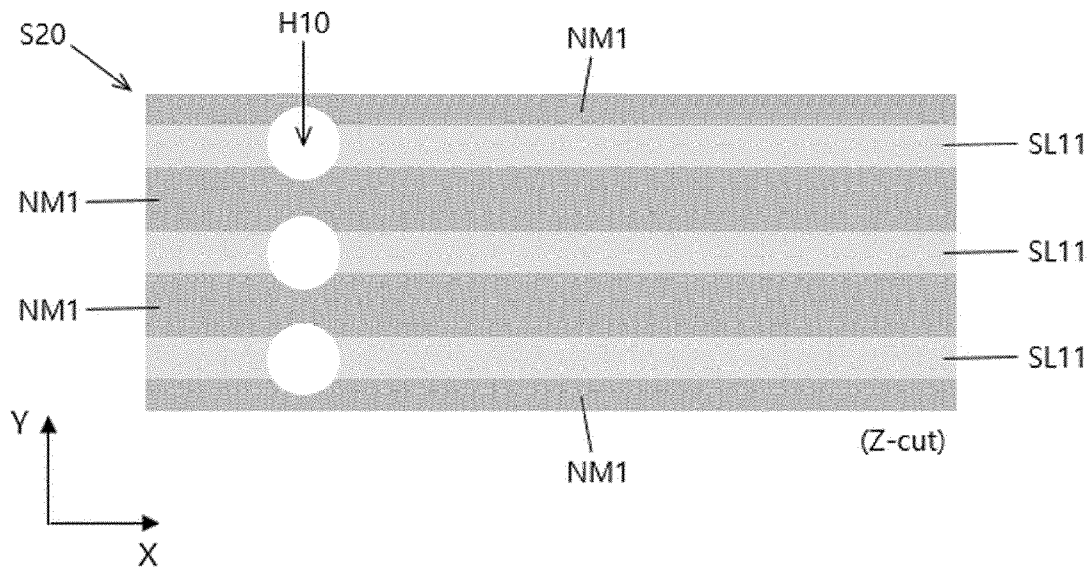
[도29c]



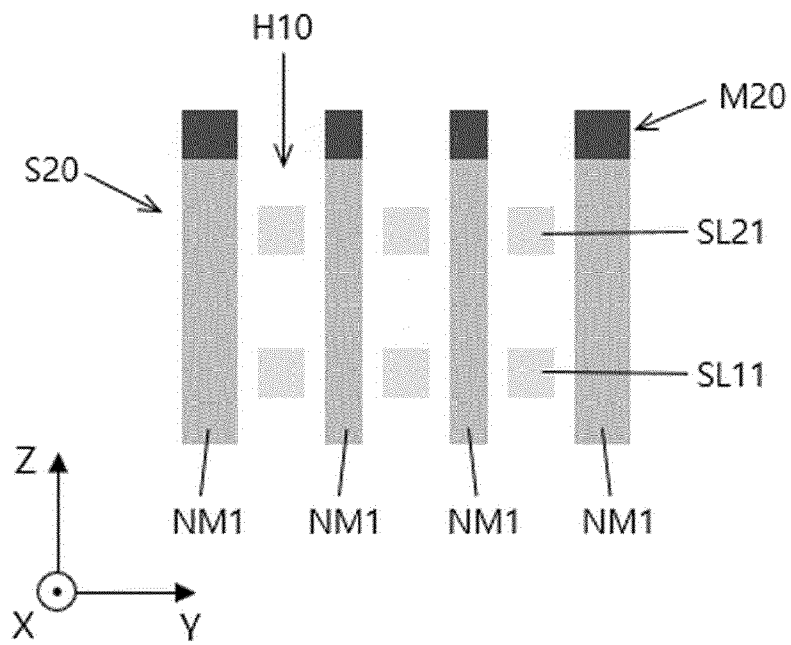
[도30a]



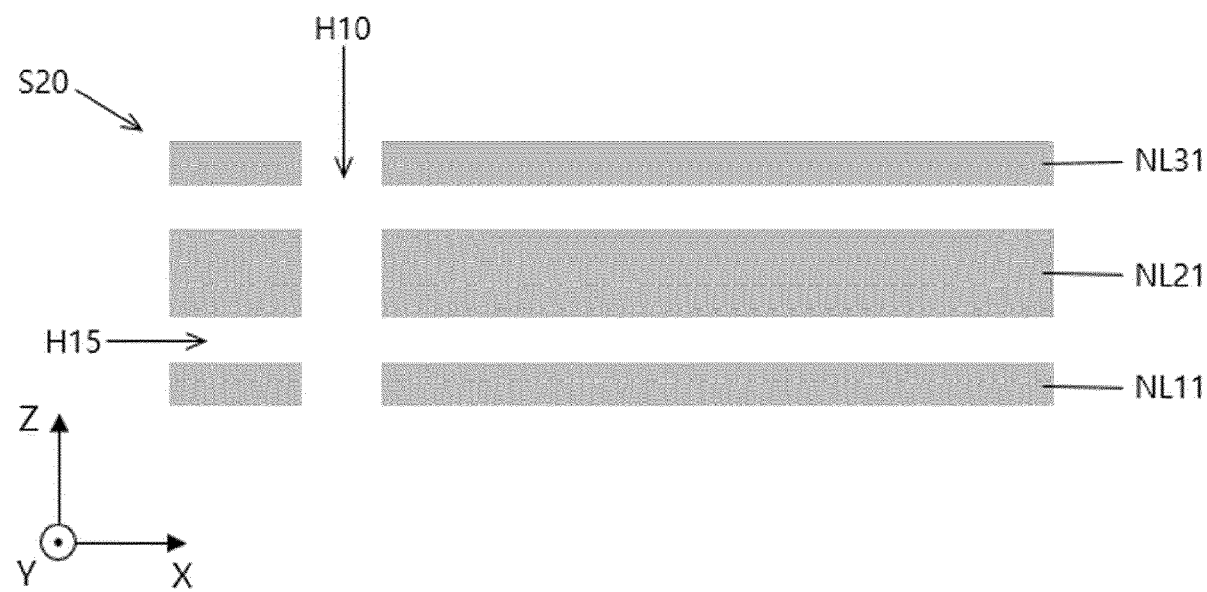
[도30b]



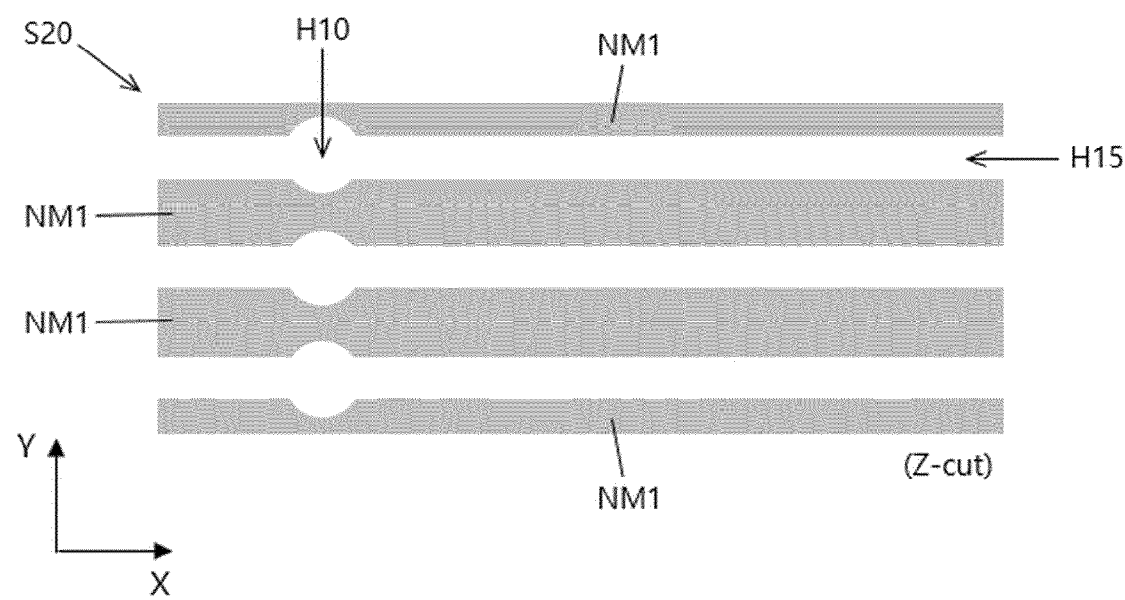
[도30c]



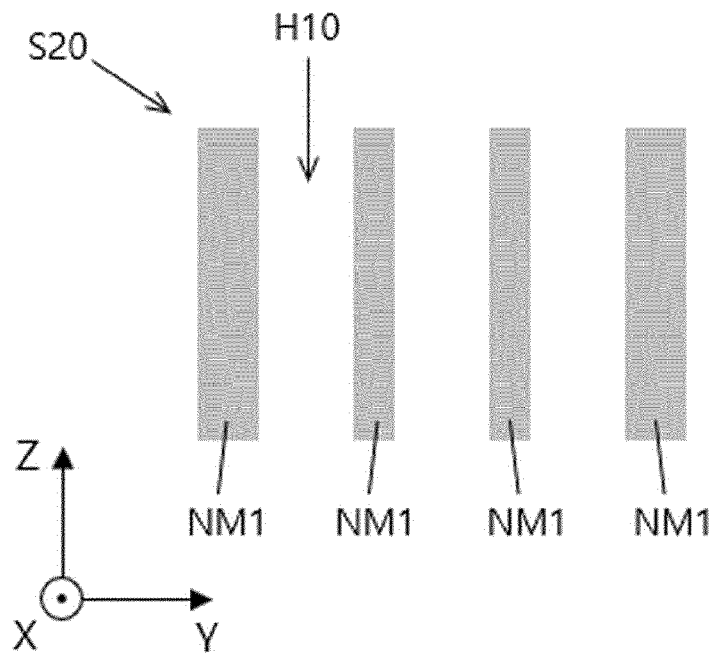
[도31a]



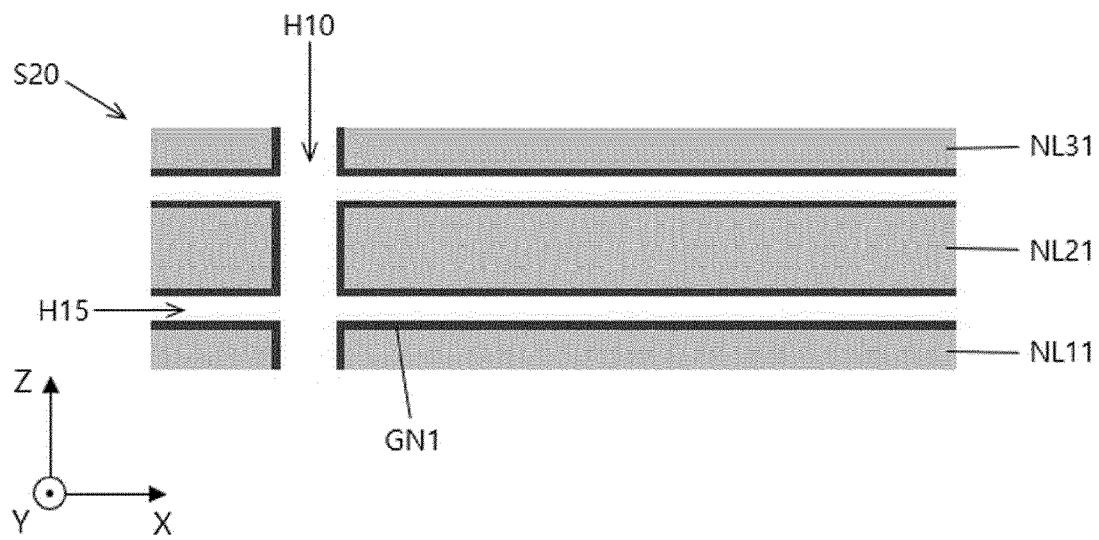
[도31b]



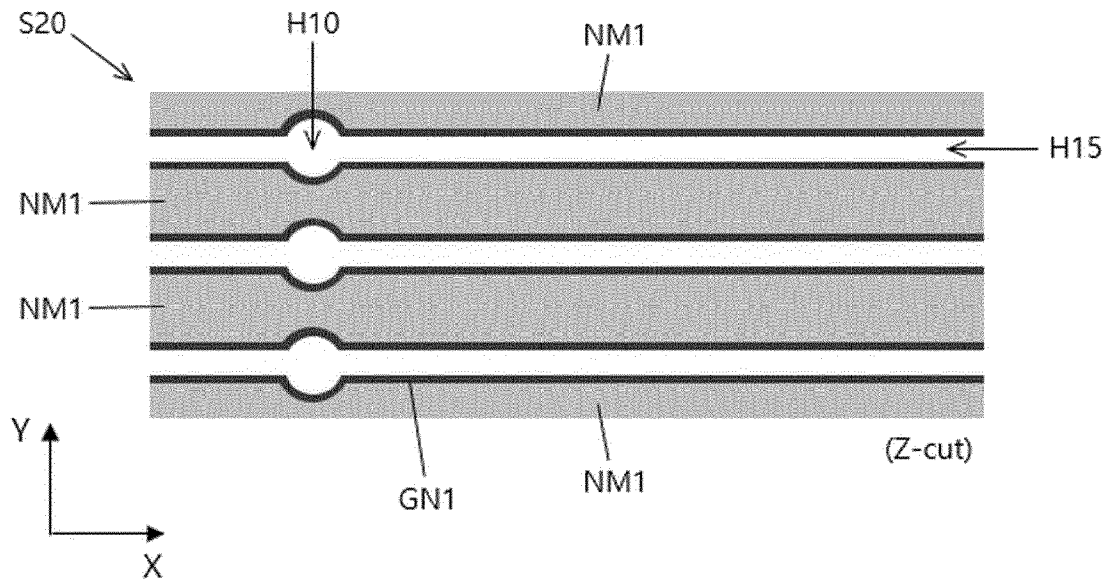
[도31c]



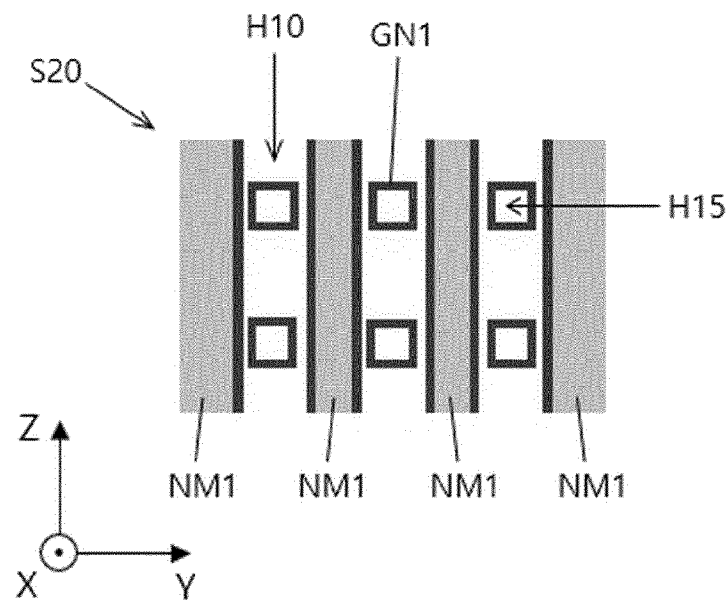
[도32a]



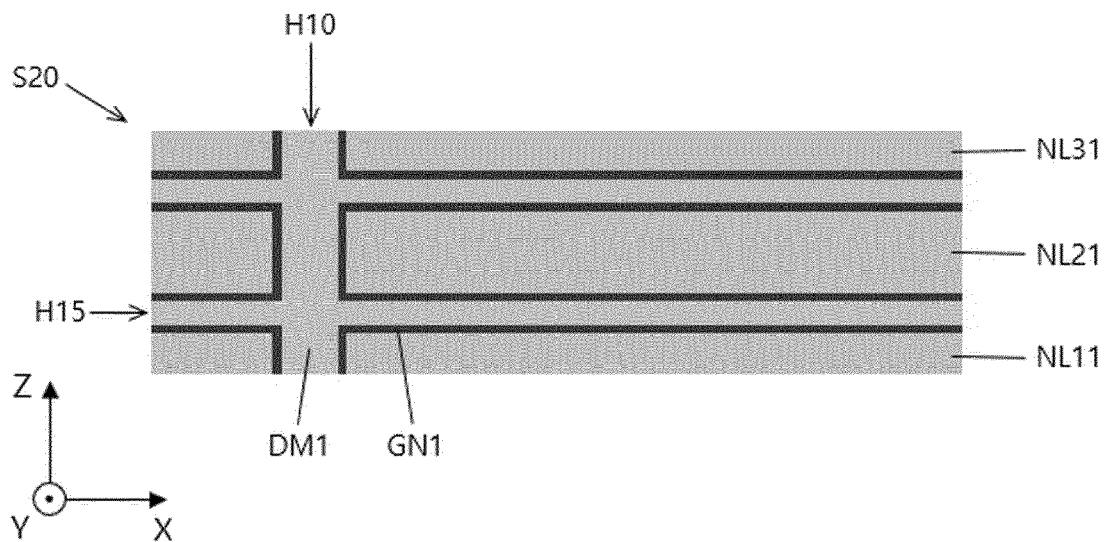
[도32b]



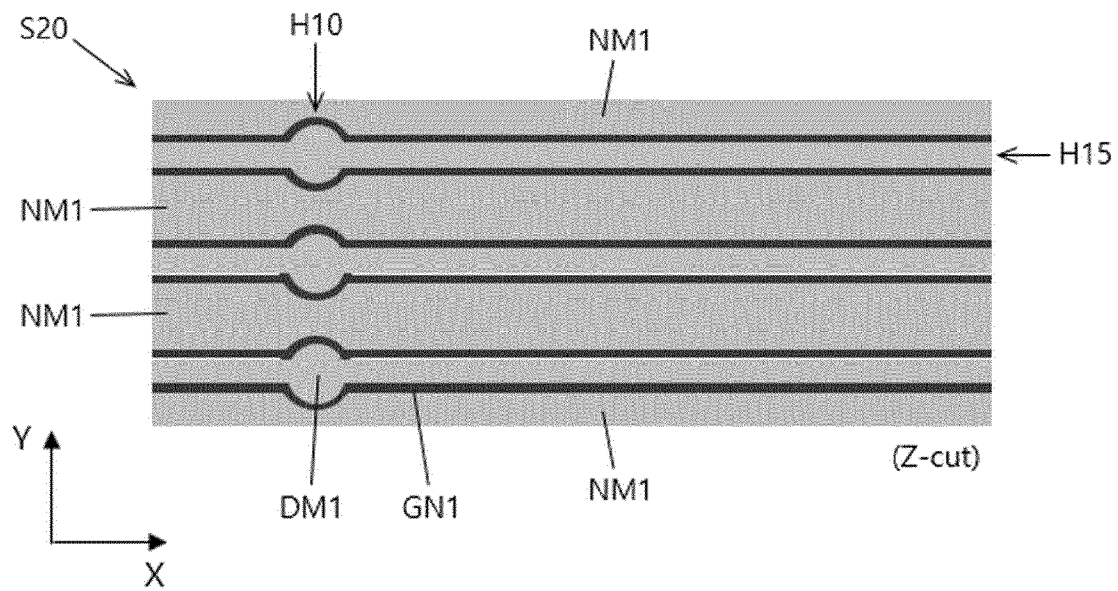
[도32c]



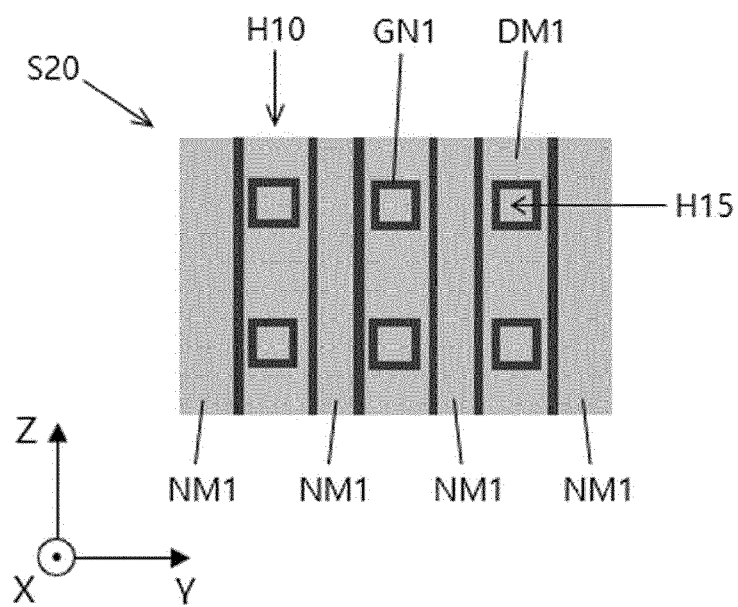
[도33a]



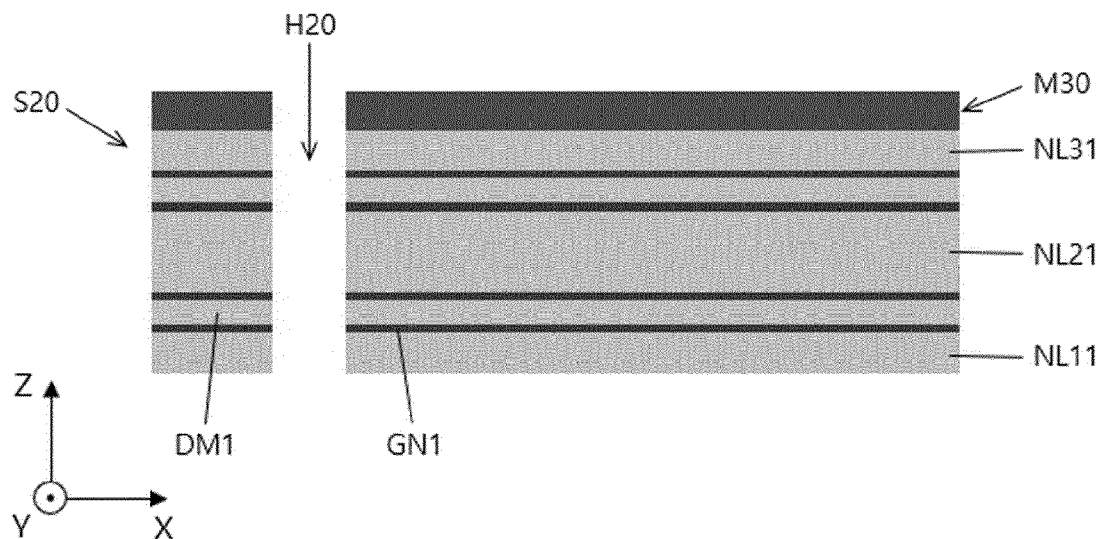
[도33b]



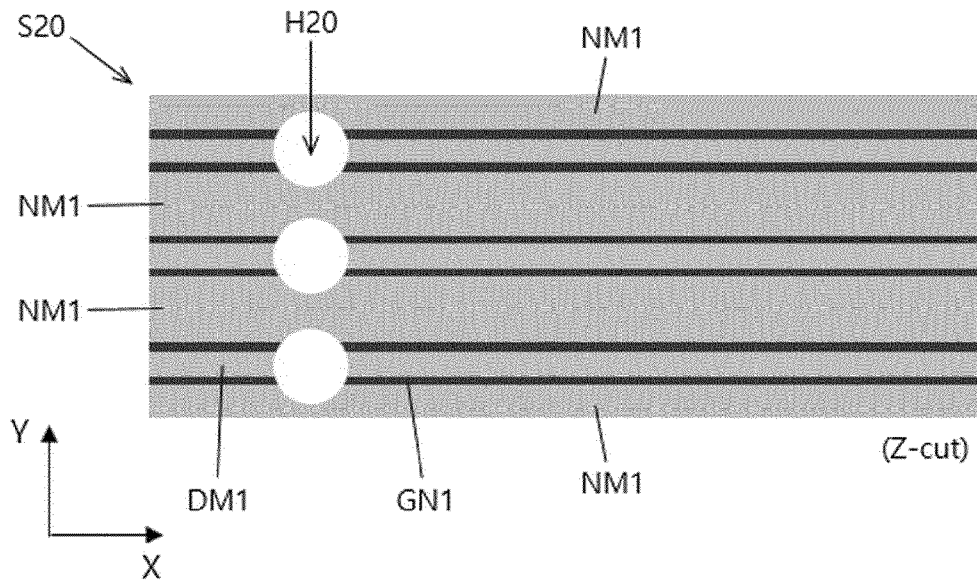
[도33c]



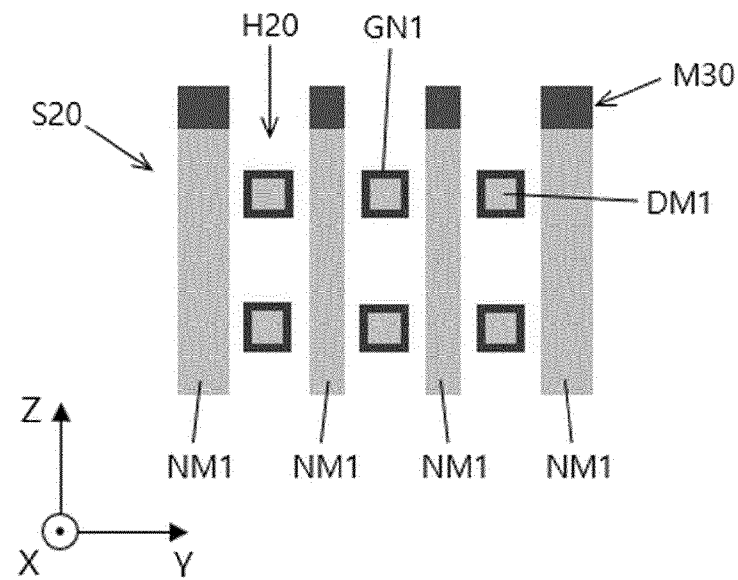
[도34a]



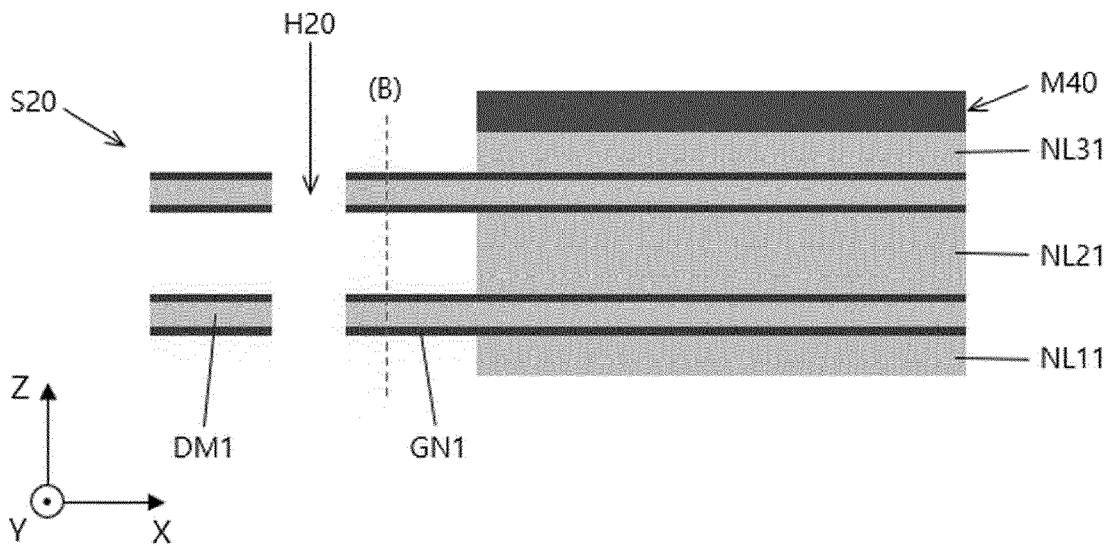
[도34b]



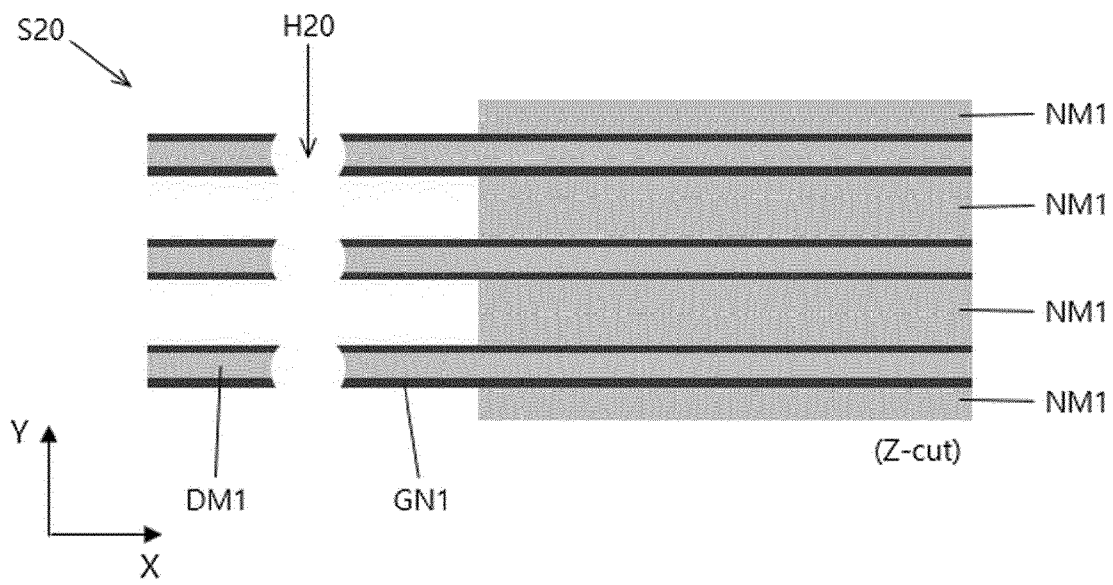
[도34c]



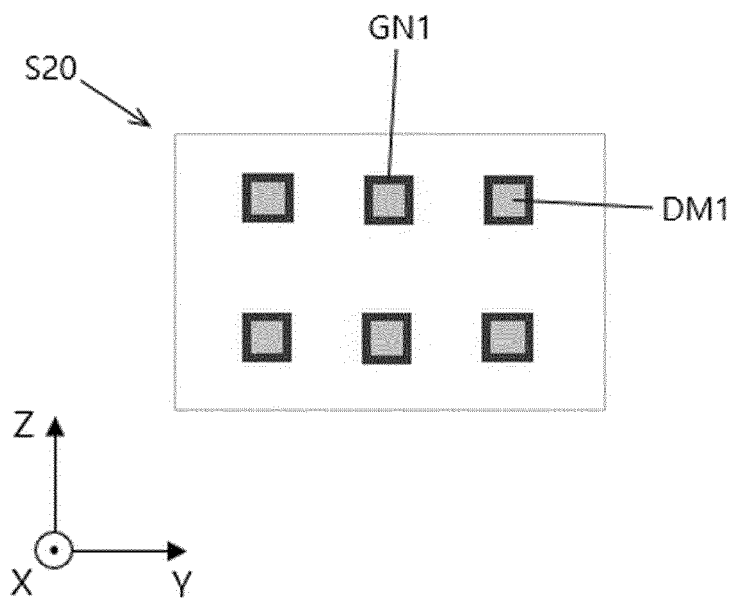
[도35a]



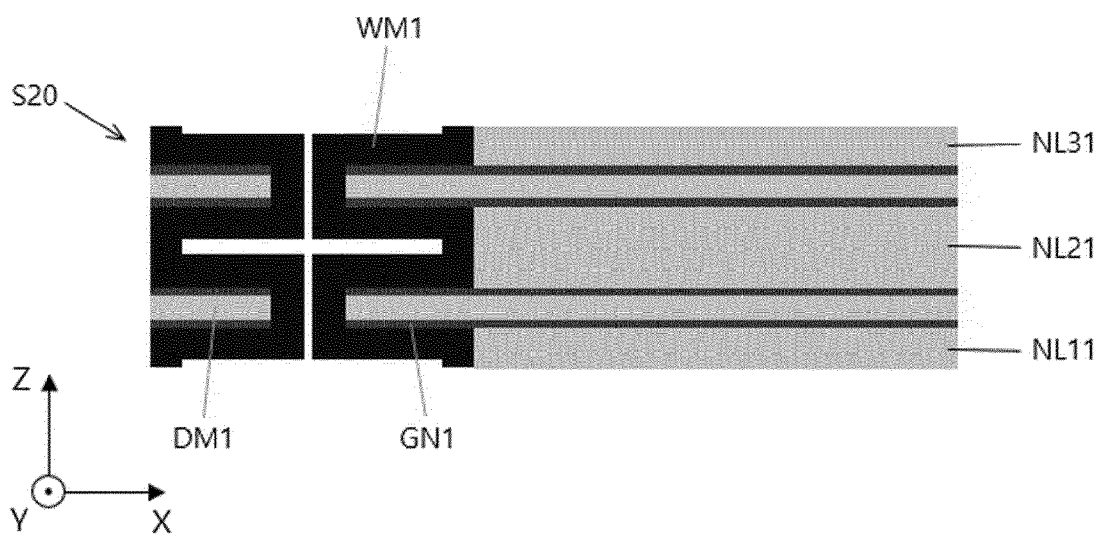
[도35b]



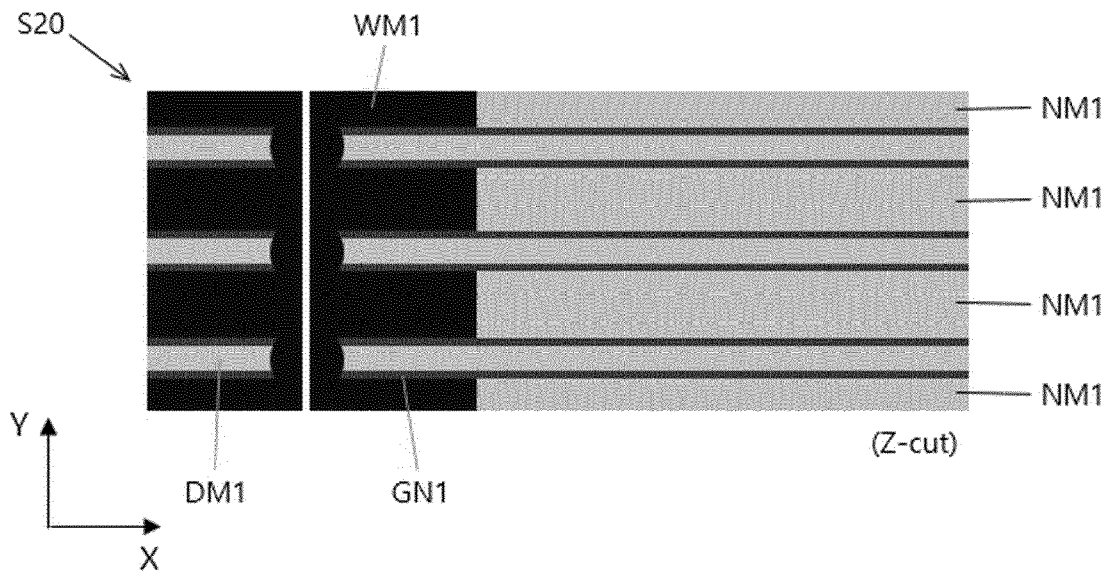
[도35c]



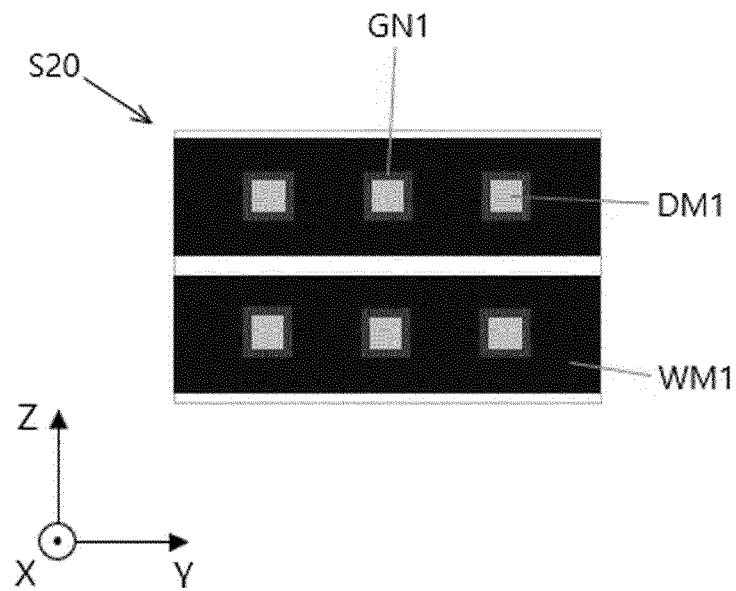
[도36a]



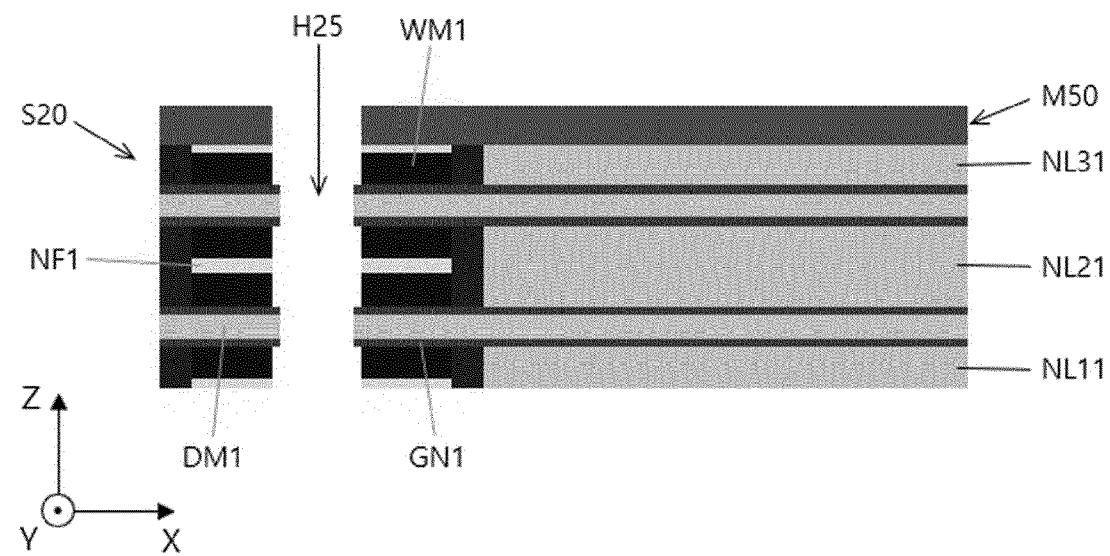
[도36b]



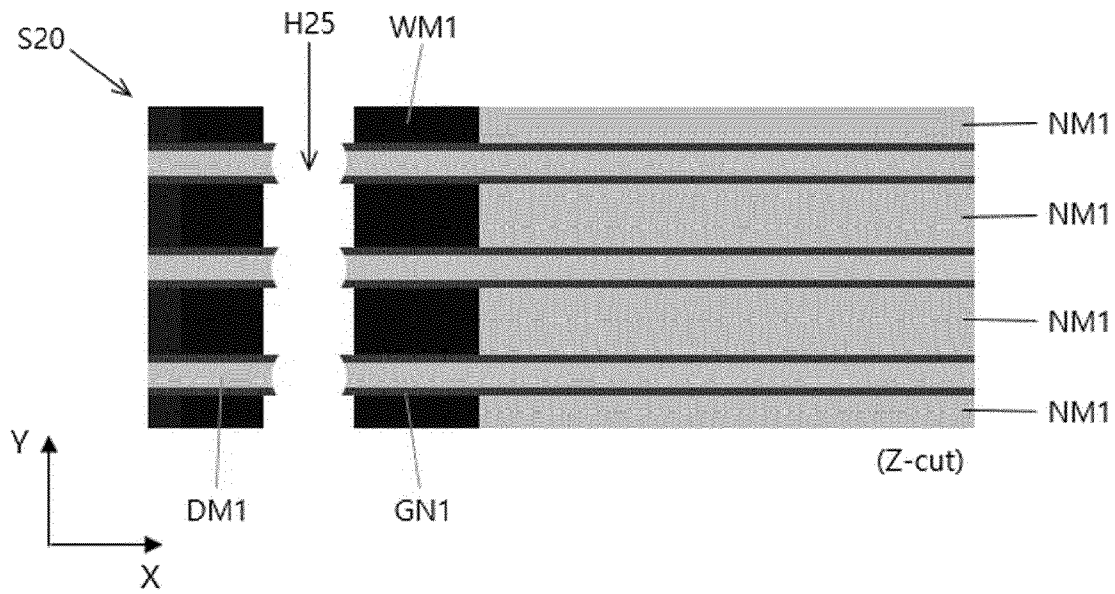
[도36c]



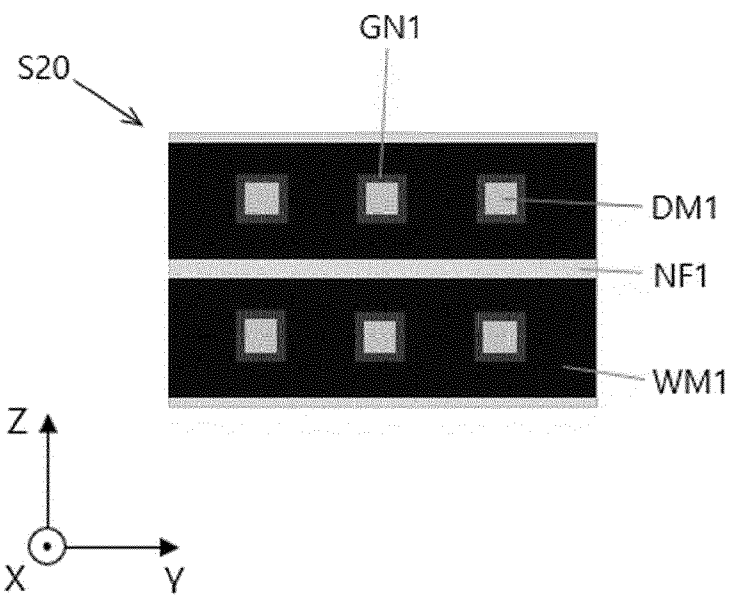
[도37a]



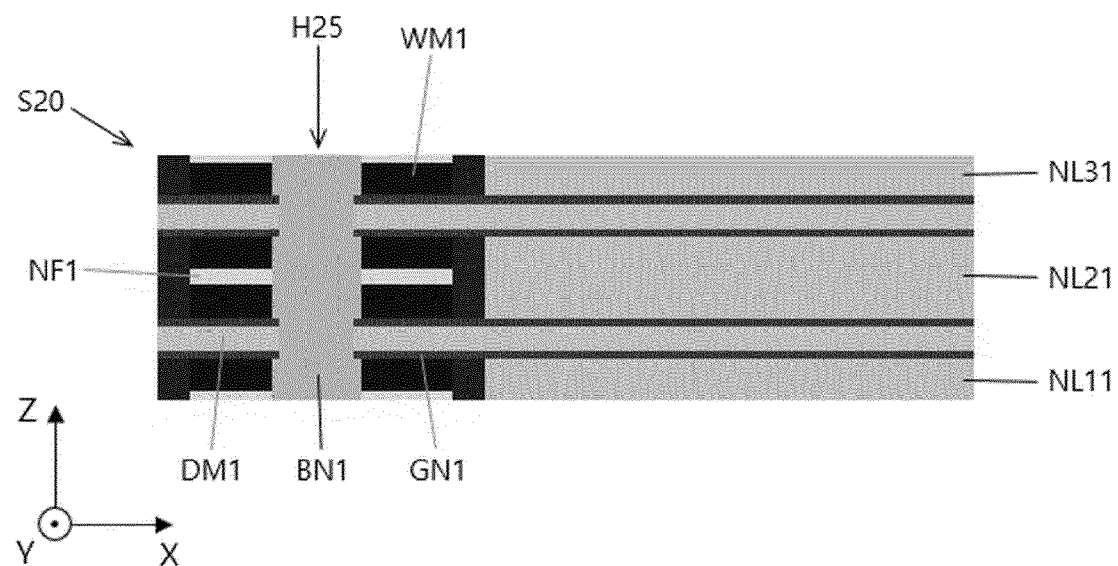
[도37b]



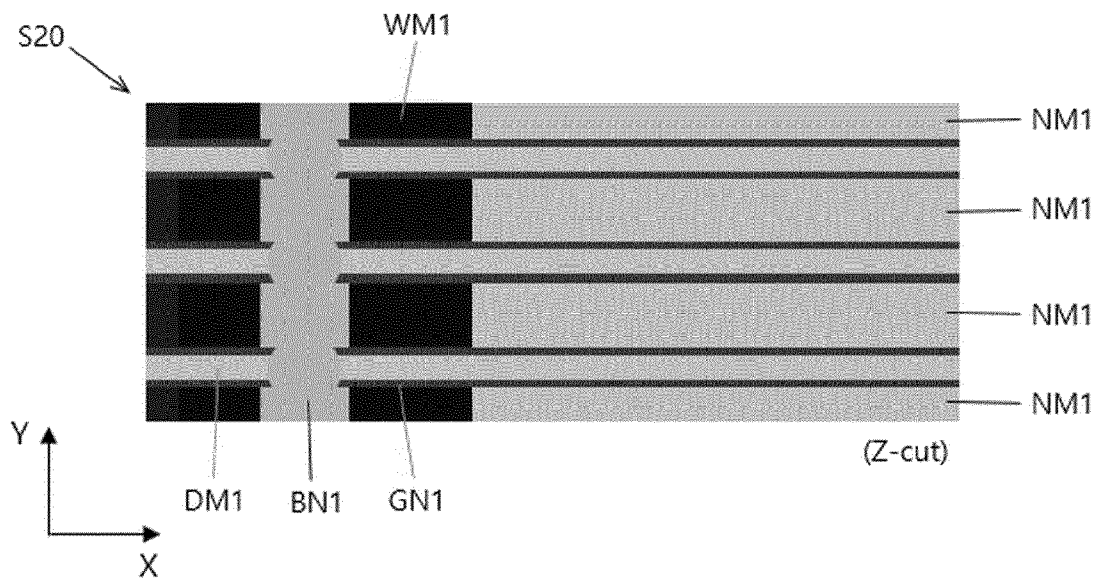
[도37c]



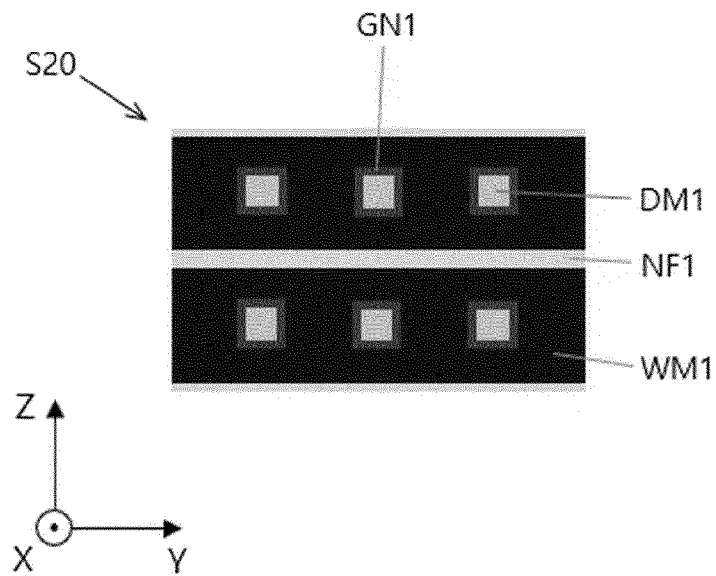
[도38a]



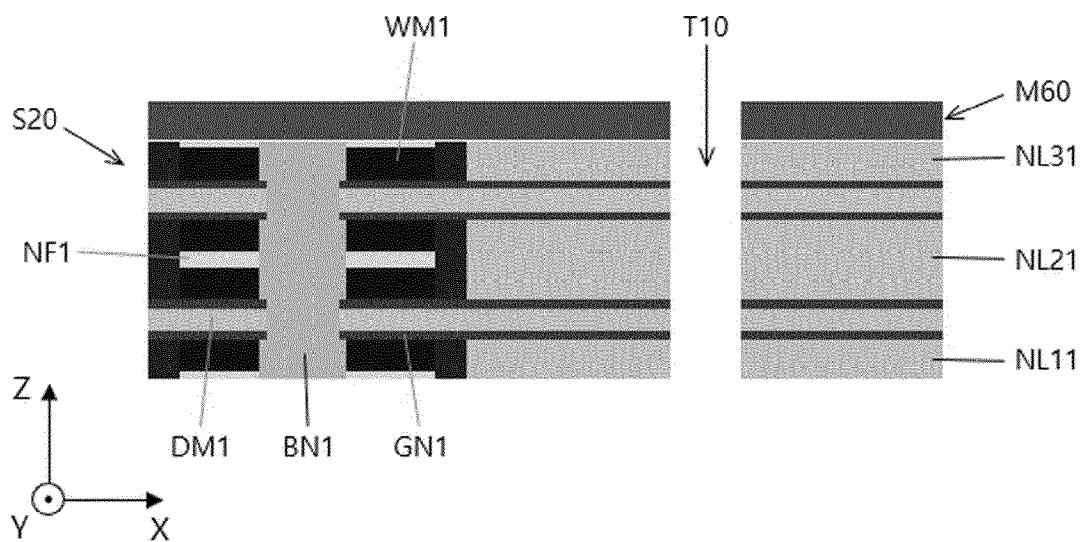
[도38b]



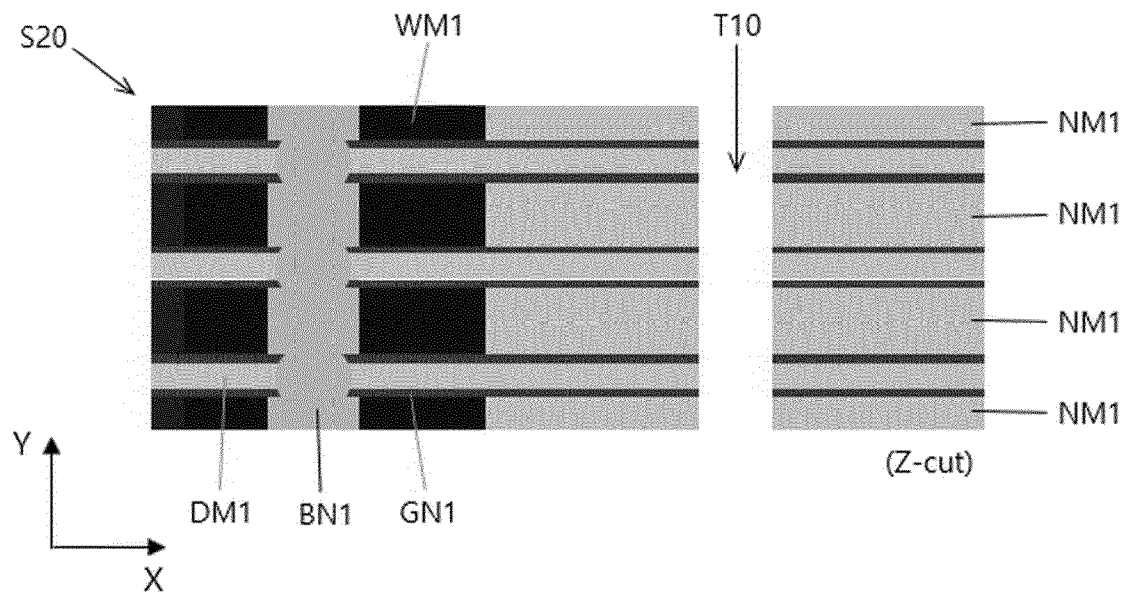
[도38c]



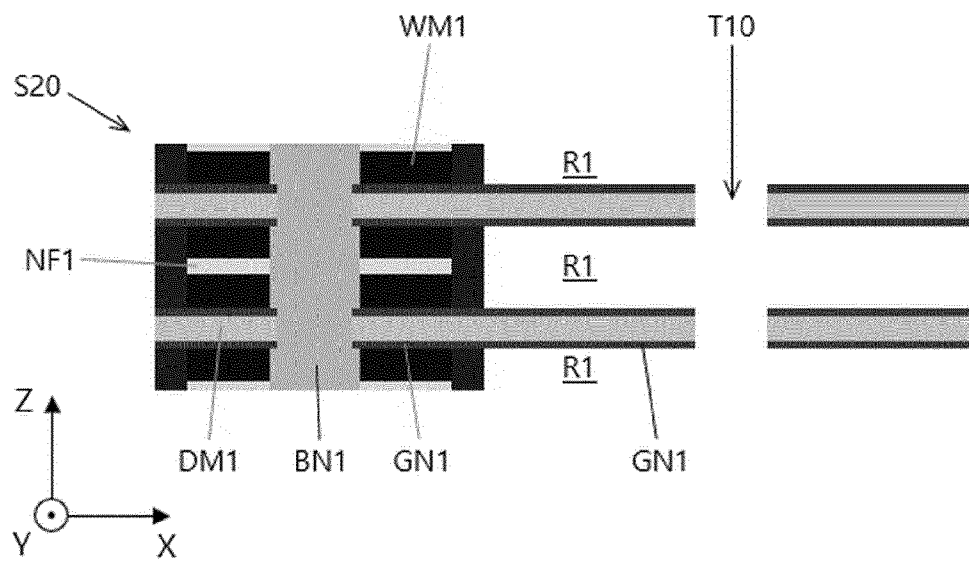
[도39a]



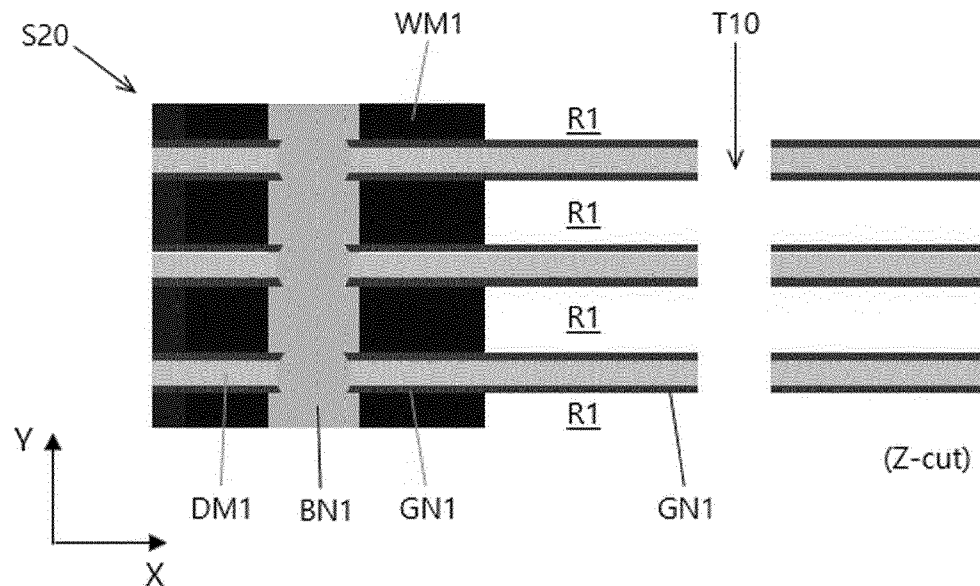
[도39b]



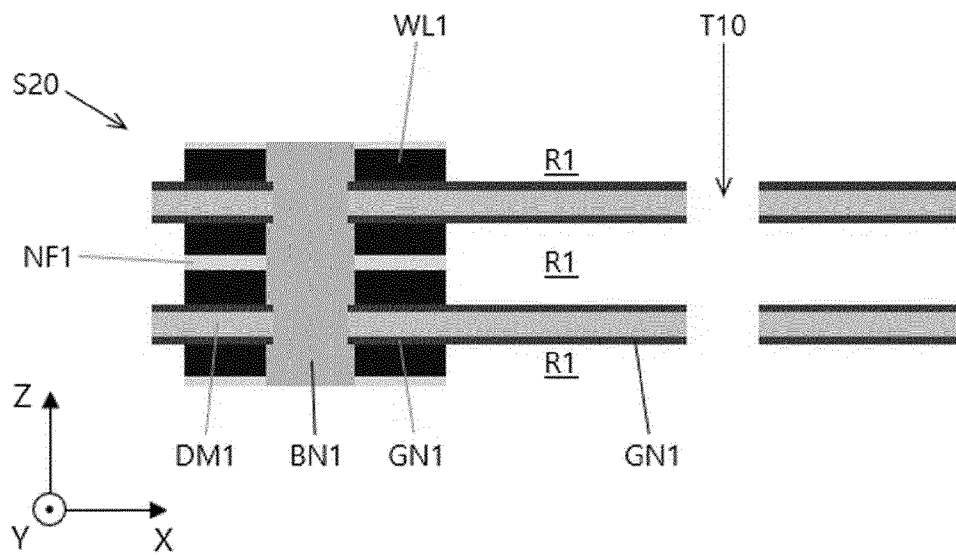
[도40a]



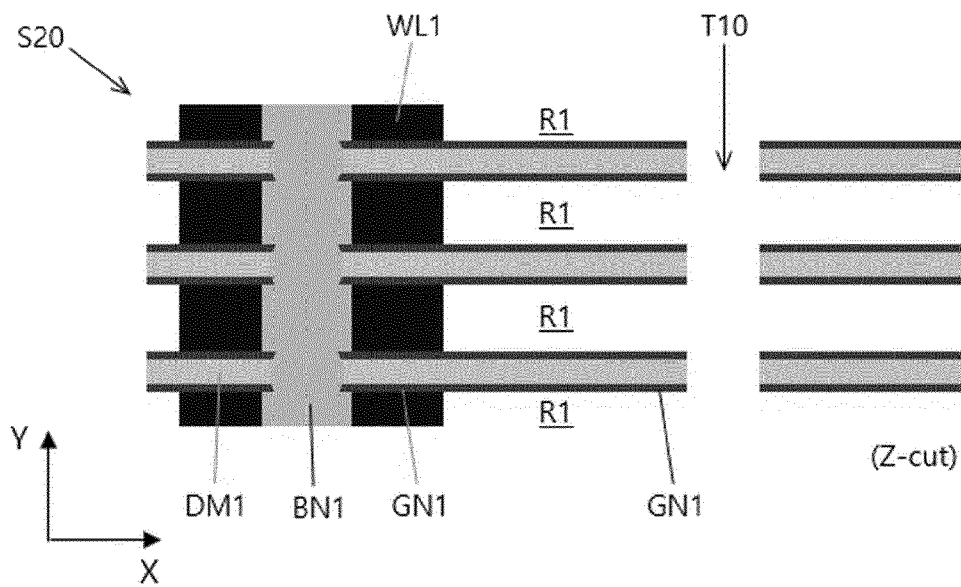
[도40b]



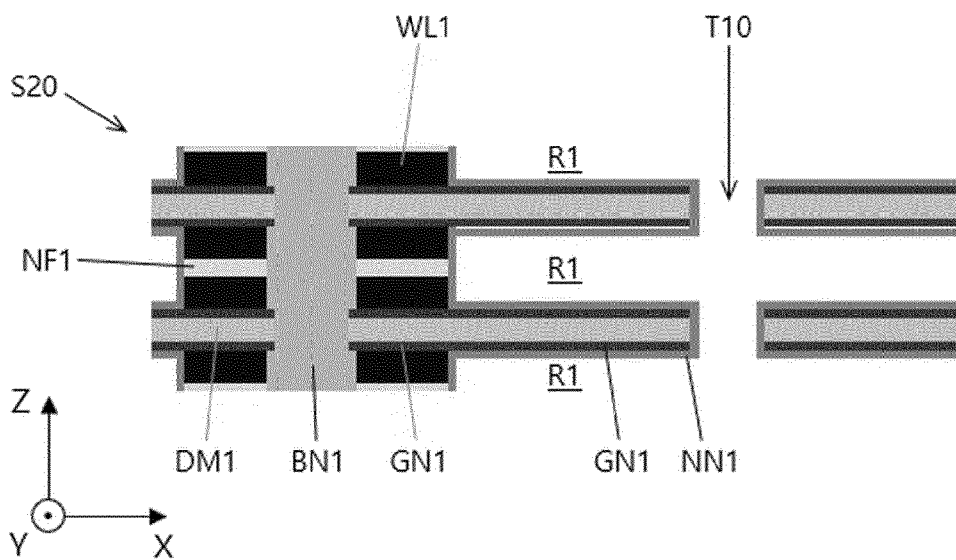
[도41a]



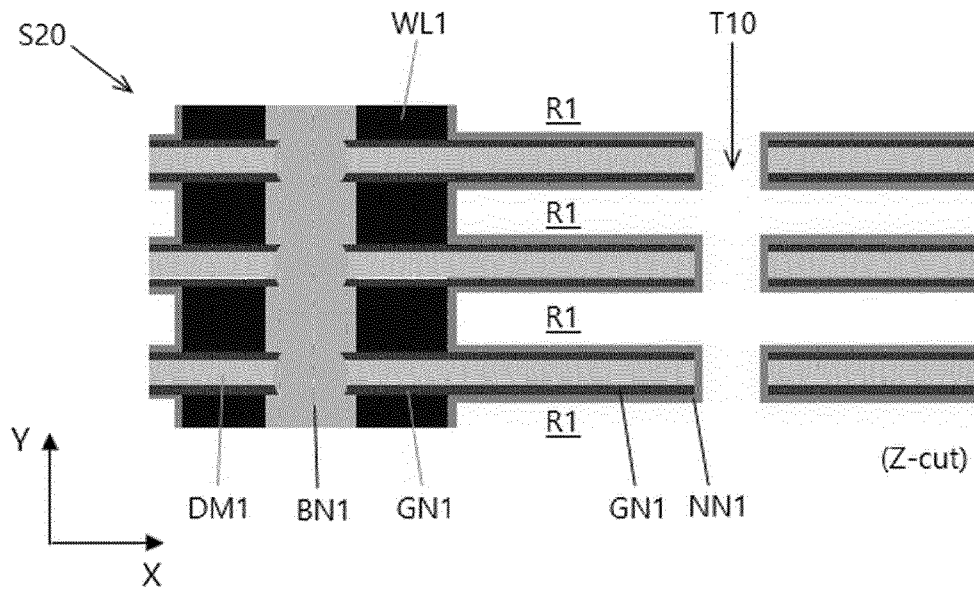
[도41b]



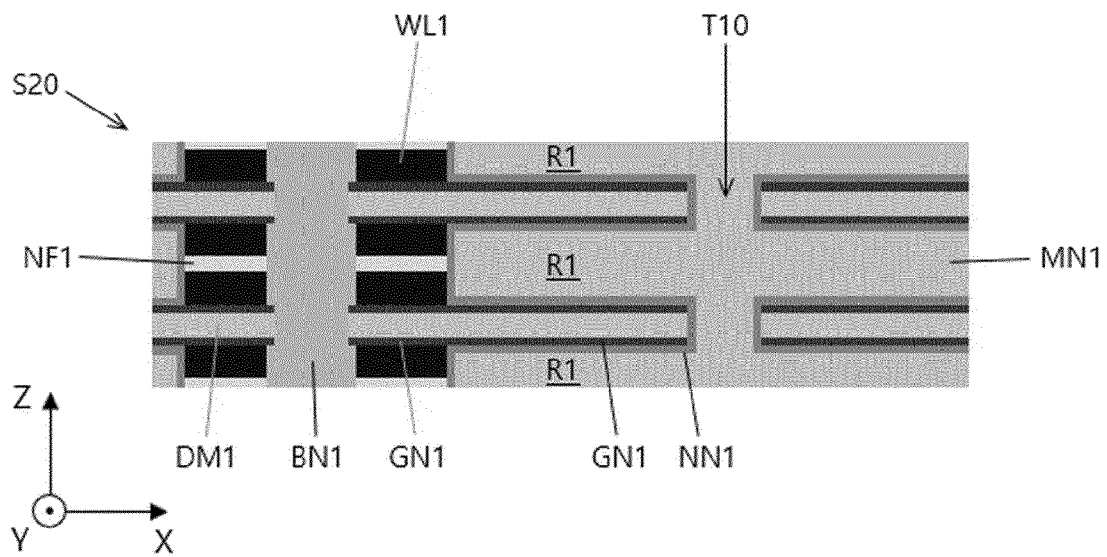
[도42a]



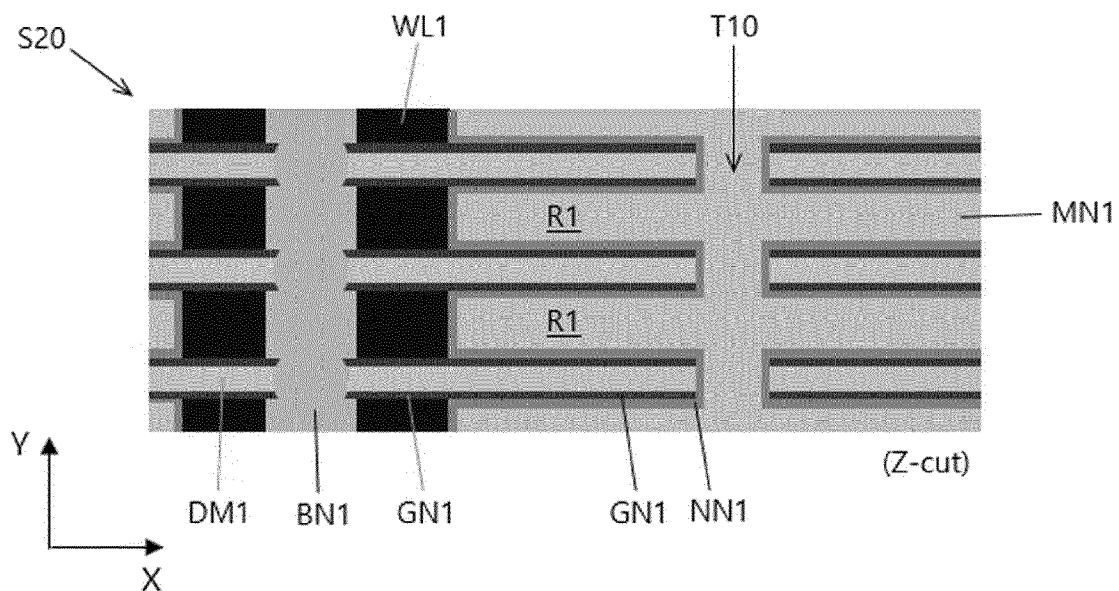
[도42b]



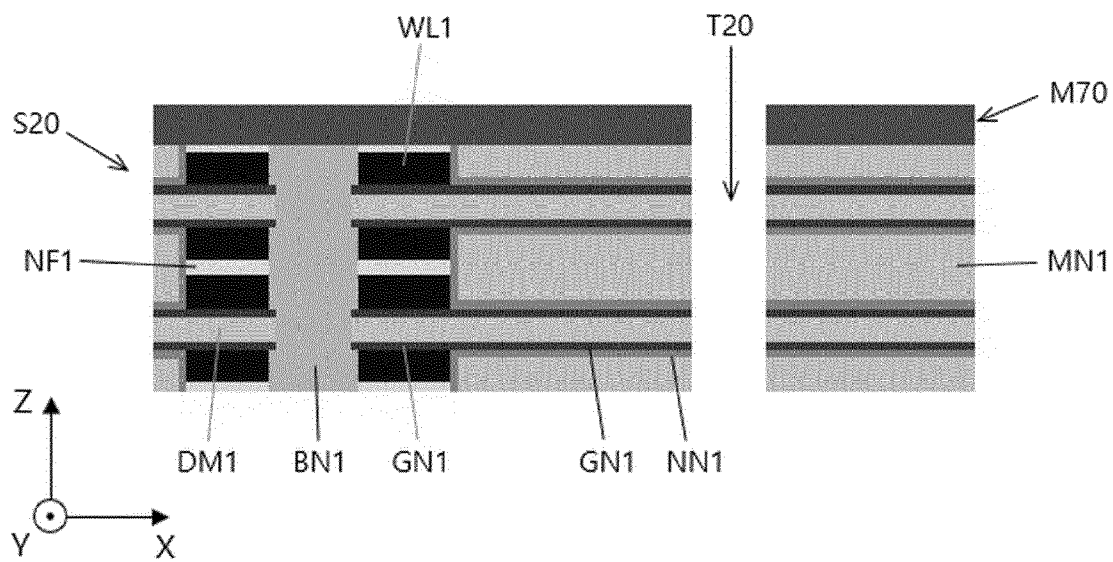
[도43a]



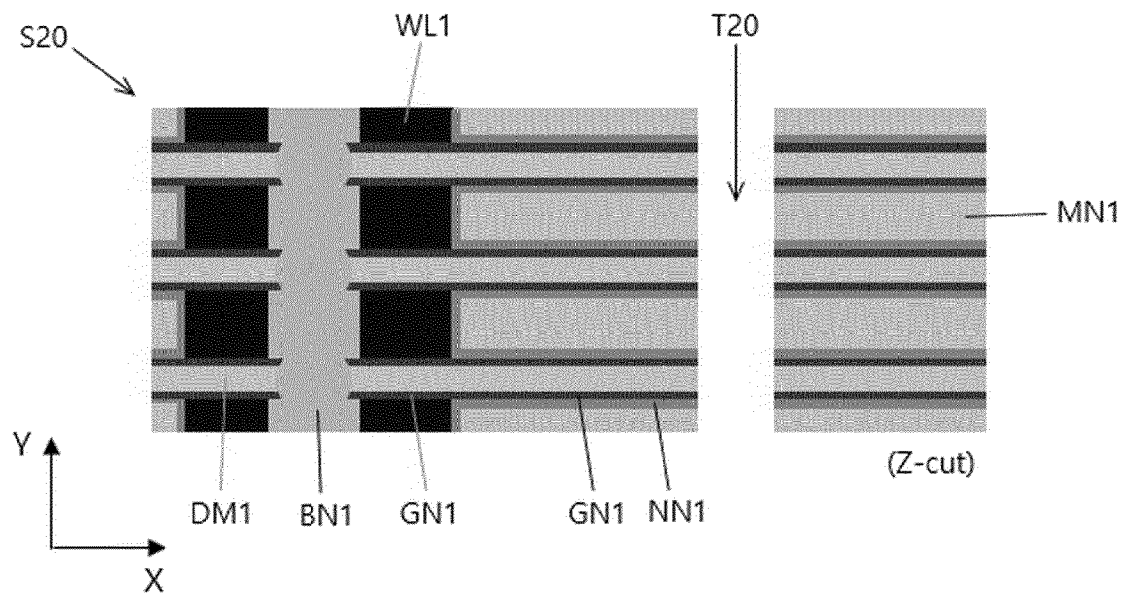
[도43b]



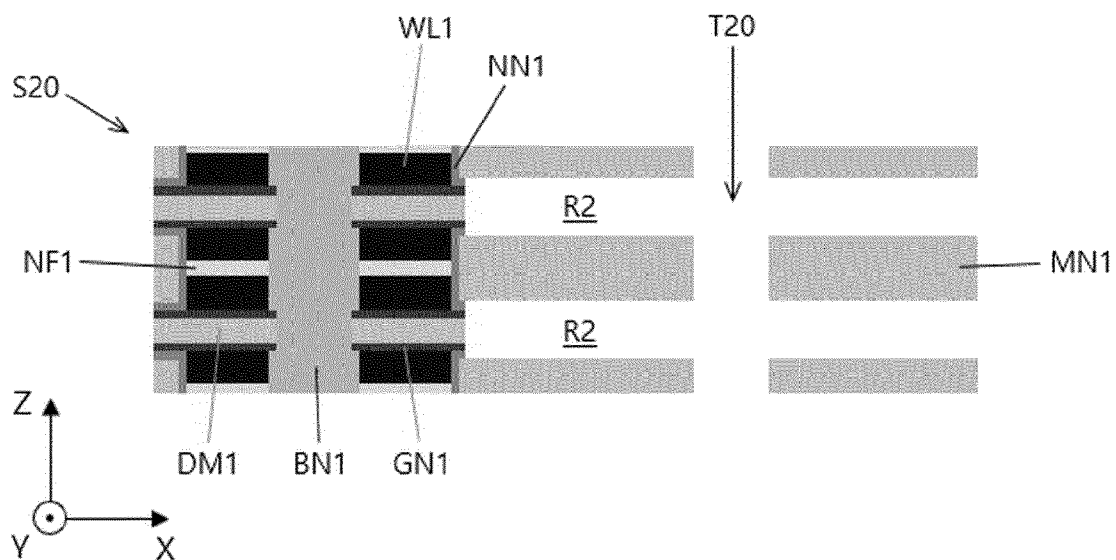
[도44a]



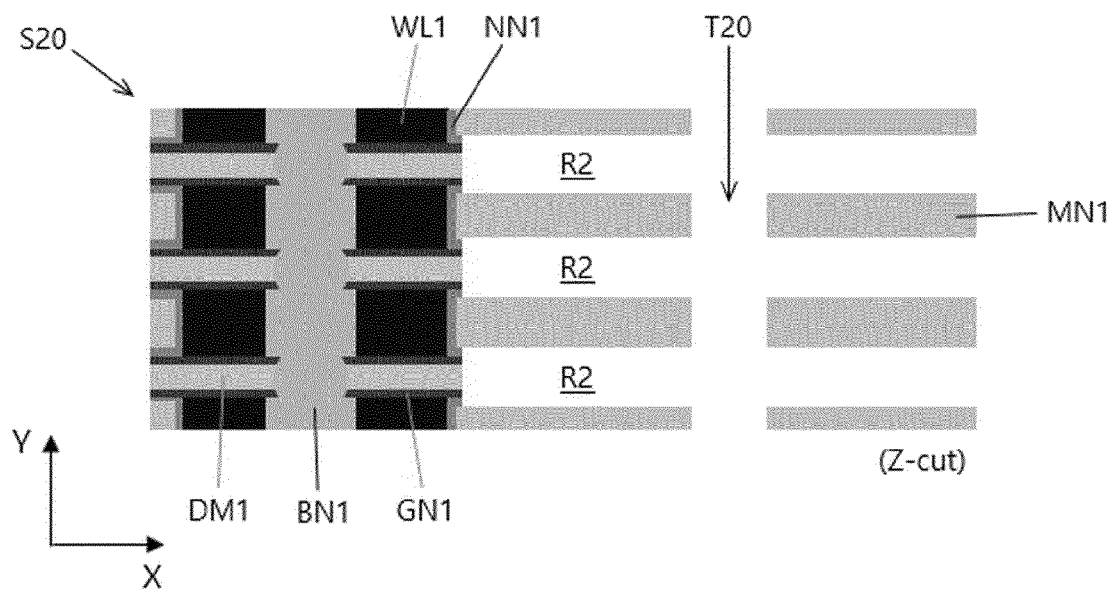
[도44b]



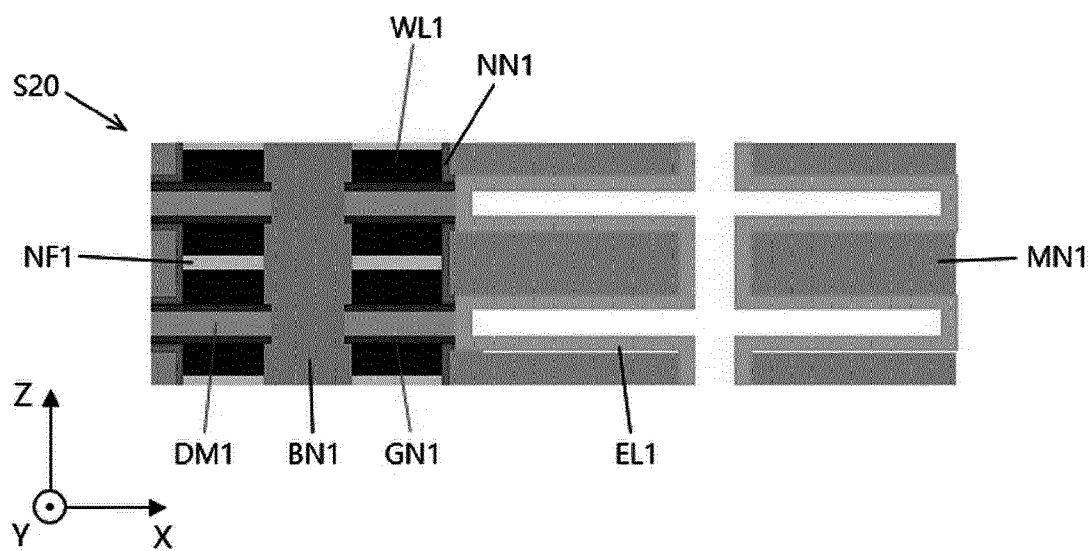
[도45a]



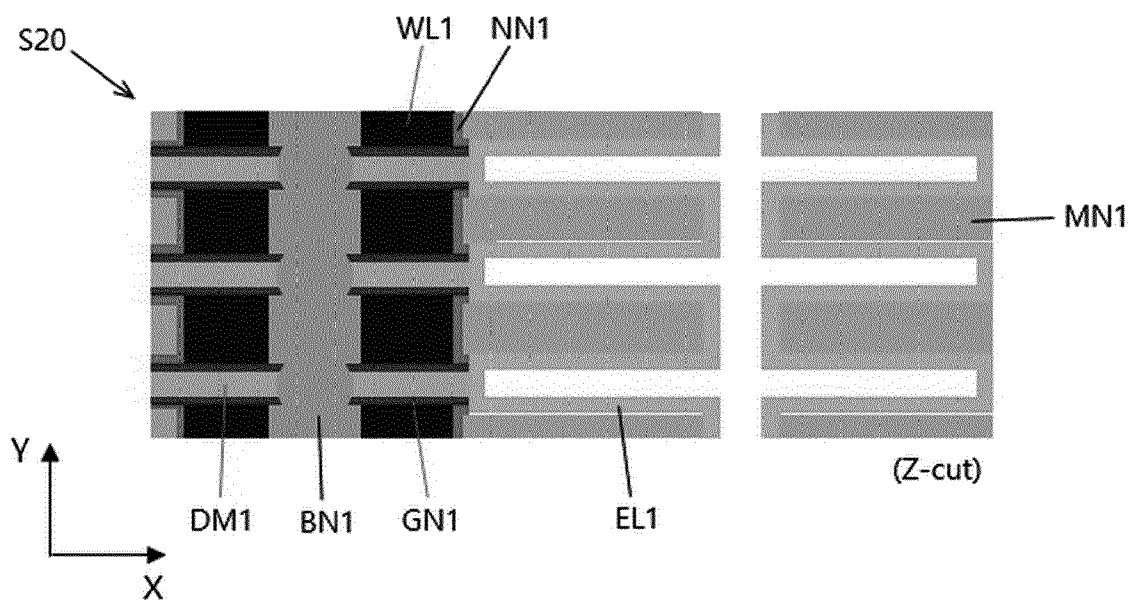
[도45b]



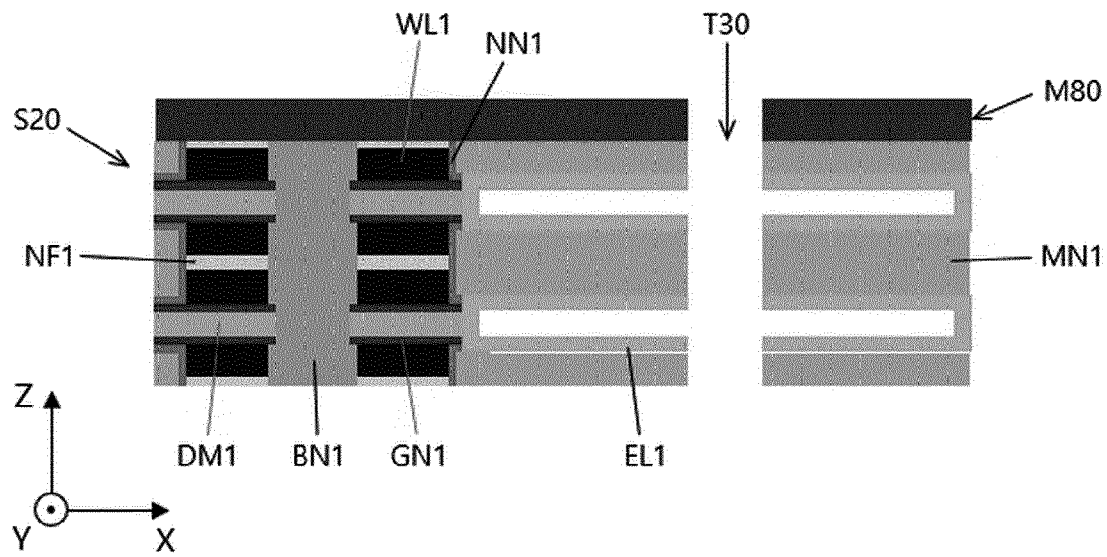
[도46a]



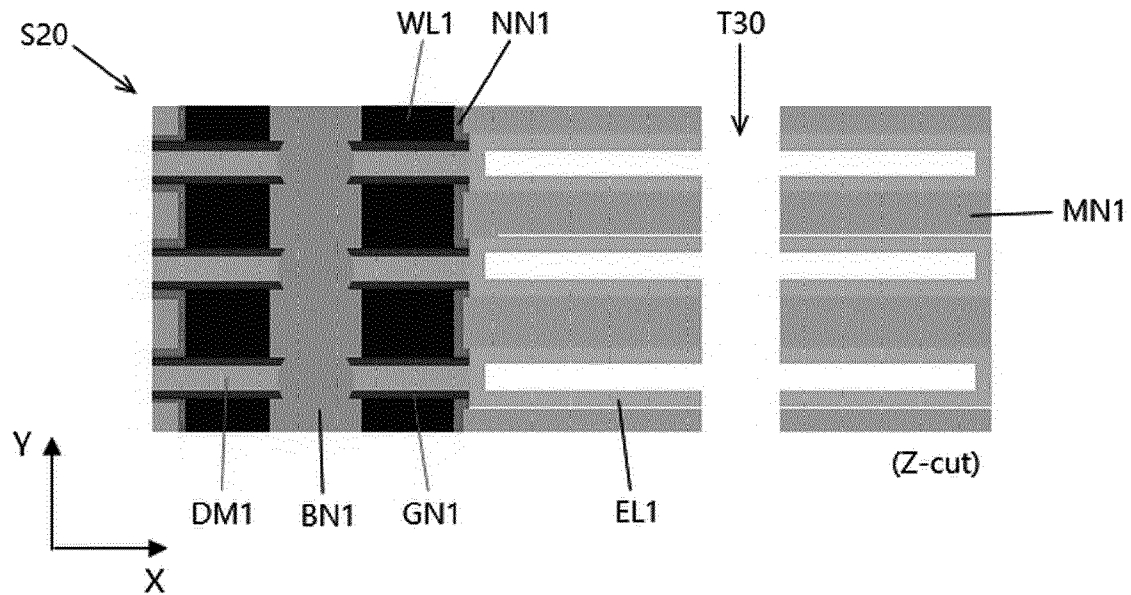
[도46b]



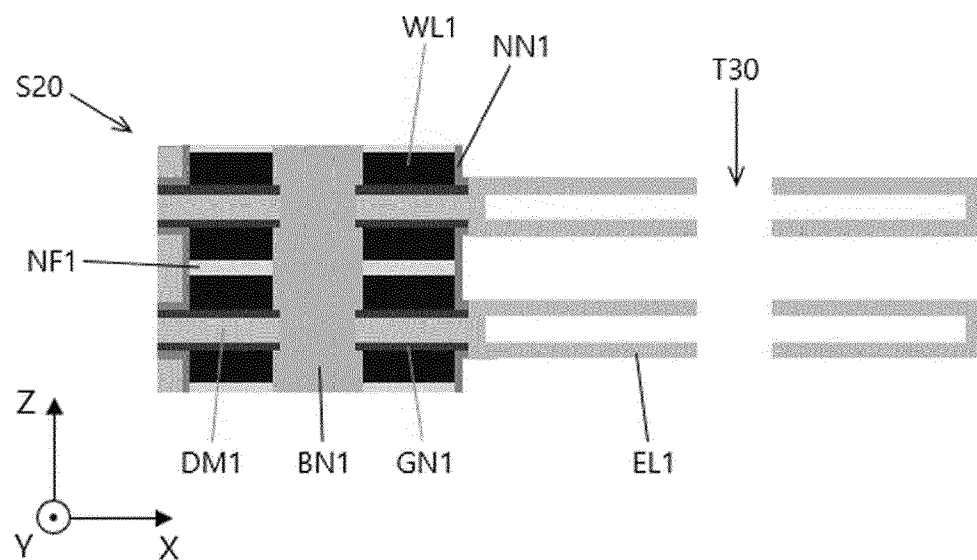
[도47a]



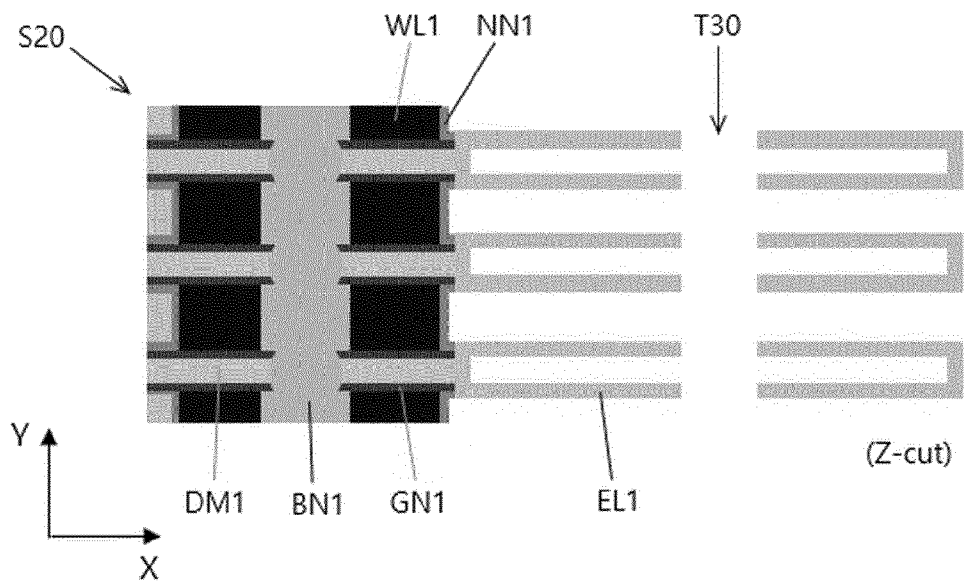
[도47b]



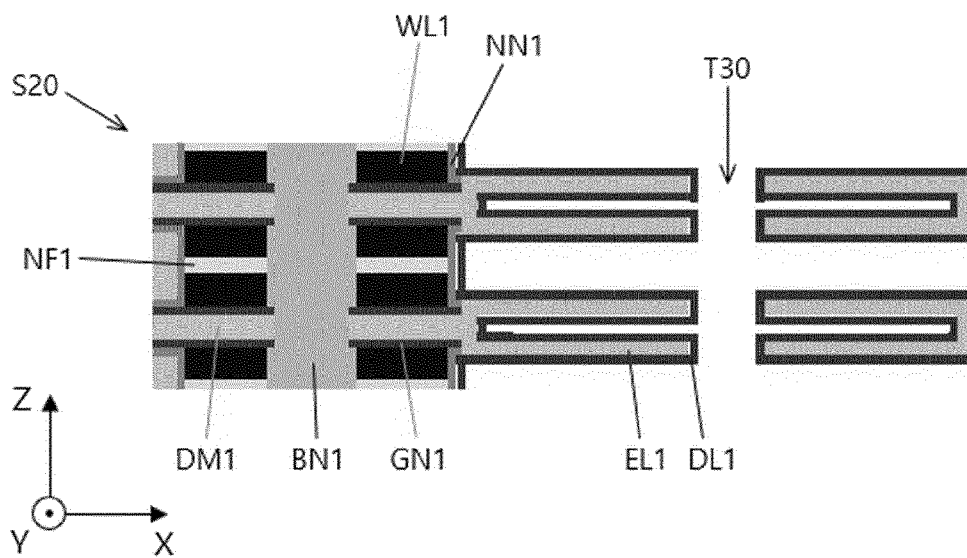
[도48a]



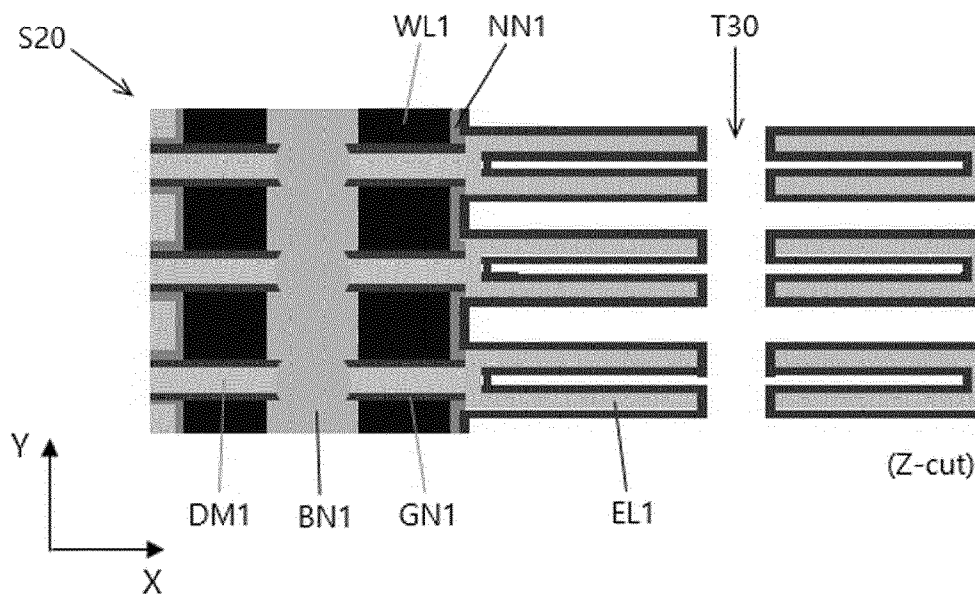
[도48b]



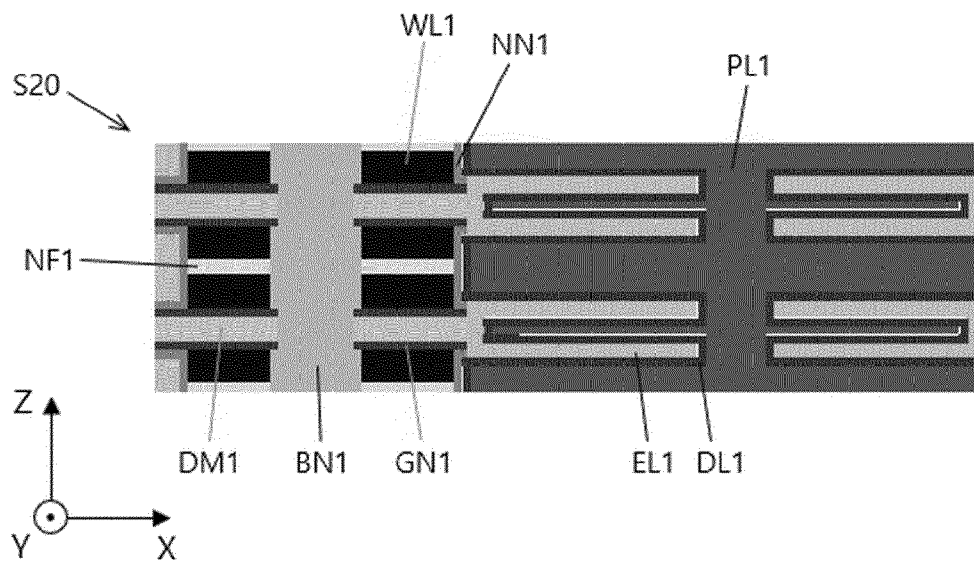
[도49a]



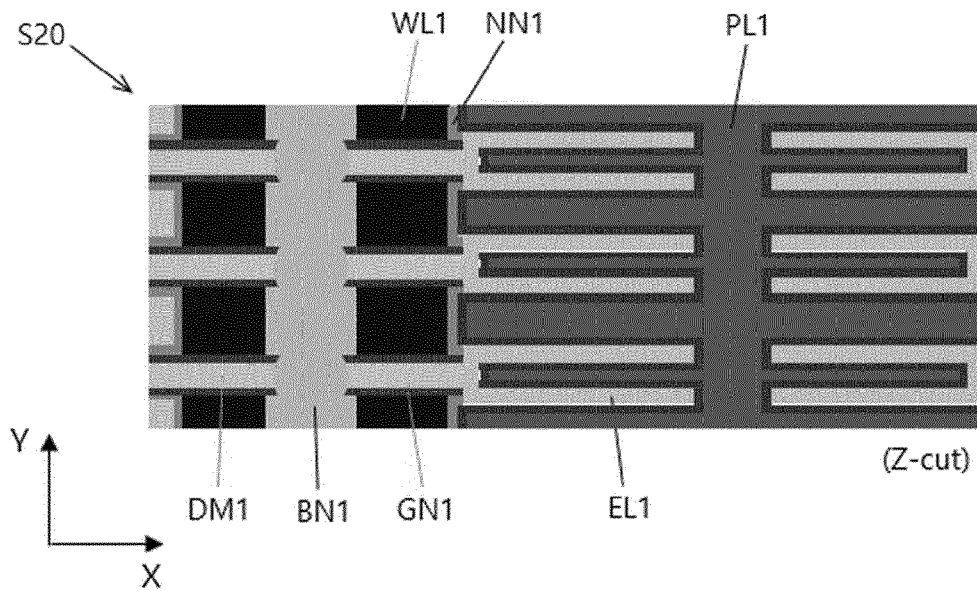
[도49b]



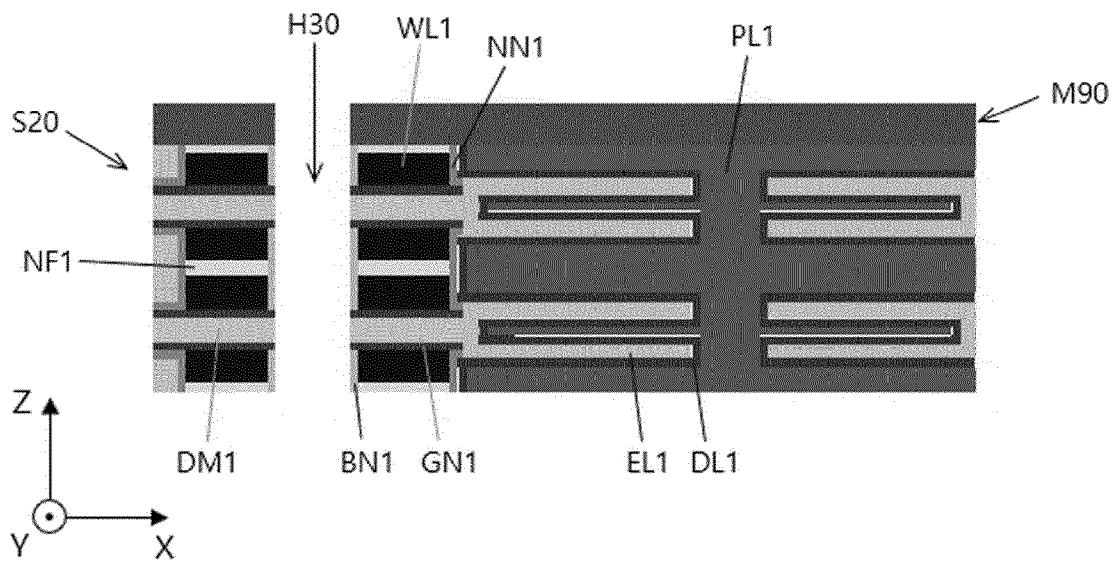
[도50a]



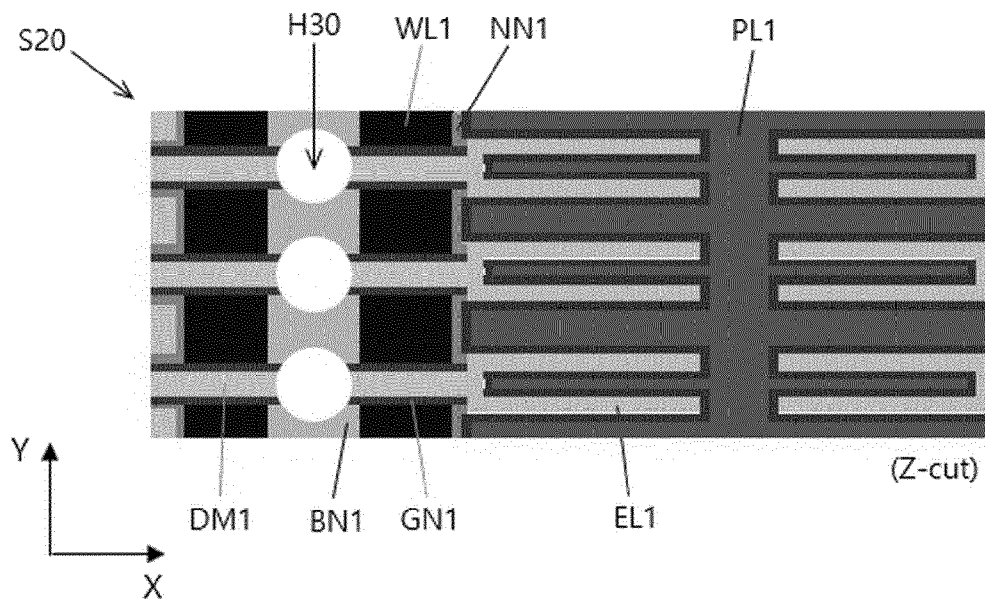
[도50b]



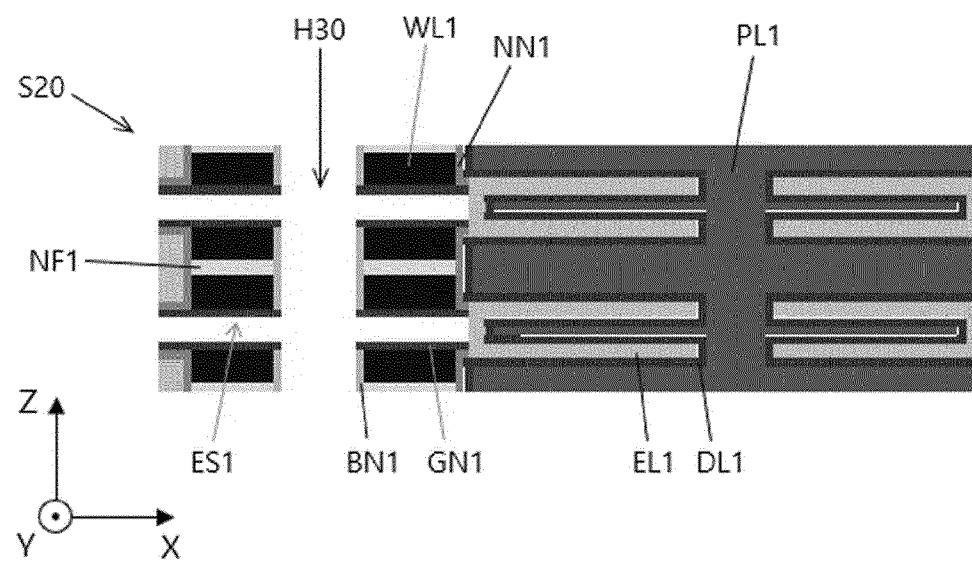
[도51a]



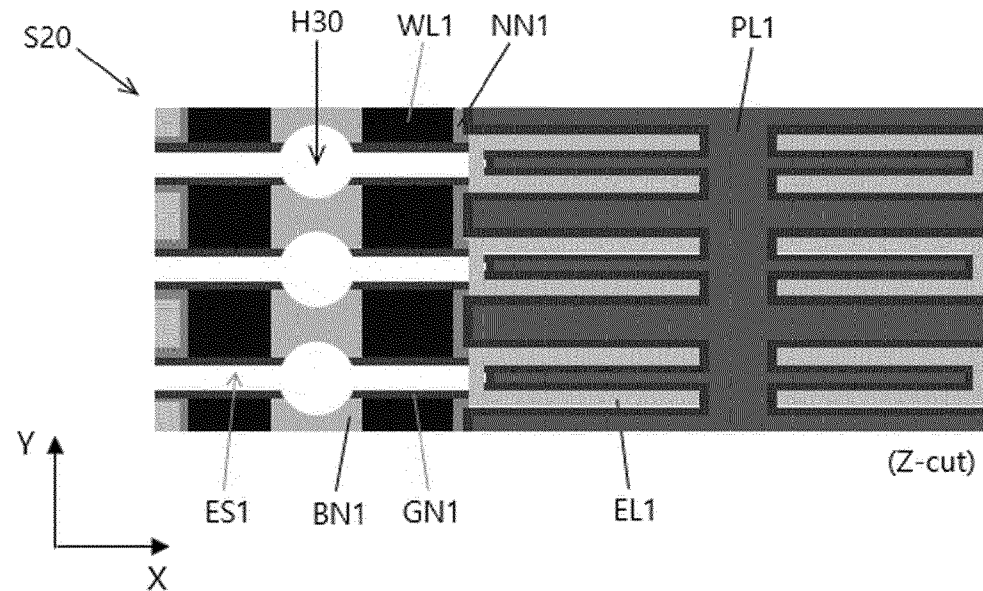
[도51b]



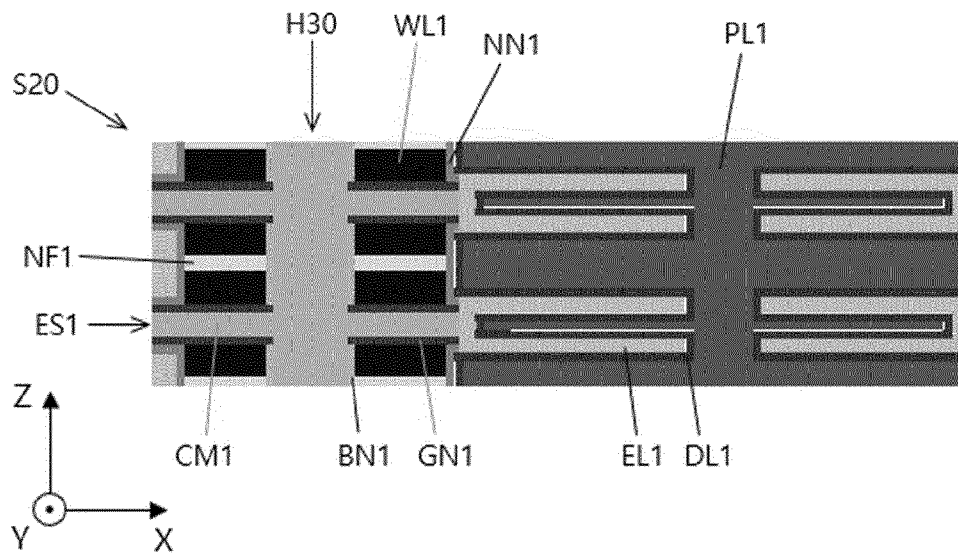
[도52a]



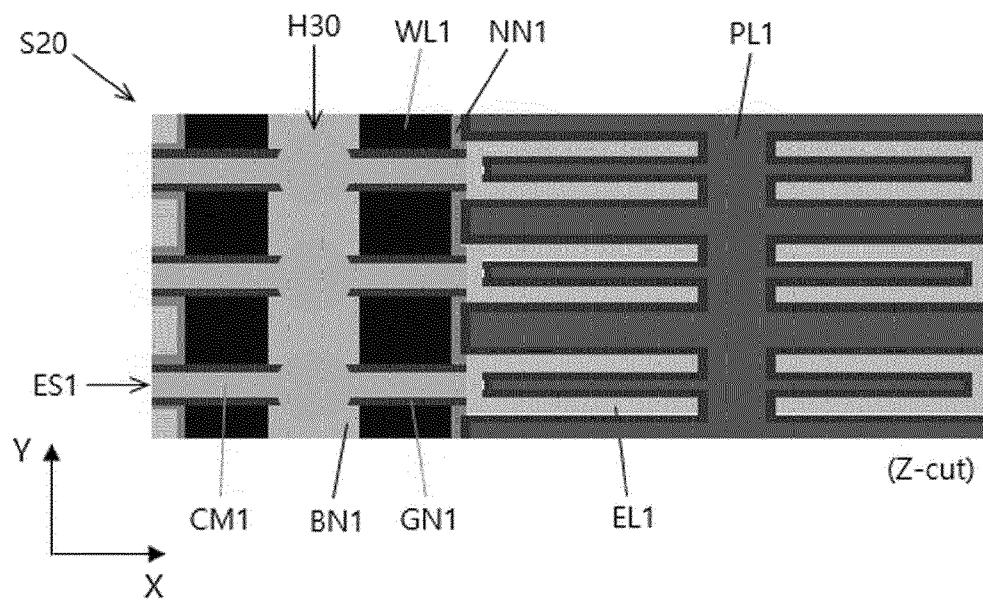
[도52b]



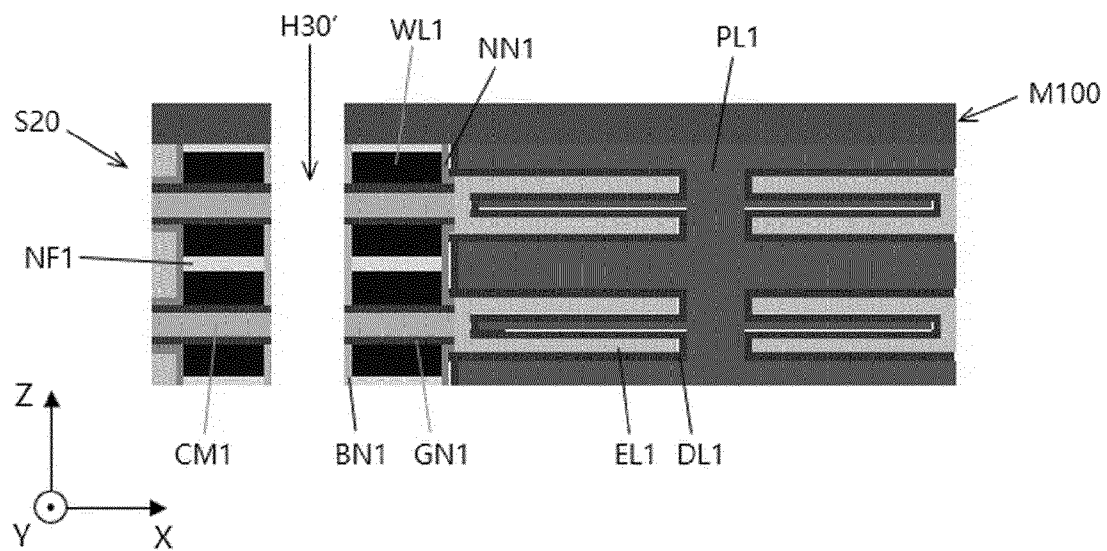
[도53a]



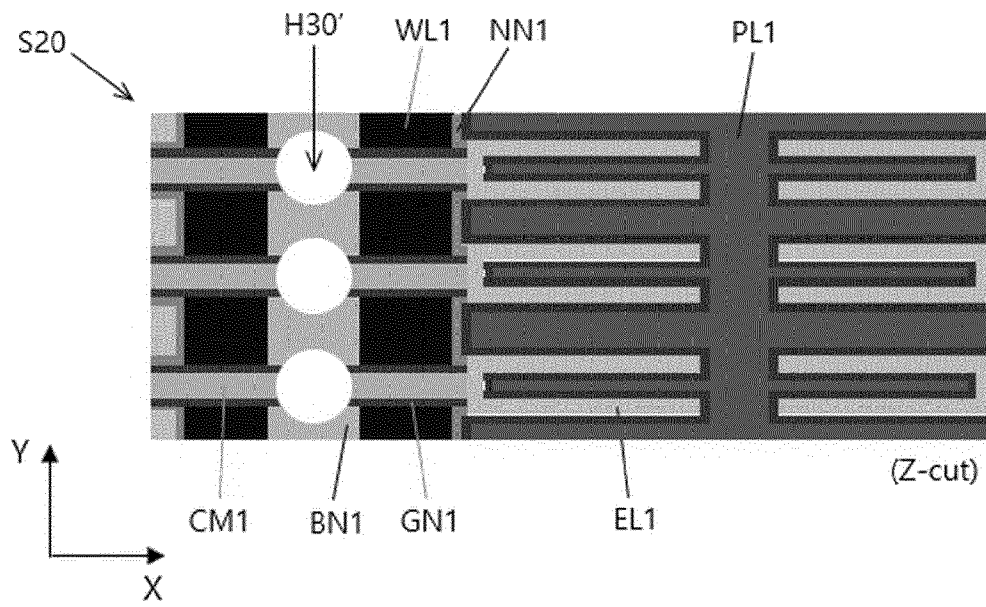
[도53b]



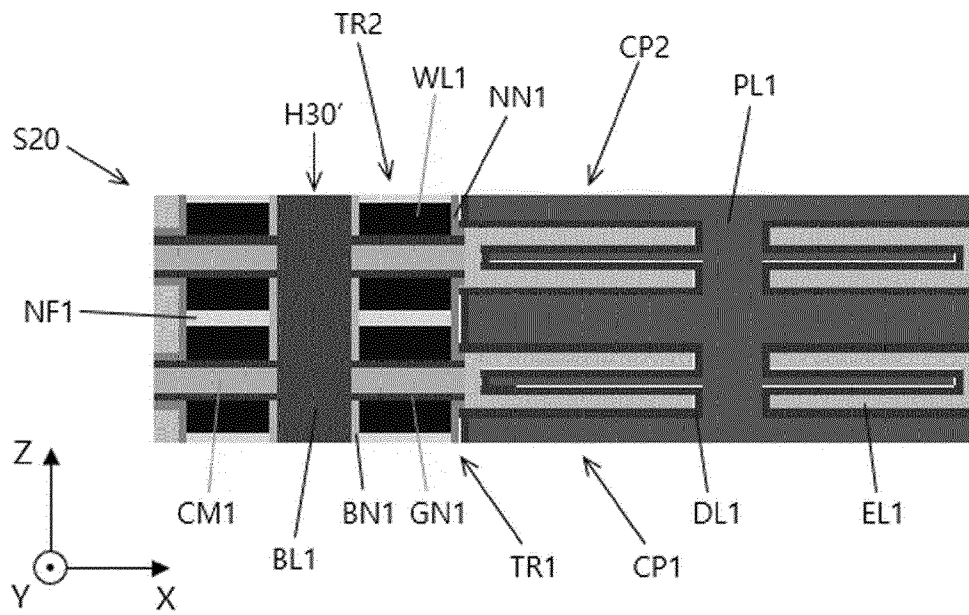
[도54a]



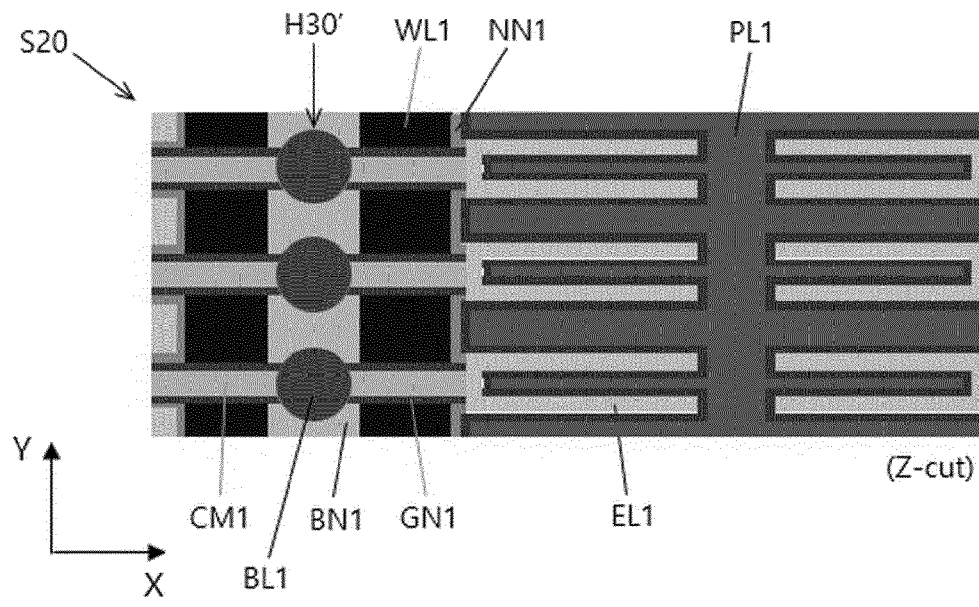
[도54b]



[도55a]



[도55b]



INTERNATIONAL SEARCH F

International application No.

PCT/KR2023/018022

A. CLASSIFICATION OF SUBJECT MATTER**H10B 12/00**(2023.01)i; **H01L 29/66**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B 12/00(2023.01); H01L 21/3205(2006.01); H01L 21/762(2006.01); H01L 21/8242(2006.01); H01L 27/06(2006.01); H01L 27/108(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 메모리(memory), 트랜지스터(transistor), 게이트(gate), 커패시터(capacitor), GAA(gate-all-around)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2022-0254784 A1 (MICRON TECHNOLOGY, INC.) 11 August 2022 (2022-08-11) See paragraphs [0037]-[0248] and figures 1A-23B.	26-27
A		1-25,28-31
A	US 2022-0130834 A1 (MICRON TECHNOLOGY, INC.) 28 April 2022 (2022-04-28) See paragraphs [0023]-[0177] and figures 1-17B.	1-31
A	KR 10-2022-0166618 A (SK HYNIX INC.) 19 December 2022 (2022-12-19) See paragraphs [0142]-[0152] and figure 16.	1-31
A	US 2021-0057416 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25 February 2021 (2021-02-25) See entire document.	1-31
A	CN 115064494 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 16 September 2022 (2022-09-16) See entire document.	1-31

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 February 2024

Date of mailing of the international search report

19 February 2024

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH F
Information on patent family members

International application No.

PCT/KR2023/018022

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2022-0254784	A1	11 August 2022	CN	114914202	A	16 August 2022
				US	11469232	B2	11 October 2022
US	2022-0130834	A1	28 April 2022	CN	116250382	A	09 June 2023
				US	11367726	B2	21 June 2022
				US	2022-0320103	A1	06 October 2022
				WO	2022-093660	A1	05 May 2022
KR	10-2022-0166618	A	19 December 2022	CN	115472608	A	13 December 2022
				US	2022-0399341	A1	15 December 2022
US	2021-0057416	A1	25 February 2021	CN	109616474	A	12 April 2019
				CN	109616474	B	10 October 2023
				DE	102018119616	A1	04 April 2019
				DE	102018119616	B4	06 April 2023
				JP	2019-068067	A	25 April 2019
				JP	7311254	B2	19 July 2023
				KR	10-2019-0038223	A	08 April 2019
				KR	10-2600110	B1	10 November 2023
				SG	10201806114	A	29 April 2019
				SG	10201911466	A	30 January 2020
				US	10535659	B2	14 January 2020
				US	10861854	B2	08 December 2020
				US	11616065	B2	28 March 2023
				US	2019-0103407	A1	04 April 2019
				US	2020-0111793	A1	09 April 2020
CN	115064494	A	16 September 2022	US	2023-0403842	A1	14 December 2023

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10B 12/00(2023.01); H01L 29/66(2006.01);

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10B 12/00(2023.01); H01L 21/3205(2006.01); H01L 21/762(2006.01); H01L 21/8242(2006.01); H01L 27/06(2006.01); H01L 27/108(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리(memory), 트랜지스터(transistor), 게이트(gate), 커패시터(capacitor), GAA(gate-all-around)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X A	US 2022-0254784 A1 (MICRON TECHNOLOGY, INC.) 2022.08.11 단락 [0037]-[0248] 및 도면 1A-23B	26-27 1-25,28-31
A	US 2022-0130834 A1 (MICRON TECHNOLOGY, INC.) 2022.04.28 단락 [0023]-[0177] 및 도면 1-17B	1-31
A	KR 10-2022-0166618 A (에스케이하이닉스 주식회사) 2022.12.19 단락 [0142]-[0152] 및 도면 16	1-31
A	US 2021-0057416 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2021.02.25 전체 문헌	1-31
A	CN 115064494 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2022.09.16 전체 문헌	1-31

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년02월19일(19.02.2024)

국제조사보고서 발송일

2024년02월19일(19.02.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2022-0254784 A1	2022/08/11	CN 114914202 A	2022/08/16
		US 11469232 B2	2022/10/11
US 2022-0130834 A1	2022/04/28	CN 116250382 A	2023/06/09
		US 11367726 B2	2022/06/21
		US 2022-0320103 A1	2022/10/06
		WO 2022-093660 A1	2022/05/05
KR 10-2022-0166618 A	2022/12/19	CN 115472608 A	2022/12/13
		US 2022-0399341 A1	2022/12/15
US 2021-0057416 A1	2021/02/25	CN 109616474 A	2019/04/12
		CN 109616474 B	2023/10/10
		DE 102018119616 A1	2019/04/04
		DE 102018119616 B4	2023/04/06
		JP 2019-068067 A	2019/04/25
		JP 7311254 B2	2023/07/19
		KR 10-2019-0038223 A	2019/04/08
		KR 10-2600110 B1	2023/11/10
		SG 10201806114 A	2019/04/29
		SG 10201911466 A	2020/01/30
		US 10535659 B2	2020/01/14
		US 10861854 B2	2020/12/08
		US 11616065 B2	2023/03/28
		US 2019-0103407 A1	2019/04/04
		US 2020-0111793 A1	2020/04/09
CN 115064494 A	2022/09/16	US 2023-0403842 A1	2023/12/14