

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6867223号
(P6867223)

(45) 発行日 令和3年4月28日 (2021.4.28)

(24) 登録日 令和3年4月12日 (2021.4.12)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z
HO 1 L 21/768 (2006.01)	HO 1 L 27/11573
HO 1 L 23/522 (2006.01)	HO 1 L 29/78 3 7 1
請求項の数 24 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2017-89300 (P2017-89300)	(73) 特許権者	302062931
(22) 出願日	平成29年4月28日 (2017.4.28)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2018-190757 (P2018-190757A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成30年11月29日 (2018.11.29)	(74) 代理人	110002066
審査請求日	令和1年10月18日 (2019.10.18)		特許業務法人筒井国際特許事務所
		(72) 発明者	川嶋 祥之
			東京都江東区豊洲三丁目2番24号 ルネ
			サスエレクトロニクス株式会社内
		(72) 発明者	橋本 孝司
			東京都江東区豊洲三丁目2番24号 ルネ
			サスエレクトロニクス株式会社内
		審査官	市川 武宜
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1容量素子と第2容量素子とを有する半導体装置であって、
主面と、前記主面に対向する裏面と、を有する半導体基板と、
前記半導体基板の第1領域であって、かつ、前記主面側に形成された第1半導体領域と

、
前記主面上に形成された第1絶縁層と、
前記第1絶縁層上に形成された第1半導体層と、
前記第1半導体層上に形成された第2絶縁層と、
前記第2絶縁層上に形成された第1導体層と、

を有し、

前記第1容量素子は、第1半導体層と、前記第2絶縁層と、前記第1導体層とで構成され、

前記第2容量素子は、前記第1半導体領域と、前記第1絶縁層と、前記第1半導体層とで構成され、

前記半導体基板と、前記第1半導体層とは、単結晶シリコン層からなり、

前記第1容量素子と、前記第2容量素子とは、並列接続されている、半導体装置。

【請求項 2】

請求項1記載の半導体装置において、

さらに、

10

20

前記第1半導体層の側壁および前記第1絶縁層の側壁に接し、平面視にて、前記第1半導体層および前記第1絶縁層を囲む第3絶縁層、
を有する、半導体装置。

【請求項3】

請求項2記載の半導体装置において、

前記第1絶縁層は、酸化シリコン層からなり、かつ、10～30nmの膜厚を有し、

前記第2絶縁層は、酸化シリコン層からなり、かつ、5～15nmの膜厚を有する、半導体装置。

【請求項4】

請求項1記載の半導体装置において、

さらに、

前記第1導体層および前記第2絶縁層の側壁を覆う側壁絶縁膜、
を有する、半導体装置。

【請求項5】

請求項1記載の半導体装置において、

前記第1導体層と、前記第1半導体領域と、前記第1半導体層とは、同一導電型を有し

、
前記第1導体層および前記第1半導体領域の不純物濃度は、前記第1半導体層の不純物濃度よりも高い、半導体装置。

【請求項6】

請求項1記載の半導体装置において、

前記第1領域と異なる第2領域において、さらに、

前記半導体基板の主面上に形成された第4絶縁層と、

前記第4絶縁層上に形成された第2半導体層と、

前記第2半導体層上に第5絶縁層を介して形成された第2導体層と、

前記第2導体層を挟むように、前記第2半導体層に形成された一对の第2半導体領域と

、
を有し、

前記第4絶縁層の膜厚は、前記第1絶縁層の膜厚と等しい、半導体装置。

【請求項7】

請求項6記載の半導体装置において、

前記第1領域および前記第2領域と異なる第3領域において、さらに、

前記半導体基板の主面上に第6絶縁層を介して形成された第3導体層と、

前記第3導体層を挟むように、前記半導体基板に形成された一对の第3半導体領域と、
を有し、

前記第6絶縁層の膜厚は、前記第2絶縁層の膜厚と等しい、半導体装置。

【請求項8】

請求項7記載の半導体装置において、

前記第6絶縁層の膜厚は、前記第5絶縁層の膜厚よりも厚い、半導体装置。

【請求項9】

請求項8記載の半導体装置において、

前記第1絶縁層は、酸化シリコン層からなり、かつ、10～30nmの膜厚を有し、

前記第2絶縁層は、酸化シリコン層からなり、かつ、5～15nmの膜厚を有する、半導体装置。

【請求項10】

請求項7記載の半導体装置において、

前記第1領域、前記第2領域および前記第3領域と異なる第4領域において、さらに、

前記半導体基板の主面上に第7絶縁層を介して形成された第4導体層と、

前記第4導体層を挟むように、前記半導体基板に形成された一对の第4半導体領域と、
を有し、

前記第7絶縁層は、第1窒化シリコン層を含む、半導体装置。

【請求項11】

請求項10記載の半導体装置において、

前記第1絶縁層は、酸化シリコン層からなり、かつ、10～30nmの膜厚を有し、

前記第2絶縁層は、酸化シリコン層からなり、かつ、5～15nmの膜厚を有する、半導体装置。

【請求項12】

請求項11記載の半導体装置において、

前記第2絶縁層は、第2窒化シリコン層を含む、半導体装置。

【請求項13】

請求項1記載の半導体装置において、

前記第1領域と異なる第5領域において、さらに、

前記半導体基板の主面上に形成された第8絶縁層と、

前記第8絶縁層上に形成された第3半導体層と、

前記第3半導体層上に第9絶縁層を介して形成された第4導体層と、

前記第4導体層を挟むように、前記第3半導体層に形成された一对の第5半導体領域と

、
を有し、

前記第8絶縁層の膜厚は、前記第1絶縁層の膜厚と等しく、

前記第9絶縁層の膜厚は、前記第2絶縁層の膜厚と等しい、半導体装置。

【請求項14】

請求項13記載の半導体装置において、

前記第1領域および前記第5領域と異なる第6領域において、さらに、

前記半導体基板の主面上に形成された第10絶縁層と、

前記第10絶縁層上に形成された第4半導体層と、

前記第4半導体層上に第11絶縁層を介して形成された第5導体層と、

前記第5導体層を挟むように、前記第4半導体層に形成された一对の第6半導体領域と

、
を有し、

前記第10絶縁層の膜厚は、前記第1絶縁層の膜厚と等しく、

前記第11絶縁層は、第3窒化シリコン層を含む、半導体装置。

【請求項15】

請求項14記載の半導体装置において、

前記第1絶縁層は、酸化シリコン層からなり、かつ、10～30nmの膜厚を有し、

前記第2絶縁層は、酸化シリコン層からなり、かつ、5～15nmの膜厚を有する、半導体装置。

【請求項16】

(a) 半導体基板と、前記半導体基板上に形成された第1絶縁層と、前記第1絶縁層上に形成された半導体層と、を有する基板であって、前記半導体基板の主面に、第1容量素子と第2容量素子とを形成する第1領域と、第1MISFETを形成する第2領域と、第2MISFETを形成する第3領域とを有する前記基板を準備する工程、

(b) 前記第3領域において、前記半導体層および前記第1絶縁層を除去する工程、

(c) 前記第1領域において、前記半導体基板に半導体領域を形成する工程、

(d) 前記第1領域における前記半導体層上、および、前記第3領域における前記半導体基板上に第2絶縁層を形成する工程、

(e) 前記第2領域における前記半導体層上に、前記第2絶縁層よりも薄い膜厚を有する第3絶縁層を形成する工程、

(f) 前記第1領域における前記第2絶縁層上に第1導体層を、前記第2領域における前記第3絶縁層上に第2導体層を、前記第3領域における前記第2絶縁層上に第3導体層を、それぞれ形成する工程、

(g) 前記第 2 領域において、前記第 2 導体層の両端の前記半導体層内に、第 2 半導体領域を形成する工程、

(h) 前記第 3 領域において、前記第 3 導体層の両端の前記半導体基板内に、第 3 半導体領域を形成する工程、
を有し、

前記第 1 領域において、前記第 1 容量素子は、半導体層と、前記第 2 絶縁層と、前記第 1 導体層とで構成され、

前記第 1 領域において、前記第 2 容量素子は、前記半導体領域と、前記第 1 絶縁層と、前記半導体層とで構成され、

前記半導体基板と、前記半導体層とは、単結晶シリコン層からなる、半導体装置の製造方法。 10

【請求項 17】

請求項 16 記載の半導体装置の製造方法において、

前記第 1 絶縁層は、第 1 酸化シリコン層からなる、半導体装置の製造方法。

【請求項 18】

請求項 16 記載の半導体装置の製造方法において、

前記第 2 絶縁層は、第 2 酸化シリコン層からなる、半導体装置の製造方法。

【請求項 19】

請求項 16 記載の半導体装置の製造方法において、

前記第 2 絶縁層は、第 1 窒化シリコン層からなる、半導体装置の製造方法。 20

【請求項 20】

請求項 16 記載の半導体装置の製造方法において、

前記第 2 絶縁層は、第 3 酸化シリコン層と、第 2 窒化シリコン層と、第 4 酸化シリコン層との積層構造からなる、半導体装置の製造方法。

【請求項 21】

第 1 容量素子と第 2 容量素子とを有する半導体装置であって、

主面と、前記主面に対向する裏面と、を有する半導体基板と、

前記半導体基板の第 1 領域であって、かつ、前記主面側に形成された第 1 半導体領域と

、
前記主面上に形成された第 1 絶縁層と、 30

前記第 1 絶縁層上に形成された第 1 半導体層と、

前記第 1 半導体層上に形成された第 2 絶縁層と、

前記第 2 絶縁層上に形成された第 1 導体層と、

を有し、

前記第 1 容量素子は、第 1 半導体層と、前記第 2 絶縁層と、前記第 1 導体層とで構成され、

前記第 2 容量素子は、前記第 1 半導体領域と、前記第 1 絶縁層と、前記第 1 半導体層とで構成され、

前記半導体基板と、前記第 1 半導体層とは、単結晶シリコン層からなり、

前記第 1 導体層と、前記第 1 半導体領域と、前記第 1 半導体層とは、同一導電型を有し 40

、
前記第 1 導体層および前記第 1 半導体領域の不純物濃度は、前記第 1 半導体層の不純物濃度よりも高い、半導体装置。

【請求項 22】

請求項 21 記載の半導体装置において、

前記第 1 容量素子と、前記第 2 容量素子とは、並列接続されている、半導体装置。

【請求項 23】

請求項 22 記載の半導体装置において、

さらに、

前記第 1 半導体層の側壁および前記第 1 絶縁層の側壁に接し、平面視にて、前記第 1 半 50

導体層および前記第1絶縁層を囲む第3絶縁層、
を有する、半導体装置。

【請求項24】

請求項23記載の半導体装置において、

前記第1絶縁層は、酸化シリコン層からなり、かつ、10～30nmの膜厚を有し、

前記第2絶縁層は、酸化シリコン層からなり、かつ、5～15nmの膜厚を有する、半
導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、例えば、容量素子を有する半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

特開2009-10281号公報（特許文献1）には、制御電極およびメモリゲート電極を有する不揮発性メモリセルと、容量素子とを含む半導体装置が開示されている。そして、1層目のポリシリコン層で制御電極および容量素子の下部電極を形成し、2層目のポリシリコン層でメモリゲート電極および容量素子の上部電極を形成した構成が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-10281号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本願発明者は、SOI（Silicon On Insulator）基板上に、1層ポリシリコン層を用いて不揮発性メモリセルおよび容量素子を形成した半導体装置を検討している。SOI基板は、例えば、シリコン基板上に埋め込み絶縁層（酸化シリコン層等）を介して単結晶シリコン層からなる半導体層を形成した3層構造を有する。容量素子は、半導体層に形成された半導体領域を下部電極、半導体層上に形成された絶縁膜を誘電体層、誘電体層上にポリシリコン層で形成された導体層を上部電極として構成されている。

【0005】

半導体装置（半導体チップ）の性能向上の為に、容量素子の容量値の増大が求められているが、容量素子の専有面積が増加すると、半導体装置の製造コストの上昇及び製造歩留りの低下が懸念される。つまり、半導体装置の製造コストの上昇及び製造歩留りの低下をさせることなく、半導体装置の性能を向上することが求められている。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態によれば、半導体装置は、半導体基板と、半導体基板に形成されたp型ウェル領域と、p型ウェル領域上に形成された第1絶縁層と、第1絶縁層上に形成された半導体層と、半導体層上に形成された第2絶縁層、第2絶縁層上に形成された導体層と、を有する。そして、第1容量素子は、半導体層と、第2絶縁層と、導体層とで構成され、第2容量素子は、p型ウェル領域と、第1絶縁層と、半導体層とで構成され、半導体基板と、半導体層とは、単結晶シリコン層からなる。

【発明の効果】

【0008】

10

20

30

40

50

一実施の形態によれば、半導体装置の性能が向上する。

【図面の簡単な説明】

【0009】

【図1】実施の形態における半導体チップの構成を示す平面図である。

【図2】実施の形態における容量素子の等価回路図である。

【図3】実施の形態における容量素子の要部平面図である。

【図4】図3のX-Xに沿う要部断面図である。

【図5】図3のY-Yに沿う要部断面図である。

【図6】実施の形態の半導体装置の製造工程中における要部断面図である。

【図7】実施の形態の半導体装置の製造工程中における要部断面図である。

10

【図8】実施の形態の半導体装置の製造工程中における要部断面図である。

【図9】実施の形態の半導体装置の製造工程中における要部断面図である。

【図10】実施の形態の半導体装置の製造工程中における要部断面図である。

【図11】実施の形態の半導体装置の製造工程中における要部断面図である。

【図12】実施の形態の半導体装置の製造工程中における要部断面図である。

【図13】実施の形態の半導体装置の製造工程中における要部断面図である。

【図14】実施の形態の半導体装置の製造工程中における要部断面図である。

【図15】実施の形態の半導体装置の製造工程中における要部断面図である。

【図16】実施の形態の半導体装置の製造工程中における要部断面図である。

【図17】容量素子の容量値と電圧との関係であるC-V特性を示す図面である。

20

【図18】容量素子の容量値と電圧との関係であるC-V特性を示す図面である。

【図19】変形例1の半導体装置の構成を示す要部断面図である。

【図20】変形例2の半導体装置の構成を示す要部断面図である。

【発明を実施するための形態】

【0010】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0011】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

30

【0012】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0013】

40

以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0014】

また、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。

【0015】

また、要素Aが要素Bに電氣的に接続されるとは、導体層を介して接続される場合を意味し、ことわりが無い限り、要素Aと要素Bとの間に絶縁層が介在する容量結合は含まれ

50

ない。

【0016】

(実施の形態)

本実施の形態における半導体装置について図面を参照しながら説明する。図1は、本実施の形態における半導体チップCHPの構成を示す図である。図1は、例えば、マイコンを形成した半導体チップCHPを示す平面図であり、半導体チップCHPに形成されたそれぞれの素子のレイアウト構成を示した図である。図1において、半導体チップCHPは、CPU (Central Processing Unit) 1、RAM (Random Access Memory) 2、アナログ回路3およびフラッシュメモリ4を有している。半導体チップCHPは、さらに、外部との入出力端子であるパッド電極 (外部接続端子) PDを複数有する。

10

【0017】

CPU (回路) 1は、中央演算処理部とも呼ばれ、コンピュータなどの心臓部にあたる。このCPU1は、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行なうものであり、処理の高速性が要求される。したがって、CPU1を構成しているMISFET (Metal Insulator Semiconductor Field Effect Transistor) には、半導体チップCHPに形成されている素子の中で、相対的に高速動作および低消費電力が必要とされる。すなわち低耐圧MISFETで形成される。

【0018】

RAM (回路) 2は、記憶情報をランダムに、すなわち随時記憶されている記憶情報を読み出したり、記憶情報を新たに書き込んだりすることができるメモリであり、随時書き込み読み出しができるメモリとも呼ばれる。ここでは、スタティック回路を用いたSRAM (Static RAM) が用いられており、SRAMは、記憶保持動作が不要な随時書き込み読み出しメモリである。RAM2を構成しているMISFETは、低耐圧MISFETで形成される。

20

【0019】

アナログ回路3は、時間的に連続して変化する電圧や電流の信号、すなわちアナログ信号を扱う回路であり、例えば増幅回路、変換回路、変調回路、発振回路、電源回路などから構成されている。これらアナログ回路3は、高耐圧MISFETで形成される。

【0020】

フラッシュメモリ4は、電氣的に、書き込み動作および消去動作が可能な不揮発性メモリである。このフラッシュメモリ4のメモリセルは、ゲート電極と、電荷蓄積部と、ソース領域およびドレイン領域と、を有する。メモリセルの書き込み動作または消去動作において、高電圧が使用されるため、フラッシュメモリ4は、昇圧回路を有しており、メモリセルは、高耐圧MISFETで形成される。

30

【0021】

例えば、アナログ回路3の変換回路、または、フラッシュメモリ4の昇圧回路には、容量素子が設けられているが、これらの容量素子は、素子数が多く、かつ、個々の容量素子の専有面積が大きいため、半導体チップの面積増加の要因となっている。従って、個々の容量素子の占有面積を低減することが、半導体チップの面積縮小に効果的である。

【0022】

本実施の形態は、例えば、アナログ回路3およびフラッシュメモリ4で用いられる容量素子に関する。

40

【0023】

図2は、本実施の形態における容量素子の等価回路図である。図3は、本実施の形態における容量素子の要部平面図である。図4は、図3のX-Xに沿う要部断面図である。図5は、図3のY-Yに沿う要部断面図である。

【0024】

図2に示すように容量素子CAPは、容量素子C1と容量素子C2を並列接続した構成を有する。容量素子C1およびC2は、それぞれ、一方の端子T1および他方の端子T2に接続されており、端子T1には、電位V1が印加され、端子T2には、電位V2が印加

50

される。例えば、電位 V_1 は、接地電位であり、電位 V_2 は、動作電源電位である。

【0025】

図3～5を用いて、容量素子CAPの構造を説明する。例えば、図3～5に示すように、容量素子CAPは、半導体基板SB内に形成されたn型ウェル領域（n型半導体領域）DNW内に形成されている。半導体基板SBは、p型の単結晶シリコンからなる基板からなる。

【0026】

図4に示すように、容量素子CAPは、容量素子C2上に容量素子C1が積層された構造となっている。容量素子C1は、半導体層（SOI層）SLと、半導体層SL上に配置された絶縁層GIHと、絶縁層GIH上に配置された導体層CLCと、からなる。また、容量素子C2は、p型ウェル領域（p型半導体領域）PWCと、p型ウェル領域PWC上に配置された絶縁層（埋込絶縁層）BOXと、絶縁層BOX上に配置された半導体層SLと、からなる。半導体層SLは、容量素子C1およびC2において、共通の電極となっている。

10

【0027】

半導体基板SBと、容量素子CAPの一部となるp型ウェル領域PWCとの間に、n型ウェル領域DNWを介在させることにより、半導体基板SBの電位とは独立に、p型ウェル領域PWCに任意の電位を印加することができる。

【0028】

容量素子C2の一方の電極であるp型ウェル領域PWCは、半導体基板SBの主面SBA側に形成されており、p型ウェル領域PWC内には、その周囲を素子分離層（素子分離領域）IRで囲まれた活性領域ACTC1およびACTC2が形成されている。言い換えると、図3に示すように、p型ウェル領域PWCは、活性領域ACTC1およびACTC2を包含するように形成されている。また、図4に示すように、p型ウェル領域PWCは、素子分離層IRより深く、活性領域ACTC1およびACTC2に跨って形成されている。

20

【0029】

図3および図4に示すように、活性領域ACTC1は、2つの活性領域ACTC2に挟まれており、容量素子C1およびC2は、活性領域ACTC1内に形成されている。活性領域ACTC2は、p型ウェル領域PWCの端子接続部である。図3において、活性領域ACTC1およびACTC2は、太線で示しており、太線の内側（太線で囲まれた領域）が活性領域であり、太線の外側（太線で囲まれた領域以外の領域）が素子分離層（素子分離領域）IRである。活性領域ACTC1およびACTC2のそれぞれの周囲は、素子分離層IRで囲まれている。活性領域ACTC1には、半導体層SLおよび絶縁層BOXが形成されているが、2つの活性領域ACTC2には、半導体層SLおよび絶縁層BOXは形成されない。2つの活性領域ACTC2では、半導体基板SBの主面SBAに、それぞれ、p型半導体領域（p型高濃度半導体領域）PHが形成されている。さらに、p型半導体領域PH上には、シリサイド層SCが形成されており、シリサイド層SCは、プラグ電極PGを介して端子T2である配線（金属配線）M1に電氣的に接続されている。但し、図3では、シリサイド層SCは図示していない。

30

40

【0030】

なお、活性領域とは、半導体基板SBの主面SBAにおいて、素子分離層IRで規定された領域を意味するが、例えば活性領域ACTC1のように、半導体基板SBの主面SBA上に半導体層SLが形成されている場合には、半導体層SLの主面SLaにおいて、素子分離層IRで規定された領域も含まれる。

【0031】

図4に示すように、容量素子C2の誘電体層は、絶縁層BOXで構成されている。この絶縁層BOXは、p型ウェル領域PWC上、言い換えると、半導体基板SBの主面SBA上に形成されている。また、この絶縁層BOXは、その周囲（全周囲）を素子分離層IRで囲まれており、絶縁層BOXの側壁BOXsは、素子分離層IRに接触している。絶縁

50

層BOXは、例えば、酸化シリコン層からなり、10～30nm程度の膜厚を有する。

【0032】

容量素子C2の他方の電極である半導体層SLは、上記絶縁層BOX上に形成されており、その周囲（全周囲）を素子分離層IRで囲まれている。半導体層SLの側壁SLsは、素子分離層IRと接触している。半導体層SLは、p型の不純物が導入されたp型単結晶シリコン層であり、例えば、5～25nm程度の膜厚を有する。半導体層SLは、p型半導体層である。

【0033】

また、容量素子C2の他方の電極である半導体層SLは、容量素子C1の一方の電極でもある。そして、容量素子C1の誘電体層は、絶縁層GIHで構成されている。絶縁層GIHは、例えば、酸化シリコン層からなり、5～15nm程度の膜厚を有する。

10

【0034】

容量素子C1の他方の電極である導体層CLCは、絶縁層GIH上に形成されている。導体層CLCは、例えば、p型不純物が導入された多結晶シリコン層からなり、30～200nm程度の膜厚を有する。p型の導体層CLCの主面（図4の上側の面）にはシリサイド層SCが形成されており、導体層CLCは、シリサイド層SC及びプラグ電極PGを介して端子T2である配線M1に電氣的に接続されている。

【0035】

図4に示すように、X方向において、半導体層SLと、絶縁層GIHと、導体層CLCとは、ほぼ等しい幅を有し、X方向において、絶縁層GIHおよび導体層CLCは、半導体層SLの主面SLaの全域を覆っている。

20

【0036】

また、絶縁層GIHおよび導体層CLCの側壁には、側壁絶縁層（サイドウォールスペーサ）SWが形成されている。側壁絶縁層SWは、酸化シリコン層、窒化シリコン層、または、酸化シリコン層と窒化シリコン層との積層膜等の絶縁層からなり、導体層CLCと半導体層SLとの間のリーク電流を低減している。なお、X方向において、導体層CLC（および絶縁層GIH）の幅を、半導体層SLの幅よりも広くして、導体層CLCが、半導体層SLの両側に位置する素子分離層IR上に延在する（乗り上げる）構造とすることも出来る。このような構造とすることで、導体層CLCと半導体層SLとの間のリーク電流をより低減することができる。つまり、絶縁層GIHの側壁が、導体層CLCの側壁に対して内側に後退した場合（「アンダーカット」と呼ぶ）にも、上記構造にすることで、導体層CLCと半導体層SLとの間のリーク電流をより低減できる。

30

【0037】

また、図5に示すように、Y方向において、絶縁層GIHおよび導体層CLCは、等しい幅を有し、その幅は、半導体層SLの幅よりも狭い。そして、半導体層SLは、絶縁層GIHおよび導体層CLCに覆われた被覆領域と、絶縁層GIH、導体層CLCおよび側壁絶縁層SWから露出した露出領域とを有している。上記被覆領域が、容量素子C1の容量部となり、上記露出領域は、半導体層SLの端子接続部となる。つまり、上記露出領域において、半導体層SLには、p型半導体領域PHが形成されている。さらに、p型半導体領域PH上には、シリサイド層SCが形成され、シリサイド層SCは、プラグ電極PGを介して端子T1である配線（金属配線）M1に接続されている。

40

【0038】

なお、Y方向において、絶縁層GIHおよび導体層CLCの側壁が、側壁絶縁膜SWで覆われているため、半導体層SLと導体層CLCとの間のリーク電流を低減することができる。

【0039】

本実施の形態の半導体装置は、以下の特徴を有する。

【0040】

容量素子CAPは、容量素子C2上に容量素子C1が積層された構造であり、容量素子C1は、半導体層（SOI層）SLと、半導体層SL上に配置された絶縁層GIHと、絶

50

縁層G I H上に配置された導体層C L Cと、からなる。そして、容量素子C 2は、p型ウェル領域（p型半導体領域）P W Cと、p型ウェル領域P W C上に配置された絶縁層（埋込絶縁層）B O Xと、絶縁層B O X上に配置された半導体層S Lと、からなる。さらに、半導体層S Lは、容量素子C 1およびC 2において、共通の電極となっている。

【0041】

このような構成としたことで、半導体装置の製造コストの上昇及び製造歩留りの低下をさせることなく、容量素子C A Pの単位面積当たりの容量値を向上することができ、半導体装置の性能を向上することができる。

【0042】

また、容量素子C 2を構成する絶縁層B O Xおよび半導体層S Lの側壁を、その側壁に接触する素子分離層I Rで囲んだことで、容量素子C 2のp型ウェル領域P W Cと半導体層S Lとの間のリーク電流を低減することができる。

10

【0043】

また、容量素子C 1を構成する絶縁層G I Hおよび導体層C L Cの側壁上に側壁絶縁膜S Wを形成したことで、容量素子C 1の導体層C L Cと半導体層S Lとの間のリーク電流を低減することができる。

【0044】

また、容量素子C 1を構成する導体層C L Cを、高濃度の不純物を含有するポリシリコン層で形成したことで、導体層C L Cの空乏化を防止することができ、容量素子C 1の容量特性を向上することができる。なお、前記高濃度とは、例えば、半導体層S Lの不純物濃度よりも高いことを言う。因みに、図17は、容量素子の容量値と電圧との関係であるC-V特性を示す図面である。図17では、導体層C L Cをp型ポリシリコン層で形成した容量素子C 1において、導体層C L Cの不純物濃度が高い場合（a）と、低い場合（b）とのC-V特性を比較している。（a）の場合、（b）の場合に比べ、蓄積領域（負電圧側）の容量値を向上することができる。

20

【0045】

また、同様に、容量素子C 2を構成するp型ウェル領域P W Cを、高濃度の不純物を含有する半導体層（半導体領域）で形成したことで、p型ウェル領域P W Cの空乏化を防止することができ、容量素子C 2の容量特性（例えば、容量値と電圧との関係を示すC-V特性）を向上することができる。なお、前記高濃度とは、例えば、半導体層S Lの不純物濃度よりも高いことを言う。

30

【0046】

また、容量素子C 1を構成する半導体層S Lおよび導体層C L Cを、同一導電型（上記実施の形態では、p型であるがn型でも良い）とすることで、半導体層S Lと導体層C L C間のフラットバンド電圧が小さくなり、容量素子C 1の容量特性を向上することができる。因みに、図18は、容量素子の容量値と電圧との関係であるC-V特性を示す図面である。図18では、容量素子C 1において、導体層C L Cと半導体層S Lが同一導電型の場合（c）と、異なる導電型の場合（d）とのC-V特性を比較している。（c）の場合、（d）の場合に比べ、負電圧側において、電圧0V付近までの容量値変動を小さくできる。

40

【0047】

また、容量素子C 2を構成する半導体層S Lおよびウェル領域（上記実施の形態ではp型だが、n型でも良い）を、同一導電型とすることで、上記と同様の効果が得られる。

【0048】

<半導体装置の製造方法>

次に、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置は、容量素子C A P、不揮発性メモリセルM O N O S（Metal Oxide Nitride Oxide Silicon）、高耐圧M I S F E T、および、低耐圧M I S F E Tを有している。高耐圧M I S F E T、および、低耐圧M I S F E Tは、C M O S構成となっているが、ここでは、pチャネル型高耐圧M I S F E Tおよびnチャネル型低耐圧M I S F E Tを例に説明する。図6

50

～16は、本実施の形態の半導体装置の製造工程中における要部断面図である。図6～16を用いて、容量素子CAP、不揮発性メモリセルMONOS、pチャネル型の高耐圧MISFET(HVP)、および、nチャネル型の低耐圧MISFET(LVN)の製造方法を説明する。

【0049】

まず、図6に示すように、基板(SOI基板)SB2を準備する。基板SB2は、半導体基板SBと、半導体基板SB上に形成された絶縁層(埋込絶縁層)BOXと、絶縁層BOX上に形成された半導体層(SOI層)SLと、からなる。半導体基板SBの主面SBaの全域において、半導体基板SBと半導体層SLとの間には、絶縁層BOXが介在している。半導体基板SBは、p型の単結晶シリコンからなる層であり、主面SBaと、主面SBaに対向する裏面SBbとを有する。絶縁層BOXは、例えば、酸化シリコン層からなり、10～30nm程度の膜厚を有する。また、半導体層SLは、単結晶シリコンからなる層であり、5～25nm程度の膜厚を有する。

【0050】

次に、図7に示すように、素子分離層(素子分離領域)IRを形成する。基板SB2に、半導体層SLおよび絶縁層BOXを貫通し、半導体基板SBの主面SBaから所望の深さ(例えば、300～400nm程度)に達する開口を形成し、その開口を、例えば、シリコン酸化膜または窒化シリコン層と酸化シリコン層との積層膜等の絶縁膜で埋め込む。次に、例えばCMP(Chemical Mechanical Polishing)法で開口部以外の絶縁膜を選択的に除去することで、開口内に選択的に素子分離層IRを形成する。こうして、容量素子CAPの形成領域に活性領域ACTC1およびACTC2を、不揮発性メモリセルMONOSの形成領域に活性領域ACTMを、高耐圧MISFET(HVP)の形成領域に活性領域ACTHを、低耐圧MISFET(LVN)の形成領域に活性領域ACTLを、それぞれ形成する。素子分離層IRは、半導体層SLおよび絶縁層BOXを貫通し、半導体基板SBの内部に達するため、半導体基板SBの主面SBaおよび半導体層SLの主面SLaにおいて、素子分離層IRによって、活性領域ACTC1、ACTC2、ACTM、ACTHおよびACTLが規定される。なお、上記開口は、半導体基板SBの裏面SBbには達しない。また、図4で説明したp型ウェル領域PWCよりも浅い。

【0051】

次に、図8に示すように、活性領域ACTC2、ACTMおよびACTHにおいて、半導体層SLおよび絶縁層BOXを除去し、半導体基板SBの主面SBaを露出する。活性領域ACTC1およびACTLには、半導体層SLおよび絶縁層BOXを残す。

【0052】

次に、図9に示すように、n型ウェル領域(n型半導体領域)DNW、n型ウェル領域(n型半導体領域)NW、ならびに、p型ウェル領域(p型半導体領域)PWC、PWMおよびPWLを形成する。まず、半導体基板SBにリン(P)またはヒ素(As)等のn型不純物をイオン注入してn型ウェル領域DNWを形成する。ここでは、n型ウェル領域DNWは、活性領域ACTC1、ACTC2、ACTM、ACTHおよびACTLを包含するように形成する。また、n型ウェル領域DNWは、p型ウェル領域PWC、PWMおよびPWLより深い。

【0053】

次に、半導体基板SBにボロン(B)等のp型不純物をイオン注入して、p型ウェル領域PWC、PWMおよびPWLを形成する。ここで、活性領域ACTC1およびACTLにおいては、半導体層SLにもp型不純物が注入されるため、半導体層SLはp型半導体層(p型半導体領域)となる。つまり、容量素子C2の他方の電極である半導体層SLが形成される。また、p型ウェル領域PWCは、活性領域ACTC1およびACTC2を包含するように形成され、容量素子C2の一方の電極となる(図4参照)。ここで、p型ウェル領域PWC、PWMおよびPWLは、別々のイオン注入工程で形成し、互いに異なる不純物濃度とすることができる。例えば、p型ウェル領域PWMは、高耐圧MISFET(MONOS)の形成領域であるため、比較的低濃度にするが、p型ウェル領域PWCは

、空乏化防止の為に比較的高濃度にするのが好ましい。なお、図9で説明したウェル形成工程は、図8説明した半導体層SLおよび絶縁層BOXの除去工程の前に実施しても良い。

【0054】

次に、図10に示すように、活性領域ACTC1の半導体層SL上、および、活性領域ACTHの主面SBa上に絶縁層GIH（ゲート絶縁層）を、活性領域ACTMの主面SBa上に絶縁層GIMを、活性領域ACTLの半導体層SL上に絶縁層GIL（ゲート絶縁層）を、それぞれ形成する。絶縁層GIHは、高耐圧MISFET（HVP）のゲート絶縁層となり、図4で説明したとおり、容量素子C1の誘電体層となる。容量素子C1の誘電体層として、絶縁膜GILではなく、絶縁膜GIHを用いるのは、容量素子C1の半導体層SLと導体層CLCとの間のリーク電流低減の為である。絶縁層GIHは、例えば、酸化シリコン層からなり、その膜厚は5～15nm程度である。絶縁層GILは、低耐圧MISFET（LVN）のゲート絶縁層となるが、例えば、酸化シリコン層からなり、その膜厚は1～4nm程度である。つまり、絶縁層GIHの膜厚は、絶縁層GILの膜厚よりも厚い。

10

【0055】

次に、絶縁層（ゲート絶縁層）GIMは、絶縁層（ゲート絶縁層）GIM1、GIM2およびGIM3の積層構造からなる。絶縁層GIM1は、例えば、酸化シリコン層からなり、1～3nm程度の膜厚、絶縁層GIM2は、例えば、窒化シリコン層からなり、5～13nm程度の膜厚、絶縁層GIM3は、例えば、酸化シリコン層からなり、2～4nm程度の膜厚を有する。因みに、絶縁層GIM2は、不揮発性メモリセルMONOSの電荷保持層である。絶縁層GIM2の上下に配置された絶縁層GIM1およびGIM3は、絶縁層GIM2の電荷がリークするのを防止するための層である。図10に示すように、絶縁層GIM1上に、絶縁層GIM2が形成され、絶縁層GIM2上に、絶縁層GIM3が形成されている。

20

【0056】

次に、図11に示すように、基板SB2上に、例えば、多結晶シリコン層（シリコン層）からなる導体層CONを形成する。つまり、導体層CONは、絶縁膜GIH、GIMおよびGIL上に形成される。導体層CONの膜厚は、例えば、30～200nm程度とする。次に、容量素子CAPおよび高耐圧MISFET（HVP）の形成領域の導体層CONにおいて、例えばボロン（B）等のp型不純物を導入して、p型の導体層CONを形成し、不揮発性メモリセルMONOSおよび低耐圧MISFET（LVN）の形成領域において、例えば、リン（P）またはヒ素（As）等のn型不純物を導入して、n型の導体層CONを形成する。

30

【0057】

次に、図12に示すように、導体層CONをフォトリソグラフィ技術およびエッチング技術を用いてパターニングすることにより、容量素子C1の他方の電極である導体層CLC（図4参照）、不揮発性メモリセルMONOSのゲート電極である導体層CLM、高耐圧MISFET（HVP）のゲート電極である導体層CLH、および、低耐圧MISFET（LVN）のゲート電極である導体層CLLを形成する。図12に示すように、導体層CLCの幅は、活性領域ACTC1の幅と等しくなっている。容量素子CAPの形成領域において、図示しないマスク層を用いて導体層CONをエッチングする工程では、オーバーエッチングにより下層の絶縁層GIHもエッチングされるが、その際、絶縁層GIHに前述の「アンダーカット」が発生する可能性がある。「アンダーカット」が発生すると、導体層CLCと半導体層SL間のリーク電流増加が懸念されるため、導体層CLCを活性領域ACTC1の幅よりも広くし、導体層CLCの両端が素子分離層IR上に延在する構成とするのが好ましい。

40

【0058】

次に、図13に示すように、不揮発性メモリセルMONOSの形成領域（活性領域ACTM）および低耐圧MISFET（LVN）の形成領域（活性領域ACTL）において、

50

n型半導体領域（n型低濃度半導体領域）EXNを形成し、高耐圧MISFET（HVP）の形成領域（活性領域ACTH）において、p型半導体領域（p型低濃度半導体領域）EXPを形成する。

【0059】

不揮発性メモリセルMONOSの形成領域において、ゲート電極である導体層CLMを挟むように、導体層CLMの両側の半導体基板SB（言い換えると、p型ウェル領域PWM）に一对のn型半導体領域EXNが形成される。低耐圧MISFET（LVN）の形成領域において、ゲート電極である導体層CLLを挟むように、導体層CLLの両側の半導体層SLに一对のn型半導体領域EXNが形成される。また、高耐圧MISFET（HVP）の形成領域において、ゲート電極である導体層CLHを挟むように、導体層CLHの両側の半導体基板SB（言い換えると、n型ウェル領域NW）に一对のp型半導体領域EXPが形成される。

10

【0060】

n型半導体領域EXNは、半導体基板SBまたは半導体層SLに、リン（P）またはヒ素（As）等のn型不純物をイオン注入して形成し、p型半導体領域EXPは、半導体基板SBに、ボロン（B）等のp型不純物をイオン注入して形成する。不揮発性メモリセルMONOSの形成領域にn型半導体領域EXN形成するイオン注入と、低耐圧MISFET（LVN）の形成領域にn型半導体領域EXNを形成するイオン注入とは、同一工程で実施しても良く、別工程で実施しても良い。別工程で実施する場合には、n型半導体領域EXNの不純物濃度を異ならせることができる。

20

【0061】

次に、図14に示すように、容量素子CAPの形成領域において、導体層CLCと絶縁膜GIHの側壁上に、側壁絶縁膜（サイドウォールスペーサ）SWを形成する。側壁絶縁膜SWは、側壁絶縁膜SWを形成するための絶縁膜を基板SB2上に堆積させ、その絶縁膜に異方性ドライエッチングを施すことにより形成する。絶縁膜は、酸化シリコン層、窒化シリコン層、または、酸化シリコン層と窒化シリコン層との積層膜等を用いることができる。同様に、不揮発性メモリセルMONOSの形成領域における導体層CLMと絶縁膜GIMの側壁上、高耐圧MISFET（HVP）の形成領域における導体層CLHと絶縁膜GIHの側壁上、および、低耐圧MISFET（LVN）の形成領域における導体層CLLと絶縁膜GILの側壁上に側壁絶縁膜SWを形成する。

30

【0062】

さらに、図14に示すように、不揮発性メモリセルMONOSの形成領域（活性領域CTM）および低耐圧MISFET（LVN）の形成領域（活性領域ACTL）において、n型半導体領域（n型高濃度半導体領域）NHを形成し、高耐圧MISFET（HVP）の形成領域（活性領域ACTH）および容量素子CAPの形成領域の活性領域ACTC2において、p型半導体領域（p型高濃度半導体領域）PHを形成する。n型半導体領域NHは、半導体基板SBまたは半導体層SLに、リン（P）またはヒ素（As）等のn型不純物をイオン注入して形成し、p型半導体領域PHは、半導体基板SBに、ボロン（B）等のp型不純物をイオン注入して形成する。

【0063】

40

不揮発性メモリセルMONOSの形成領域において、ゲート電極である導体層CLMと側壁絶縁膜SWとを挟むように、導体層CLMおよび側壁絶縁膜SWの両側の半導体基板SB（言い換えると、p型ウェル領域PWM）に一对のn型半導体領域NHが形成される。低耐圧MISFET（LVN）の形成領域において、ゲート電極である導体層CLLと側壁絶縁膜SWとを挟むように、導体層CLLと側壁絶縁膜SWの両側の半導体層SLに一对のn型半導体領域NHが形成される。また、高耐圧MISFET（HVP）の形成領域において、ゲート電極である導体層CLHと側壁絶縁膜SWとを挟むように、導体層CLHと側壁絶縁膜SWの両側の半導体基板SB（言い換えると、n型ウェル領域NW）に一对のp型半導体領域PHが形成される。また、容量素子CAPの形成領域の活性領域ACTC2において、半導体基板SB（言い換えると、p型ウェル領域PWC）にp型半導

50

体領域（p型高濃度半導体領域）PHが形成される。

【0064】

次に、図15に示すように、導体層CLC、CLM、CLHおよびCLL、n型半導体領域NH、ならびにp型半導体領域PHの表面にシリサイド層（金属シリサイド層）SCを形成する。シリサイド層SCは、例えば、コバルトシリサイド（CoSi）、ニッケルシリサイド（NiSi）、または、ニッケル白金シリサイド（NiPtSi）からなる。

【0065】

次に、図16に示すように、基板SB2上に層間絶縁層IL1を形成する。層間絶縁層IL1は、導体層CLC、CLM、CLHおよびCLL、ならびに側壁絶縁膜SW等を覆うよう形成される。層間絶縁層IL1は、酸化シリコン層、または、窒化シリコン層とその上層の酸化シリコン層との積層膜等を用いることができる。

10

【0066】

次に、層間絶縁層ILに複数のコンタクトホール（開口）CNTを設け、さらに、コンタクトホールCNT内にプラグ電極PGを形成する。容量素子CAPの形成領域において、コンタクトホールCNTは、導体層CLCの表面に形成されたシリサイド層SC、および、p型半導体領域PHの表面に形成されたシリサイド層SCを部分的に露出する。また、図5から分かるように、コンタクトホールCNTは、半導体層SLに形成されたp型半導体領域PHの表面に形成されたシリサイド層SCを部分的に露出する。不揮発性メモリセルMONOSの形成領域および低耐圧MISFET（LVN）の形成領域においては、n型半導体領域NHの表面のシリサイド層SCを部分的に露出する。高耐圧MISFET（HVP）の形成領域においては、p型半導体領域PHの表面のシリサイド層SCを部分的に露出する。

20

【0067】

次に、コンタクトホールCNT内にプラグ電極PGを形成する。プラグ電極PGは、タングステン（W）からなる導電性部材であり、具体的には、窒化チタン（TiN）等のバリア導体層と、その上のタングステン層との積層膜で構成される。

【0068】

次に、プラグ電極PGが埋め込まれた層間絶縁層IL1上に、層間絶縁層IL2を形成する。そして、層間絶縁層IL2に配線溝を形成した後、配線溝内に配線（金属配線）M1を形成する。層間絶縁層IL2は、例えば、酸化シリコン層からなる。配線M1は、例えば、銅を主成分とする銅配線である。

30

【0069】

図16に示すように、容量素子CAPの形成領域において、導体層CLCおよびp型半導体領域PHは、シリサイド層SCおよびプラグ電極PGを介して、配線M1に接続されている。また、不揮発性メモリセルMONOSの形成領域および低耐圧MISFET（LVN）の形成領域においては、n型半導体領域NHは、シリサイド層SCおよびプラグ電極PGを介して配線M1に接続されている。また、高耐圧MISFET（HVP）の形成領域においては、p型半導体領域PHは、シリサイド層SCおよびプラグ電極PGを介して配線M1に接続されている。

40

【0070】

その後、デュアルダマシン法などにより2層目以降の配線を形成するが、ここでは図示及びその説明を省略する。

【0071】

以上のようにして、本実施の形態の半導体装置が製造される。

【0072】

図16に示すように、低耐圧MISFET（LVN）は、半導体基板SBの主面SBa上に絶縁層BOXを介して配置された半導体層SLに形成されMISFETであり、SOTB（Silicon On Thin Buried oxide）トランジスタと呼ばれる。この低耐圧MISFET（LVN）は、薄い絶縁層BOXを介して、半導体基板SBの主面SBaに形成されたp型ウェル領域PWL（「バックゲート」と呼ぶ）に所望の電位を供給し、低耐圧MIS

50

FET (LVN) のリーク電流を低減できるという特徴を有する。また、高耐圧MISFET (HVP) および不揮発性メモリセルMONOSは、高電圧動作が要求されるため、半導体層SLではなく、半導体基板SBに形成されている。

【0073】

また、容量素子CAPは、容量素子C1およびC2の積層構造となっており、容量素子C2は、一方の電極であるp型ウェル領域PWCと、誘電体層である絶縁層BOXと、他方の電極である半導体層SLとで構成されている。また、容量素子C1は、一方の電極である半導体層SLと、誘電体層である絶縁層GIHと、他方の電極である導体層CLCとで構成されており、容量素子C1の上部に形成されている。

【0074】

つまり、容量素子C1の他方の電極（導体層CLC）は、低耐圧MISFET (LVN) のゲート電極である導体層CLLと同層の導体層CONを用いて形成し、誘電体層（絶縁層GIH）は、高耐圧MISFET (HVP) のゲート絶縁層である絶縁層GIHを用いて形成し、一方の電極（半導体層SL）は、低耐圧MISFET (LVN) のチャンネル層である半導体層SLを用いて形成している。さらに、容量素子C2の誘電体層（絶縁層BOX）は、前述の薄い絶縁層BOXを用いて形成し、一方の電極（p型ウェル領域PWC）は、低耐圧MISFET (LVN) のp型ウェル領域PWL（「バックゲート」）を用いて形成している。つまり、SOTBトランジスタである低耐圧MISFET (LVN) と、高耐圧MISFET (HVP) の製造工程を用いて、積層構造の容量素子CAPを形成している。つまり、製造工程を増加させることなく、容量素子CAPを形成することができる。

【0075】

なお、上記実施の形態では、容量素子C1は、p型の半導体層SLと、絶縁層GIHと、p型の導体層CLCと、で構成し、容量素子C2は、p型ウェル領域PWCと、絶縁層BOXと、p型の半導体層SLと、で構成した。変形例として、容量素子C1は、n型の半導体層SLと、絶縁層GIHと、n型の導体層CLCと、で構成し、容量素子C2は、n型ウェル領域と、絶縁層BOXと、n型の半導体層SLと、で構成することもできる。

【0076】

<変形例1>

図19は、変形例1の半導体装置の構成を示す要部断面図である。上記実施の形態では、容量素子C1の誘電体層を、高耐圧MISFET (HVP) のゲート絶縁層である絶縁層GIHで形成したが、変形例1では、不揮発性メモリセルMONOSのゲート絶縁層である絶縁層GIMで形成している。絶縁層GIMは、酸化シリコン層よりも比誘電率が高い窒化シリコン層を含むため、容量素子C1の容量値を増加させることができる。

【0077】

<変形例2>

図20は、変形例2の半導体装置の構成を示す要部断面図である。上記実施の形態では、不揮発性メモリセルMONOSおよび高耐圧MISFET (HVP) を、半導体基板SBに形成したが、変形例2では、絶縁層BOX上の半導体層SLに形成している。不揮発性メモリセルMONOSのゲート電極である導体層CLMは、半導体層SL上にゲート絶縁層である絶縁層GIMを介して形成され、ソース、ドレイン領域であるn型半導体領域EXNおよびNHは、半導体層SLに形成されている。同様に、高耐圧MISFET (HVP) のゲート電極である導体層CLHは、半導体層SL上にゲート絶縁層である絶縁層GIHを介して形成され、ソース、ドレイン領域であるp型半導体領域EXPおよびPHは、半導体層SLに形成されている。

【0078】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0079】

ACTC1、ACTC2、ACTH、ACTL、ACTM 活性領域

BOX 絶縁層（埋込絶縁層）

BOXs 側壁

CAP、C1、C2 容量素子

CLC、CLH、CLL、CLM 導体層

CHP 半導体チップ

CNT コンタクトホール（開口）

CON 導体膜

DNW n型ウェル領域（n型半導体領域）

10

EXN n型半導体領域（n型低濃度半導体領域）

EXP p型半導体領域（p型低濃度半導体領域）

GIH、GIL、GIM、GIM1～GIM3 絶縁層（ゲート絶縁層）

HVP 高耐圧MISFET

IL1、IL2 層間絶縁層

IR 素子分離層（素子分離領域）

LVN 低耐圧MISFET

MONOS 不揮発性メモリセル

M1 配線（金属配線）

NH n型半導体領域（n型高濃度半導体領域）

20

NW n型ウェル領域（n型半導体領域）

PD パッド電極（外部接続端子）

PG プラグ電極

PH p型半導体領域（p型高濃度半導体領域）

PWC、PWM、PWL p型ウェル領域（p型半導体領域）

SB 半導体基板

SBa 主面

SBb 裏面

SB2 基板（SOI基板）

SC シリサイド層（金属シリサイド層）

30

SL 半導体層（SOI層）

SLa 主面

SLs 側壁

SW 側壁絶縁層（サイドウォールスペーサ）

T1、T2、T3 端子

1 CPU（回路）

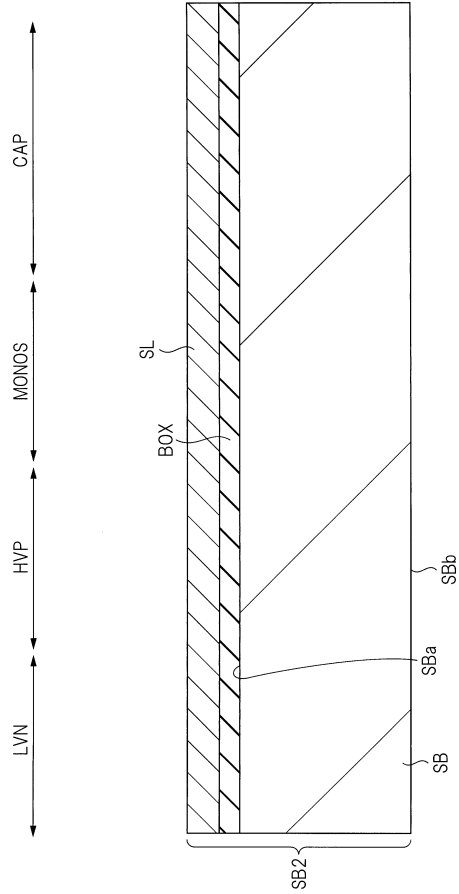
2 RAM（回路）

3 アナログ回路

4 フラッシュメモリ

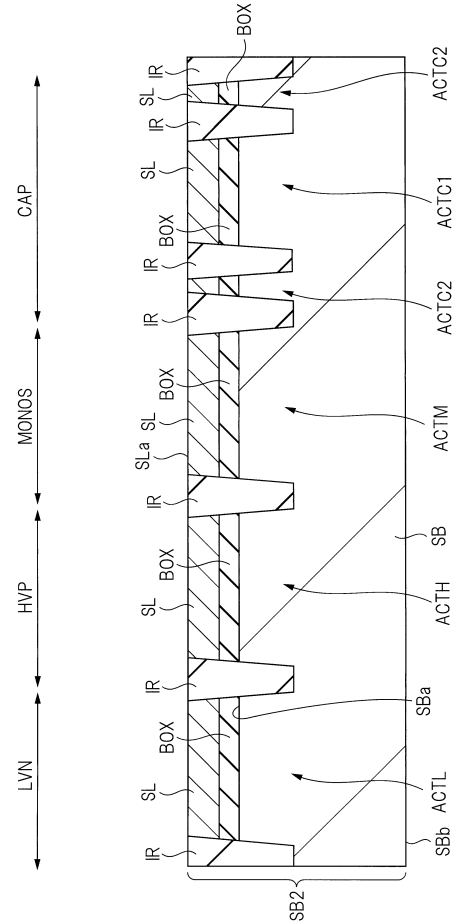
【図 6】

図 6



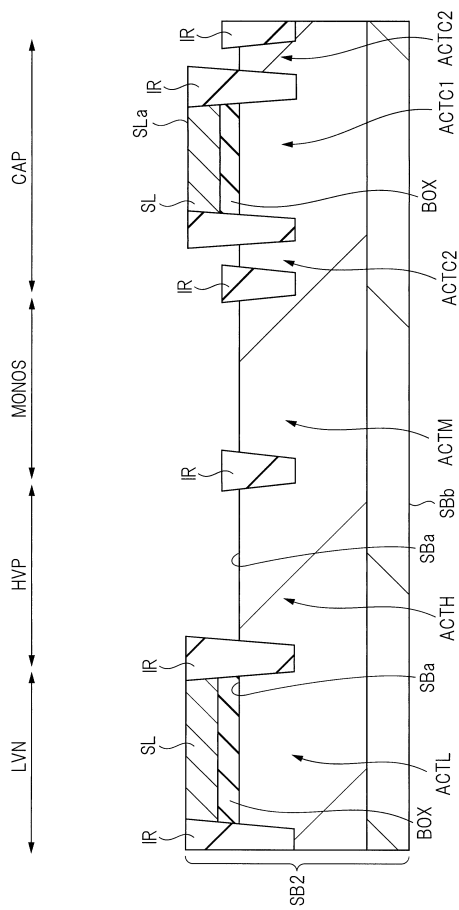
【図 7】

図 7



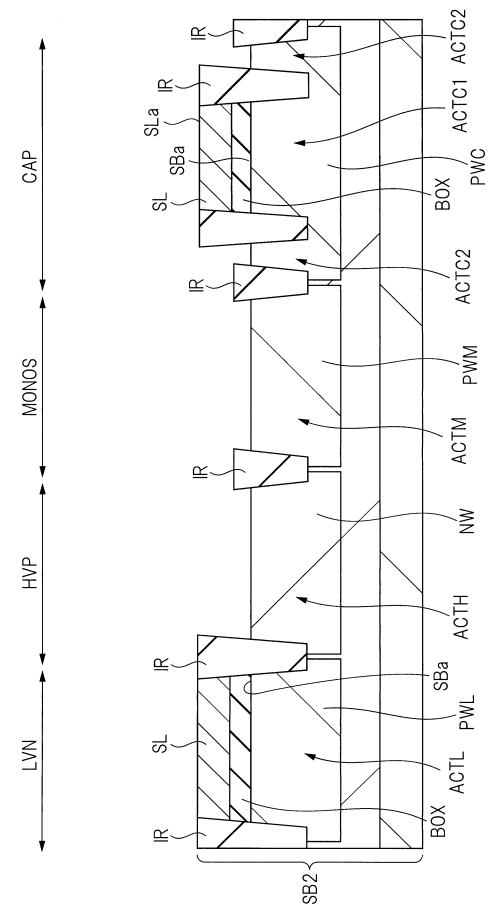
【図 8】

図 8



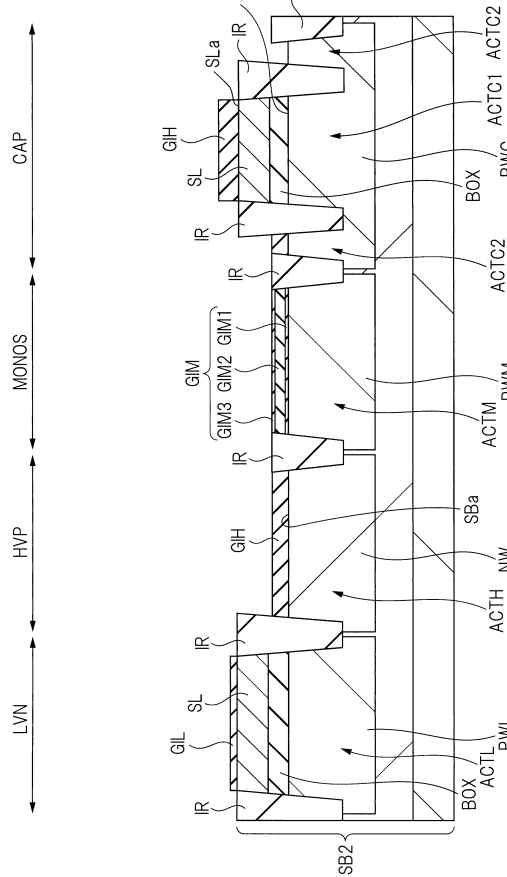
【図 9】

図 9



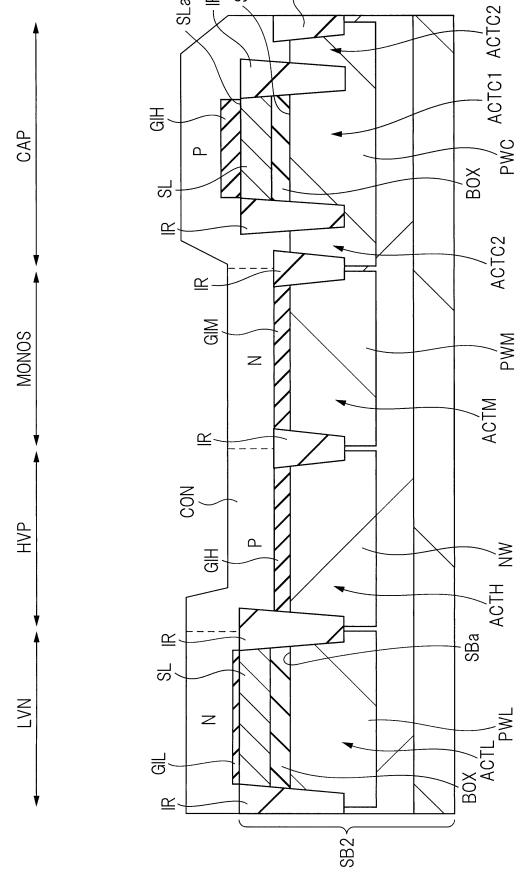
【図 10】

図 10



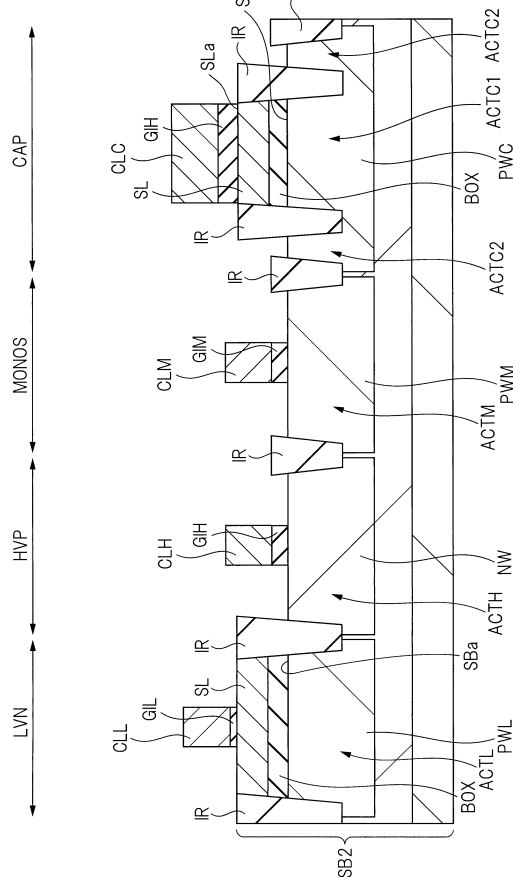
【図 11】

図 11



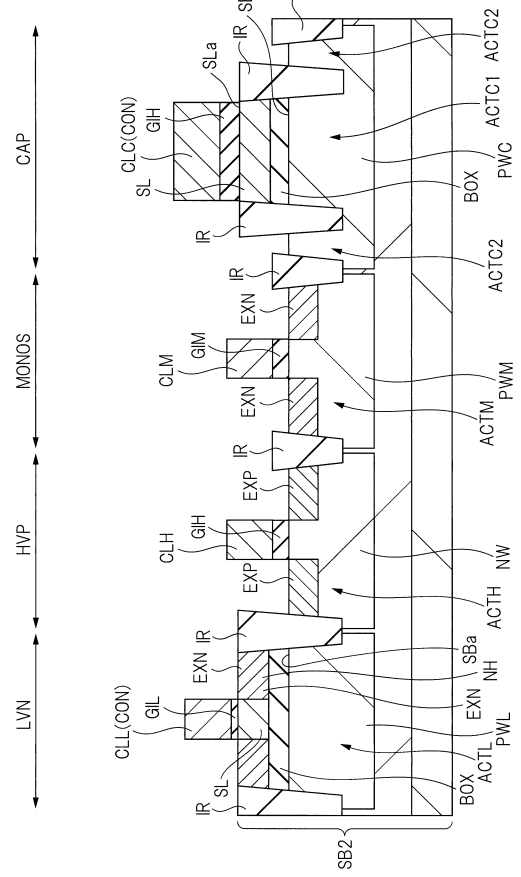
【図 12】

図 12



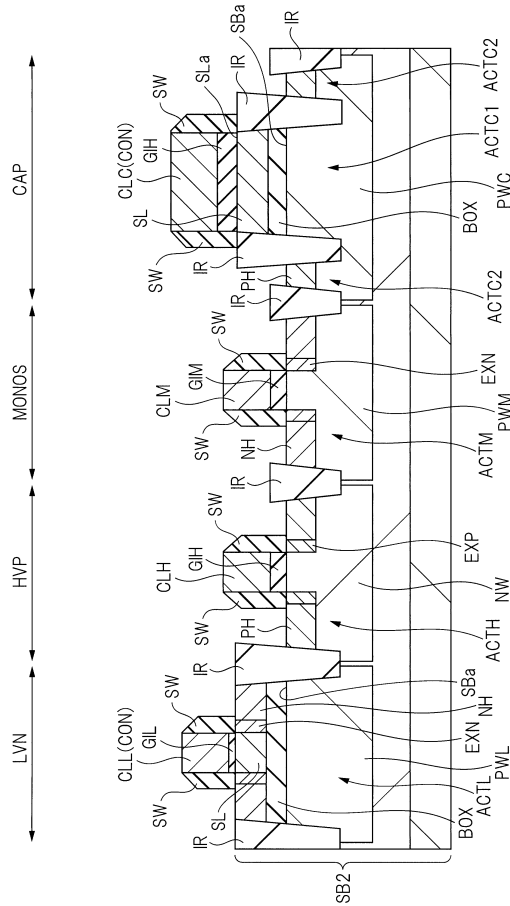
【図 13】

図 13



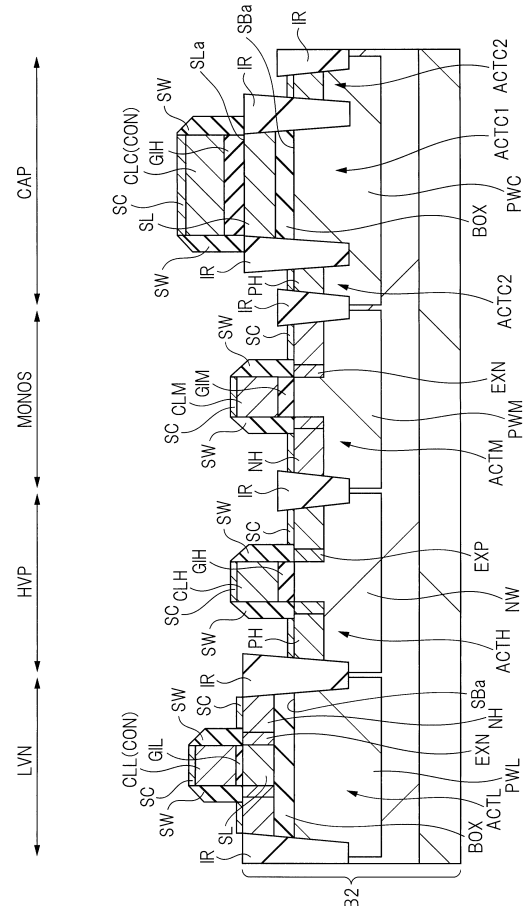
【図 14】

図 14



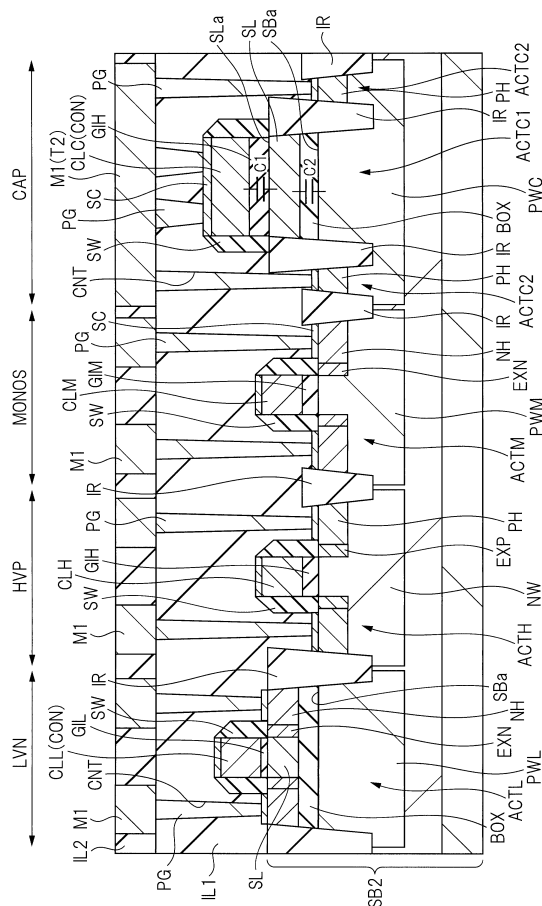
【図 15】

図 15



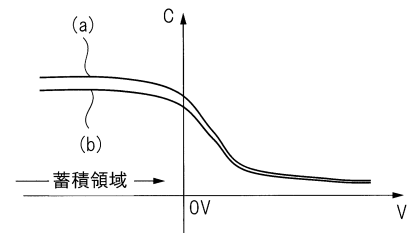
【図 16】

図 16



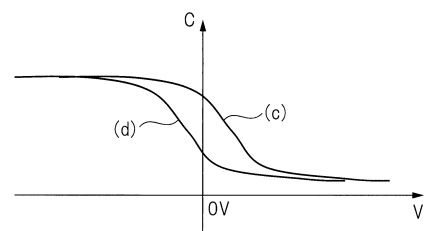
【図 17】

図 17

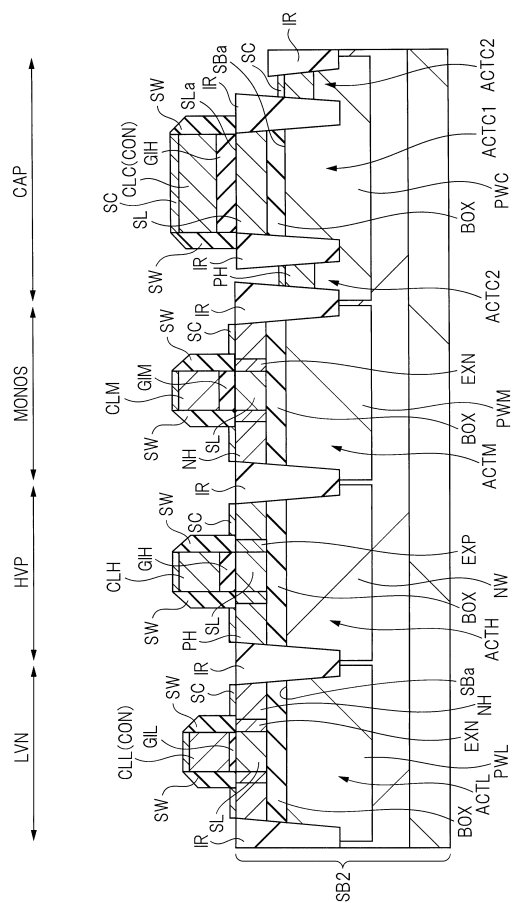
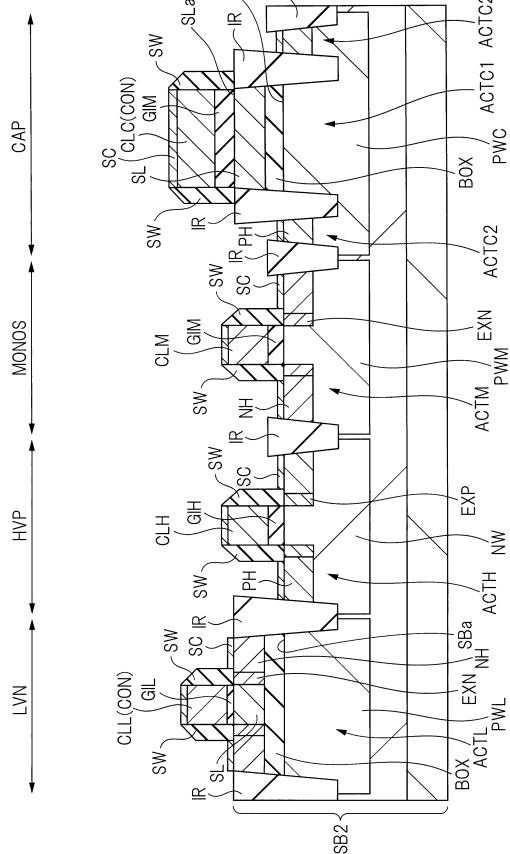


【図 18】

図 18



【図 20】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/11573 (2017.01)</i>	<i>H 0 1 L</i>	<i>27/06</i>	<i>1 0 2 A</i>
<i>H 0 1 L</i>	<i>21/336 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>H</i>
<i>H 0 1 L</i>	<i>29/788 (2006.01)</i>			
<i>H 0 1 L</i>	<i>29/792 (2006.01)</i>			
<i>H 0 1 L</i>	<i>21/8234 (2006.01)</i>			
<i>H 0 1 L</i>	<i>27/06 (2006.01)</i>			
<i>H 0 1 L</i>	<i>27/088 (2006.01)</i>			

(56)参考文献 米国特許出願公開第2015/0270393 (US, A1)
 特開平10-004146 (JP, A)
 特開2002-368111 (JP, A)
 特開2016-122773 (JP, A)
 特開2015-118972 (JP, A)
 特開2017-045793 (JP, A)
 米国特許出願公開第2011/0175152 (US, A1)
 国際公開第2010/082389 (WO, A1)
 特開2006-303377 (JP, A)

(58)調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	<i>2 1 / 8 2 2</i>
<i>H 0 1 L</i>	<i>2 1 / 3 2 0 5</i>
<i>H 0 1 L</i>	<i>2 1 / 3 3 6</i>
<i>H 0 1 L</i>	<i>2 1 / 7 6 8</i>
<i>H 0 1 L</i>	<i>2 1 / 8 2 3 4</i>
<i>H 0 1 L</i>	<i>2 3 / 5 2 2</i>
<i>H 0 1 L</i>	<i>2 7 / 0 4</i>
<i>H 0 1 L</i>	<i>2 7 / 0 6</i>
<i>H 0 1 L</i>	<i>2 7 / 0 8 8</i>
<i>H 0 1 L</i>	<i>2 7 / 1 1 5 7 3</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8 8</i>
<i>H 0 1 L</i>	<i>2 9 / 7 9 2</i>