



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0013418
(43) 공개일자 2011년02월09일

(51) Int. Cl.
H01L 21/28 (2006.01) *H01L 21/3205* (2006.01)
(21) 출원번호 10-2010-7026333
(22) 출원일자(국제출원일자) 2009년04월06일
 심사청구일자 없음
(85) 번역문제출일자 2010년11월24일
(86) 국제출원번호 PCT/US2009/039653
(87) 국제공개번호 WO 2009/131825
 국제공개일자 2009년10월29일
(30) 우선권주장
 12/109,533 2008년04월25일 미국(US)

(71) 출원인
 어플라이드 머티어리얼스, 인코포레이티드
 미국 95054 캘리포니아 산타 클라라 바우어스 애
 브뉴 3050
(72) 발명자
 이, 상, 엠.
 미국 95015 캘리포니아 쿠퍼티노 포지 웨이 #114
 20681
 이용원
 미국 95051 캘리포니아 산타클라라 페퍼 트리 레
 인 414 900
 (뒷면에 계속)
(74) 대리인
 남상선

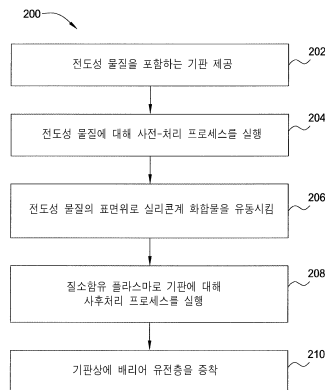
전체 청구항 수 : 총 15 항

(54) 유전성 및 전도성 층 사이의 접착 및 전자 이동 개선

(57) 요약

기판을 프로세싱하는 방법 및 장치가 개시된다. 이러한 기판 프로세싱 방법은 전도성 물질을 포함하는 기판을 제공하는 단계, 상기 전도성 물질상에 사전 처리를 실행하는 단계, 규화물 층을 형성하기 위하여 상기 전도성 물질상으로 실리콘계 화합물을 유동시키는 단계, 상기 규화물 층 상에 사후 처리 프로세스를 실행하는 단계, 및 상기 기판상에 배리어 유전체 층을 증착하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

섹, 데이이

미국 94303 캘리포니아 팔로알토 엔. 캘리포니아
애브뉴 991

시아, 리-쿤

미국 95014 캘리포니아 쿠퍼티노 웨스턴 드라이브
10221

위티, 데렉, 알.

미국 94539 캘리포니아 프레몬트 제로니모 코트
1049

특허청구의 범위

청구항 1

전도성 물질을 포함하는 기판을 제공하는 단계;
상기 전도성 물질상에 사진 처리를 실행하는 단계;
규화물 층을 형성하기 위하여 상기 전도성 물질상으로 실리콘계 화합물을 유동시키는 단계;
상기 규화물 층 상에 사후 처리 프로세스를 실행하는 단계; 및
상기 기판상에 배리어 유전체 층을 증착하는 단계;를 포함하는
기판 프로세싱 방법.

청구항 2

제1항에 있어서,
상기 전도성 물질이 구리를 포함하는,
기판 프로세싱 방법.

청구항 3

제1항에 있어서,
상기 규화물 층이 실리콘 질화물을 포함하는,
기판 프로세싱 방법.

청구항 4

제1항에 있어서,
상기 배리어 층이 실리콘 카바이드를 포함하는
기판 프로세싱 방법.

청구항 5

제1항에 있어서,
상기 사후 처리 프로세스를 실행하는 단계가, 상기 전도성 물질의 표면에 플라즈마 질화 처리를 실행하는 단계를 포함하는,
기판 프로세싱 방법.

청구항 6

제5항에 있어서,
상기 사후 처리 프로세스를 실행하는 단계가, 상기 기판상에 금속 니트로실리사이드 층을 형성하는 단계를 포함하는,

기판 프로세싱 방법.

청구항 7

제5항에 있어서,
상기 니트로실리사이드 층이 구리 실리콘 질화물 층인,
기판 프로세싱 방법.

청구항 8

제7항에 있어서,
상기 구리 실리콘 질화물 층의 두께가 약 1Å 내지 약 100Å 사이인,
기판 프로세싱 방법.

청구항 9

전도성 물질을 포함하는 기판을 제공하는 단계;
규화물을 형성하기 위하여 상기 전도성 물질의 표면 위로 실리콘계 화합물을 유동시키는 단계;
금속 니트로실리사이드 층을 형성하기 위하여 질소 함유 플라즈마로 상기 기판을 처리하는 단계; 및
상기 기판상에 배리어 층을 증착하는 단계;를 포함하는,
기판 프로세싱 방법.

청구항 10

제9항에 있어서,
상기 전도성 물질이 구리를 포함하고, 상기 규화물 층이 실리콘 질화물을 포함하는,
기판 프로세싱 방법.

청구항 11

제9항에 있어서,
상기 배리어층이 실리콘 카바이드를 포함하는,
기판 프로세싱 방법.

청구항 12

제9항에 있어서,
상기 금속 니트로실리사이드 층이 구리 실리콘 질화물을 포함하는,
기판 프로세싱 방법.

청구항 13

제9항에 있어서,
 상기 질소 함유 플라즈마가 질소 함유 가스 내에 생성되는 RF 전력을 인가함으로써 형성되는,
 기관 프로세싱 방법.

청구항 14

제13항에 있어서,
 상기 RF 전력의 인가는 상기 기관상에 금속 니트로실리사이드 층을 증착하면서 상기 질소 함유 플라즈마에서 생성되는 RF 전력을 유지하는 과정을 포함하는,
 기관 프로세싱 방법.

청구항 15

전도성 물질을 포함하는 기관을 제공하는 단계;
 상기 전도성 물질에 대해 NH₃ 가스에 의해 질소 사전 처리 프로세스를 실행하는 단계;
 규화물을 형성하기 위하여 상기 전도성 물질의 표면 위로 실란 가스를 유동시키는 단계;
 금속 니트로실리사이드를 형성하기 위하여 NH₃ 가스 함유 플라즈마로 상기 규화물을 처리하는 단계; 및
 상기 니트로실리사이드 상에 실리콘 카바이드를 포함하는 배리어 유전체 층을 증착하는 단계;를 포함하는,
 기관 프로세싱 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 전체적으로 집적 회로의 제조와 관련된다. 보다 구체적으로, 본 발명의 실시예들은 전도성 물질과 배리어 유전체 재료 사이의 접촉 및 전자이동(electromigration)을 개선시키기 위하여 전도성 물질과 배리어 유전체 재료 사이의 금속 니트로실리사이드(metal nitrosilicide)의 증착을 포함하는 기관 프로세싱 방법 및 장치에 관한 것이다.

배경기술

[0002] 집적 회로는 단일 칩 상에 수 백만개의 부품(예를 들어 트랜지스터, 커패시터 및 레지스터)을 포함할 수 있는 복잡한 장치로 발전하여 왔다. 칩 설계의 발전에 있어서는 더 빠른 회로 소자(circuitry) 및 더 큰 회로 밀도를 지속적으로 요구한다. 더 큰 회로 밀도에 대한 요구는 집적 회로 부품의 치수에 대한 감소를 필요로 한다.

[0003] 집적 회로 부품의 치수가 (예를 들어 1 미크론 이하의 치수로) 감소함에 따라, 이러한 부품을 제조하는데 사용되는 재료는 이러한 부품의 전기적 성능에 관여하게 된다. 예를 들어, 저 저항성 금속 인터커넥트(interconnect)(예를 들어 알루미늄 및 구리)는 집적 회로 상의 부품 사이에 전도성 경로를 제공한다.

[0004] 수직 및 수평 인터커넥트를 형성하는 한 가지 방법은 다마신(damascene) 또는 듀얼 다마신(dual damascene) 구조를 형성하는 것이다. 다마신 구조에서는, 로우 k(low k) 유전체 재료와 같은 하나 또는 다수의 유전체 재료가 증착되고 패턴 식각되어 수직 인터커넥트, 즉 비아(via), 그리고 수평 인터커넥트, 즉 라인(line)을 형성한다. 구리 함유 재료와 같은 전도성 물질, 그리고 주변의 로우 k 유전체로의 구리 함유 물질의 확산을 방지하는데 사용되는 배리어 층(barrier layer)과 같은 다른 재료가 이후 식각된 패턴 내부로 주입(inlaid)된다. 이후 식각된 패턴 외부의 과잉(excess) 구리 함유 재료 및 과잉 배리어 층 재료가 제거되어 평탄화된 표면을 형성한다. 배리어 층 또는 절연층(insulative layer)과 같은 유전체 층이, 수평 및 수직 인터커넥트의 제2 층의 형성

과 같은, 후속 프로세싱을 위해 구리 피처(feature) 위에 형성된다.

[0005] 그러나, 우수한 전기적 특성을 가지는 어떤 유전체 층이 구리 피처에 대해 빈약한(poor) 접착력을 나타내는 것이 관찰되었다. 유전체 층과 구리 피처 사이의 이러한 빈약한 접착력은 인접한 금속 인터커넥트 사이의 높은 용량성 커플링(capacitive coupling)으로 이어져, 집적 회로의 전체적인 성능을 손상시키는 누화(crosstalk), 저항-콘덴서(RC) 지연(delay), 및 전자이동(electromigration) 감퇴(failure)를 야기한다.

[0006] 따라서, 층간 접착력 및 구리 피처를 덮는 로우 k 유전체 층 사이의 전자 이동을 향상시키기 위한 프로세스가 필요하다.

발명의 내용

[0007] 본 발명은 전체적으로 기판 프로세싱 방법을 제공한다. 일 실시예에서, 이러한 방법은 전도성 물질을 포함하는 기판을 제공하는 단계, 상기 전도성 물질상에 사전 처리(pre-treatment)를 실행하는 단계, 규화물(silicide) 층을 형성하기 위하여 상기 전도성 물질상으로 실리콘계 화합물을 유동시키는 단계, 상기 규화물 층 상에 사후 처리(post treatment) 프로세스를 실행하는 단계, 및 상기 기판상에 배리어 유전체 층을 증착하는 단계를 포함한다.

[0008] 다른 실시예에서는, 전도성 물질을 포함하는 기판을 제공하는 단계, 규화물을 형성하기 위하여 상기 전도성 물질의 표면 위로 실리콘계 화합물을 유동시키는 단계, 금속 니트로실리사이드(metal nitrosilicide) 층을 형성하기 위하여 질소 함유 플라즈마로 상기 기판을 처리하는 단계, 및 상기 기판상에 배리어 층을 증착하는 단계를 포함한다.

[0009] 또 다른 실시예에서는, 전도성 물질을 포함하는 기판을 제공하는 단계, 상기 전도성 물질에 대해 NH₃ 가스에 의해 질소 사전 처리 프로세스를 실행하는 단계, 규화물을 형성하기 위하여 상기 전도성 물질의 표면 위로 실란(silane) 가스를 유동시키는 단계, 금속 니트로실리사이드를 형성하기 위하여 NH₃ 가스 함유 플라즈마로 상기 규화물을 처리하는 단계, 및 상기 니트로실리사이드 상에 실리콘 카바이드(silicon carbide)를 포함하는 배리어 유전체 층을 증착하는 단계를 포함한다.

도면의 간단한 설명

[0010] 상술한 본 발명의 특징이 상세히 이해될 수 있도록 하기 위하여, 위에서 간략히 요약한 본 발명의 더욱 구체적인 설명이 실시예를 참조하여 이루어지며, 이들 실시예 중 일부는 첨부된 도면에 도시되어 있다. 그러나, 첨부된 도면은 본 발명의 전형적인 실시예를 도시할 뿐이며, 따라서 본 발명은 균등한 다른 실시예에 대해서도 허용하고 있으므로 본 발명의 범위를 제한하는 것으로 간주되어서는 안 된다.

도 1a-1d는 본 발명에 따른 듀얼 다마신 증착 순서의 일 실시예를 도시하는 단면도이다.

도 2는 전도성 층 위에 금속 니트로실리사이드 층을 증착하기 위한 방법을 설명하는 프로세스 순서도이다.

도 3은 전도성 층 상에 형성된 금속 니트로실리사이드 층을 도시하는 횡단면도이다.

도 4는 본 발명의 실시예를 실시하기 위해 사용될 수 있는 예시적인 프로세싱 챔버의 개략적인 단면도이다.

이해를 돕기 위하여 도면에서 공통되는 동일한 구성요소를 표시하는 데 있어서는 가능한 한 동일한 참조부호가 사용되었다. 일 실시예의 구성요소 및 특징들은 다른 언급이 없더라도 다른 실시예에 유리하게 사용될 수 있다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명의 실시예는 전체적으로 전도성 물질상에 배리어 유전체 층(barrier dielectric layer)을 증착하기에 앞서 실란(silane) 유동 및 플라즈마 처리 프로세스의 순서를 실행하는 과정을 포함하는 기판 처리 방법을 제공한다. 일정 실시예에서는, 이러한 방법이 배리어 유전체 층을 증착하기에 앞서 금속 니트로실리사이드를 형성하기 위하여 전도성 층 상에 사전 처리 프로세스, 규화물(silicide) 형성 프로세스 및 사후 질소 처리 프로세스를 실행하는 과정을 포함한다. 사전 질소 처리는 기판 표면으로부터 표면 산화물 및 오염물질을 제거하는 것을 돕는다. 전도성 물질의 규화물이 형성된 이후에 사전 처리가 뒤따른다. 사후 질소 플라즈마 처리 프로세스가 규화물에 대해 실행되어 배리어 유전체 층의 증착 이전에 금속 니트로실리사이드를 형성한다. 선택적으로, 니트로실리사이드는 인터페이스 층으로서 작용할 수 있다. 일정 실시예에서는, 규화물 재료가 구리 규화물이고 금

속 니트로실리사이드가 CuSiN 이다. 일정 실시예에서는, 전도성 물질이 구리이고 배리어 유전체 재료가 실리콘 카바이드이다.

[0012] 이하의 설명이 듀얼 다마신(dual damascene) 구조를 위한 전도성 물질과 배리어 유전체 재료 사이의 인터페이스 접착(interface adhesion) 및 전자 이동을 향상시키기 위하여 플라즈마 프로세스 순서를 사용하는 것을 상세히 설명하고 있으나, 본 발명은 본 명세서에 기술된 접착 및 전자 이동의 태양을 사용하여 다른 구조, 형성 프로세스 및 직접 증착 프로세스(straight deposition process)가 실행될 수 있다는 것을 고려하고 있으므로, 본 발명이 설명된 예들에 한정되는 것으로 해석되거나 제한되어서는 안 된다.

[0013] 이하의 증착 프로세스는 300 mm Producer[®] 듀얼 증착 스테이션 프로세싱 챔버를 사용하여 설명되었으므로, 이에 맞게 해석되어야 한다. 예를 들어, 유량(flow rate)은 전체 유량이며, 챔버 내의 각각의 증착 스테이션에서의 프로세스 유량을 설명하기 위하여 2로 나눠져야 한다. 추가로, 각각의 파라미터는, 300 mm 기관과 같이 여러 기관 크기에 대해서 다양한 챔버에서 플라즈마 프로세스를 실행하도록 수정될 수 있다는 것을 주목해야 한다. 또한, 이하의 프로세스가 구리, 실리콘 카바이드 및 구리 니트로실리사이드에 대해서 기술되었지만, 본 발명은 이러한 프로세스가 다른 전도성 및 배리어 절연체 재료 사이의 접착 및 전자 이동을 향상시키는데 사용될 수 있다는 것을 염두해 두고 있다.

[0014] 도 1은 절연체 재료(105) 내에 형성되는 금속 피쳐(feature)(107)를 가지는 기관(100) 상에 형성된 다마신(damascene)을 도시한다. 제1 실리콘 카바이드 배리어 층(110)은 절연 재료(105) 상에 전체적으로 증착되어 기관(100) 상에 증착된 절연 재료(105)와 후속적으로 증착되는 재료 사이의 인터-레벨(inter-level) 확산을 제거한다. 일 실시예에서는, 실리콘 카바이드 배리어 층이 약 4보다 작은 것과 같이, 약 5 또는 그 미만의 유전체 상수(dielectric constant)를 가질 수 있다.

[0015] 제1 실리콘 카바이드 배리어 층(110)의 실리콘 카바이드 재료는 질소 및/또는 산소로 도핑될 수 있다. 질소가 없는 실리콘 카바이드 또는 산화 규소(도시되지 않음)의 선택적인 캐핑 층(capping layer)이 배리어 층(110) 상에 증착될 수 있다. 질소가 없는 실리콘 카바이드 또는 산화 규소 캐핑 층은 프로세싱 가스의 조성을 조정함으로써 인 시츄(in situ)로 증착될 수 있다. 예를 들어, 질소가 없는 실리콘 카바이드의 캐핑 층은 질소 소스 가스를 최소화하거나 제거함으로써 제1 실리콘 카바이드 배리어 층(110) 상에 인 시츄로 증착될 수 있다. 대안적으로, 도시되지 않았지만, 제1 실리콘 카바이드 배리어 층(110) 상에 개시층(initiation layer)이 증착될 수 있다. 개시층은, 본 명세서에 참조로서 병합되는, "ADHESION IMPROVEMENT FOR LOW K DIELECTRICS" 라는 명칭의 미국 특허 7,030,041 호에 더욱 상세히 설명되어 있다.

[0016] 제1 유전체 층(112)은 트리메틸실란(trimethylsilane) 및/또는 옥타메틸시클로테트라실록산(octamethylcyclotetrasiloxane)을 포함할 수 있는 유기 규소(organosilicon) 화합물을 산화시킴으로써, 제조되는 구조체의 크기에 따라서, 약 5,00 내지 약 15,000 Å의 두께로 실리콘 카바이드 배리어 층(110) 상에 증착된다. 이후 제1 유전체 층(112)은 플라즈마 또는 e-빔 프로세스로 사후 처리될 수 있다. 선택적으로, 산화 규소 캡 층(도시되지 않음)이 증착된 재료로부터 탄소를 제거하기 위해 실리콘 옥시카바이드(silicon oxycarbide) 증착 프로세스에서의 산소 농도를 증가시킴으로써 인 시츄로 제1 유전체 층(112) 상에 증착될 수 있다. 제1 유전체 층은 또한 파라린(paralyne)을 포함하는 저 폴리머 재료(low polymer material)와 같은 로우 k 유전체 재료(low k dielectric material) 또는 도핑되지 않은 실리콘 글래스(un-doped silicon glass)(USG) 또는 플루오르 도핑된 실리콘 글래스(FSG)와 같은 로우 k 스핀-온 글래스(low k spin-on glass)를 포함할 수 있다. 이후 제1 유전체 층은 플라즈마 프로세스에 의해 처리될 수 있다.

[0017] 이후, 질소 또는 산소를 도핑될 수 있는, 예를 들어 실리콘 카바이드인, 선택적인 로우-k (또는 제2 배리어 층)(114)이 제1 유전체 층(112) 상에 증착될 수 있다. 로우-k 에치 스톱(etch stop)(114)은 약 100Å 내지 약 1,000Å의 두께로 제1 유전체 층(112) 상에 증착될 수 있다. 선택적인 로우 k 에치 스톱(114)은 실리콘 카바이드 재료 및 실리콘 옥시카바이드 재료를 위해서 본 명세서에 기술된 바와 같이 플라즈마 처리될 수 있다. 이후 로우-k 에치 스톱(114)은 콘택트(contacts)/비아(vias)(116)의 개구를 한정하기 위하여 그리고 콘택트/비아(116)가 형성될 영역 내에 제1 유전체 층(112)을 노출시키기 위하여 패턴 식각(pattern etch)된다. 일 실시예에서, 로우-k 에치 스톱(114)은 플루오르, 탄소, 및 산소 이온을 사용하는 종래의 포토리소그래피(photolithography) 및 식각 프로세스를 사용하여 패턴 식각된다. 도시되지 않았으나, 약 100Å 내지 약 500Å 사이의 무-질소 실리콘 카바이드 또는 산화 규소 캡 층이 추가 재료를 증착하기 전에 로우-k 에치 스톱(114) 상에 선택적으로 증착될 수 있다.

[0018] 도 1b를 참조하면, 산화 유기 실란(organosilane) 또는 유기 실록산(organosiloxane)의 제2 유전체 층(118)이,

레지스트 재료가 제거된 이후에, 제1 유전체 층(112) 및 선택적인 패턴 에치 스톱(114) 위에 증착된다. 제2 유전체 층(118)은, 트리메틸실란과 같이, 본 명세서에 개시된 프로세스에 의해서 산화 유기 실란 또는 유기 실록산으로부터의 실리콘 옥시카바이드를 포함할 수 있으며, 약 5,000 내지 약 15,000 Å의 두께로 증착된다. 제2 유전체 층(118)은 이후 플라즈마 또는 e-빔 처리되고/처리되거나 그 위에 산화물 캡(cap) 재료가 배치된다.

[0019] 레지스트 재료(122)는 제2 유전체 층(118)(또는 캡 층) 상에 증착되고, 도 1b에 도시된 바와 같이, 인터커넥트 라인(interconnect line)(120)을 형성하기 위하여 종래의 포토리소그래피 프로세스 또는 다른 적절한 프로세스를 이용하여 패턴화된다. 선택적으로, 하드마스크(hardmask) 층과 같이, ARC 층 및 에치 마스크 층(도시되지 않음)이 레지스트 재료(122)와 제2 유전체 층(118) 사이에 선택적으로 위치하여 기관(100)으로의 패턴과 피처 전사(transfer)를 용이하게 한다. 레지스트 재료(122)는 예를 들어, 매사추세츠 말보로의 Shipley Company Inc.로부터 구입할 수 있는, UV-5와 같은, 고 활성 에너지 레지스트 재료와 같이 본 발명이 속하는 기술 분야에서 통상적으로 알려져 있는 재료를 포함한다. 이후 인터커넥트 및 컨택트/비아가 반응성 이온 식각(reactive ion etching) 또는 다른 이방성(anisotropic) 식각 기술을 사용하여 식각되어 도 1c에 도시된 바와 같은 금속화 구조체(metallization structure)(즉, 인터커넥트 및 컨택트/비아)를 형성한다. 에치 스톱(114) 또는 제2 유전체 층(118)을 패턴화하기 위해 사용된 임의의 레지스트 재료 또는 다른 재료는 산소 스트립(oxygen strip) 또는 다른 적절한 프로세스를 이용하여 제거된다.

[0020] 금속화 구조체는 이후 알루미늄, 구리, 텅스텐 또는 이들의 조합과 같은 전도성 물질로 형성된다. 현재, 구리의 낮은 저항성(알루미늄의 3.1 mΩ-cm과 비교하여 1.7 mΩ-cm)으로 인해서 더 작은 피처를 형성하는 데에는 구리를 이용하는 것이 추세이다. 일 실시예에서, 질화 탄탈과 같은, 적절한 금속 배리어 층(124)이 먼저 금속화 패턴 내에 같은 모양으로(conformally) 증착되어 주면 실리콘 및/또는 유전체 재료로의 구리 이동(copper migration)을 방지한다. 이후, 구리는 화학 기상 증착, 물리 기상 증착, 전기 도금, 또는 이들의 조합과 같은 기술을 이용하여 증착되어 전도성 구조체를 형성한다. 구조체가 일단 구리 또는 다른 전도성 금속으로 충전되면, 표면이 화학 기계적 연마(polishing)를 사용하여 도 1d에 도시된 바와 같이 전도성 금속 피처 표면을 노출 시키도록 평탄화된다.

[0021] 도 2는 기관(100) 상에 얇은 인터페이스 층을 형성하기 위한 본 발명의 일 실시예에 따른 방법(200)을 설명하는 프로세스 순서도이다. 이러한 방법은, 도 3a에 도시된 바와 같이, 기관(100) 상에 배치된 노출 표면(128)을 가지는 전도성 물질(126)을 포함하는 기관(100)을 제공함으로써 단계(202)에서 개시된다. 전도성 물질(126)은 Sn, Ni, Cu, Au, Al, 이들의 조합 등등으로부터 제조될 수 있다. 전도성 물질(126)은 또한 Cu, Zn, Al 등등과 같은 활성 금속 위에 코팅되는 Sn, Ni, 또는 Au와 같은 내부식성 금속을 포함할 수 있다. 일정 실시예에서는, 기관(100)이 실리콘 함유 층, 제1 유전체 층(112) 및 제2 유전체 층(118)을 더 포함하여 전도성 물질(126)을 둘러싼다. 일 실시예에서는, 기관(100) 상에 형성된 제1 유전체 층(112) 및 제2 유전체 층(118)이, 특히 실리콘 옥시카바이드와 같이, 4.0 보다 작은 유전체 상수를 가지는 로우-k 유전체 층일 수 있다. 일정 실시예에서는, BLACK DIAMOND®와 같이, 캘리포니아 산타 클라라의 Applied Material Inc.로부터 구입할 수 있는 실리콘 옥시카본(silicon oxycarbon) 층이 제1 및 제2 유전체 배리어 층(112, 118)을 형성하는데 사용될 수 있다. 일정 실시예에서는, 기관(100) 상에 형성되는 제1 유전체 층(112) 및 제2 유전체 층(118)과 전도성 물질(126)이 다마신 구조체를 포함할 수 있다.

[0022] 단계(204)에서는, 전도성 물질(126)의 노출 표면(128) 및 제2 유전체 층(118)의 상부 표면을 처리하도록 질소 플라즈마를 가지는 사전 처리 프로세스가 실행된다. 사전 처리 프로세스는 기관 표면으로부터 산화물, 자연 산화물(native oxide), 입자(particle), 또는 오염물질을 제거하는 것을 도울 수 있다. 일 실시예에서는, 기관(100)을 처리하는데 활용되는 가스가 N₂, N₂O, NH₃, NO₂ 등을 포함한다. 본 명세서에 개시된 일정 실시예에서는, 전도성 물질(126)의 노출 표면(128) 및 제2 유전체 층(118)을 사전 처리하는데 사용되는 질소 함유 가스가 암모니아(NH₃) 또는 질소 가스(N₂)이다.

[0023] 일 실시예에서는, 단계(204)에서의 사전 처리 프로세스가 프로세싱 챔버에 공급되는 가스 혼합물 내에 플라즈마를 발생시킴으로써 실행된다. 플라즈마는 약 0.03 W/cm² 내지 약 3.2 W/cm² 사이의 범위의 전력 밀도를 가함으로써 생성될 수 있으며, 이는 300mm 기관에 대해 약 10W 내지 약 1,000W 사이의, 예를 들어, 13 MHz 내지 14 MHz 사이, 예를 들어 13.56 MHz 와 같은 높은 주파수에서 약 100W 내지 약 400W 사이의 RF 전력 수준이다. 플라즈마는 약 0.01 W/cm² 내지 약 1.4 W/cm² 사이의 범위의 전력 밀도를 가함으로써 생성될 수 있으며, 이는 300mm 기관에 대해 약 10W 내지 약 1,000W 사이의, 예를 들어, 13 MHz 내지 14 MHz 사이, 예를 들어 13.56 MHz

와 같은 높은 주파수에서 약 100W 내지 약 400W 사이의 RF 전력 수준이다. 대안적으로, 플라즈마는 본 명세서에 기술되는 바와 같이 듀얼-주파수 RF 전력 소스에 의해서 생성될 수도 있다. 대안적으로, 모든 플라즈마 생성이 원격적으로 실행되어, 생성된 라디칼(radical)이 재료 층의 증착 또는 증착된 재료의 플라즈마 처리를 위해 프로세싱 챔버로 유입될 수 있다.

[0024] 단계(206)에서는, 실리콘계 화합물이 전도성 물질(126)의 처리된 표면 위로 유동한다. 실리콘계 화합물은 전도성 물질(126)과 반응하여 도 3b에 도시된 바와 같이 전도성 물질(126) 위에 규화물(142)을 형성한다. 실리콘계 화합물로부터의 실리콘 원자는 기판(100) 상의 전도성 물질(126)의 표면에 부착되고 흡수(absorb)되고, 이로써 기판(100) 상에 금속 규화물 층(142)을 형성한다. 기판(100) 상의 전도성 물질(126)이 구리층인 일 실시예에서는, 실리콘 원자가 구리 표면에 부착 및 흡수되어 구리 전도성 층 표면(126) 상에 구리 규화물 층을 형성한다.

[0025] 전도성 물질(126)의 사전 처리된 표면으로 공급되는 실리콘계 화합물은, 예를 들어 플라즈마의 존재 없이, 열적 프로세스에 의해 실행될 수 있다. 이러한 특별한 실시예에서는, 규화물 증착이 주로 전도성 물질 표면에 형성될 수 있다. 열 에너지는 실리콘계 화합물로부터의 실리콘 원자가 주로 전도성 물질(126)의 구리 원자 상에 흡수되어 전도성 물질 표면에 규화물 층(142)을 형성하는 것을 돕는다. 대안적으로, 프로세싱 챔버로 공급되는 실리콘계 화합물이 플라즈마 프로세스에 의해 실행되는 실시예에서는, 전도성 물질(126) 및 유전체 재료(118)의 양 표면 상에와 같이, 기판(100)의 표면 전역에 걸쳐 규화물 증착이 형성될 수 있다. 전도성 물질(126)이 구리층인 실시예에서는, 기판(100) 상에 형성된 규화물 층(142)이 구리 규화물(CuSi) 층이다.

[0026] 실리콘계 화합물은 실란, 디실란(disilane) 및 이들의 유도체(derivatives)를 포함하는 무-탄소 실리콘 화합물을 포함할 수 있다. 실리콘계 화합물은, 예를 들어 트리메틸실란(TMS) 및/또는 디메틸페닐실란(dimethylphenylsilane)(DMPS)과 같이, 본 명세서에 기재된 유기실란 화합물을 포함하는 탄소-함유 실리콘 화합물을 포함할 수도 있다. 실리콘계 화합물은 열적 및/또는 대안적으로는 플라즈마 강화 프로세스(plasma enhanced process)에 의해서 노출된 전도성 물질과 반응할 수 있다. 산소 및 질소와 같은 도펀트(dopants)가 본 명세서에 기재된 바와 같이 실리콘계 화합물과 함께 사용될 수 있다. 추가로, 헬륨 및 아르곤을 포함하는 희가스(noble gas)와 같은 불활성 가스가 규화물 프로세스 동안에 사용될 수 있으며, 플라즈마 강화 규화물 형성 프로세스를 위한 추가 플라즈마 종으로서 또는 열적 프로세스를 위한 캐리어 가스로서 사용될 수 있다. 실리콘계 화합물은 또한 니트로실리사이드를 형성하기 위하여, 본 명세서에 기재된 환원성 화합물(reducing compound)과 같은 도펀트를 더 포함할 수 있다. 이러한 실시예에서는, 환원성 화합물이 본 명세서에 기재된 바와 같이 전달될 수 있다.

[0027] 일 실시예에서는, 실리콘계 화합물이 약 40 sccm 내지 약 5000 sccm, 예를 들어, 약 1000 sccm 내지 약 2000 sccm 사이의 유량에서 프로세싱 챔버로 제공된다. 선택적으로, 헬륨, 아르곤 또는 질소와 같은 불활성 가스도 약 100 sccm 내지 약 20,000 sccm, 예를 들어, 약 15,000 sccm 내지 약 19,000 sccm 사이의 유량에서 프로세싱 챔버로 공급될 수 있다. 프로세스 챔버 압력은 약 1 Torr 내지 약 8 Torr, 예를 들어 약 3 Torr 내지 약 5 Torr 사이에서 유지될 수 있다. 히터 온도는 약 100 °C 내지 약 500 °C, 예를 들어 300 °C 보다 작은 온도와 같이 약 250 °C 내지 약 450 °C 사이의 온도에서 유지될 수 있다. 기판 표면으로부터의 가스 분배기 또는 샤워 헤드 사이의 간격은 약 200 mils 내지 약 1000 mils, 예를 들어 약 300 mils 내지 약 500 mils 이다. 규화물 층 형성 프로세스는 약 1초 내지 약 20초, 예를 들어 약 2초 내지 약 8초 사이의 시간 동안 실행될 수 있다.

[0028] 규화물 프로세스의 구체적인 예는, 약 4초에 걸쳐서, 약 125 sccm의 유량에서 프로세싱 챔버로 실란을 제공하는 과정, 약 18000 sccm의 유량에서 프로세싱 챔버로 질소를 제공하는 과정, 챔버 압력을 약 4.2 Torr 로 유지하는 과정, 히터 온도를 약 350°C로 유지하는 과정, 가스 분배기 또는 샤워헤드와 기판 사이의 약 350 mils 의 간격을 제공하는 과정을 포함한다.

[0029] 단계(208)에서는, 규화물 층(142)에 대해 사후 처리 프로세스가 실행되어, 도 3c에 도시된 바와 같이 기판(100) 상에 금속 니트로실리사이드 층(140)을 형성한다. 일 실시예에서는, 규화물(142)이 이후 질소 함유 플라즈마로 처리되어 금속 니트로실리사이드(140)를 형성한다. 일 실시예에서는, 질소 함유 플라즈마가 규화물(142)을 처리하기 위하여 플라즈마의 존재하에서 규화물 층(142)으로 질소 함유 가스를 공급함으로써 실행되어, 규화물 층(142)의 표면에 질소 원자를 혼입시키고, 이로써 규화물 층(142)을 니트로실리사이드 층(140)으로 변환시킨다. 질소 함유 가스의 적절한 예로는, N₂, N₂O, NH₃, NO₂ 등이 있다. 본 명세서에 기재된 일정 실시예에서는, 규화물 층(12)을 사후 처리하기 위해 사용되는 질소 함유 가스가 암모니아(NH₃)이다.

- [0030] 일 실시예에서는, 니트로실리사이드 층(140)이 전도성 물질(126) 및 후속적으로 증착될 막 사이의 접착력을 향상시키는 인터페이스 층으로서 작용한다. 니트로실리사이드 층(140)은 전도성 물질(126)로부터의 구리 원자와 단계(206)에서의 규화물 형성 프로세스로부터의 실리콘 및 질소 원자를 브리지(bridge)하는 접착 강화 층으로서 작용하여, 인터페이스에서 강력한 접착을 형성한다. 전도성 물질(126)에 대한 니트로실리사이드 층(140)의 강력한 접착은 전도성 물질(126)과 후속적으로 증착될 배리어 유전체 층(146) 사이의 접착력을 향상시켜서, 인터커넥션 구조(interconnection structure) 및 장치 전하이동(device electromigration)의 통합을 효과적으로 향상시킨다. 추가로, 니트로실리사이드 층은 또한 하부의 전도성 층이 인접한 전기 층(electric layer)으로 확산하는 것을 방지하는 배리어 층으로서 작용하여 전자 이동 성능 및 전체 장치의 전기적 성능을 향상시킨다.
- [0031] 단계(206)에서의 규화물 형성 프로세스 및 단계(208)에서의 사후 플라즈마 질화 처리(nitridation treatment)는 막 저항성(film resistivity)에 악영향을 주지 않으면서 계면 접착력(interfacial adhesion) 및 장치 전자 이동 성능을 향상시키는 방식으로 제어된다. 금속 니트로실리사이드 층(140)은 최소의 금속 저항을 유지하면서도 효과적인 금속 확산 배리어로서 작용하기에 충분한 요구 두께로 형성된다. 일 실시예에서는, 금속 니트로실리사이드 층의 두께가, 약 30 Å 내지 약 40 Å과 같이, 약 50 Å보다 작다. 금속 규화물 형성 프로세스로부터의 실리콘 원자와 플라즈마 질화 프로세스로부터의 질소 원자는 전도성 물질로부터의 구리 원자와 함께 반응하여, 기관상에, CuSiN과 같은, 구리 니트로실리사이드 층을 형성한다. 구리 원자와 반응하기 위하여 프로세싱 챔버로 제공된 실리콘 원자 및 질소 원자는 원하는 막 특성 하에서 니트로실리사이드 층(140)을 형성하기 위해 요구되는 비율 및 양으로 제어된다. 규화물 형성 프로세스로부터의 실리콘 원자의 초과량은 질소 원자와 반응하지 않고, 금속 전도성 표면에 파인 실리콘 원자가 남게 되는 것으로 여겨진다. 후속하는 어닐링 또는 열 처리 프로세스에서, 파인 실리콘 원자는 금속 전도성 물질(126)을 향해 더 아래로 확산될 수 있어서, 금속 시트 저항성을 향상시키고 장치의 전기적 특성에 불리한 영향을 미치게 된다. 대조적으로, 실리콘 원자의 부족한 양은 기관(100) 상에 파인의 질소 원자가 남게 되는 결과를 초래할 것이며, 이로써 기관(100) 상에 원하지 않은 구리 질화물 클러스터(cluster)를 형성하게 된다. 원하지 않은 구리 질화물 클러스터는 기관상에 형성된 막을 오염시키고 더럽히는 입자 결함(particle defect)의 원인이 될 수 있다. 따라서, 원하는 계면 특성을 가지는 금속 니트로실리사이드 층(140)을 얻기 위해서는, 단계(206)에서의 규화물 형성 프로세스 및 단계(210)에서의 사후 플라즈마 질화 처리 프로세스를 알맞게 제어할 필요가 있다.
- [0032] 일 실시예에서는, 단계(208)에서의 사후 플라즈마 질화 처리 프로세스 및 단계(206)에서 규화물 형성 프로세스를 실행하기 위한 프로세스 시간이 약 1:3 내지 약 3:1 과 같이, 약 1:5 내지 약 5:1 사이에서 제어된다. 다른 실시예에서는, 단계(206)에서의 규화물 형성 프로세스를 실행하는 시간이, 약 5초 미만과 같이, 약 10초 미만으로 제어되며, 단계(208)에서의 사후 플라즈마 질화 처리 프로세스는, 약 15초 미만과 같이, 약 30초 미만으로 제어된다. 또 다른 실시예에서는, 규화물 형성 프로세스 단계(206)를 실행하는 프로세스 시간이 단계(208)에서의 사후 플라즈마 질화 처리 프로세스를 실행하는 프로세스 시간보다 작다.
- [0033] 질소 함유 플라즈마에 대한 질소 소스는 N_2 , N_2O , NH_3 , NO_2 또는 이들의 조합일 수 있다. 플라즈마는 헬륨, 아르곤, 또는 이들의 조합과 같은 불활성 가스를 더 포함할 수 있다. 기관이 플라즈마에 노출되는 동안의 압력은 약 1 mTorr 내지 약 10 mTorr 사이와 같이, 약 1 mTorr 내지 약 30 mTorr 사이일 수 있다. N_2 이외에, 예를 들어, H_2N 히드라진(hydrazines)(예를 들어, N_2H_4 또는 MeN_2H_3), 아민(amines)(예를 들어, Me_3N , Me_2NH 또는 $MeNH_2$), 아닐린(anilines)(예를 들어, $C_6H_5NH_2$), 및 아지드화물(azides)(예를 들어, MeN_3 또는 Me_3SiN_3)과 같은, 다른 질소 함유 가스가 질소 플라즈마를 형성하기 위해 사용될 수 있다. DPN 프로세스에서 사용될 수 있는 다른 희가스로는 헬륨, 네온, 및 크세논 등이 있다. 질화 프로세스는 약 10초 내지 약 360초, 예를 들어 약 0초로부터 약 60초까지, 예를 들어 약 15초의 시간 동안 실행된다.
- [0034] 사후 처리 프로세스를 실행하기 위해 선택된 RF 전력은 단계(204)에서 기관을 사전 처리하도록 선택된 RF 전력과 실질적으로 유사하게 제어된다. 일 실시예에서는, 플라즈마가 약 0.03 W/cm^2 내지 약 3.2 W/cm^2 사이의 범위의 전력 밀도를 가함으로써 생성될 수 있으며, 이는 300mm 기관에 대해 약 10W 내지 약 1,000W 사이의, 예를 들어, 13 MHz 내지 14 MHz 사이, 예를 들어 13.56 MHz 와 같은 높은 주파수에서 약 100W 내지 약 600W 사이의 RF 전력 수준이다. 플라즈마는 약 0.01 W/cm^2 내지 약 1.4 W/cm^2 사이의 범위의 전력 밀도를 가함으로써 생성될 수 있으며, 이는 300mm 기관에 대해 약 10W 내지 약 1,000W 사이의, 예를 들어, 13 MHz 내지 14 MHz 사이, 예를 들어 13.56 MHz 와 같은 높은 주파수에서 약 100W 내지 약 400W 사이의 RF 전력 수준이다. 대안적으로, 플라즈마는 본 명세서에 기술되는 바와 같이 듀얼-주파수 RF 전력 소스에 의해서 생성될 수도 있다. 대안적으로, 모

든 플라즈마 생성이 원격적으로 실행되어, 생성된 라디칼(radical)이 재료 층의 증착 또는 증착된 재료의 플라즈마 처리를 위해 프로세싱 챔버로 유입될 수 있다. 일 실시예에서는, 질화 프로세스가 약 1 mTorr 내지 약 100 mTorr 의 압력에서 약 300 watts 내지 약 2,700 watts 의 RF 전력 설정으로 실행된다. 질소 함유 가스는 약 0.1 slm 내지 약 15 slm의 유량을 가진다. 일 실시예에서는, 질소 함유 가스가 질소를 가지는 가스 혼합물을 포함하고, 암모니아 가스가 프로세싱 챔버로 공급된다. 질소 가스는 약 0.5 slm 내지 약 1.5 slm, 예를 들어 약 1 slm 에서 챔버로 공급되며, 암모니아 가스는 약 10 slm 과 같이 약 5 slm 내지 약 15 slm 사이에서 챔버로 공급된다.

[0035] 프로세싱 가스 각각의 유동 및 전체 가스 유동은 프로세싱 챔버의 크기, 프로세싱 챔버의 온도, 및 처리될 기판의 크기와 같은 다양한 프로세싱 인자에 기초하여 달라질 수 있다. 프로세스 챔버 압력은, 약 1 Torr 내지 약 10 Torr, 예를 들어, 약 3.7 Torr 과 같이 약 2 Torr 내지 약 5 Torr 사이에서 유지될 수 있다. 히터 온도는 약 100 °C 내지 약 500 °C, 예를 들어, 350 °C 미만과 같이, 약 250 °C 내지 약 450 °C 사이에서 유지될 수 있다.

[0036] 단계(210)에서는, 기판(100) 상에 형성되는 금속 니트로실리사이드 층(140)에 배리어 유전체 층(146)에 증착된다. 일정 실시예에서는, 배리어 유전체 층(146)이 실리콘 카바이드 재료 또는 다른 적절한 유전체 재료를 포함할 수 있다. 금속 니트로실리사이드 층(140)이 형성된 이후에, 실리콘 카바이드 층과 같은 배리어 유전체 층(146)이 그 위에 후속적으로 증착될 수 있다. 금속 니트로실리사이드 층(140) 및 배리어 유전체 층(146)의 형성은 인 시츄로 형성될 수 있다. 실리콘 카바이드와 같은 배리어 절연체 층의 증착을 위한 프로세스는, 발명의 명칭 "METHOD OF DEPOSITING LOW DIELECTRIC CONSTANT SILICON CARBIDE LAYERS"인 미국 특허 제6,537,733호, 발명의 명칭 "DEPOSITING LOW K BARRIER FILMS (k<4) USING PRECURSORS WITH BULKY ORGANIC FUNCTIONAL GROUPS"인 미국 특허 제6,759,327호, 그리고 발명의 명칭 "METHOD OF DEPOSITING LOWER K HARDMASK AND ETCH STOP FILMS"인 미국 특허 제6,890,850호에 개시되어 있으며, 이들 특허에 개시된 내용은 본 명세서의 개시 내용 및 청구되는 태양과 양립하는 한도 내에서 전체로서 참조에 의해 본 명세서에 통합된다.

[0037] 일 실시예에서는, 단계(208)에서의 사후 처리 프로세스에 가해지는 RF 전력이 단계(210)에서의 배리어 유전체 층 증착 프로세스에 대해 유지되고 지속될 수 있다. 대안적으로, 사후 처리 프로세스에 가해지는 RF 전력은, 단계(208)에서의 사후 처리 프로세스가 완료된 이후에 꺼지고(turn off), 단계(210)에서의 배리어 유전체 증착 프로세스를 실행하도록 단계(210)에서 재인가(re-apply)될 수 있다.

[0038] 단계(204)에서의 사전 처리 프로세스, 단계(206)에서의 구화물 형성 프로세스, 단계(208)에서의 사후 처리 프로세스, 및 단계(210)에서의 배리어 유전체 층은 단일 챔버에서 인 시츄 증착될 수 있다. 대안적으로, 이러한 단계들은 임의의 상이한 구성에 있는 상이한 챔버에서 증착되고 실행될 수도 있다.

[0039] 도 4는 본 발명의 실시예를 실시하기 위해 사용될 수 있는 화학 기상 증착 챔버(400)의 개략적인 단면 다이어그램이다. 이러한 챔버의 예로는 캘리포니아, 산타 클라라의 Applied Materials Inc. 로부터 구입할 수 있는 PRODUCER® 시스템의 듀얼 또는 트윈(twin) 챔버가 있다. 트윈 챔버는 각 영역에서의 유량이 전체 챔버로의 유량의 대략 절반이 되도록 (하나의 프로세싱 영역마다 하나의 기판씩, 2개의 기판을 처리하기 위한) 2개의 격리된 프로세싱 영역을 가진다. 아래에서 그리고 명세서 전체에 걸쳐 예에서 설명되는 유량은 300 mm 기판을 처리하기 위한 유량이다. 2개의 격리된 프로세싱 영역을 가지는 챔버는 미국 특허 제5,855,681호에 더 기재되어 있으며, 상기 특허는 본 명세서에 참조로서 병합된다. 사용될 수 있는 챔버의 다른 예로는 Applied Materials Inc. 로부터 구입할 수 있는 CENTURA® 상의 DxZ® 챔버가 있다.

[0040] CVD 챔버(400)는 분리된 프로세싱 영역(418, 420)을 형성하는 챔버 본체(402)를 가진다. 각각의 프로세싱 영역(418, 420)은 CVD 챔버(400) 내에서 기판(도시되지 않음)을 지지하기 위한 받침대(pedestal)(428)를 가진다. 각각의 받침대(428)는 통상적으로 가열 부재(도시되지 않음)를 포함한다. 각각의 받침대(428)는 구동 시스템(403)에 연결되는 챔버 본체(402)의 하부를 통해 연장하는 축(402)에 의해서 프로세싱 영역(418, 420) 중 하나의 내부에 가동적으로(movably) 배치된다.

[0041] 각각의 프로세싱 영역(418, 420)은 프로세싱 영역(418, 420)으로 가스를 전달하기 위하여 챔버 덮개(404)를 통해 배치되는 가스 분배 조립체(408)를 포함할 수 있다. 각각의 프로세싱 영역의 가스 분배 조립체(408)는 통상적으로 가스 유입 통로(440)를 포함하는데, 이는 가스 유동 제어기(419)로부터 샤워헤드 조립체로도 알려져 있는 가스 분배 매니폴드(442)로 가스를 전달한다. 가스 유동 제어기(419)는 통상적으로, 챔버로의 상이한 프로세스 가스의 유량을 제어하고 조절하는데 사용된다. 다른 유동 제어 구성 부품으로는, 액체 전구체가 사용되는

경우에 액체 유동 분사 밸브 및 액체 유동 제어기(도시되지 않음)를 포함할 수 있다. 가스 분배 매니폴드(442)는 환형 기부판(base plate)(448), 면판(face plate)(446), 상기 기부판(448)과 면판(446) 사이의 차단판(blocker plate)(444)을 포함한다. 가스 분배 매니폴드(442)는 프로세싱 동안에 가스상 혼합물이 분사되는 다수의 노즐(도시되지 않음)을 포함한다. RF(무선 주파수) 소스(425)는 가스 분배 매니폴드(442)에 바이어스 전위(bias potential)를 제공하여 샤워헤드 조립체(442)와 받침대(428) 사이의 플라즈마 형성을 용이하게 한다. 플라즈마 강화 화학 기상 증착 프로세스 동안에, 받침대(428)는 챔버 본체(402) 내에 RF 바이어스를 생성하기 위한 캐소드(cathode)로서 작용할 수 있다. 캐소드는 전극 전력 공급부에 전기적으로 결합되어 증착 챔버(400) 내에 용량성 전기장(capacitive electric field)을 형성한다. 통상적으로, 챔버 본체(402)는 전기적으로 접지되는 반면, 캐소드에는 RF 전압이 인가된다. 받침대(428)에 인가되는 전력은 기판의 상부 표면에 음의 전압의 형태로 기판 바이어스를 형성한다. 이러한 음전압은 챔버(400) 내에 형성된 플라즈마로부터의 이온을 기판의 상부 표면으로 끌어들이는데 사용된다.

[0042] 프로세싱 동안에는, 프로세스 가스가 기판 표면을 반경방향으로 가로질러 균일하게 분포된다. 플라즈마는 RF 전력 공급부(425)로부터, 전력인가된 전극으로서 작용하는, 가스 분배 매니폴드(442)로 RF 에너지를 인가함으로써 하나 또는 다수의 프로세스 가스 또는 가스 혼합물로부터 형성된다. 기판이 플라즈마에 노출되고 반응성 가스가 그 내부에 제공되면 막 증착이 발생한다. 챔버 벽(412)은 통상적으로 접지된다. RF 전력 공급부(425)는 가스 분배 매니폴드(442)로 단일 또는 혼합-주파수(single or mixed-frequency) RF 신호를 공급하여 프로세싱 영역(418, 420)으로 유입되는 임의의 가스의 분해(decomposition)를 향상시킬 수 있다.

[0043] 시스템 제어기(434)는 RF 전력 공급부(425), 구동 시스템(403), 리프트 메커니즘(406), 가스 유동 제어기(419)와 같은 다양한 부품의 기능, 및 기타 관련 챔버 및/또는 프로세싱 기능을 제어한다. 시스템 제어기(434)는, 바람직한 실시예에서는 하드 디스크인, 메모리(438) 내에 저장된 시스템 제어 소프트웨어를 실행하며, 아날로그 및 디지털 입/출력 보드(board), 인터페이스 보드, 그리고 스테퍼 모터 제어기 보드를 포함할 수 있다. 광학 및/또는 자기 센서는 일반적으로 이동가능한 기계적 조립체를 이동시키고 그 위치를 결정하는데 사용된다.

[0044] 상기 CVD 시스템에 대한 기술은 주로 설명을 위한 것이며, 본 발명의 실시를 위해서는 다른 플라즈마 프로세싱 챔버도 사용될 수 있다.

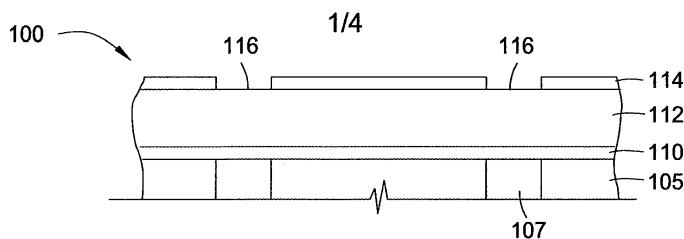
[0045] **예(Example):**

[0046] CuSiN의 얇은 층의 경우에는, 기판의 전도성 표면에 대한 NH₃ 플라즈마 처리를 실행하고, 후속적으로 Cu 표면 위로 SiH₄를 유입시키고, 이후 NH₃ 사후 플라즈마 처리를 실행함으로써 기판상에 직접 형성된다. CuSiN 층은 전도성 물질과, 실리콘 카바이드와 같이, 증착될 배리어 유전체 층 사이의, 계면 접착력 증진 및 전자 이동 향상 층으로서 실행된다. CuSiN 이 기판상에 형성된 이후에, 배리어 유전체 층이, 원하는 범위 내의 저항성을 유지하면서도 접착력을 증가시키고 전자이동을 향상시키면서 CuSiN 상에 직접 증착될 수 있다.

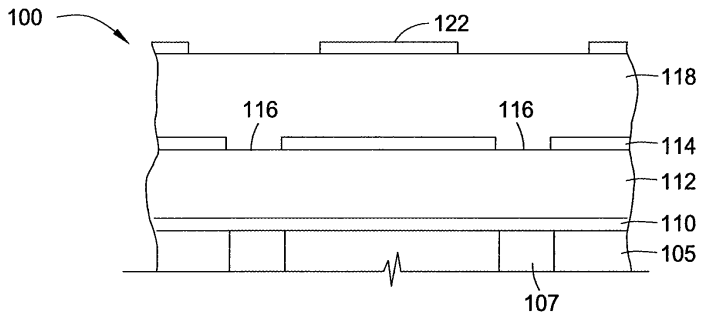
[0047] 진술한 내용은 본 발명의 실시예에 대해 이루어졌으나, 본 발명의 다른 그리고 추가적인 실시예가 본 발명의 범위 내에서 안출될 수 있을 것이며, 본 발명의 범위는 이하의 청구범위에 의해 결정된다.

도면

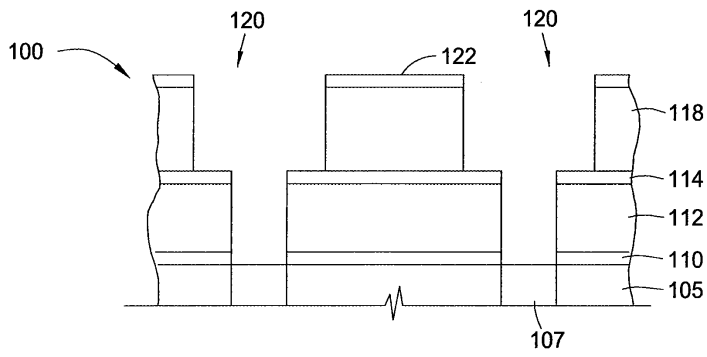
도면1a



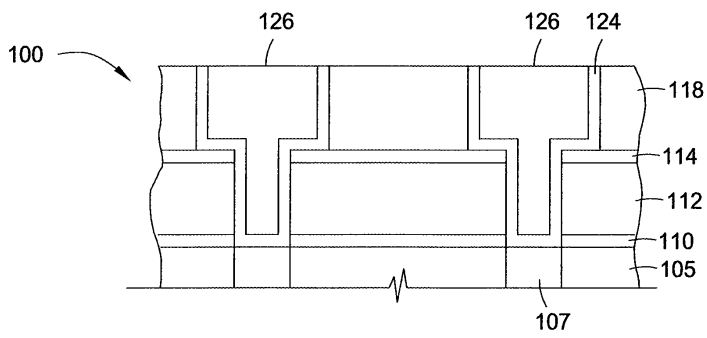
도면1b



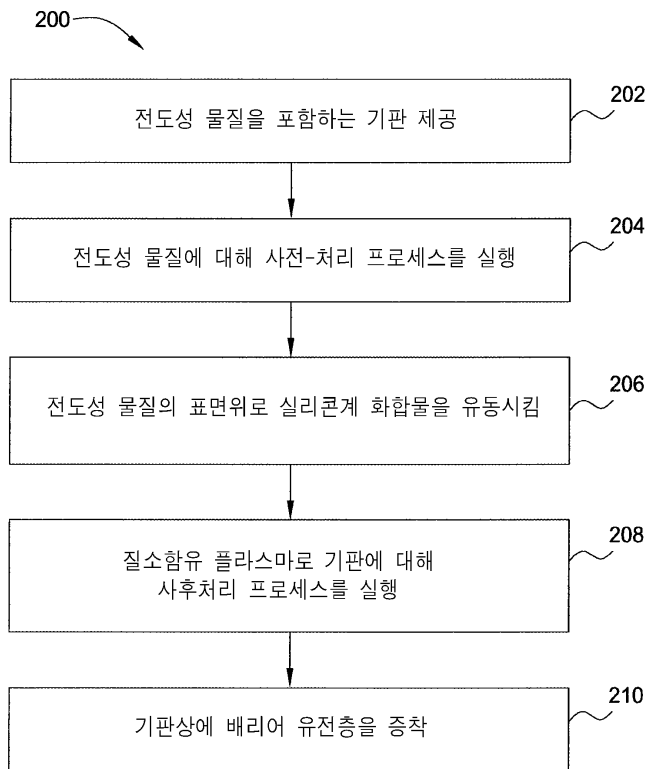
도면1c



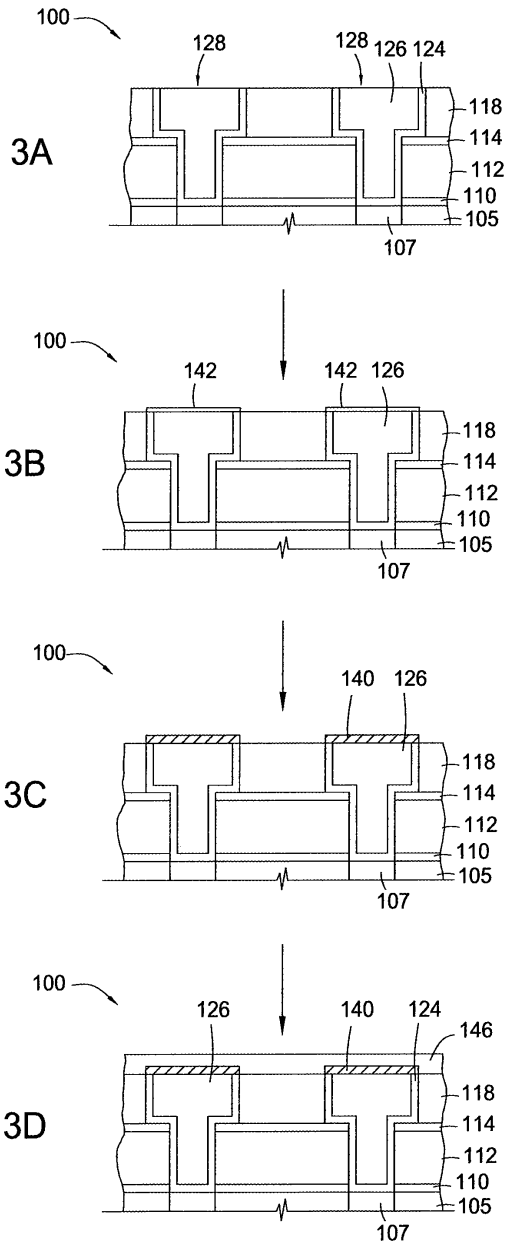
도면1d



도면2



도면3



도면4

