

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7516033号
(P7516033)

(45)発行日 令和6年7月16日(2024.7.16)

(24)登録日 令和6年7月5日(2024.7.5)

(51)国際特許分類	F I		
H O 4 N 25/621 (2023.01)	H O 4 N	25/621	
H O 4 N 25/76 (2023.01)	H O 4 N	25/76	
H O 1 L 27/146 (2006.01)	H O 1 L	27/146	A

請求項の数 13 (全45頁)

(21)出願番号	特願2019-218403(P2019-218403)	(73)特許権者	316005926
(22)出願日	令和1年12月2日(2019.12.2)		ソニーセミコンダクタソリューションズ株式会社
(65)公開番号	特開2021-90111(P2021-90111A)		神奈川県厚木市旭町四丁目14番1号
(43)公開日	令和3年6月10日(2021.6.10)	(74)代理人	110002147
審査請求日	令和4年11月22日(2022.11.22)		弁理士法人酒井国際特許事務所
		(72)発明者	田代 睦聡
			神奈川県厚木市旭町四丁目14番1号
			ソニーセミコンダクタソリューションズ株式会社内
		審査官	鈴木 明

最終頁に続く

(54)【発明の名称】 固体撮像装置及び電子機器

(57)【特許請求の範囲】

【請求項1】

光電荷として正孔を生成する光電変換部と、
前記光電変換部により生成された光電荷を保持する電荷保持部と、前記電荷保持部と定電圧源とを結ぶ配線上に配置されたP型のMOS（Metal Oxide Semiconductor）トランジスタとを備える読出回路と
を備え、
前記P型のMOSトランジスタは、前記電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第1トランジスタであり、
前記読出回路は、
前記電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現させる第2トランジスタと、
前記第2トランジスタと前記信号線とを結ぶ配線上に配置されて前記第2トランジスタと前記信号線との接続を切り替える第3トランジスタと
をさらに備え、
前記電荷保持部は、
前記光電変換部に接続された第1電荷保持部と、
前記第2トランジスタのゲートに接続された第2電荷保持部とを含み、
前記読出回路は、
前記第1電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第1トランジスタと

前記第 1 電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現させる第 2 トランジスタと、

前記第 2 トランジスタと前記信号線とを結ぶ配線上に配置されて前記第 2 トランジスタと前記信号線との接続を切り替える第 3 トランジスタと

前記第 1 電荷保持部と前記第 2 電荷保持部とを結ぶ配線上に配置されて前記第 1 電荷保持部と前記第 2 電荷保持部との接続を切り替える第 4 トランジスタと、

前記読出回路は、前記第 1 電荷保持部と前記定電圧源とを結ぶ配線上に配置され、前記第 1 電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 5 トランジスタとを備える、

固体撮像装置。

10

【請求項 2】

前記第 5 トランジスタは、P 型の MOS トランジスタである請求項 1 に記載の固体撮像装置。

【請求項 3】

前記第 4 トランジスタは、P 型の MOS トランジスタである請求項 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 トランジスタは、P 型の MOS トランジスタである請求項 3 に記載の固体撮像装置。

【請求項 5】

20

前記第 2 トランジスタは、P 型の MOS トランジスタである請求項 4 に記載の固体撮像装置。

【請求項 6】

前記第 3 トランジスタは、P 型の MOS トランジスタである請求項 5 に記載の固体撮像装置。

【請求項 7】

前記読出回路は、ボルテージドメインの記憶回路をさらに有する請求項 1 に記載の固体撮像装置。

【請求項 8】

前記読出回路は、電流積分型の読出回路をさらに有する請求項 7 に記載の固体撮像装置。

30

【請求項 9】

前記光電変換部は、InGaAs（インジウムガリウム砒素）、InAsSb（インジウム砒素アンチモン）、InAs（インジウム砒素）、InSb（インジウムアンチモン）、HgCdTe（水銀カドミウムテルル）、Ge（ゲルマニウム）、量子ドット又は有機化合物のいずれかを含む請求項 1 に記載の固体撮像装置。

【請求項 10】

前記光電変換部は、前記電荷保持部に接続される p 型不純物領域を有することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 11】

前記光電変換部から延びる電極と前記読出回路から延びる電極とが直接接合されて導通される請求項 1 に記載の固体撮像装置。

40

【請求項 12】

前記光電変換部から延びる端子と前記読出回路から延びる端子とがバンプ電極により接続されて導通される請求項 1 に記載の固体撮像装置。

【請求項 13】

複数の画素が行列方向に配置された画素アレイ部と、
複数の前記画素における読み出し対象の画素を駆動する駆動回路と、
前記駆動回路により駆動された前記読み出し対象の画素から画素信号を読み出す処理回路と、

前記駆動回路及び前記処理回路を制御する制御部と

50

を備え、
前記複数の画素それぞれは、
光電荷として正孔を生成する光電変換部と、
前記光電変換部により生成された光電荷を保持する電荷保持部と、前記電荷保持部と定電圧源とを結ぶ配線上に配置されたP型のMOSトランジスタとを備える読出回路とを備え、
前記P型のMOSトランジスタは、前記電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第1トランジスタであり、
前記読出回路は、
前記電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現させる第2トランジスタと、
前記第2トランジスタと前記信号線とを結ぶ配線上に配置されて前記第2トランジスタと前記信号線との接続を切り替える第3トランジスタとをさらに備え、
前記電荷保持部は、
前記光電変換部に接続された第1電荷保持部と、
前記第2トランジスタのゲートに接続された第2電荷保持部とを含み、
前記読出回路は、
前記第1電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第1トランジスタと
前記第1電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現させる第2トランジスタと、
前記第2トランジスタと前記信号線とを結ぶ配線上に配置されて前記第2トランジスタと前記信号線との接続を切り替える第3トランジスタと
前記第1電荷保持部と前記第2電荷保持部とを結ぶ配線上に配置されて前記第1電荷保持部と前記第2電荷保持部との接続を切り替える第4トランジスタと、
前記読出回路は、前記第1電荷保持部と前記定電圧源とを結ぶ配線上に配置され、前記第1電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第5トランジスタとを備える、
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像装置及び電子機器に関する。

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ (CIS: CMOS Image Sensor) 等の固体撮像素子の普及が著しく、様々な分野でフィルム式の撮影装置と置き換えて活用されている。固体撮像素子は、通常の可視光の撮影においてフィルム式の撮影装置に代えて活用されていることはもちろん、紫外線や赤外線、X線やガンマ線といった非可視光の撮影における活用も顕著である。

【0003】

さらに、固体撮像素子の中に光電変換膜を有する撮像装置の中には、光電変換のキャリアとして正孔を取り扱う撮像装置が存在する。例えば、正孔を光電変換のキャリアとする光電変換膜には、量子 (Q: Quantum) dot、InGaAs (インジウムガリウムヒ素) センサ及び有機化合物などがある。特に光電変換膜としてInGaAsを用いた固体撮像素子は、暗電流が低く、且つエネルギーバンドギャップがシリコンより狭く赤外光などの長波長の光を捉えられるため、高感度の赤外線カメラなどへの応用が期待されている。

【先行技術文献】

【特許文献】

【0004】

10

20

30

40

50

【文献】特開 2011-130364 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、CISで一般的に使用されているN型MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) (NMOS) を画素回路に使用すると、飽和した正孔を定電圧源に逃がす経路であるオーバーフローパスを画素回路中に形成することが困難である。その場合、光電変換膜を介して隣接画素に飽和以降の電荷が流入し、ブルーミングが発生するという問題がある。

【0006】

そこで、本開示では、ブルーミングの発生を軽減することができる固体撮像装置及び電子機器を提供する。

【課題を解決するための手段】

【0007】

本開示によれば、固体撮像装置は、光電荷として正孔を生成する光電変換部と、前記光電変換部により生成された光電荷を保持する電荷保持部と、前記電荷保持部と定電圧源とを結ぶ配線上に配置されたP型のMOS (Metal Oxide Semiconductor) トランジスタとを備える読出回路とを備える。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る電子機器の概略構成例を示すブロック図である。

【図2】第1の実施形態に係るイメージセンサの概略構成例を示すブロック図である。

【図3】第1の実施形態に係る画素回路の回路図である。

【図4】隣接画素への正孔の流入を説明するための図である。

【図5】第1の実施形態における電荷のオーバーフローパスの形成を説明するための図である。

【図6】第1の実施形態に係る画素回路の断面図である。

【図7】第2の実施形態に係る画素回路の回路図である。

【図8】グローバルシャッタによる画素駆動のタイミングチャートである。

【図9】第2の実施形態に係る画素回路のレイアウトを示す図である。

【図10】複数の画素回路の配置を表す図である。

【図11】P-wellタップ及びN-wellタップを共通化した場合の配置図である。

【図12】複数の画素回路の配置の第1の他の例を表す図である。

【図13A】複数の画素回路の配置の第2の他の例を表す図である。

【図13B】複数の画素回路の配置の第3の他の例を表す図である。

【図14】飽和電荷数 Q_s を優先するモードでのポテンシャルを示す図である。

【図15】ブルーミングの抑制を優先するモードでのポテンシャルを示す図である。

【図16】第2の実施形態の変形例(1)に係る画素回路の回路図である。

【図17】第2の実施形態の変形例(2)に係る画素回路の回路図である。

【図18】第2の実施形態の変形例(3)に係る画素回路の回路図である。

【図19】第2の実施形態の変形例(4)に係る画素回路の回路図である。

【図20】第3の実施形態に係る画素回路の回路図である。

【図21】第4の実施形態に係る画素回路の回路図である。

【図22A】受光素子の平面構成を表す図である。

【図22B】図21AのB-B'線に沿った断面構成を表す図である。

【図23】他の受光素子の断面構成を表す図である。

【図24】NMOS及びPMOSにおけるポリゲートの共通化を説明するための図である。

【図25】車両制御システムの概略的な構成の一例を示すブロック図である。

【図26】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図27】内視鏡手術システムの概略的な構成の一例を示す図である。

10

20

30

40

50

【図 28】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【0009】

以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

【0010】

なお、説明は以下の順序で行うものとする。

1. 第 1 の実施形態
2. 第 2 の実施形態
3. 第 3 の実施形態
4. 第 4 の実施形態
5. 適用例
6. 移動体への応用例
7. 内視鏡手術システムへの応用例

【0011】

(1. 第 1 の実施形態)

〔電子機器の構成〕

図 1 は、第 1 の実施形態に係る電子機器の概略構成例を示すブロック図である。図 1 に示すように、電子機器 100 は、例えば、撮像レンズ 101、イメージセンサ 102、プロセッサ 103 及び記憶部 104 を備える。

【0012】

撮像レンズ 101 は、入射光を集光してその像をイメージセンサ 102 の受光面に結像する光学系の一例である。受光面とは、イメージセンサ 102 における光電変換素子が配列する面であってよい。イメージセンサ 102 は、入射光を光電変換して画像データを生成する。また、イメージセンサ 102 は、生成した画像データに対し、ノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

【0013】

記憶部 104 は、例えば、フラッシュメモリや D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) 等で構成され、イメージセンサ 102 から入力された画像データ等を記録する。

【0014】

プロセッサ 103 は、例えば、C P U (Central Processing Unit) 等を用いて構成され、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサや、G P U (Graphics Processing Unit) やベースバンドプロセッサなどが含まれ得る。プロセッサ 103 は、イメージセンサ 102 から入力された画像データや記憶部 104 から読み出した画像データ等に対し、必要に応じた種々処理を実行したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

【0015】

〔イメージセンサの構成〕

図 2 は、第 1 の実施形態に係るイメージセンサの概略構成例を示すブロック図である。イメージセンサ 102 は、C M O S 型のイメージセンサである。ここで、C M O S 型のイメージセンサとは、C M O S プロセスを応用して、または、部分的に使用して作成されたイメージセンサである。例えば、イメージセンサ 102 は、裏面照射型のイメージセンサで構成される。このイメージセンサ 102 が、「固体撮像装置」の一例にあたる。

【0016】

本実施形態に係るイメージセンサ 102 は、例えば、画素アレイ部 121 が形成された半導体チップと、周辺回路が形成された半導体チップとが積層されたスタック構造を有する。周辺回路には、例えば、垂直駆動回路 122、カラム処理回路 123、水平駆動回路 124 及びシステム制御部 125 が含まれ得る。

10

20

30

40

50

【0017】

イメージセンサ102は更に、信号処理部126及びデータ格納部127を備える。信号処理部126及びデータ格納部127は、周辺回路と同じ半導体チップに設けられてもよいし、別の半導体チップに設けられてもよい。

【0018】

画素アレイ部121は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）120が行方向及び列方向に、すなわち、行列状に2次元格子状に配置された構成を有する。ここで、行方向とは画素行の画素の配列方向（図面中、横方向）をいい、列方向とは画素列の画素の配列方向（図面中、縦方向）をいう。画素120の具体的な回路構成や画素構造の詳細については後述する。

10

【0019】

画素アレイ部121では、行列状の画素配列に対し、画素行ごとに画素駆動線LDが行方向に沿って配線され、画素列ごとに垂直信号線VSLが列方向に沿って配線されている。画素駆動線LDは、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。図2では、画素駆動線LDが1本ずつの配線として示されているが、1本ずつに限られるものではない。画素駆動線LDの一端は、垂直駆動回路122の各行に対応した出力端に接続されている。

【0020】

垂直駆動回路122は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部121の各画素120を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路122は、その垂直駆動回路122を制御するシステム制御部125と共に、画素アレイ部121の各画素120の動作を制御する駆動部を構成している。この垂直駆動回路122はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との2つの走査系を備える。

20

【0021】

読出し走査系は、画素120から信号を読み出すために、画素アレイ部121の画素120を行単位で順に選択走査する。画素120から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

30

【0022】

この掃出し走査系による掃出し走査により、読出し行の画素120の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

【0023】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素120における電荷の蓄積期間（露光期間ともいう）となる。

40

【0024】

垂直駆動回路122によって選択走査された画素行の各画素120から出力される信号は、画素列ごとに垂直信号線VSLの各々を通してカラム処理回路123に入力される。カラム処理回路123は、画素アレイ部121の画素列ごとに、選択行の各画素120から垂直信号線VSLを通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0025】

具体的には、カラム処理回路123は、信号処理として少なくとも、ノイズ除去処理、

50

例えばCDS (Correlated Double Sampling: 相関二重サンプリング) 処理や、DDS (Double Data Sampling) 処理を行う。例えば、CDS 処理により、リセットノイズや画素120内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理回路123は、その他にも、例えば、AD (アナログーデジタル) 変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換して出力する。

【0026】

水平駆動回路124は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理回路123の画素列に対応する読出回路 (以下、画素回路という) を順番に選択する。この水平駆動回路124による選択走査により、カラム処理回路123において画素回路ごとに信号処理された画素信号が順番に出力される。

10

【0027】

システム制御部125は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路122、カラム処理回路123、及び、水平駆動回路124などの駆動制御を行う。

【0028】

信号処理部126は、少なくとも演算処理機能を有し、カラム処理回路123から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部127は、信号処理部126での信号処理にあたって、その処理に必要なデータを一時的に格納する。

20

【0029】

なお、信号処理部126から出力された画像データは、例えば、イメージセンサ102を搭載する電子機器100におけるプロセッサ103等において所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

【0030】

[第1の実施形態に係る画素回路の構成]

図3は、第1の実施形態に係る画素回路の回路図である。画素120は、図3に示す画素回路1を有する。この画素回路1を有する画素120が、「固体撮像装置」の一例にあたる。

【0031】

画素回路1は、光電変換膜 (光電変換部ともいう) 10、リセット (RST: Reset) トランジスタ11、増幅 (AMP: Amplifier) トランジスタ12及び選択 (SEL: Select) トランジスタ13及び浮遊拡散層であるフローティングディフュージョン (FD: Floating Diffusion) 20を備える3トランジスタ型の画素回路である。ここで、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13及びFD20を組み合わせた画素回路1が「読出回路」の一例にあたる。

30

【0032】

本実施形態に係る光電変換膜10は、InGaAsなどの化合物半導体を用いて形成される正孔を光電変換のキャリアとする光電変換膜である。光電変換膜10は、他にも例えば、InAsSb (インジウム砒素アンチモン)、InAs (インジウム砒素)、InSb (インジウムアンチモン)、HgCdTe (水銀カドミウムテルル) もしくはGe (ゲルマニウム) などの化合物半導体、量子 (Q: Quantum) ドット、又は、有機化合物などを用いて形成されてもよい。

40

【0033】

光電変換膜10は、FD20に接続される。そして、FD20の出力端子は、リセットトランジスタ11のソース及び増幅トランジスタ12のゲートに接続される。リセットトランジスタ11のドレインは、低電圧源VDRに接続される。ここで、低電圧源VDRは、電圧源VDDよりも電圧が低い電圧源である。また、増幅トランジスタ12のドレインは電圧源VDDに接続される。また、増幅トランジスタ12のソースは選択トランジスタ13のドレインに接続される。そして、選択トランジスタ13のソースは出力信号線に接

50

続される。この低電圧源VDRが、「定電圧源」の一例にあたる。

【0034】

光電変換膜10は、光電変換キャリアとして正孔を用いる。例えば、光電変換膜10は、p型不純物領域を有し、そのp型不純物領域がFD20に接続される。光電変換膜10は、例えば、量子ドット(Qdot)フィルム、InGaAsなどの化合物半導体又は有機化合物を用いて生成される。光電変換膜10は、入力された光を変換して生成した正孔をFD20へ出力する。

【0035】

FD20は、光電変換膜10に接続される側とは逆の経路がリセットトランジスタ11のソース及び増幅トランジスタ12のゲートに接続される。FD20は、光電変換膜10から出力された正孔を蓄積する。FD20は、蓄積した正孔により発生する電圧を増幅トランジスタ12のゲートに印加する。FD20は、増幅トランジスタ12のゲートに閾値電圧以上の電圧を印加することで増幅トランジスタ12をオンにする。また、リセットトランジスタ11がオンになると、FD20に蓄積された電荷は低電圧VDRへ排出され、FD20はリセットされる。このFD20が、「第2電荷保持部」の一例にあたる。

【0036】

リセットトランジスタ11は、P型MOSトランジスタ(PMOS)である。リセットトランジスタ11は、上述したように、ソースがFD20に繋がる経路に接続され、ドレインが低電圧源VDRに接続される。さらに、リセットトランジスタ11のゲートは、リセット信号線に接続される。リセットトランジスタ11は、ゲートに閾値電圧以下の電圧が印加されるとオンになる。また、リセットトランジスタ11は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。リセットトランジスタ11は、オンになることでFD20に蓄積された電荷を低電圧源VDRへ排出させてFD20をリセットする。ここで、リセットトランジスタ11により形成される障壁の電位は、FD20同士の間形成される画素間障壁の電位よりも高く設定される。このリセットトランジスタ11が、「所定のトランジスタ」の一例にあたる。

【0037】

ここで、画素回路1を有する画素120は、図2に示すように行列状に2次元格子状に配置される。画素120が平面状に並べられた場合、それぞれに含まれる画素回路1のFD20同士が隣り合うように並ぶ。隣り合うFD20の間には、FD20に蓄積された電荷を隣のFD20へ流入させないための画素間障壁が存在する。ただし、FD20に蓄積された正孔の量が画素間障壁を超える量を超過すると飽和して隣り合うFD20へ流入するとブルーミングが発生する。

【0038】

図4は、隣接画素への正孔の流入を説明するための図である。図4では、紙面に向かって下に向けて電位が下がることを表す。例えば、リセットトランジスタ11がN型MOSトランジスタ(NMOS)である場合、トランジスタ側ポテンシャル201で示すように、リセットトランジスタ11のソースにおける電位は正孔抽出量203分減少する。この場合、リセットトランジスタ11により形成される障壁とは逆方向に電位が動くため、オーバーフローは発生しない。これに対して、FD20には正孔が蓄積されるため、光電変換膜側ポテンシャル212に示すように、FD20間にオーバーフローを抑制するためにFD20のリセット状態の電位より低い電位となる画素間障壁205が設けられる。この場合、光電変換膜側ポテンシャル212に示すように、正孔注入量204が増加して画素間障壁205を超えオーバーフロー206が発生すると隣のFD20への電荷の流入が発生してしまう。

【0039】

そこで、本実施形態に係る画素回路1では、リセットトランジスタ11をPMOSとする。図5は、第1の実施形態における電荷のオーバーフローパスの形成を説明するための図である。本実施形態に係るリセットトランジスタ11は、PMOSであるため、障壁の

10

20

30

40

50

ドレインに正孔が蓄積されると、リセットトランジスタ11により形成される障壁の上限に近づく方向に電荷が蓄積される。これに並行して、FD20間でも画素間障壁205の上限に近づく方向に電荷が蓄積される。ここで、本実施形態に係るリセットトランジスタ11により形成される障壁の電位は、画素間障壁213の電位よりも高く設定される。そのため、正孔抽入量214の分の電位が下がった場合でも、光電変換膜側ポテンシャル212に示すように正孔は画素間障壁213を超えない。これに対して、正孔抽入量214の分の電位が下がると、トランスタ側ポテンシャル211に示すようにリセットトランジスタ11により形成される障壁を超えてオーバーフローパス215が形成される。これにより、隣接するFD20への電荷の流入を抑制することができる。

【0040】

10

図3に戻って画素回路1についての説明を続ける。増幅トランジスタ12は、NMOSである。増幅トランジスタ12は、上述したように、ゲートがFD20に繋がる経路に接続され、ソースが電圧源VDDに接続され、ドレインが選択トランジスタ13のソースに接続される。増幅トランジスタ12は、FD20から出力された電荷によりゲートに閾値電圧以上の電圧が印加されるとオンになる。また、増幅トランジスタ12は、ゲートに閾値電圧より小さい電圧が印加されるとオフになる。増幅トランジスタ12は、オンになると電圧源VDDから入力された電流を選択トランジスタ13へ出力する。すなわち、増幅トランジスタ12は、FD20に保持された電荷に基づく信号を選択トランジスタ13へ出力する。

【0041】

20

選択トランジスタ13は、NMOSである。選択トランジスタ13は、上述したように、ソースが増幅トランジスタ12のドレインに接続され、ドレインが出力信号線に接続される。また、選択トランジスタ13のゲートは、選択信号線に接続される。選択トランジスタ13は、NMOSであるので、ゲートに閾値電圧以上の電圧が印加されるとオンになる。また、選択トランジスタ13は、ゲートに閾値電圧より小さい電圧が印加されるとオフになる。選択トランジスタ13は、オンになると増幅トランジスタ12が出力した信号を画素信号として出力信号線へ出力する。すなわち、選択トランジスタ13は、画素回路1から画素信号を出力するか否かを決定することで、読み出し時における画素の選択を制御する。

【0042】

30

〔第1の実施形態に係る画素回路の動作〕

ここで、図3の画素回路1における画素信号生成の流れについて説明する。まず、リセットトランジスタ11を導通させて、FD20をリセットする。次に、リセットトランジスタ11をオフにする。これにより、光電変換膜10において生成された電荷がFD20に転送されて保持される。

【0043】

ここで、FD20に正孔を蓄積している状態で、リセットトランジスタ11により生成される障壁の電位をFD20の電位が下回った場合、リセットトランジスタ11を経由するオーバーフローパスが形成され、FD20から低電圧源VDRへ正孔が排出される。これにより、FD20の飽和によるFD20間のオーバーフローが回避される。

40

【0044】

増幅トランジスタ12は、FD20に保持された電荷に応じた画素信号を生成する。次に、選択トランジスタ13を導通させることにより、増幅トランジスタ12により生成された画素信号が出力信号線に出力される。このFD20のリセットから画素信号の出力までの操作は、画素アレイに配置された画素回路1毎に順次行う。画素アレイの全ての画素回路1で画素信号の出力の処理が行われることで、1画面分の画素信号であるフレームが生成される。

【0045】

図6は、第1の実施形態に係る画素回路の断面図である。図6を参照して、電荷の流れを再度説明する。図6に示すように、画素回路1は、N型の半導体基板であるN-Sub

50

上にP-wellが配置され、さらにP-wellの一部にN-wellが配置される。リセットトランジスタ11は、N-well上にN型の拡散領域であるソースとドレインとが配置される。また、増幅トランジスタ12及び選択トランジスタ13は、P-well上にP型の拡散領域であるソースとドレインとが配置される。

【0046】

リセットトランジスタ11がオンになることで、FD20に蓄積された正孔が低電圧源VDRへ出力され、FD20がリセットされる。また、光が入射された光電変換膜10は正孔の光電変換キャリアを生成する。そして、光電変換膜10により生成された正孔がFD20に蓄積され保持される。FD20に蓄積された正孔の電荷により、増幅トランジスタ12のゲートに電圧が印加される。FD20から出力されゲートに印加された電圧に応じて増幅トランジスタ12は、電圧源VDDから出力された電流を流して画素信号を生成する。選択トランジスタ13は、オフの場合、増幅トランジスタ12が生成した画素信号を出力信号線へ出力しない。これに対して、選択トランジスタ13は、オンの場合、増幅トランジスタ12が生成した画素信号を出力信号線へ出力する。これにより、画素信号は、垂直信号線(VSL)21へ送信される。

【0047】

〔作用・効果〕

以上に説明したように、本実施形態に係る画素回路1は、3トランジスタ型であり、光電変換キャリアとして正孔を使用する光電変換膜10を有し、FD20と低電圧源VDRとの間に配置されるFD20のリセット用のリセットトランジスタ11としてPMOSを配置する。このような構成を有することで、本実施形態に係る画素回路1は、FD20が飽和して隣接するFD20間で正孔のオーバーフローが発生する前に、FD20と低電圧源VDRとの間にオーバーフローバスを形成し、正孔を低電圧源VDRへ排出する。これにより、本実施形態に係る画素回路1は、FD20の飽和を回避し、FD20間のオーバーフローを抑制することができる。そして、FD20間のオーバーフローを抑制することで、本実施形態に係る画素回路1は、隣接する画素120へのブルーミングの発生を軽減することができる。

【0048】

(2. 第2の実施形態)

〔第2の実施形態に係る画素回路の構成〕

図7は、第2の実施形態に係る画素回路の回路図である。本実施形態に係る画素回路1は、光電変換膜10、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、(TRG: Transfer Gate) トランジスタ14及び排出(OFG: Overflow Gate) トランジスタ15を有する。さらに、本実施形態に係る画素回路1は、キャパシタ16及び17を有する。本実施形態に係る画素回路1は、FD保持型GS(Global shutter)の画素回路である。ここで、第1の実施形態と同じ符号を有する各部は特に説明のない限り同じ機能を有するものであり、説明を省略する場合がある。ここで、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14、排出トランジスタ15、並びに、キャパシタ16及び17を組み合わせたものが「読出回路」の一例にあたる。

【0049】

本実施形態に係る光電変換膜10の出力端子は、排出トランジスタ15のソース、転送トランジスタ14のソース及びキャパシタ16に接続される拡散層であるセンスノード(SN: Sense node)21に接続される。このSN21が、「第1電荷保持部」の一例にあたる。

【0050】

排出トランジスタ15は、ソースが光電変換膜10の出力端子に接続され、ドレインが低電圧源VDRに接続される。転送トランジスタ14は、ソースが光電変換膜10の出力端子に接続され、ドレインがFD20に接続される。FD20の出力端子は、リセットトランジスタ11のソース、増幅トランジスタ12のゲート及びキャパシタ17に接続され

る。リセットトランジスタ 11 のドレインは、低電圧源 V D R に接続される。また、増幅トランジスタ 12 のドレインは電圧源 V D D に接続される。また、増幅トランジスタ 12 のソースは選択トランジスタ 13 のドレインに接続される。そして、選択トランジスタ 13 のソースは出力信号線に接続される。また、キャパシタ 16 は、光電変換膜 10 の出力端子に接続される。また、キャパシタ 17 は、F D 20 に接続される。

【0051】

上述したように、光電変換膜 10 の出力端子は、排出トランジスタ 15 のソース、転送トランジスタ 14 のソース及びキャパシタ 16 に接続される。光電変換膜 10 は、光電変換キャリアである正孔を出力端子から出力する。

【0052】

排出トランジスタ 15 は、P M O S である。排出トランジスタ 15 は、上述したようにソースが光電変換膜 10 の出力端子に接続され、ドレインが低電圧源 V D R に接続される。さらに、排出トランジスタ 15 のゲートは、排出制御信号線に接続される。P M O S である排出トランジスタ 15 は、ゲートに閾値電圧以下の電圧が印加されるとオンになる。また、排出トランジスタ 15 は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。排出トランジスタ 15 は、オンになることで光電変換膜 10 及びキャパシタ 16 に保持された電荷を低電圧源 V D R へ排出させ、光電変換膜 10 をリセットする。ここで、排出トランジスタ 15 により形成される障壁の電位は、F D 20 同士の間形成される画素間障壁の電位よりも高く設定される。この排出トランジスタ 15 が、「第 5 トランジスタ」の一例にあたる。

【0053】

転送トランジスタ 14 は、P M O S である。転送トランジスタ 14 は、上述したように、ソースが光電変換膜 10 の出力端子に接続され、ドレインが F D 20 に接続される。さらに、転送トランジスタ 14 のゲートは、転送信号線に接続される。P M O S である転送トランジスタ 14 は、転送信号線から送られた信号によりゲートに閾値電圧以下の電圧が印加されるとオンになる。また、転送トランジスタ 14 は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。転送トランジスタ 14 は、オンになると光電変換膜 10 により生成されキャパシタ 16 に蓄積された電荷を F D 20 へ転送する。ここで、転送トランジスタ 14 により形成される障壁の電位は、F D 20 同士の間形成される画素間障壁の電位よりも高く設定される。この転送トランジスタ 14 が、「第 4 トランジスタ」の一例にあたる。

【0054】

上述したように、転送トランジスタ 14 及び排出トランジスタ 15 により形成されるそれぞれの障壁の電位は、F D 20 同士の間形成される画素間障壁の電位よりも高く設定される。そのため、F D 20 に正孔が蓄積した場合に、画素間障壁を超えて他の F D 20 へ正孔が流出する前に、F D 20 に蓄積された正孔が転送トランジスタ 14 及び排出トランジスタ 15 により形成されるそれぞれの障壁を超えて、オーバーフローパスが形成される。これにより、F D 20 に蓄積された電荷が、転送トランジスタ 14 及び排出トランジスタ 15 を経由するように形成されたオーバーフローパスを通過して低電圧源 V D R へ排出される。

【0055】

リセットトランジスタ 11 は、第 1 の実施形態と同様に P M O S であり、F D 20 及びキャパシタ 17 に蓄積された電荷を低電圧源 V D R に排出して、F D 20 及びキャパシタ 17 をリセットする。リセットトランジスタ 11 により形成される障壁の電位も、第 1 の実施形態と同様に F D 20 同士の間形成される画素間障壁の電位よりも高く設定される。そのため、F D 20 に正孔が蓄積した場合に、画素間障壁を超えて他の F D 20 へ正孔が流出する前に、F D 20 に蓄積された正孔がリセットトランジスタ 11 により形成される障壁を超えて、オーバーフローパスが形成される。これにより、F D 20 に蓄積された電荷が、リセットトランジスタ 11 を経由するように形成されたオーバーフローパスを通過して低電圧源 V D R へ排出される。このリセットトランジスタ 11 が、「第 1 トランジ

スタ」の一例にあたる。

【0056】

増幅トランジスタ12及び選択トランジスタ13も、第1の実施形態と同様にPMOSである。増幅トランジスタ12及び選択トランジスタ13は、第1の実施形態と同様の機能を有する。この増幅トランジスタ12が、「第2トランジスタ」の一例にあたる。この選択トランジスタ13が、「第3トランジスタ」の一例にあたる。

【0057】

キャパシタ16は、上述したように光電変換膜10の出力端子に接続される。また、キャパシタ16は、電圧源VDDに接続される。転送トランジスタ14のソース及び排出トランジスタ15のソースが接続されるSN21、並びに、キャパシタ16は、光電変換膜10から出力された電荷を蓄積保持する。SN21及びキャパシタ16が保持する電荷は、排出トランジスタ15がオンになると低電圧源VDRへ排出される。これに対して、転送トランジスタ14がオンになると、SN21及びキャパシタ16が保持する電荷は、FD20へ転送される。

【0058】

キャパシタ17は、上述したようにFD20に接続される。また、キャパシタ17は、電圧源VDDに接続される。キャパシタ17及びFD20は、キャパシタ16から転送された電荷を蓄積して保持する。キャパシタ17及びFD20が保持する電荷は、リセットトランジスタ11がオンになると低電圧源VDRへ排出される。

【0059】

[第2の実施形態に係る画素回路の動作]

ここで、図7の画素回路1における画素信号生成の流れについて説明する。まず、排出トランジスタ15を導通させて、光電変換膜10、SN21及びキャパシタ16をリセットする。その後、排出トランジスタ15をオフにすることで、光電変換膜10で生成された電荷がSN21及びキャパシタ16に蓄積され保持される。この光電変換膜10のリセットからキャパシタ16への電荷の保持までの操作は、画素アレイ部121に配置された全ての画素120において同時に行われる。これにより、グローバルシャッタが実現される。なお、光電変換膜10のリセットからキャパシタ16への電荷の保持までの期間は露光期間に該当する。

【0060】

次に、リセットトランジスタ11を導通させて、キャパシタ17及びFD20をリセットする。次に、リセットトランジスタ11をオフにし、且つ、転送トランジスタ14をオンにする。これにより、SN21及びキャパシタ16に蓄積された電荷がFD20に転送されキャパシタ17及びFD20にて蓄積されて保持される。

【0061】

ここで、転送トランジスタ14をオンにしてFD20に正孔を蓄積している状態で、排出トランジスタ15により生成される障壁の電位をFD20の電位が下回った場合、排出トランジスタ15を経由するオーバーフローパスが形成される。そして、排出トランジスタ15により生成される障壁の電位を下回った分の正孔が、FD20から低電圧源VDRへ排出される。これにより、FD20の飽和によるFD20間のオーバーフローが回避される。

【0062】

また、転送トランジスタ14がオフの状態でFD20の電位が転送トランジスタ14により生成される障壁の電位よりも下回った場合、転送トランジスタ14を経由するオーバーフローパスが形成される。そして、転送トランジスタ14により生成される障壁の電位を下回った分の正孔が、FD20から排出トランジスタ15側へ排出される。これにより、FD20の飽和によるFD20間のオーバーフローが回避される。さらに、FD20から流出した正孔により、排出トランジスタ15のFD20側の電位が、転送トランジスタ14を経由して排出トランジスタ15により生成される障壁の電位を下回った場合、排出トランジスタ15を経由するオーバーフローパスが形成される。この場合も、排出トラン

10

20

30

40

50

ジスタ15により生成される障壁の電位を下回った分の正孔が、FD20から低電圧源VDRへ排出される。これにより、FD20の飽和によるFD20間のオーバーフローが回避される。

【0063】

増幅トランジスタ12は、FD20に保持された電荷に応じた画素信号を生成する。次に、選択トランジスタ13を導通させることにより、増幅トランジスタ12により生成された画素信号が出力信号線に出力される。このFD20のリセットから画素信号の出力までの操作は、画素アレイに配置された画素回路1毎に順次行う。画素アレイの全ての画素回路1で画素信号の出力の処理が行われることで、1画面分の画素信号であるフレームが生成される。

【0064】

ここで、本実施形態では、画素回路1にSN21及びFD20における容量を確保するためのキャパシタ16及び17を設けたが、このキャパシタ16及び17は設けなくてもよい。

【0065】

さらに、図8を参照して、グローバルシャッタによる画素駆動を説明する。図8は、グローバルシャッタによる画素駆動のタイミングチャートである。図8におけるグラフ221は、排出トランジスタ15のゲートに印加される排出制御信号の電位を表し、排出トランジスタ15のオンオフに対応する。グラフ222は、選択トランジスタ13のゲートに印加される選択信号の電位を表し、選択トランジスタ13のオンオフに対応する。グラフ223は、リセットトランジスタ11のゲートに印加されるリセット信号の電位を表し、リセットトランジスタ11のオンオフに対応する。グラフ224は、転送トランジスタ14のゲートに印加される転送信号の電位を表し、転送トランジスタ14のオンオフに対応する。ここで、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15は、PMOSであるので、低電位の場合にオンとなり、高電位の場合にオフとなる。また、選択トランジスタ13は、NMOSであるので、低電位の場合にオフとなり、高電位の場合にオンとなる。さらに、グラフ225は、低電圧源VDRの電圧を表すグラフである。ここでは、低電圧源VDRの電圧が1.2Vである場合で説明する。

【0066】

まず、時刻T1までは、リセットトランジスタ11及び排出トランジスタ15がオンであり、光電変換膜10及びキャパシタ16がリセットされ、且つ、FD20及びキャパシタ17がリセットされる。そして、時刻T1で排出トランジスタ15がオンになり、時刻T1以降に光電変換膜10で生成された電荷がキャパシタ16に蓄積される。次に、時刻T2においてリセットトランジスタ11がオフとなり、FD20及びキャパシタ17のリセットが完了する。次に、時刻T3において、転送トランジスタ14がオンになり、キャパシタ16に蓄積された電荷がFD20及びキャパシタ17に転送される。その後、時刻T4において転送トランジスタ14がオフになり、キャパシタ16に蓄積された電荷のFD20及びキャパシタ17への転送が完了する。その後、時刻T5で選択トランジスタ13がオンになることで、光電変換膜10及びキャパシタ16がリセットされてグローバルシャッタが完了する。

【0067】

次に、時刻T6で選択トランジスタ13がオンになり、増幅トランジスタ12によりFD20及びキャパシタ17に蓄積された電荷に応じて生成された画素信号が垂直信号線VSLに出力される。グラフ226は、高照度の場合の垂直信号線VSLに読み出される信号の電位を表す。また、グラフ227は、低照度の場合の垂直信号線VSLに読み出される信号の電位を表す。グラフ226及び227に示すように、光電変換膜10に照射された光が強いほど、電圧が高くなる。

【0068】

その後、時刻T7においてリセットトランジスタ11がオンとなり、時刻T8において排出トランジスタ15がオフになる。さらに、その後、時刻T9においてリセットトラン

10

20

30

40

50

ジスタ11がオフになり、時刻T10において排出トランジスタ15がオンになる。これにより、グラフ226及び227に示すように、垂直信号線VSLに読み出される信号の電位が下がる。このような操作を行うことで、基準電位の精度を向上させることができる。その後、時刻T11において、選択トランジスタ13がオフになり、FD20及びキャパシタ17に蓄積された電荷が低電圧源VDRに排出されて増幅トランジスタ12がオフになり、垂直信号線VSLへの信号の出力が停止して、元の状態に戻る。

【0069】

ここで、時刻T6で選択トランジスタ13がオンにされた後に、垂直信号線VSLの電位が上がり切ってから時刻T7でリセットトランジスタ11がオンにされて垂直信号線VSLの電位が下がるまでの間の区間228がD相にあたる。また、時刻T10において排出トランジスタ15がオンとされた以降で選択トランジスタ13がオンになるまでの間の区間229がP相にあたる。

【0070】

さらに、図9を参照して画素回路1のレイアウトについて説明する。図9は、第2の実施形態に係る画素回路のレイアウトを示す図である。

【0071】

画素回路1は、P-well31及びN-well32を有する。N-well32は、P-well31の上に配置される。増幅トランジスタ12及び選択トランジスタ13は、いずれもNMOSであり、SN21及びFD20といった拡散層をそれぞれ共有するために、P-well31の上に直線状に並べて配置されることが好ましい。リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15は、PMOSであり拡散層をそれぞれ共有するために、N-well32の上に直線状に並べて配置されることが好ましい。そして、直線配置された増幅トランジスタ12及び選択トランジスタ13とリセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15とは、長手方向に並行配置される。

【0072】

また、増幅トランジスタ12の近くにキャパシタ17が配置される。そして、増幅トランジスタ12に接続されるFD20が、増幅トランジスタ12の近傍に配置されたキャパシタ17に接続される。選択トランジスタ13は、増幅トランジスタ12のキャパシタ17とは反対側に配置される。さらに、P-well31の上には、P-wellトップ18が配置される。P-wellトップ18は、選択トランジスタ13に対して、増幅トランジスタ12とは逆側に配置される。P-wellトップ18は、電源に接続される。

【0073】

リセットトランジスタ11は、増幅トランジスタ12の近傍に配置される。そして、リセットトランジスタ11から順に、転送トランジスタ14、排出トランジスタ15が配置される。さらに、N-well32の上には、N-wellトップ19が配置される。N-wellトップ19は、P-wellトップ18の近傍に配置される。N-wellトップ19は、電源に接続される。キャパシタ16は、転送トランジスタ14及び排出トランジスタ15の近傍に配置される。そして、N-well32上の他に接続素子を持たないSN21に、キャパシタ16が接続される。また、キャパシタ16とキャパシタ17との間にはコンタクト30を並べて配置して、画素内容量間を遮蔽する。

【0074】

ここで、上述したように、本実施形態に係る画素回路1はキャパシタ16及び17を有さなくてもよく、その場合、図9におけるキャパシタ16及び17を配置しなくてもよい。

【0075】

図10は、複数の画素回路の配置を表す図である。例えば、図9に示したレイアウトを有する画素回路1は、図10のように2×2のミラー配置することができる。また、図11は、P-wellトップ及びN-wellトップを共通化した場合の配置図である。ここで、図10では4つのN-wellトップ19を記載したが、この4つのN-wellトップ19を共通化して図11のように、1つのN-wellトップ19とすることもでき

10

20

30

40

50

る。このように配置することで、レイアウト効率を向上させることも可能である。ただし、フローティングノード（FD20及びSN21）を2つ有する本実施形態に係る画素回路1では、規制容量の対称性が重要であるため、あえて共通化せずに図10のように、4つのN-wellタップ19を配置した。

【0076】

また、図10で示した配置とは異なる配置で画素回路1を配置することも可能である。図12は、複数の画素回路の配置の第1の他の例を表す図である。例えば、図10では紙面に向かってN-well32がH型に並ぶように配置したが、図12のように、中央にN-wellタップ19をまとめて、直線配置されたりセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15を2組ずつ直線に並べてもよい。この場合、直線配置された増幅トランジスタ12及び選択トランジスタ13は、直線配置されたりセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15の外側に並ぶ。さらに、N-wellタップ19を共通化することができる。このように配置することで、レイアウト効率を向上させることが可能である。また他にも、図13A及び13Bに示すように、図9に示した状態の画素回路1の向きを変えずに並列に並べて配置してもよい。図13Aは、複数の画素回路の配置の第2の他の例を表す図である。図13Bは、複数の画素回路の配置の第3の他の例を表す図である。そのような配置を採用した場合、ノイズを低減することができる。

【0077】

さらに、飽和電荷数 Q_s を優先するモードと、ブルーミングの抑制を優先するモードとを分けることもできる。図14は、飽和電荷数 Q_s を優先するモードでのポテンシャルを示す図である。また、図15は、ブルーミングの抑制を優先するモードでのポテンシャルを示す図である。図15及び図15の紙面に向かって下段の左側のグラフは増幅トランジスタ12及び選択トランジスタ13における電荷の蓄積状態を表し、右側のグラフはリセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15における成功の蓄積状態を表す。各トランジスタにより形成される障壁は、下段のグラフ中の矢印で表すように調整可能である。

【0078】

図14に示すように、排出トランジスタ15により形成される障壁232を高くすることで、FD20に蓄積される電荷の量を増やすことができ、飽和電荷数 Q_s が増大する。ただし、オーバーフローパスが形成されにくくなるため、ブルーミングの抑制の効果は減少する。この場合、増幅トランジスタ12の障壁231が低くなる。

【0079】

一方、図15に示すように、排出トランジスタ15により形成される障壁232を低くすることで、オーバーフローパスが形成され易くなり、ブルーミングの抑制の効果は増大する。ただし、FD20に蓄積される電荷の量が減るため、飽和電荷数 Q_s が減少する。この場合、増幅トランジスタ12の障壁231が低くなる。

【0080】

このように、排出トランジスタ15の障壁232の高さを調整することで、ブルーミングの抑制と飽和電荷数 Q_s とをトレードオフの関係としてそれぞれを調整することができる。

【0081】

【作用・効果】

以上に説明したように、本実施形態に係る画素回路1は、FD保持型GSであり、光電変換キャリアとして正孔を使用する光電変換膜10を有する。そして、本実施形態に係る画素回路1は、FD20と低電圧源VDRとの間に配置されるFD20のリセット用のリセットトランジスタ11としてPMOSが使用される。また、本実施形態に係る画素回路1は、FD20と低電圧源VDRとの間に配置される、光電変換膜10をリセットする排出トランジスタ15及びFD20への電荷の転送用の転送トランジスタ14に、PMOSが使用される。このような構成を有することで、本実施形態に係る画素回路1は、FD2

10

20

30

40

50

0が飽和してFD20間で正孔のオーバーフローが発生する前に、FD20と低電圧源VDRとの間にオーバーフローパスが形成され、正孔を低電圧源VDRへ排出する。これにより、本実施形態に係る画素回路1は、FD20の飽和を回避し、FD20間のオーバーフローを抑制することができる。そして、FD20間のオーバーフローを抑制することで、本実施形態に係る画素回路1は、隣接する画素120へのブルーミングの発生を軽減することができる。

【0082】

この場合、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15で拡散層の共有ができ、且つ、増幅トランジスタ12及び選択トランジスタ13で拡散層の共有ができるため、レイアウト効率が良い。また、増幅トランジスタ12及び選択トランジスタ13がNMOSであるため、画素回路1は、NMOSを用いた周辺回路との互換性を有する。

【0083】

【第2の実施形態の変形例(1)】

図16は、第2の実施形態の変形例(1)に係る画素回路の回路図である。図16に示すように、本変形例に係る画素回路1は、リセットトランジスタ11及び転送トランジスタ14がNMOSであることが第2の実施形態と異なる。

【0084】

リセットトランジスタ11は、NMOSである。また、転送トランジスタ14も、NMOSである。すなわち、リセットトランジスタ11及び転送トランジスタ14のそれぞれにより形成される各障壁は、正孔が増える方向とは逆方向の障壁であり、FD20に正孔が増えてもオーバーフローパスは形成されない。

【0085】

これに対して、排出トランジスタ15は、PMOSである。排出トランジスタ15は、オンになることで光電変換膜10及びキャパシタ16に保持された電荷を低電圧源VDRへ排出させ、光電変換膜10をリセットする。ここで、排出トランジスタ15により形成される障壁の電位は、FD20同士の間形成される画素間障壁の電位よりも高く設定される。

【0086】

ここで、FD20に電荷が蓄積されるのは、転送トランジスタ14がオンの場合である。より具体的には、排出トランジスタ15がオフで、転送トランジスタ14がオンの場合に、FD20への正孔の蓄積が行われる。そのため、FD20に正孔が蓄積した場合に、画素間障壁を超えて他のFD20へ正孔が流出する前に、排出トランジスタ15により形成される障壁を超えて、オーバーフローパスが形成される。これにより、FD20に蓄積された電荷が、転送トランジスタ14を経由し、排出トランジスタ15に形成されたオーバーフローパスを通過して低電圧源VDRへ排出される。

【0087】

以上に説明したように、本変形例に係る画素回路1は、FD保持型GSの画素回路であり、光電変換キャリアとして正孔を使用する光電変換膜10を有する。そして、本変形例に係る画素回路1は、光電変換膜10により生成された電荷の排出用の排出トランジスタ15にPMOSが使用される。本変形例に係る画素回路1は、FD20が飽和してFD20間で正孔のオーバーフローが発生する前に、FD20と低電圧源VDRとの間にオーバーフローパスを形成し、正孔を低電圧源VDRへ排出する。これにより、本変形例に係る画素回路は、FD20の飽和を回避し、FD20間のオーバーフローを抑制することができる。そして、FD20間のオーバーフローを抑制することで、本変形例に係る画素回路1は、隣接画素へのブルーミングの発生を軽減することができる。

【0088】

この場合、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15の間で拡散層の共有が困難となるため、レイアウト効率が第2の実施形態に係る画素回路1に比べて低い。ただし、FD20に隣接する位置にオーバーフローパスが形成されな

10

20

30

40

50

いため、太陽黒点耐性が向上する。また、増幅トランジスタ 1 2 及び選択トランジスタ 1 3 が N M O S であるため、本変形例に係る画素回路 1 は、N M O S タを用いた周辺回路との互換性を有する。

【 0 0 8 9 】

〔第 2 の実施形態の変形例（ 2 ）〕

図 1 7 は、第 2 の実施形態の変形例（ 2 ）に係る画素回路の回路図である。図 1 7 に示すように、本変形例に係る画素回路 1 は、リセットトランジスタ 1 1 が N M O S であることが第 2 の実施形態と異なる。

【 0 0 9 0 】

リセットトランジスタ 1 1 は、N M O S である。すなわち、リセットトランジスタ 1 1 により形成される障壁は、正孔が増える方向とは逆方向の障壁であり、F D 2 0 に正孔が増えてもオーバーフローパスは形成されない。

【 0 0 9 1 】

これに対して、転送トランジスタ 1 4 及び排出トランジスタ 1 5 は、P M O S である。転送トランジスタ 1 4 及び排出トランジスタ 1 5 のそれぞれにより形成される各障壁の電位は、F D 2 0 同士の間形成される画素間障壁の電位よりも高く設定される。

【 0 0 9 2 】

このような構成を有することで、F D 2 0 に正孔が蓄積した場合に、画素間障壁を超えて他の F D 2 0 へ正孔が流出する前に、転送トランジスタ 1 4 及び排出トランジスタ 1 5 のそれぞれにより形成される各障壁を超えるオーバーフローパスが形成される。これにより、F D 2 0 に蓄積された電荷が、転送トランジスタ 1 4 及び排出トランジスタ 1 5 のそれぞれに形成されたオーバーフローパスを通過して低電圧源 V D R へ排出される。

【 0 0 9 3 】

以上に説明したように、本変形例に係る画素回路 1 は、光電変換膜 1 0 により生成された電荷の排出用の排出トランジスタ 1 5 及び光電変換膜 1 0 により生成された電荷の F D 2 0 への転送用の転送トランジスタ 1 4 の双方に P M O S が使用される。本変形例に係る画素回路 1 は、F D 2 0 が飽和して F D 2 0 間で正孔のオーバーフローが発生する前に、F D 2 0 と低電圧源 V D R との間にオーバーフローパスを形成し、正孔を低電圧源 V D R へ排出する。これにより、本変形例に係る画素回路 1 は、F D 2 0 の飽和を回避し、F D 2 0 間のオーバーフローを抑制することができる。そして、F D 2 0 間のオーバーフローを抑制することで、本実施形態に係る画素回路 1 は、隣接画素へのブルーミングの発生を軽減することができる。

【 0 0 9 4 】

この場合、リセットトランジスタ 1 1、転送トランジスタ 1 4 及び排出トランジスタ 1 5 の間で拡散層の共有が困難となるため、レイアウト効率が第 2 の実施形態の画素回路 1 に比べて低い。ただし、増幅トランジスタ 1 2 及び選択トランジスタ 1 3 が N M O S であるため、本変形例に係る画素回路 1 は、N M O S を用いた周辺回路との互換性を有する。

【 0 0 9 5 】

〔第 2 の実施形態の変形例（ 3 ）〕

図 1 8 は、第 2 の実施形態の変形例（ 3 ）に係る画素回路の回路図である。図 1 8 に示すように、本変形例に係る画素回路 1 は、増幅トランジスタ 1 2 が P M O S であることが第 2 の実施形態と異なる。

【 0 0 9 6 】

増幅トランジスタ 1 2 は、P M O S である。増幅トランジスタ 1 2 は、ゲート電圧に印加された電圧が閾値電圧以下の場合にオンとなり、閾値電圧よりも大きい場合にオフとなる。

【 0 0 9 7 】

本変形例に係る画素回路 1 でも、F D 2 0 に正孔が蓄積した場合に、画素間障壁を超えて他の F D 2 0 へ正孔が流出する前に、リセットトランジスタ 1 1、転送トランジスタ 1 4 及び排出トランジスタ 1 5 のそれぞれにより形成される各障壁を超えるオーバーフロー

パスが形成される。これにより、FD20に蓄積された電荷が、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15のそれぞれに形成されたオーバーフローパスを通過して低電圧源VDRへ排出される。

【0098】

以上に説明したように、本変形例に係る画素回路1は、画素信号生成用の増幅トランジスタ12にPMOSが用いられる。このような構成であっても、FD20が飽和して隣接するFD20間で正孔のオーバーフローが発生する前に、FD20と低電圧源VDRとの間にオーバーフローパスを形成し、正孔を低電圧源VDRへ排出することができる。これにより、FD20間のオーバーフローを抑制し、隣接画素へのブルーミングの発生を軽減することができる。

10

【0099】

この場合、増幅トランジスタ12及び選択トランジスタ13の間での拡散層の共有が困難であるため、レイアウト効率が第2の実施形態に係る画素回路1に比べて低い。また、増幅トランジスタ12がPMOSであるため、周辺回路においてもPMOSを用いた構成への変更の対応が求められる。

【0100】

[第2の実施形態の変形例(4)]

図19は、第2の実施形態の変形例(4)に係る画素回路の回路図である。図19に示すように、本変形例に係る画素回路1は、増幅トランジスタ12及び選択トランジスタ13がPMOSであることが第2の実施形態と異なる。

20

【0101】

増幅トランジスタ12及び選択トランジスタ13は、PMOSである。増幅トランジスタ12及び選択トランジスタ13は、ゲート電圧に印加された電圧が閾値電圧以下の場合にオンとなり、閾値電圧よりも大きい場合にオフとなる。

【0102】

ここで、本変形例に係る画素回路1に含まれるリセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15は、全てPMOSである。そのため、1つのN-well上にそれぞれのソース及びドレインを配置することで、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15を全て形成することが可能である。

30

【0103】

この場合、画素回路1のレイアウトは、図9に示したレイアウトにおいてN-wellの上にリセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15、並びに、キャパシタ16及び17が配置される。その場合、N-wellタップ19が配置されれば、P-wellタップ18は配置されなくてもよい。このように、本変形例に係る画素回路1では、N-wellタップ19を1つ配置すればよい。第2の実施形態及びその変形例(1)～(3)に係る画素回路1に比べてレイアウト効率を向上させることができる。

【0104】

本変形例に係る画素回路1でも、FD20に正孔が蓄積した場合に、画素間障壁を超えて他のFD20へ正孔が流出する前に、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15のそれぞれにより形成される各障壁を超えるオーバーフローパスが形成される。これにより、FD20に蓄積された電荷が、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15のそれぞれのオーバーフローパスを通過して低電圧源VDRへ排出される。

40

【0105】

以上に説明したように、本変形例に係る画素回路1は、画素信号生成用の増幅トランジスタ12及び画素信号の出力選択用の選択トランジスタ13にPMOSが用いられる。このような構成であっても、FD20が飽和してFD20間で正孔のオーバーフローが発生

50

する前に、FD20と低電圧源VDRとの間にオーバーフローパスを形成し、正孔を低電圧源VDRへ排出することができる。これにより、FD20間のオーバーフローを抑制し、隣接画素へのブルーミングの発生を軽減することができる。

【0106】

また、本変形例に係る画素回路1では、MOSトランジスタを全てPMOSとするため、P型の半導体基板に配置したN-Well上にソース及びドレインを配置することで全てのMOSトランジスタを形成することができる。したがって、画素回路の製造工程を簡略化することができ、製造コストも低減することができる。

【0107】

この場合、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15の間で拡散層が共有できるため、レイアウト効率が第2の実施形態に比べて高い。ただし、増幅トランジスタ12及び選択トランジスタ13がPMOSであるため、周辺回路においてもPMOSを用いた構成への変更の対応が求められる。

【0108】

また、例えば、転送トランジスタ14をPMOSにし、リセットトランジスタ11及び排出トランジスタ15をNMOSにしても、隣接するFD20への正孔の流出を軽減するという効果はある程度得ることが可能である。

【0109】

(3. 第3の実施形態)

図20は、第3の実施形態に係る画素回路の回路図である。本実施形態に係る画素回路1は、異なる電源系により駆動するボルテージドメインの記憶回路41を有することが第1の実施形態と異なる。以下の説明では第1の実施形態と同様の各部の動作については説明を省略する。

【0110】

本実施形態に係る画素回路1は、FD20と増幅トランジスタ12のゲートとを結ぶ経路上に、異なる電源系により駆動するボルテージドメインの記憶回路41を配置する。FD20に蓄積された電荷は、記憶回路41が有するMOSトランジスタのゲートに電圧を印加する。記憶回路41は、画素信号を一旦保持して増幅トランジスタ12のゲートに保持した電荷に応じて電圧を印加することで、増幅トランジスタ12に画素信号を生成させる。

【0111】

この場合も、FD20に蓄積した正孔が飽和して隣接するFD20へ流出するおそれがある。そこで、本実施形態に係る画素回路1は、リセットトランジスタ11に障壁の電位が画素間障壁の電位よりも高いPMOSが用いられることで、隣接するFD20へ正孔が流出する前に、オーバーフローパスを形成して、正孔を低電圧源VDRへ排出する。

【0112】

本実施形態のように画素回路1の中に記憶回路41を組み込んだ場合にも、低電圧源VDRへのオーバーフローパスを形成してFD20間のオーバーフローを抑制し、隣接画素へのブルーミングの発生を軽減することができる。

【0113】

(4. 第4の実施形態)

図21は、第4の実施形態に係る画素回路の回路図である。本実施形態に係る画素回路1は、第3の実施形態で例示したボルテージドメインの記憶回路41に及び電流積分型の読出回路であるCTIA (Capacitive Trans Impedance Amplifier) を組み合わせた回路42を有することが第2の実施形態と異なる。以下の説明では第2の実施形態と同様の各部の動作については説明を省略する。

【0114】

本実施形態に係る画素回路1は、FD20のリセット用のMOSトランジスタが回路42に含まれる。さらに、画素回路1は、光電変換膜10により生成され蓄積された電荷を

10

20

30

40

50

移動する転送トランジスタ 14、並びに、キャパシタ 16 及び 17 を有さない。

【0115】

そして、本実施形態に係る画素回路 1 は、FD 20 と増幅トランジスタ 12 のゲートとを結ぶ経路上にボルテージドメインと CTIA を備えた回路 42 を有する。FD 20 に蓄積された電荷は、回路 42 が有する MOS トランジスタのゲートに電圧を印加する。回路 42 は、光電流を電圧に変換し、電圧に変換された信号を一旦保持し、その後に増幅トランジスタ 12 のゲートに保持した信号応じて電圧を印加することで、増幅トランジスタ 12 に画素信号を生成させる。

【0116】

この場合も、FD 20 に蓄積した正孔が飽和して隣接する FD 20 へ流出するおそれがある。そこで、本実施形態に係る画素回路 1 は、排出トランジスタ 15 に障壁の電位が画素間障壁の電位よりも高い PMOS を用いることで、隣接する FD 20 へ正孔が流出する前に、オーバーフローパスを形成して、正孔を低電圧源 VDR へ排出する。

【0117】

本実施形態のように画素回路 1 の中にボルテージドメイン及び CTIA を有する回路 42 を組み込んだ場合にも、低電圧源 VDR へのオーバーフローパスを形成して FD 20 間のオーバーフローを抑制し、隣接画素へのブルーミングの発生を軽減することができる。

【0118】

(5. 適用例)

ここで、以上の各実施形態で説明した画素回路 1 が適用可能な構成例について説明する。図 22A は、受光素子の平面構成を表す図である。図 22B は、図 22A の B-B' 線に沿った断面構成を表す図である。例えば、各実施形態及びその変形例において説明した各画素回路 1 は、図 22A 及び 22B に示す受光素子に適用可能である。

【0119】

受光素子 501 は、例えば III-V 族半導体などの化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば 380 nm 以上 780 nm 未満）～短赤外領域（例えば 780 nm 以上 2400 nm 未満）の波長の光に、光電変換機能を有している。この受光素子 501 には、例えば 2 次元配置された複数の受光単位領域 P（画素 P）が設けられている（図 22B）。

【0120】

この受光素子 501 は、例えば III-V 族半導体などの化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば 380 nm 以上 780 nm 未満）～短赤外領域（例えば 780 nm 以上 2400 nm 未満）の波長の光に、光電変換機能を有している。この受光素子 501 には、例えば 2 次元配置された複数の受光単位領域 P（画素 P）が設けられている。

【0121】

受光素子 501 は、中央部の素子領域 R1 と、素子領域 R1 の外側に設けられ、素子領域 R1 を囲む周辺領域 R2 とを有している（図 22A）。受光素子 501 は、素子領域 R1 から周辺領域 R2 にわたって設けられた導電膜 515B を有している。この導電膜 515B は、素子領域 R1 の中央部に対向する領域に開口を有している。

【0122】

受光素子 501 は、素子基板 510 および読出回路基板 520 の積層構造を有している。素子基板 510 の一方の面は光入射面（光入射面 S1）であり、光入射面 S1 と反対の面（他方の面）が、読出回路基板 520 との接合面（接合面 S2）である。

【0123】

素子基板 510 は、読出回路基板 520 に近い位置から、配線層 510W、第 1 電極 511、半導体層 510S（第 1 半導体層）、第 2 電極 515 およびパッシベーション膜 516 をこの順に有している。半導体層 510S の配線層 510W との対向面および端面（側面）は、絶縁膜 517 により覆われている。読出回路基板 520 は、いわゆる ROIC（Readout integrated circuit）であり、素子基板 510 の接合面 S2 に接する配線

10

20

30

40

50

層 5 2 0 W および多層配線層 5 2 2 C と、この配線層 5 2 0 W および多層配線層 5 2 2 C を間にして素子基板 5 1 0 に対向する半導体基板 5 2 1 とを有している。

【0124】

素子基板 5 1 0 は素子領域 R 1 に半導体層 5 1 0 S を有している。換言すれば、半導体層 5 1 0 S が設けられた領域が、受光素子 5 0 1 の素子領域 R 1 である。素子領域 R 1 のうち、導電膜 5 1 5 B から露出された領域（導電膜 5 1 5 B の開口に対向する領域）が、受光領域である。素子領域 R 1 のうち、導電膜 5 1 5 B で覆われた領域は、O P B (Optical Black) 領域 R 1 B である。O P B 領域 R 1 B は、受光領域を囲むように設けられている。O P B 領域 R 1 B は、黒レベルの画素信号を得るために用いられる。素子基板 5 1 0 は、周辺領域 R 2 に、絶縁膜 5 1 7 とともに埋込層 5 1 8 を有している。周辺領域 R 2 には、素子基板 5 1 0 を貫通し、読出回路基板 5 2 0 に達する穴 H 1 , H 2 が設けられている。受光素子 5 0 1 では、素子基板 5 1 0 の光入射面 S 1 から、パッシベーション膜 5 1 6 、第 2 電極 5 1 5 および第 2 コンタクト層 5 1 4 を介して半導体層 5 1 0 S に光が入射するようになっている。半導体層 5 1 0 S で光電変換された信号電荷は、第 1 電極 5 1 1 および配線層 5 1 0 W を介して移動し、読出回路基板 5 2 0 で読みだされる。以下、各部の構成について説明する。

10

【0125】

配線層 5 1 0 W は、素子領域 R 1 および周辺領域 R 2 にわたって設けられ、読出回路基板 5 2 0 との接合面 S 2 を有している。受光素子 5 0 1 では、この素子基板 5 1 0 の接合面 S 2 が素子領域 R 1 および周辺領域 R 2 に設けられ、例えば素子領域 R 1 の接合面 S 2 と周辺領域 R 2 の接合面 S 2 とは、同一平面を構成している。後述するように、受光素子 5 0 1 では、埋込層 5 1 8 を設けることにより周辺領域 R 2 の接合面 S 2 が形成される。

20

【0126】

配線層 5 1 0 W は、例えば層間絶縁膜 5 1 9 A , 5 1 9 B 中に、コンタクト電極 5 1 9 E およびダミー電極 5 1 9 E D を有している。例えば、読出回路基板 5 2 0 側に層間絶縁膜 5 1 9 B が、第 1 コンタクト層 5 1 2 側に層間絶縁膜 5 1 9 A が配置され、これら層間絶縁膜 5 1 9 A , 5 1 9 B が積層して設けられている。層間絶縁膜 5 1 9 A , 5 1 9 B は、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン (S i N) , 酸化アルミニウム (A l ₂ O ₃) , 酸化ケイ素 (S i O ₂) および酸化ハフニウム (H f O ₂) 等が挙げられる。層間絶縁膜 5 1 9 A , 5 1 9 B を同一の無機絶縁材料により構成するようにしてもよい。

30

【0127】

コンタクト電極 5 1 9 E は、例えば、素子領域 R 1 に設けられている。このコンタクト電極 5 1 9 E は、第 1 電極 5 1 1 と読出回路基板 5 2 0 とを電氣的に接続するためのものであり、素子領域 R 1 に画素 P 毎に設けられている。隣り合うコンタクト電極 5 1 9 E は、埋込層 5 1 8 および層間絶縁膜 5 1 9 A , 5 1 9 B により電氣的に分離されている。コンタクト電極 5 1 9 E は、例えば銅 (C u) パッドにより構成されており、接合面 S 2 に露出されている。ダミー電極 5 1 9 E D は、例えば、周辺領域 R 2 に設けられている。このダミー電極 5 1 9 E D は、後述の配線層 5 2 0 W のダミー電極 5 2 2 E D に接続されている。このダミー電極 5 1 9 E D およびダミー電極 5 2 2 E D を設けることにより、周辺領域 R 2 の強度を向上させることが可能となる。ダミー電極 5 1 9 E D は、例えば、コンタクト電極 5 1 9 E と同一工程で形成されている。ダミー電極 5 1 9 E D は、例えば銅 (C u) パッドにより構成されており、接合面 S 2 に露出されている。

40

【0128】

コンタクト電極 5 1 9 E と半導体層 5 1 0 S との間に設けられた第 1 電極 5 1 1 は、光電変換層 5 1 3 で発生した信号電荷（正孔または電子、以下便宜上、信号電荷が正孔であるとして説明する。）を読みだすための電圧が供給される電極（アノード）であり、素子領域 R 1 に画素 P 毎に設けられている。第 1 電極 5 1 1 は、絶縁膜 5 1 7 の開口を埋め込むように設けられ、半導体層 5 1 0 S （より具体的には、後述の拡散領域 5 1 2 A ）に接している。第 1 電極 5 1 1 は、例えば、絶縁膜 5 1 7 の開口よりも大きく、第 1 電極 5 1

50

1の一部は、埋込層518に設けられている。即ち、第1電極511の上面（半導体層510S側の面）は、拡散領域512Aに接し、第1電極511の下面および側面の一部は埋込層518に接している。隣り合う第1電極511は、絶縁膜517および埋込層518により電氣的に分離されている。

【0129】

第1電極511は、例えば、チタン（Ti）、タングステン（W）、窒化チタン（TiN）、白金（Pt）、金（Au）、ゲルマニウム（Ge）、パラジウム（Pd）、亜鉛（Zn）、ニッケル（Ni）およびアルミニウム（Al）のうちのいずれかの単体、またはそれらのうちの少なくとも1種を含む合金により構成されている。第1電極511は、このような構成材料の単膜であってもよく、あるいは、2種以上を組み合わせた積層膜であ

10

【0130】

半導体層510Sは、例えば、配線層510Wに近い位置から、第1コンタクト層512、光電変換層513および第2コンタクト層514を含んでいる。第1コンタクト層512、光電変換層513および第2コンタクト層514は、互いに同じ平面形状を有し、各々の端面は、平面視で同じ位置に配置されている。

【0131】

第1コンタクト層512は、例えば、全ての画素Pに共通して設けられ、絶縁膜517と光電変換層513との間に配置されている。第1コンタクト層512は、隣り合う画素Pを電氣的に分離するためのものであり、第1コンタクト層512には、例えば複数の拡散領域512Aが設けられている。第1コンタクト層512に、光電変換層513を構成する化合物半導体材料のバンドギャップよりも大きなバンドギャップの化合物半導体材料を用いることにより、暗電流を抑えることも可能となる。第1コンタクト層512には、例えばn型のInP（インジウムリン）を用いることができる。

20

【0132】

第1コンタクト層512に設けられた拡散領域512Aは、互いに離間して配置されている。拡散領域512Aは、画素P毎に配置され、それぞれの拡散領域512Aに第1電極511が接続されている。OPB領域R1Bにも拡散領域512Aが設けられている。拡散領域512Aは、光電変換層513で発生した信号電荷を画素P毎に読み出すためのものであり、例えば、p型不純物を含んでいる。p型不純物としては、例えばZn（亜鉛）等が挙げられる。このように、拡散領域512Aと、拡散領域512A以外の第1コンタクト層512との間にpn接合界面が形成され、隣り合う画素Pが電氣的に分離されるようになっている。拡散領域512Aは、例えば第1コンタクト層512の厚み方向に設けられ、光電変換層513の厚み方向の一部にも設けられている。

30

【0133】

第1電極511と第2電極515との間、より具体的には、第1コンタクト層512と第2コンタクト層514との間の光電変換層513は、例えば、全ての画素Pに共通して設けられている。この光電変換層513は、所定の波長の光を吸収して、信号電荷を発生させるものであり、例えば、i型のIII-V族半導体などの化合物半導体材料により構成されている。光電変換層513を構成する化合物半導体材料としては、例えば、InGaAs（インジウムガリウム砒素）、InAsSb（インジウム砒素アンチモン）、InAs（インジウム砒素）、InSb（インジウムアンチモン）およびHgCdTe（水銀カドミウムテルル）等が挙げられる。Ge（ゲルマニウム）により光電変換層513を構成するようにしてもよい。光電変換層513では、例えば、可視領域から短赤外領域の波長の光の光電変換がなされるようになっている。

40

【0134】

第2コンタクト層514は、例えば、全ての画素Pに共通して設けられている。この第2コンタクト層514は、光電変換層513と第2電極515との間に設けられ、これらに接している。第2コンタクト層514は、第2電極515から排出される電荷が移動す

50

る領域であり、例えば、 n 型の不純物を含む化合物半導体により構成されている。第2コンタクト層514には、例えば、 n 型のInP（インジウムリン）を用いることができる。

【0135】

第2電極515は、例えば各画素Pに共通の電極として、第2コンタクト層514上（光入射側）に、第2コンタクト層514に接するように設けられている。第2電極515は、光電変換層513で発生した電荷のうち、信号電荷として用いられない電荷を排出するためのものである（カソード）。例えば、正孔が、信号電荷として第1電極511から読み出される場合には、この第2電極515を通じて例えば電子を排出することができる。第2電極515は、例えば赤外線などの入射光を透過可能な導電膜により構成されている。第2電極515には、例えば、ITO（Indium Tin Oxide）または ITiO （ $\text{In}_2\text{O}_3-\text{TiO}_2$ ）等を用いることができる。第2電極515は、例えば、隣り合う画素Pを仕切るように、格子状に設けられていてもよい。この第2電極515には、光透過性の低い導電材料を用いることが可能である。

【0136】

パッシベーション膜516は、第2電極515を光入射面S1側から覆っている。パッシベーション膜516は、反射防止機能を有していてもよい。パッシベーション膜516には、例えば窒化シリコン（SiN）、酸化アルミニウム（ Al_2O_3 ）、酸化ケイ素（ SiO_2 ）および酸化タンタル（ Ta_2O_3 ）等を用いることができる。パッシベーション膜516は、OPB領域R1Bに開口516Hを有している。開口516Hは、例えば、受光領域を囲む額縁状に設けられている（図22A）。開口516Hは、例えば平面視で四角形状または円状の孔であってもよい。このパッシベーション膜516の開口516Hにより、第2電極515に導電膜515Bが電氣的に接続されている。

【0137】

絶縁膜517は、第1コンタクト層512と埋込層518との間に設けられるとともに、第1コンタクト層512の端面、光電変換層513の端面、第2コンタクト層514の端面および第2電極515の端面を覆い、周辺領域R2ではパッシベーション膜516に接している。この絶縁膜517は、例えば、酸化シリコン（ SiO_x ）または酸化アルミニウム（ Al_2O_3 ）等の酸化物を含んで構成されている。複数の膜からなる積層構造により絶縁膜517を構成するようにしてもよい。絶縁膜517は、例えば酸窒化シリコン（SiON）、炭素含有酸化シリコン（SiOC）、窒化シリコン（SiN）およびシリコンカーバイド（SiC）などのシリコン（Si）系絶縁材料により構成するようにしてもよい。絶縁膜517の厚みは、例えば数十nm～数百nmである。

【0138】

導電膜515Bは、OPB領域R1Bから周辺領域R2の穴H1にわたって設けられている。この導電膜515Bは、OPB領域R1Bに設けられたパッシベーション膜516の開口516Hで第2電極515に接するとともに、穴H1を介して読出回路基板520の配線（後述の配線522CB）に接している。これにより、読出回路基板520から導電膜515Bを介して第2電極515に電圧が供給されるようになっている。導電膜515Bは、このような第2電極515への電圧供給経路として機能するとともに、遮光膜としての機能を有し、OPB領域R1Bを形成する。導電膜515Bは、例えば、タングステン（W）、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タンタル（Ta）または銅（Cu）を含む金属材料により構成されている。導電膜515B上にパッシベーション膜が設けられていてもよい。

【0139】

第2コンタクト層514の端部と第2電極515との間に、接着層Bが設けられていてもよい。この接着層Bは、後述するように、受光素子501を形成する際に用いられるものであり、半導体層510Sを仮基板に接合する役割を担っている。接着層Bは、例えばテトラエトキシシラン（TEOS）または酸化シリコン（ SiO_2 ）等により構成されている。接着層Bは、例えば、半導体層510Sの端面よりも拡幅して設けられ、半導体層510Sとともに、埋込層518に覆われている。接着層Bと埋込層518との間には、

絶縁膜 517 が設けられている。

【0140】

埋込層 518 は、受光素子 501 の製造工程で、仮基板と半導体層 510 S との段差を埋めるためのものである。詳細は後述するが、本実施の形態では、この埋込層 518 を形成するので、半導体層 510 S と仮基板 533 との段差に起因した製造工程の不具合の発生が抑えられる。

【0141】

周辺領域 R2 の埋込層 518 は、配線層 10W と絶縁膜 517 との間、および配線層 510W とパッシベーション膜 516 との間に設けられ、例えば、半導体層 510 S の厚み以上の厚みを有している。ここでは、この埋込層 518 が半導体層 510 S を囲んで設けられているので、半導体層 510 S の周囲の領域（周辺領域 R2）が形成される。これにより、この周辺領域 R2 に読出回路基板 520 との接合面 S2 を設けることができるようになっている。周辺領域 R2 に接合面 S2 が形成されていれば、埋込層 518 の厚みを小さくしてもよいが、埋込層 518 が半導体層 510 S を厚み方向にわたって覆い、半導体層 510 S の端面全面が埋込層 518 に覆われていることが好ましい。埋込層 518 が、絶縁膜 517 を介して半導体層 510 S の端面全面を覆うことにより、半導体層 510 S への水分の浸入を効果的に抑えることができる。素子領域 R1 の埋込層 518 は、第 1 電極 511 を覆うように、半導体層 510 S と配線層 510W との間に設けられている。

【0142】

接合面 S2 側の埋込層 518 の面は平坦化されており、周辺領域 R2 では、この平坦化された埋込層 518 の面に配線層 510W が設けられている。埋込層 518 には、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN）、酸窒化シリコン（SiON）、炭素含有酸化シリコン（SiOC）およびシリコンカーバイド（SiC）等の無機絶縁材料を用いることができる。

【0143】

受光素子 501 を製造する工程では、埋込層 518 を形成した後、埋込層 518 の上方に、層間絶縁膜 519A、519B とコンタクト電極 519E とを含む配線層 510W が形成される。この配線層 510W を含む素子基板 510 に、配線層 520W を含む読出回路基板 520 が貼り合わされて受光素子 501 が形成される。このとき、配線層 510W のコンタクト電極 519E と、配線層 520W のコンタクト電極 522E とが接続される。コンタクト電極 519E、522E は、例えば Cu パッドを有しており、この Cu パッドの直接接合により、コンタクト電極 519E、522E が接続されるようになっている。コンタクト電極 519E を CMP（Chemical Mechanical Polishing）法を用いて形成するとき、研磨対象の銅膜の下方に配置された埋込層 518 には、研磨時の応力に耐え得る硬度が求められる。また、コンタクト電極 519E、522E の Cu パッド同士を直接接合させるためには、素子基板 510 および読出回路基板 520 を極めて平坦に形成することが必要である。このため、銅膜の下方に配置される埋込層 518 は、研磨時の応力に耐え得る硬度を有していることが好ましい。具体的には、埋込層 518 の構成材料は、一般的な半導体パッケージにおいてダイの周囲に配置される封止剤や有機材料よりも硬度が高い材料であることが好ましい。このような高い硬度を有する材料としては、例えば、無機絶縁材料が挙げられる。この無機絶縁材料を、例えば CVD（Chemical Vapor Deposition）法、スパッタ法あるいはコーティング法で成膜することにより、埋込層 518 を形成することができる。

【0144】

埋込層 518 には、埋込層 518 を貫通する穴 H1、H2 が設けられている。この穴 H1、H2 は、埋込層 518 とともに、配線層 510W を貫通し、読出回路基板 520 に達している。穴 H1、H2 は、例えば、四角形状の平面形状を有し、素子領域 R1 を囲むように、各々複数の穴 H1、H2 が設けられている（図 22A）。穴 H1 は、穴 H2 よりも素子領域 R1 に近い位置に設けられており、穴 H1 の側壁および底面は、導電膜 515B に覆われている。この穴 H1 は、第 2 電極 515（導電膜 515B）と読出回路基板 52

0の配線（後述の配線522CB）とを接続するためのものであり、パッシベーション膜516、埋込層518および配線層510Wを貫通して設けられている。

【0145】

穴H2は、例えば、穴H1よりもチップ端Eに近い位置に設けられている。この穴H2は、パッシベーション膜516、埋込層518および配線層510Wを貫通し、読出回路基板520のパッド電極（後述のパッド電極522P）に達している。この穴H2を介して、外部と受光素子501との電氣的な接続が行われるようになっている。穴H1、H2は、読出回路基板520に達していなくてもよい。例えば、穴H1、H2が、配線層510Wの配線に達し、この配線が読出回路基板520の配線522CB、パッド電極522Pに接続されていてもよい。穴H1、H2は、接着層Bを貫通していてもよい。

10

【0146】

光電変換層513で発生した正孔および電子は、第1電極511および第2電極515から読み出される。この読出し動作を高速に行うためには、第1電極511と第2電極515との間の距離を、光電変換するに足る距離であってかつ離間し過ぎない距離にすることが好ましい。即ち、素子基板510の厚みを小さくすることが好ましい。例えば、第1電極511と第2電極515との間の距離または素子基板510の厚みは、10μm以下、さらには、7μm以下、さらには5μm以下である。

【0147】

読出回路基板520の半導体基板521は、配線層520Wおよび多層配線層522Cを間にして、素子基板510に対向している。この半導体基板521は、例えば、シリコン（Si）により構成されている。半導体基板521の表面（配線層520W側の面）近傍には、複数のトランジスタが設けられている。例えば、この複数のトランジスタを用いて、画素P毎に、読出回路（Read Out Circuit）が構成されている。この読出回路として、各実施形態及び変形例で説明した画素回路1を用いることが可能である。配線層520Wは、例えば、素子基板510側から、層間絶縁膜522Aおよび層間絶縁膜522Bをこの順に有しており、これら層間絶縁膜522A、522Bは積層して設けられている。例えば、層間絶縁膜522A中に、コンタクト電極522Eおよびダミー電極522EDが設けられている。多層配線層522Cは、配線層520Wを間にして素子基板510に対向して設けられている。例えば、この多層配線層522C中に、パッド電極522Pおよび複数の配線522CBが設けられている。層間絶縁膜522A、522Bは、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン（SiN）、酸化アルミニウム（Al₂O₃）、酸化ケイ素（SiO₂）および酸化ハフニウム（HfO₂）等が挙げられる。

20

【0148】

コンタクト電極522Eは、第1電極511と配線522CBとを電氣的に接続するためのものであり、素子領域R1に、画素P毎に設けられている。このコンタクト電極522Eは、素子基板510の接合面S2でコンタクト電極519Eに接している。隣り合うコンタクト電極522Eは、層間絶縁膜522Aにより電氣的に分離されている。

【0149】

周辺領域R2に設けられたダミー電極522EDは、素子基板510の接合面S2でダミー電極519EDに接している。このダミー電極522EDは、例えば、コンタクト電極522Eと同一工程で形成されている。コンタクト電極522Eおよびダミー電極522EDは、例えば銅（Cu）パッドにより構成されており、読出回路基板520の素子基板510との対向面に露出されている。即ち、コンタクト電極519Eとコンタクト電極522Eとの間、および、ダミー電極519EDとダミー電極522EDとの間で例えばCuCu接合がなされている。これにより、画素Pを微細化することが可能となる。

30

【0150】

コンタクト電極519Eに接続された配線522CBは、半導体基板521の表面近傍に設けられたトランジスタに接続されており、画素P毎に、第1電極511と読出回路とが接続されるようになっている。穴H1を介して導電膜515Bに接続された配線522

40

50

C Bは、例えば所定の電位に接続されている。このように、光電変換層513で発生した電荷の一方（例えば、正孔）は、第1電極511から、コンタクト電極519E、522Eを介して読出回路に読み出され、光電変換層513で発生した電荷の他方（例えば、電子）は、第2電極515から、導電膜515Bを介して、所定の電位に排出されるようになっている。

【0151】

周辺領域R2に設けられたパッド電極522Pは、外部と電気的な接続を行うためのものである。受光素子501のチップ端E近傍には、素子基板510を貫通し、パッド電極522Pに達する穴H2が設けられ、この穴H2を介して外部と電気的な接続がなされるようになっている。接続は、例えば、ワイヤーボンドまたは bumps 等の方法によりなされる。例えば、穴H2内に配置された外部端子から、第2電極515に、穴H2、読出回路基板520の配線522CBおよび導電膜515Bを介して所定の電位が供給されるようになっている。光電変換層513での光電変換の結果、第1電極511から読み出された信号電圧が、コンタクト電極519E、522Eを介して、半導体基板521の読出回路に読み出され、この読出回路を経由して穴H2内に配置された外部端子に出力されるようになっている。信号電圧は、読出回路とともに、例えば、読出回路基板520に含まれる他の回路を経由して外部端子に出力されるようになっている。他の回路とは、例えば、信号処理回路および出力回路等である。

【0152】

読出回路基板520の厚みは、素子基板510の厚みよりも大きいことが好ましい。例えば、読出回路基板520の厚みは、素子基板510の厚みよりも、2倍以上、さらには、5倍以上、さらには、10倍以上大きいことが好ましい。あるいは、読出回路基板520の厚みは、例えば、100 μm 以上、あるいは、150 μm 以上、あるいは、200 μm 以上である。このような大きな厚みを有する読出回路基板520により、受光素子501の機械強度が確保される。なお、この読出回路基板520は、回路を形成する半導体基板521を1層のみ含むものであってもよいし、回路を形成する半導体基板521の他に、支持基板などの基板をさらに備えていてもよい。

【0153】

図23は、他の受光素子の断面構成を表す図である。例えば、各実施形態及びその変形例において説明した各画素回路1は、図23に示す受光素子に適用可能である。

【0154】

図23においては、画素アレイ領域内の各画素602が、リセットトランジスタの制御の違いによって、通常画素602Aかまたは電荷放出画素602Bに分けられるが、画素構造は通常画素602Aと電荷放出画素602Bのどちらも同一であるので、単に画素602として説明する。なお、電荷放出画素602Bは、画素アレイ領域の最も外側に配置されている。

【0155】

各画素602の容量素子、リセットトランジスタ、増幅トランジスタ、及び、選択トランジスタの読出回路が、例えば単結晶シリコン（Si）などの単結晶材料からなる半導体基板612に画素ごとに形成されている。

【0156】

半導体基板612の光入射側である上側には、N型の半導体薄膜641が、画素アレイ領域の全面に形成されている。N型の半導体薄膜641は、InGaP、InAlP、InGaAs、InAlAs、さらにはカルコパイライト構造の化合物半導体が用いられる。カルコパイライト構造の化合物半導体は、高い光吸収係数と、広い波長域に渡る高い感度を得られる材料であり、光電変換用のN型の半導体薄膜641として好ましく用いられる。このようなカルコパイライト構造の化合物半導体は、Cu、Al、Ga、In、S、Seなど、IV族元素の周囲の元素を用いて構成され、CuGaInS系混晶、CuAlGaInS系混晶、およびCuAlGaInSSe系混晶等が例示される。この半導体基板612に配置される読出回路として、各実施形態及び各変形例で説明した画素回路1が

10

20

30

40

50

適用可能である。

【0157】

また、N型の半導体薄膜641の材料には、上述した化合物半導体の他、アモルファスシリコン(Si)、ゲルマニウム(Ge)、量子ドット光電変換膜、有機光電変換膜などを用いることも可能である。ここでは、N型の半導体薄膜641として、InGaAsの化合物半導体がいわれているものとする。

【0158】

N型の半導体薄膜641の半導体基板612側である下側には、画素電極を構成する高濃度のP型層642が、画素ごとに形成されている。そして、画素ごとに形成された高濃度のP型層642の間には、各画素602を分離する画素分離領域としてのN型層643が、例えば、InP等の化合物半導体で形成されている。このN型層643は、画素分離領域としての機能の他、暗電流を防止する役割も有する。

10

【0159】

一方、N型の半導体薄膜641の光入射側である上側にも、画素分離領域として用いたInP等の化合物半導体を用いて、N型の半導体薄膜641よりも高濃度のN型層644が形成されている。この高濃度のN型層644は、N型の半導体薄膜641で生成された電荷の逆流を防止するバリア層として機能する。高濃度のN型層644の材料には、例えば、InGaAs、InP、InAlAsなどの化合物半導体を用いることができる。

【0160】

バリア層としての高濃度のN型層644の上には、反射防止膜645が形成されている。反射防止膜645の材料には、例えば、窒化シリコン(SiN)、酸化ハフニウム(HfO₂)、酸化アルミニウム(Al₂O₃)、酸化ジルコニウム(ZrO₂)、酸化タンタル(Ta₂Ta₅)、酸化チタン(TiO₂)などを用いることができる。

20

【0161】

高濃度のN型層644または反射防止膜645のいずれか一方は、N型の半導体薄膜641を上下に挟む電極のうちの上側の上部電極としても機能し、上部電極としての高濃度のN型層644または反射防止膜645には、所定の電圧Vaが印加される。

【0162】

反射防止膜645の上には、カラーフィルタ646及びオンチップレンズ647がさらに形成されている。カラーフィルタ646は、R(赤)、G(緑)、またはB(青)のいずれかの光(波長光)を透過させるフィルタであり、例えば、画素アレイ領域において、いわゆるバイヤ配列で配置されている。

30

【0163】

画素電極を構成する高濃度のP型層642と、画素分離領域としてのN型層643の下側には、パッシベーション層651および絶縁層652が形成されている。そして、接続電極653A及び653Bとパンプ電極654が、パッシベーション層651および絶縁層652を貫通するように形成されている。接続電極653A及び653Bとパンプ電極654は、画素電極を構成する高濃度のP型層642と、電荷を蓄積する容量素子622とを電氣的に接続する。

【0164】

通常画素602A及び電荷放出画素602Bは、以上のように構成されており、同一の画素構造を有している。しかしながら、通常画素602A及び電荷放出画素602Bとでは、リセットトランジスタの制御方法が異なる。

40

【0165】

通常画素602Aでは、光電変換部による電荷の生成期間(受光期間)、受光開始前の容量素子の電位のリセット期間等に応じて、リセットトランジスタが、リセット信号に基づいてオンオフされるが、電荷放出画素602Bでは、リセットトランジスタが、常にオンに制御されている。これにより、光電変換部で生成された電荷はグランドへ排出され、電荷放出画素602Bには常に一定の電圧Vaが印加される。

【0166】

50

さらに、ポリゲートを共通にすることも可能である。図24は、NMOS及びPMOSにおけるポリゲートの共通化を説明するための図である。以上の各実施形態及び各変形例においては、状態701に示すように、NMOS及びPMOSのそれぞれに対応させて、ゲート端子としてN型ポリゲート又はP型ポリゲートを用いた。ただし、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15において、状態702又は703のようにN型ポリゲート又はP型ポリゲートのいずれかを統一して使用してもよい。その場合、各MOSトランジスタのゲートを一括で生成することが可能となる。

【0167】

(6. 移動体への応用例)

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0168】

図25は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0169】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図25に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

【0170】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0171】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0172】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0173】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の

10

20

30

40

50

情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0174】

車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0175】

マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0176】

また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0177】

また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0178】

音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 25 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0179】

図 26 は、撮像部 12031 の設置位置の例を示す図である。

【0180】

図 26 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

【0181】

撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

20

30

40

50

【0182】

なお、図26には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0183】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0184】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0185】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【0186】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

【0187】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図3、7、15～20に例示した画素回路1を有する画素120は、撮像部120

10

20

30

40

50

31に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ブルーミングの発生を抑制したより見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

【0188】

(7. 内視鏡手術システムへの応用例)

また、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

【0189】

図27は、本開示に係る技術(本技術)が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【0190】

図27では、術者(医師)11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

【0191】

内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

【0192】

鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【0193】

カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光(観察光)は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット(CCU: Camera Control Unit)11201に送信される。

【0194】

CCU11201は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理(デモザイク処理)等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0195】

表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

【0196】

光源装置11203は、例えばLED(Light Emitting Diode)等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

【0197】

入力装置11204は、内視鏡手術システム11000に対する入力インタフェースで

10

20

30

40

50

ある。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
【0198】

処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

10

【0199】

なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

20

【0200】

また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0201】

また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

30

【0202】

図 28 は、図 27 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

40

【0203】

カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

【0204】

レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。

50

鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

【0205】

撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D (D i m e n s i o n a l) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

10

【0206】

また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

【0207】

駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

20

【0208】

通信部 1 1 4 0 4 は、C C U 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して C C U 1 1 2 0 1 に送信する。

【0209】

また、通信部 1 1 4 0 4 は、C C U 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4 0 5 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

30

【0210】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて C C U 1 1 2 0 1 の制御部 1 1 4 1 3 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (A u t o E x p o s u r e) 機能、AF (A u t o F o c u s) 機能及び AWB (A u t o W h i t e B a l a n c e) 機能が内視鏡 1 1 1 0 0 に搭載されていることになる。

【0211】

40

カメラヘッド制御部 1 1 4 0 5 は、通信部 1 1 4 0 4 を介して受信した C C U 1 1 2 0 1 からの制御信号に基づいて、カメラヘッド 1 1 1 0 2 の駆動を制御する。

【0212】

通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 から、伝送ケーブル 1 1 4 0 0 を介して送信される画像信号を受信する。

【0213】

また、通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 に対して、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

50

【0214】

画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

【0215】

制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

【0216】

また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使用時のミスト等を認識することができる。制御部11413は、表示装置11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者11131に提示されることにより、術者11131の負担を軽減することや、術者11131が確実に手術を進めることが可能になる。

10

【0217】

カメラヘッド11102及びCCU11201を接続する伝送ケーブル11400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

20

【0218】

ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

【0219】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡11100や、カメラヘッド11102の撮像部11402に適用され得る。具体的には、図3、7、15～20に例示した画素回路1を有する画素120は、内視鏡11100や、カメラヘッド11102の撮像部11402に適用することができる。内視鏡11100や、カメラヘッド11102の撮像部11402に本開示に係る技術を適用することにより、ブルーミングの発生を抑制したより鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

30

【0220】

なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

【0221】

以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

40

【0222】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【0223】

なお、本技術は以下のような構成を取ることでもできる。

(1)

光電荷として正孔を生成する光電変換部と、

前記光電変換部により生成された光電荷を保持する電荷保持部と、前記電荷保持部と定

50

電圧源とを結ぶ配線上に配置された P 型の MOS (Metal Oxide Semiconductor) トランジスタとを備える読出回路とを備えた固体撮像装置。

(2)

前記 P 型の MOS トランジスタは、前記電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 1 トランジスタである前記 (1) に記載の固体撮像装置。

(3)

前記読出回路は、

前記電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現させる第 2 トランジスタと、

前記第 2 トランジスタと前記信号線とを結ぶ配線上に配置されて前記第 2 トランジスタと前記信号線との接続を切り替える第 3 トランジスタと

をさらに備える前記 (1) 又は (2) に記載の固体撮像装置。

(4)

前記電荷保持部は、

前記光電変換部に接続された第 1 電荷保持部と、

前記第 2 トランジスタのゲートに接続された第 2 電荷保持部とを含み、

前記読出回路は、

前記第 1 電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 1 トランジスタと前記第 1 電荷保持部に保持された光電荷の電荷量に応じた電圧値の電圧を信号線に出現

させる第 2 トランジスタと、

前記第 2 トランジスタと前記信号線とを結ぶ配線上に配置されて前記第 2 トランジスタと前記信号線との接続を切り替える第 3 トランジスタと

前記第 1 電荷保持部と前記第 2 電荷保持部とを結ぶ配線上に配置されて前記第 1 電荷保持部と前記第 2 電荷保持部との接続を切り替える第 4 トランジスタと、

前記読出回路は、前記第 1 電荷保持部と前記定電圧源とを結ぶ配線上に配置され、前記第 1 電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 5 トランジスタとを備える

前記 (3) に記載の固体撮像装置。

(5)

前記第 5 トランジスタは、P 型の MOS トランジスタである前記 (4) に記載の固体撮像装置。

(6)

前記第 4 トランジスタは、P 型の MOS トランジスタである前記 (4) 又は (5) に記載の固体撮像装置。

(7)

前記第 1 トランジスタは、P 型の MOS トランジスタである前記 (4) ~ (6) のいずれか 1 項に記載の固体撮像装置。

(8)

前記第 2 トランジスタは、P 型の MOS トランジスタである前記 (4) ~ (7) のいずれか 1 項に記載の固体撮像装置。

(9)

前記第 3 トランジスタは、P 型の MOS トランジスタである前記 (4) ~ (8) のいずれか 1 項に記載の固体撮像装置。

(10)

前記読出回路は、ボルテージドメインの記憶回路をさらに有する前記 (1) ~ (9) のいずれか 1 項に記載の固体撮像装置。

(11)

前記読出回路は、電流積分型の読出回路をさらに有する前記 (10) に記載の固体撮像装置。

10

20

30

40

50

(12)

前記光電変換部は、InGaAs（インジウムガリウム砒素）、InAsSb（インジウム砒素アンチモン）、InAs（インジウム砒素）、InSb（インジウムアンチモン）、HgCdTe（水銀カドミウムテルル）、Ge（ゲルマニウム）、量子ドット又は有機化合物のいずれかを含む前記(1)～(11)のいずれか1項に記載の固体撮像装置。

(13)

前記光電変換部は、前記電荷保持部に接続されるp型不純物領域を有することを特徴とする前記(1)～(12)のいずれか1項に記載の固体撮像装置。

(14)

前記光電変換部から延びる電極と前記読出回路から延びる電極とが直接接合されて導通される前記(1)～(13)のいずれか1項に記載の固体撮像装置。

10

(15)

前記光電変換部から延びる端子と前記読出回路から延びる端子とがバンプ電極により接続されて導通される前記(1)～(13)のいずれか1項に記載の固体撮像装置。

(16)

複数の画素が行列方向に配置された画素アレイ部と、
複数の前記画素における読み出し対象の画素を駆動する駆動回路と、
前記駆動回路により駆動された前記読み出し対象の画素から画素信号を読み出す処理回路と、

20

前記駆動回路及び前記処理回路を制御する制御部とを備え、
前記複数の画素それぞれは、
光電荷として正孔を生成する光電変換部と、
前記光電変換部により生成された光電荷を保持する電荷保持部と、前記電荷保持部と定電圧源とを結ぶ配線上に配置されたP型のMOSトランジスタとを備える読出回路とを備えた

電子機器。

【符号の説明】

【0224】

1 画素回路

10 光電変換膜

30

11 リセットトランジスタ

12 増幅トランジスタ

13 選択トランジスタ

14 転送トランジスタ

15 排出トランジスタ

16、17 キャパシタ

100 電子機器

101 撮像レンズ

102 イメージセンサ

103 プロセッサ

40

104 記憶部

120 画素

121 画素アレイ部

122 垂直駆動回路

123 カラム処理回路

124 水平駆動回路

125 システム制御部

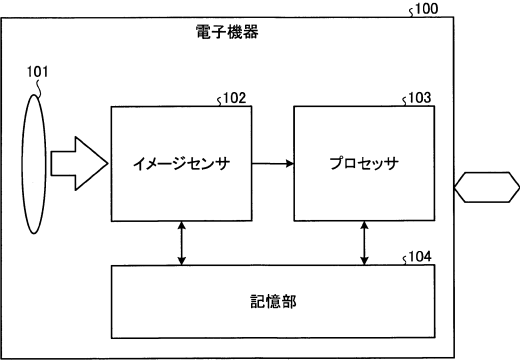
126 信号処理部

127 データ格納部

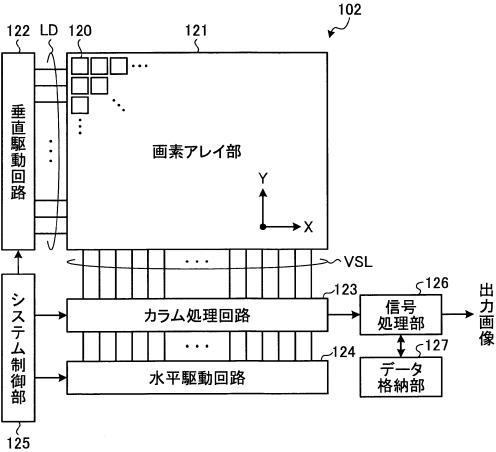
50

【図面】

【図 1】



【図 2】



10

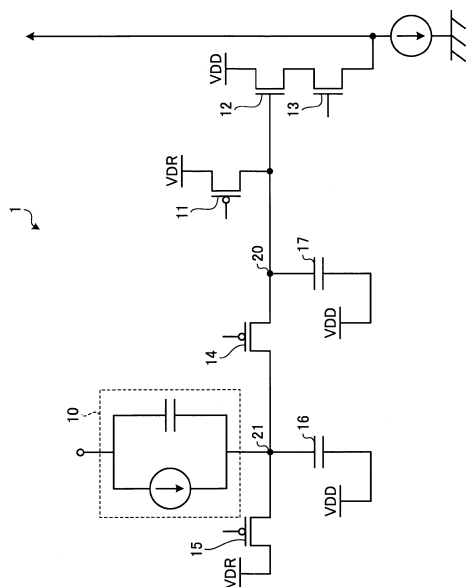
20

30

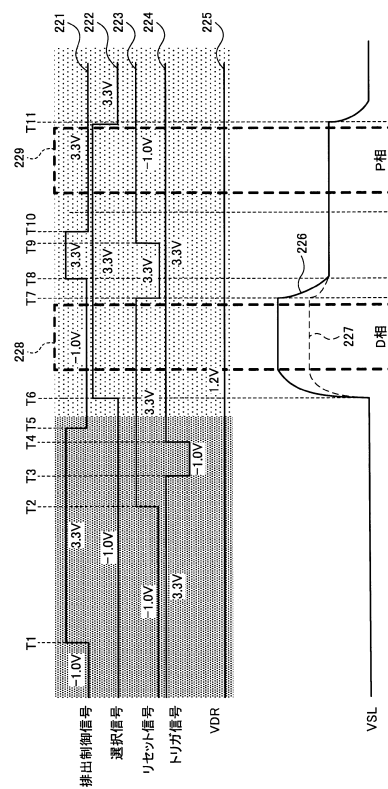
40

50

【圖 7】



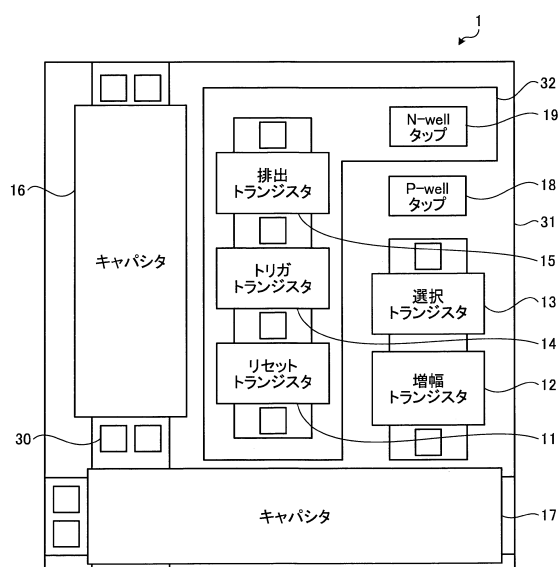
【圖 8】



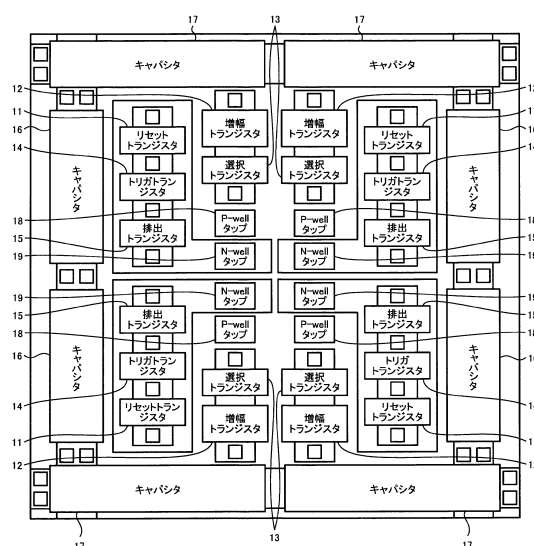
10

20

【図 9】



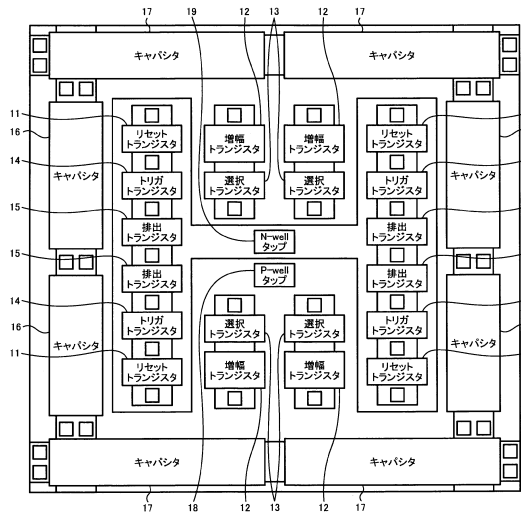
【図 10】



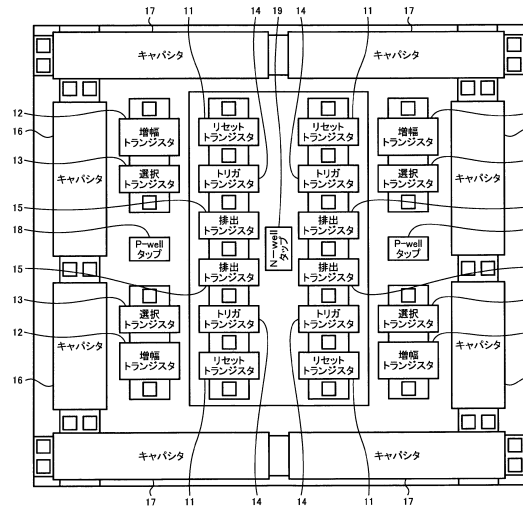
30

40

【図 1 1】



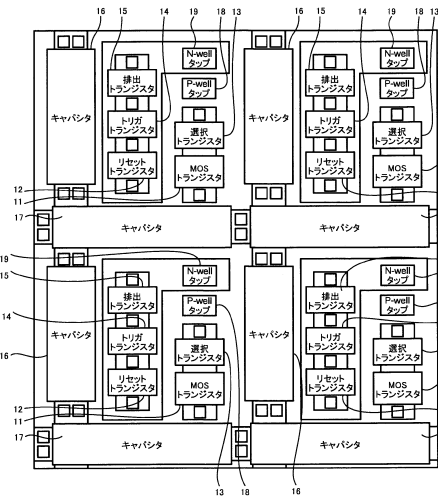
【図 1 2】



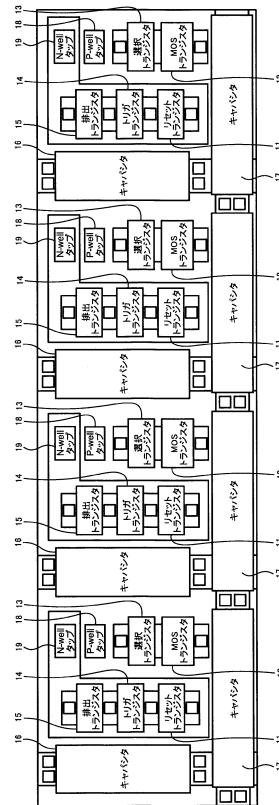
10

20

【図 1 3 A】



【図 1 3 B】

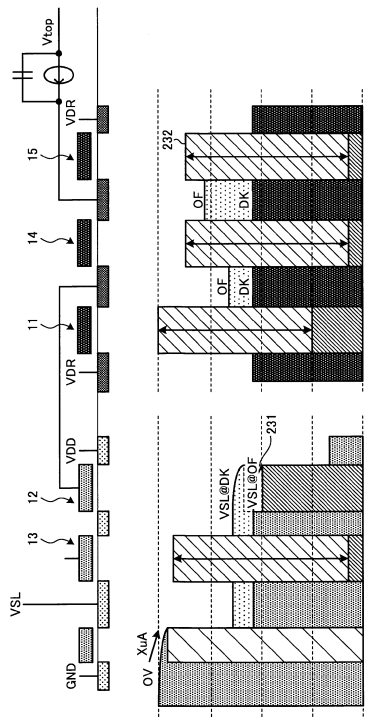


30

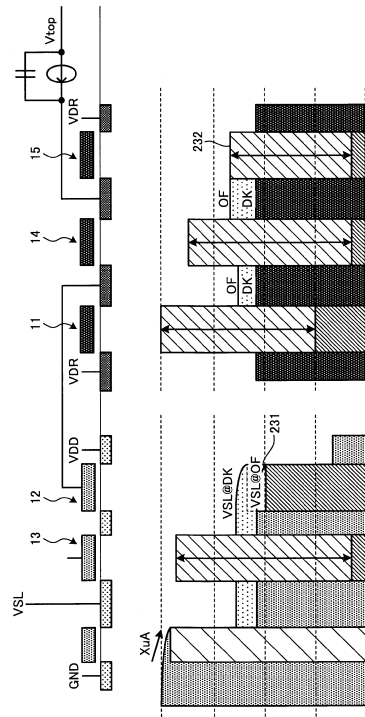
40

50

【図 1 4】



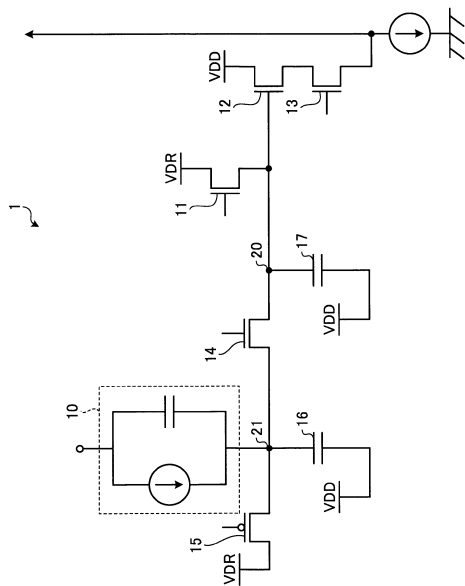
【図 1 5】



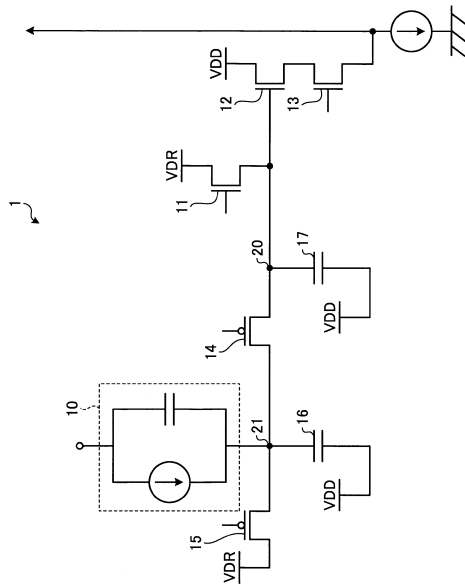
10

20

【図 1 6】



【図 1 7】

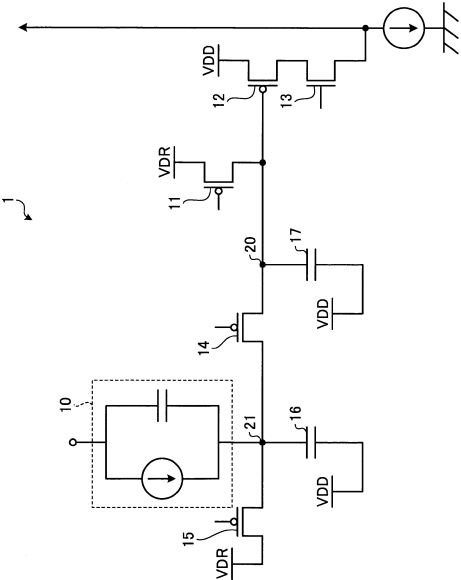


30

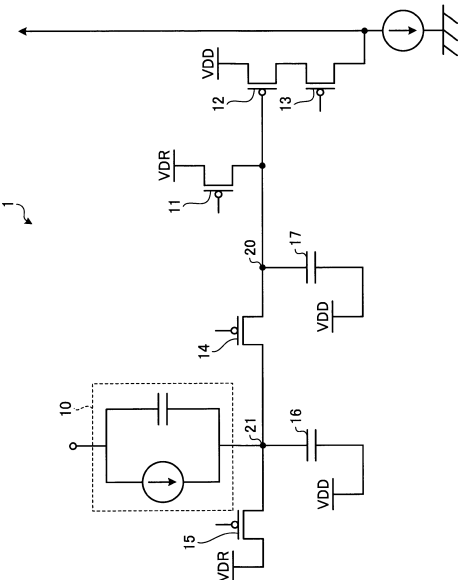
40

50

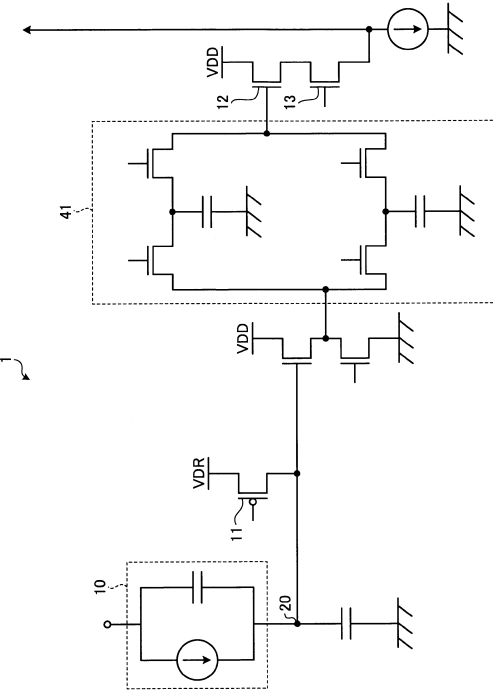
【図 18】



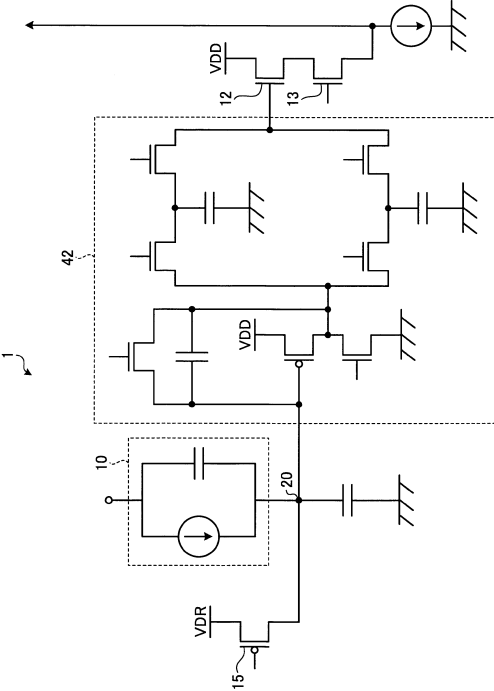
【図 19】



【図 20】



【図 21】



10

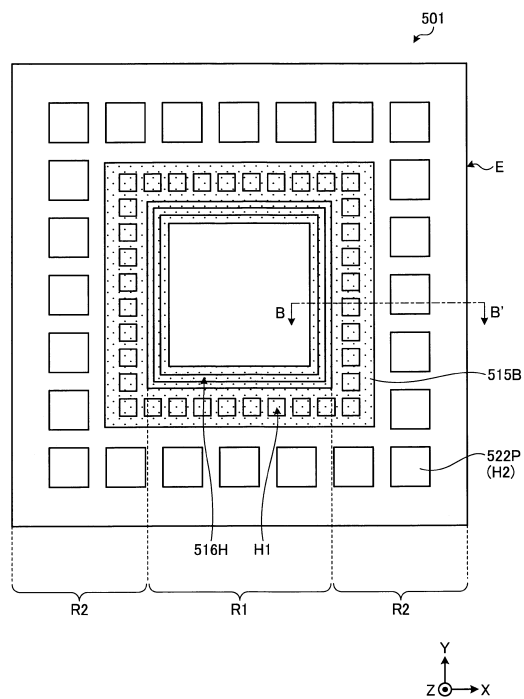
20

30

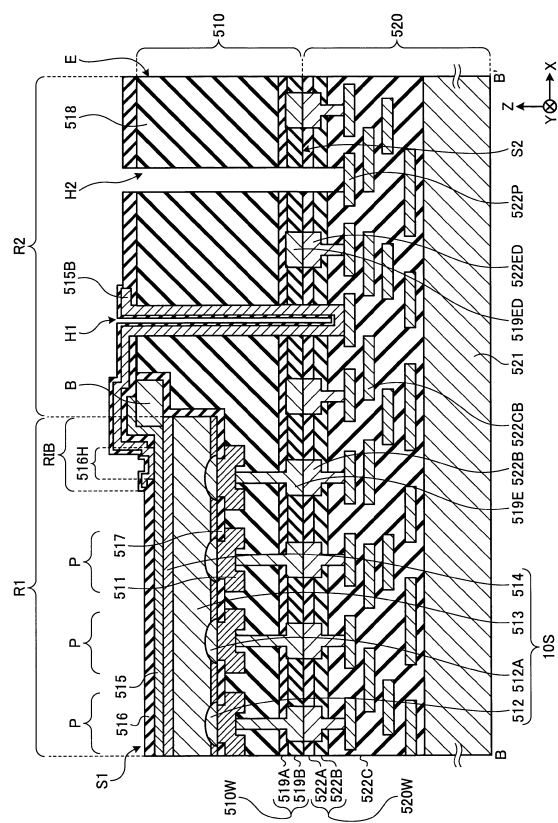
40

50

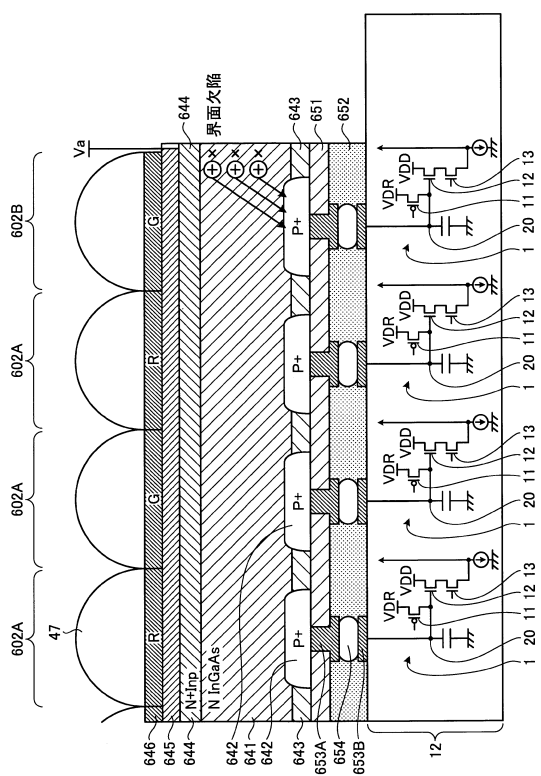
【図 2 2 A】



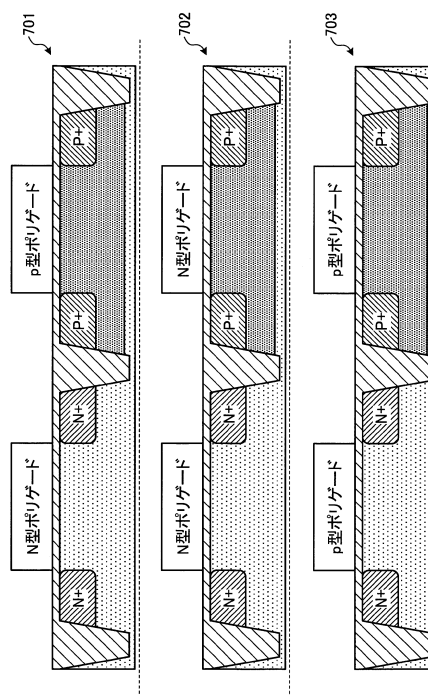
【図 2 2 B】



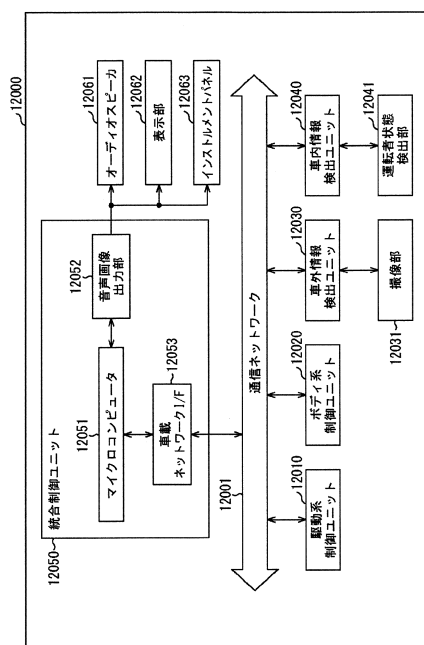
【図 23】



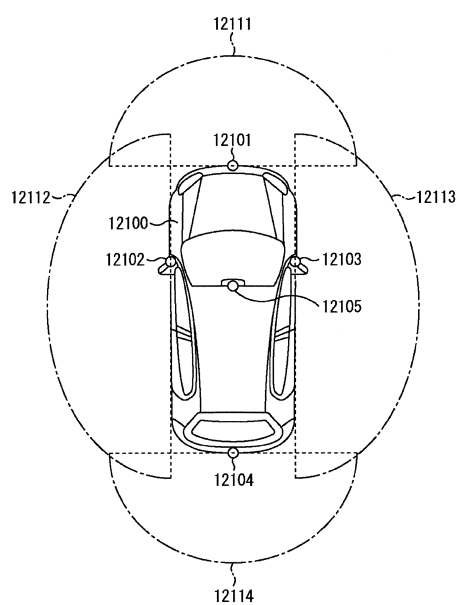
【図 24】



【圖 25】



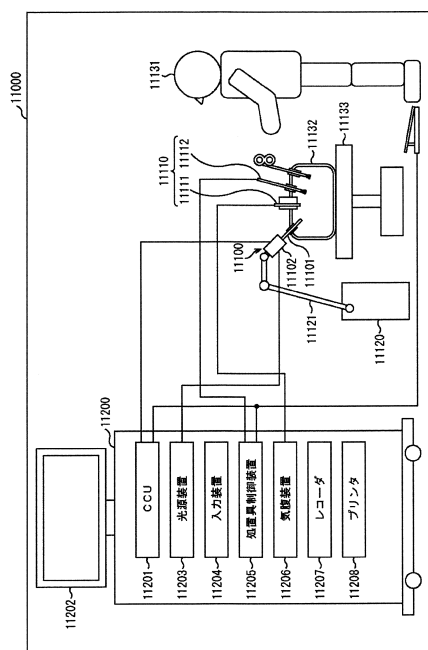
【圖 2 6】



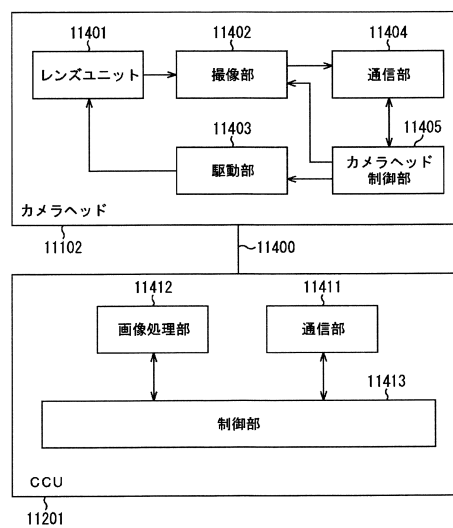
10

20

【図 27】



【図 28】



30

40

50

フロントページの続き

(56)参考文献 米国特許出願公開第2005/0104089 (US, A1)
(58)調査した分野 (Int.Cl., DB名)
H04N 25/00-25/79
H01L 27/146