



(12) 发明专利申请

(10) 申请公布号 CN 102783005 A

(43) 申请公布日 2012. 11. 14

(21) 申请号 200980163481. 5

代理人 吕晓章

(22) 申请日 2009. 12. 28

(51) Int. Cl.

(85) PCT申请进入国家阶段日  
2012. 08. 28

H02M 3/335(2006. 01)

(86) PCT申请的申请数据  
PCT/US2009/006718 2009. 12. 28

(87) PCT申请的公布数据  
W02011/081614 EN 2011. 07. 07

(71) 申请人 汤姆森特许公司  
地址 法国伊西莱穆利诺

(72) 发明人 W. V. 菲茨杰拉德 W. J. 泰斯丁

(74) 专利代理机构 北京市柳沈律师事务所  
11105

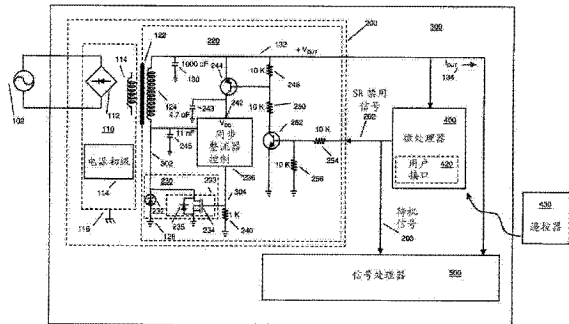
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

同步整流器禁用装置

(57) 摘要

电源(200)接收整流器(230)整流的交流电输入(102)。在运行模式操作和待机模式操作两者期间,将整流输出电压(132)耦合到负载(500)和微处理器(400)。整流器(230)在运行模式操作期间,通过包括的 MOSFET (234)提供同步整流,而在待机模式操作期间,通过包括的肖特基二极管(232)提供非同步整流。整流器(230)中的肖特基二极管(232)与 MOSFET (234)并联,在待机模式操作期间提供整流。将来自微处理器(400)的接通/断开控制信号(203)的源(400)施加给负载(500)以便改变操作模式,以及并行地施加给整流器(230),以便在待机模式操作期间,在整流器(230)中禁用同步整流。在待机模式操作中,通过消除对同步整流器控制器(236) 供电所消耗的功率,提高了电源(200)的效率。在待机模式操作中,通过使用来自微处理器(400)的接通/断开控制信号(203)禁用同步操作,也提高了电源(200)的效率。



1. 一种电源(200),其包含:

交流电输入电源(102);

整流器(230),与负载(500)耦合,用于整流所述输入电源,以便在与所述负载耦合的电流路径中,在运行模式操作和待机模式操作两者期间产生整流输出电源电流(134),所述整流器在所述运行模式操作期间提供同步整流;以及

接通/断开控制信号(203)的源,将接通/断开控制信号(203)施加给所述负载,以便减小所述整流输出电源电流,以及并行地施加给所述整流器,以便在所述整流器中有选择地禁用同步整流。

2. 按照权利要求1所述的电源,其中施加给所述整流器(230)以便在所述整流器中禁用同步整流的信号(202)基本不受输出电源电流(134)的减小影响。

3. 按照权利要求1所述的电源,其中所述接通/断开控制信号源包含微处理器(400)。

4. 按照权利要求1所述的电源,其中所述接通/断开控制信号源(400)响应用户断电命令。

5. 按照权利要求1所述的电源,其中所述整流器(230)包含在所述待机模式操作期间进行非同步操作的二极管(232)、和在所述运行模式操作期间启用同步操作的与所述整流器耦合的半导体开关(244),其中所述半导体开关响应在所述整流器中有选择地禁用同步整流的所述并行施加接通/断开控制信号,以便将所述操作模式从所述运行模式操作改变成所述待机模式操作。

6. 按照权利要求5所述的电源,其中所述二极管(232)包含肖特基器件。

7. 按照权利要求1所述的电源,其中所述整流器(230)包含场效应晶体管(234)。

8. 一种控制电源的系统,其包含:

接收交流电输入(102)的部件;

与负载(500)耦合、整流所述交流电输入,以便在与所述负载耦合的电流路径中,在运行模式操作和待机模式操作两者期间产生整流输出电源电流(134)的部件,所述整流部件在所述运行模式操作期间提供同步整流;以及

提供施加给所述负载,以便减小所述整流输出电源电流,以及并行地施加给所述整流部件,以便在所述整流部件中有选择地禁用同步整流的接通/断开控制信号(203)的部件(400)。

9. 按照权利要求8所述的系统,其中施加给所述整流部件以便在所述整流部件中禁用同步整流的信号(202)基本不受输出电源电流(134)影响。

10. 按照权利要求8所述的系统,其中提供所述接通/断开控制信号的所述部件包含微处理器(400)。

11. 按照权利要求8所述的系统,其中提供所述接通/断开控制信号的部件响应用户断电命令。

12. 按照权利要求8所述的系统,其中所述整流部件(230)包含在所述待机模式操作期间进行非同步操作的二极管(232)、和在所述运行模式操作期间启用同步操作的与所述整流部件耦合的开关部件(244),以及其中所述开关部件响应在所述整流部件中禁用同步整流的所述并行施加接通/断开控制信号,以便将所述操作模式从所述运行模式操作改变成所述待机模式操作。

13. 按照权利要求 12 所述的系统,其中所述二极管(232)包含肖特基器件。

14. 按照权利要求 8 所述的系统,其中所述整流部件包含场效应晶体管(234)。

15. 一种提高电源效率的方法,其包含如下步骤:

接收输入交流电;

整流所述输入交流电,以便在与负载耦合的电流路径中,在电子设备的运行模式操作期间,产生同步整流输出电源电流,而在所述电子设备的待机模式操作期间,产生非同步整流输出电源电流;以及

生成接通/断开控制信号,施加给所述负载,以便将所述负载切换到待机模式操作,以及并行地施加给所述电源,以便有选择地将所述电源切换到非同步整流模式。

16. 按照权利要求 15 所述的方法,进一步包含与供应给所述负载的电流无关地将所述电源设置在所述非同步模式下的步骤。

17. 按照权利要求 15 所述的方法,进一步包含通过微处理器生成所述接通/断开控制信号的步骤。

18. 按照权利要求 15 所述的方法,进一步包含响应用户断电命令生成所述接通/断开控制信号的步骤。

19. 按照权利要求 15 所述的方法,进一步包含利用 FET 器件同步整流所述输入交流电和利用二极管非同步整流所述输入交流电的步骤。

20. 按照权利要求 19 所述的方法,进一步包含利用肖特基二极管非同步整流所述输入交流电的步骤。

21. 一种电源(200),其包含:

交流电输入电源(102);

整流器(230),与负载(500)耦合,用于整流所述输入电源,以便在运行模式操作和第二模式操作两者期间产生耦合到所述负载的整流输出电源(132),所述整流器(230)在所述运行模式操作期间提供同步整流;以及

接通/断开控制信号(203)的源(400),将接通/断开控制信号(203)施加给所述负载,以便改变操作模式,以及并行地施加给所述整流器(230),以便在所述第二模式操作期间,在所述整流器(230)中有选择地禁用同步整流。

## 同步整流器禁用装置

### 技术领域

[0001] 本发明涉及利用同步整流的电源。

### 背景技术

[0002] 如现有技术图 1 所示,电子设备 111 的电源 100 包括输入侧组件 110 和次级侧组件 120。也称为“热侧”组件的输入侧包含整流交流(AC)输入电源 102 的输入桥 112、和驱动和调节初级绕组 114 的电压的开关模式电路。电源初级也以称为热侧或非隔离地的电位 116 为基准。

[0003] 例示性电源 100 的次级侧 120 包括电源变压器次级绕组 124,电源 100 的初级 110 和次级 120 被绕组 114 和 124 之间的隔离屏障 122 分开。绕组 124 在第一端上与整流器 230 连接,整流器 230 在它的其它端子上以“冷侧”或隔离地 128 为基准。整流器 230 包含同步整流器 233,同步整流器 233 包含与整流器二极管 232 并联的金属氧化物半导体场效应晶体管(MOSFET)234。整流器二极管 232 具有与 MOSFET 234 的漏极连接的阴极和与地 128 连接的阳极。MOSFET 234 包括与二极管 234 相对应极化的体二极管 235。在绕组 124 的第二端上产生在此处通过电解电容器 130 对其滤波的电源输出电压 132,并且将输出负载电流 134 供应给电源负载 295。插在电源 100 与负载 295 之间的是负载传感器 290。负载传感器 290 具有依照负载有选择地禁用同步整流的信号作为输出 202。

[0004] 在许多电源中,可能将整流器 230 放置成在绕组 124 的第二端上具有相反极性,而绕组 124 的第一端直接与地 128 连接。如图 1 所示配置整流器的优点是有助于整流器 230 散热。电源初级可以配置成任何数量的众所周知电源类型,例如,箝位模式正激转换器(clamped mode forward converter)或反激式转换器(flyback converter)。尽管电源是开关模式配置并不是必需的,但对效率的需要通常使那种模式受到青睐。

[0005] 在这个示范性开关模式电源中所述的整流器类型中,由于往往是效率低下的主要源:二极管 232 往往是肖特基(Schottky)二极管;电压降跨越传统整流器二极管。在更大功率电源中,跨越二极管的电压降引起的效率低下可能相当严重,因此需要像强制风冷那样的散热和可能积极措施(active measures)。为了满足数字设备的高速和小型化的日益增加需求,微电子电路的电压水平一直在下降。尽管 5V 和 12V 电源仍然占主导地位,但 3.3V, 2.5V, 1.8V 和 1.5V 等越来越普遍地作为许多电子设备中的标准电压。使用传统整流器二极管将次级 AC 电压整流成 DC 电压的以往设计使次级侧的输出电流在初级侧的电源开关断开的时间内变得“随心所欲(freewheel)”。随着使电子设备消耗的功率最小化的要求越来越严格,以及随着用在现代设备中的工作电压越来越低,在整流器二极管中造成的功率损失与输出功率相比变得非常大。例如,在 1V 输出电源中使用 0.5V 肖特基二极管导致整流器电路中的输出功率的约 33% 的功率损失。

[0006] 为了提高整流器效率,可以将晶体管,通常场效应晶体管(FET)或更具体地说,MOSFET 用作取代二极管的低压降开关。这种技术被称为同步整流。同步整流需要控制同步整流器的驱动器,以便在整流电压的最低部分期间接通 MOSFET,而在整流电压的最高部分

期间断开 MOSFET。像 ST 微电子 STS-R3 或易亨电子(Anachip)AP436 那样的集成电路控制器以及分立电路设计用于控制同步整流器的传导(conduction)。

[0007] 并且,大功率密度在电源相对于电源输出的空间有限的应用中是至关重要的。因此,开发出使效率得到提高,以便部分使对散热器的需要或散热器的尺寸最小化的电源是不懈的追求。另外,由于能源之星(Energy Star)和欧洲 CoC 要求,新电源设计即使在低输出功率水平上也必须保持高效率,并且当存在小负载或无负载时必须具有极大降低的输入功率。同步整流器通过降低标准二极管整流器典型的传导损失(conduction loss)可以在正常和大负载水平提高电源的效率。同步整流器 FET 的优点是电流 FET 的极小“接通电阻(on resistance)”。尽管同步整流器在当今的较低压水平比二极管整流器有效得多,但它们也不是没有其缺点。存在一定数量的功率开销,最突出的是操作存在于驱动当存在低输出功率水平时可以影响电源的效率的同步整流器中的同步整流器控制器所需的功率。

[0008] 在图 1 的装置中,感测输出电流或输出功率以便在低功率或电流操作的情况期间禁用同步整流器 234。在小电流或功率操作的情况期间禁用同步整流器使反向电流最小化,因此提高了电源的效率和热管理。但是,负载传感器 290 消耗非所希望的附加功率。在不使用不利地消耗功率和使电路复杂化的负载传感器 290 的情况下,禁用同步整流可能是人们所希望的。

## 发明内容

[0009] 本发明的公开实施例涉及包括交流电输入电源和与负载耦合的整流输入电源的整流器的电源。在与负载耦合的电流路径中,在运行模式操作和待机模式操作两者期间产生整流输出电源电流。该整流器在运行模式操作期间提供同步整流。接通/断开控制信号的源施加给负载,以便减小整流输出电源电流,以及并行地施加给整流器,以便在整流器中有选择地禁用同步整流。

## 附图说明

[0010] 在附图中:

[0011] 图 1 是已知电源实践的局部示意、局部方块图;

[0012] 图 2 是并入本发明实施例的电子设备的局部方块图形式和局部示意形式的描绘;

[0013] 图 3 示出了图 2 的整流器的端子上的相关波形;

[0014] 图 4 是详细描述同步整流器控制器的分立电路的示意图;以及

[0015] 图 5 示出了图 4 的示意图的相关波形。

## 具体实施方式

[0016] 图 2 描绘了一种电子设备,或更具体地说,机顶盒 300,其包含电源 200、系统控制器或微处理器 400 和信号处理器 500。电源 200 的一些部分包含在功能上与以前针对电源 100 所述的组件相似的组件。在这样的情况下,这些组件具有如以前给出的共同标号。电源 200 接收 AC 输入 102,和包含电源初级 110 和电源次级 220。初级 110 和次级 220 电感性地从变压器初级绕组 114 连接到变压器次级绕组 124,并通过隔离屏障 122 隔离。次级绕组 124 在第一端子上与整流器 230 的第一主电流传导端子连接,而在第二端子上产生整流

输出 132 ( $+V_{OUT}$ ), 在该优选实施例中, 12 伏。输出 132 经过滤波电容器 130 滤波产生整流输出电源电流 134, 以便对包含电源次级 220、微处理器 400 和信号处理器 500 中的操作电路的负载加电。

[0017] 整流器 230 的第二主电流传导端子与“冷”或隔离地 128 连接。小值电容器 245 并联地跨越整流器 230 连接, 以便消除来自整流器 230 的开关瞬态引起的线路传导辐射。整流器 230 还包含控制端子, 用于确定整流器 230 的像来自新科电子 (ST Electronics) 公司的 STF60N55F3 那样的组件, 同步整流器 233 中的传导。整流器 230 还包含二极管 232, 在图 2 的实施例中, 二极管公司 (Diode Inc) 的肖特基二极管 PDS835L。同步整流器 233 包含 MOSFET 234 和整体二极管 235。按照本发明的一个实施例, 通过来自同步整流器控制器 236 的控制信号, 将同步整流器 233 控制成当同步整流器 234 的漏极在电源 200 的也称为“运行模式”的大功率操作时期处在其最小偏移下时是传导的。在一个优选实施例中, 如随后参考图 4 所述, 控制器 236 是分立电路设计。在图 3 中示出了控制同步整流器 233 的波形。波形 302 示出了 MOSFET 234 漏极上的电压, 而波形 304 作为控制 MOSFET 234 传导的电压。当 MOSFET 234 的漏极处在其最低电位上时, MOSFET 234 被正的栅极波形 304 接通。相反, 当 MOSFET 234 的漏极电位处在其最高电位上时, 将栅极电位降低到阈值以下以便禁止 MOSFET 234 的传导。从 MOSFET 234 栅极连接到地 128 的电阻 240 将控制器 236 的电流输出转换成电压驱动波形 304, 并且还提供到地的电流路径, 以保证 MOSFET 在其漏极变成正时断开。

[0018] 在图 2 的实施例中, 在正常输出功率, 即, 像机顶盒 300 的“运行模式”那样, 在大约 0.8 到 1.8A 之间的条件下, 同步整流器控制器 236 通过安森美 (On Semi) 公司制造的型号 MMBT589LTG 的 PNP 开关晶体管 244 在  $V_{DD}$  端子 242 上接收工作电压。晶体管 244 具有与输出电压 132 连接的发射极、和与控制器 236 的  $V_{DD}$  端子 242 连接的集电极。晶体管 244 又受 2N2222NPN 开关晶体管 252 控制, 开关晶体管 252 具有与地 128 连接的发射极。晶体管 252 的集电极通过由电阻 248 和电阻 250 形成的分压器与晶体管 244 的基极连接。晶体管 252 的基极通过由电阻 254 和电阻 256 形成的分压器从同步整流器禁用信号 202 中接收其输入。当禁用信号 202 处在高状态, 通常大约 5V 下时, 分压器 254, 256 对晶体管 252 加电。当晶体管 252 被接通时, 它的集电极接近地电位, 这又通过分压器 248, 250 使晶体管 244 变成它的接通状态。随着晶体管 244 被接通, 它的集电极电压接近  $+V_{OUT}$  电压, 因此将工作电流提供给控制器 236。控制器 236 含有从  $V_{DD}$  端子 242 到地的旁路电容器 243, 以保证当晶体管 244 传导时, 到控制器 236 的低阻抗工作电源 (low impedance operating supply)。控制器 236 的输出端 304 在这种情况下, 产生将同步整流器 233 切换到它的接通状态的波形。

[0019] 微处理器 400 用于控制机顶盒 300 的操作。通过微处理器用户接口 420 以及往往借助于遥控器 430 的方便性, 微处理器 400 指示信号处理器 500 的操作以便, 例如, 选择信道, 播放 / 记录和接通 / 断开。在现代机顶盒中, 断开的命令向处理器 500 用信号发出, 以停止处理可视活动和进入低功率或“待机模式”的信号。这种小于 100mA 的部分加电状态允许下载常规软件, 并且使微处理器用户接口和遥控器接口仍然有效, 以便接收和处理随后接通命令。由于许多原因, 使设备处在这样的待机状态下时消耗的功率尽可能低是重要的。当微处理器 400 通过待机信号 202 向处理器 500 发出进入待机或小电流模式的信号时, 微处理器并行地将同步整流器禁用信号 202 设置成低电压状态以便断开控制器 236。当禁用

信号 202 处在低电压状态下时,晶体管 252 被断开,对此的反应是断开晶体管 244。当晶体管 244 处在其断开模式下时,中断来自同步整流器栅极的波形 304,因此断开 MOSFET 234 的操作。当使 MOSFET 234 不起作用时,整流器 230 的二极管 232 提供输出电压 132 的整流,因此仍然提供输出电压  $+V_{OUT}$ 。在电源 200 输出的低功率上,二极管 232 在其传导时可能具有比 MOSFET 234 在其传导时稍大的压降。但是,电源效率的降低是最小的。通过禁用信号 202 中断到控制器 236 的电源电流,显著提高了电源 200 的效率。可以从整流器 230 中除去二极管 232,待机模式整流由 MOSFET 体二极管 235 提供。

[0020] 尽管在图 2 中将禁用信号 202 和待机信号 203 显示成直接相互连接,但它们也可以是来自微处理器 400 的两条分开但并行的信号路径。分开但并行信号路径的一个原因可能是信号 202 和 203 需要不同极性的情况。还应该考虑到信号 202 和 203 之一或两者可以以位图案(bit pattern)在像 IIC 总线那样的串行通信总线中传送。

[0021] 图 4 描述了当前优选实施例的同步整流器控制器 236 的示意图。将信号 302 施加给二极管 260 的阳极和电阻 262 的一个端子。二极管 260 的阴极与电阻 262 的第二端子连接,它们的公共连接与电容器 264 的第一端子连接。电容器 264 的第二端子与控制器 236 的  $V_{DD}$  端子 242 连接。二极管 260、电阻 262 和电容器 264 的组合在电容器 264 的第一端子上形成快速升高(fast attack)、缓慢衰减滤波信号。当信号 302 变成正时(go positive),迅速对电容器 264 充电。当信号 302 沿着负方向进行时,二极管 260 被反向偏置,电容器 264 的第一端子上的信号具有近似电阻 262 的值乘以电容器 264 的的时间常数地通过电阻 262 沿着负方向衰减。

[0022] 电容器 266 从电阻 262、二极管 260 和电容器 264 的结点连接到安森美公司制造的型号 MMBT589LT1G 的 PNP 开关晶体管 274 的基极。还与晶体管 274 的基极端子连接的是电阻 272,电阻 272 连接在晶体管 274 的基极与发射极之间。二极管公司制造的 4.7 伏齐纳二极管 268BZT52C4V7 和传统二极管 270 相互串联,并且也从晶体管 274 的基极连接到发射极。齐纳二极管 268 的阴极与晶体管 274 的基极连接,二极管 270 的阴极与晶体管 274 的发射极连接,两个二极管的阳极连接在一起。晶体管 274 的发射极返回到控制器 236 的  $V_{DD}$  242。电容器 266 和电阻 272 形成差分器,以便将差分脉冲施加给晶体管 274 的基极发射极结。当信号 302 沿着负方向进行时,来自差分器的适度宽脉冲使晶体管 274 将电流从  $V_{DD}$  242 通过由电阻 276 与电阻 240 串联形成的负载电阻传导到地 128。因此在跨越电阻 240 引出的正变电压(positive going voltage)产生信号 304 施加给 MOSFET 234 的栅极的正部分。

[0023] 当电压 302 沿着正方向进行时,在跨越电容器 264 引出的电压迅速变正,这个电压又被电容器 266 和电阻 272 差分,迅速使晶体管 274 呈现非传导。当晶体管 274 停止传导时,在 MOSFET 234 的栅极上引出的电压下降到低于 MOSFET 的传导阈值。由二极管 268 和 270 形成的限幅器(clipper)使晶体管 274 的基极发射极电压正偏移近似 5.4 伏(齐纳电压加一个正向二极管压降),以保证晶体管 274 的基极发射极不超过它的反向击穿电压。电阻 276 被放置成串联在晶体管 274 的集电极与 MOSFET 234 的栅极之间,与电容器 258 形成低通滤波器,以便降低由 MOSFET 234 的开关引起的射频干扰。图 5 中的波形用图形示出了驱动器晶体管 274 相对于同步整流器栅极电压 304 的基极 - 发射极电压 502。

[0024] 在本发明中,通过避免使用电源电流负载传感器,使电源在所有条件下都更有效。

另外,有利的是,在待机条件下,中断对控制器的电流供应。另外,通过省略负载传感器所需的组件和空间,该电源可以比以前的那些应用更小和更划算。



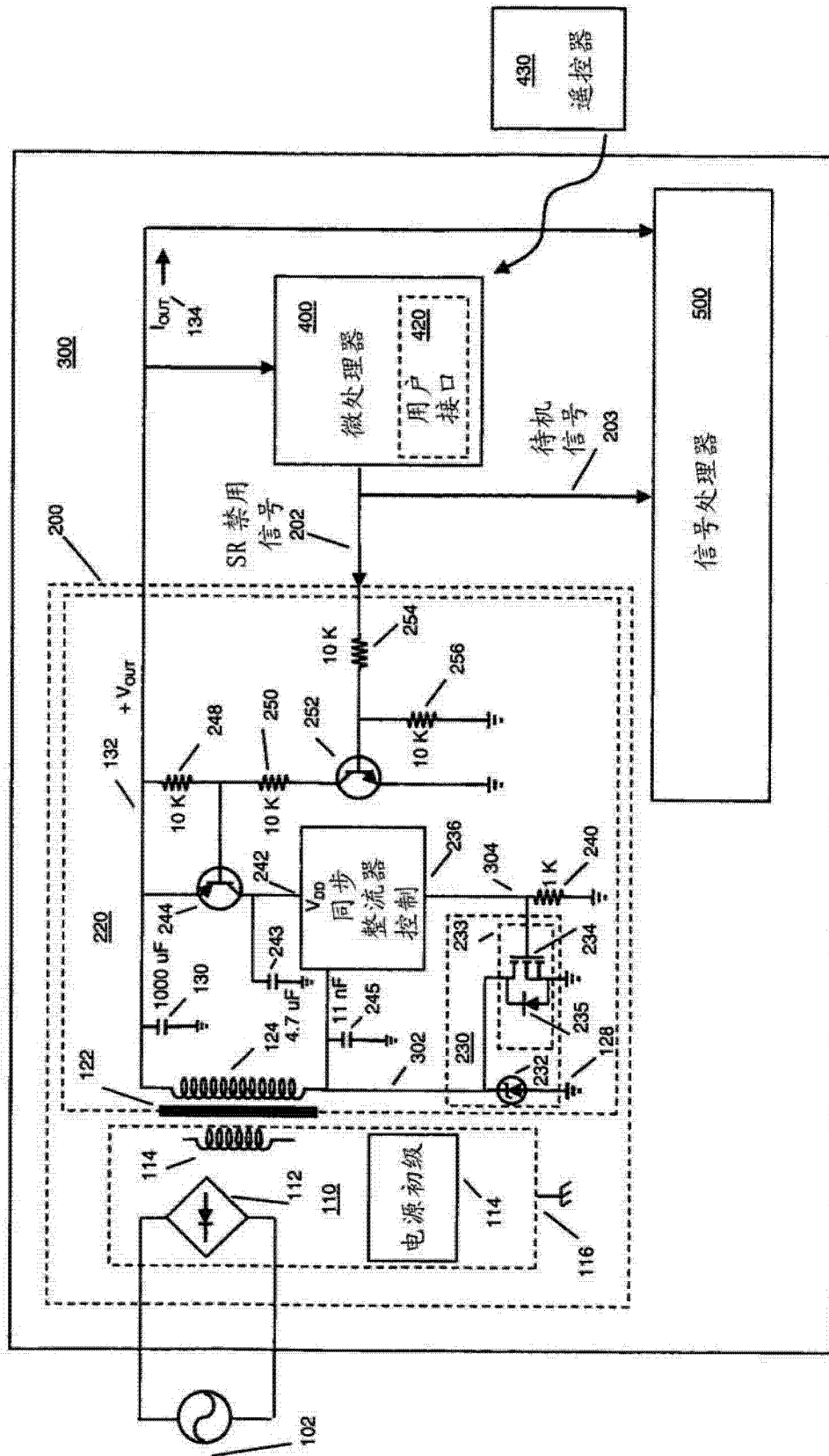


图 2

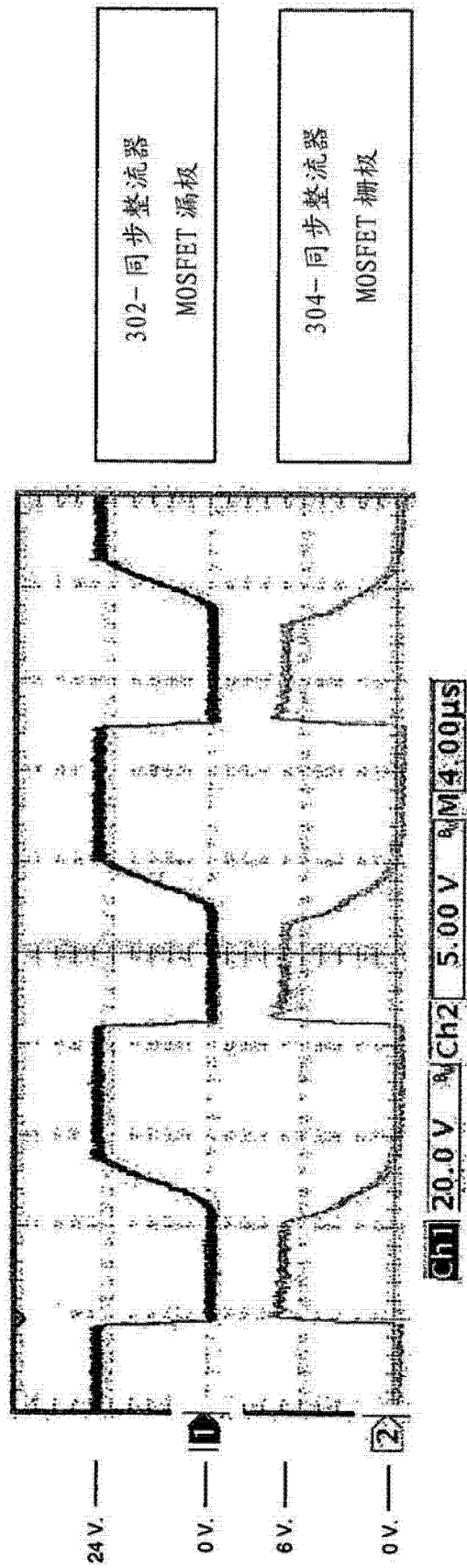


图 3



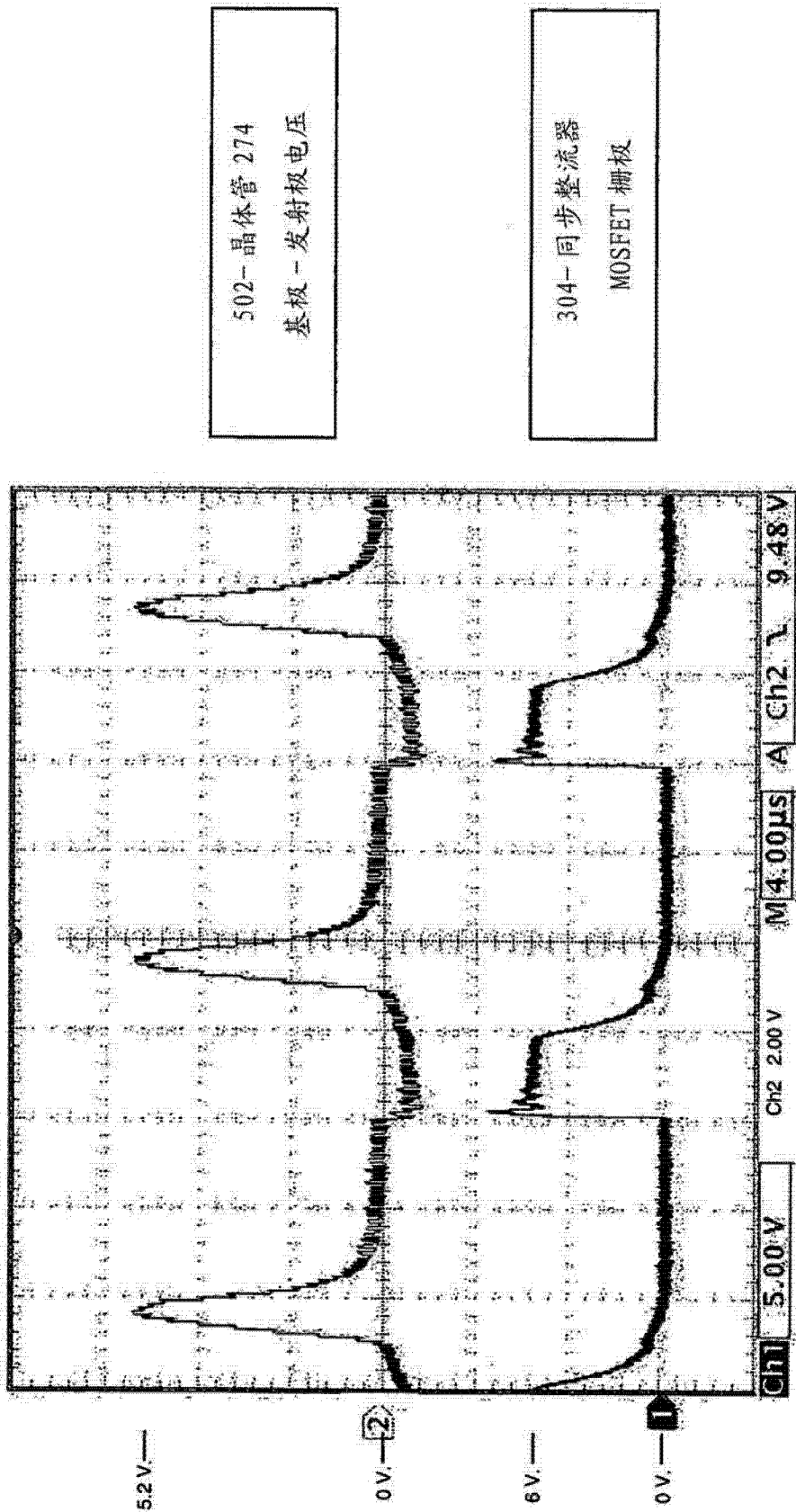


图 5