

公告本

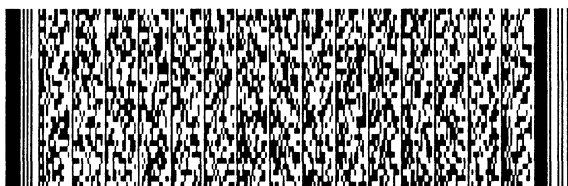
申請日期: 90.6.14	案號: 90114367
類別: G11C 9100	

(以上各欄由本局填註)

發明專利說明書

514929

一、發明名稱	中文	預燒測試靜態隨機存取記憶體之方法及裝置
	英文	METHOD AND APPARATUS THEREOF FOR BURN-IN TESTING OF A STATIC RANDOM ACCESS MEMORY
二、發明人	姓名 (中文)	1. 陳瑞隆 2. 黃世煌
	姓名 (英文)	1. Chen, Jui-Lung 2. Huang, Shih-Huang
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市富群街三〇巷三弄八號 2. 新竹市東南街二一〇巷一弄二十二號
三、申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路三號
	代表人姓名 (中文)	1. 宣明智
	代表人姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

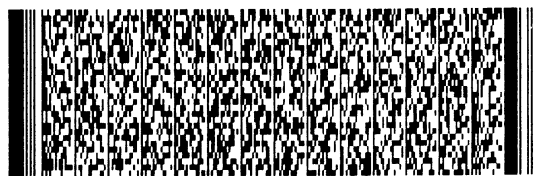
【發明之領域】

本發明係提供一種預燒測試之方法及裝置，尤指一種預燒測試靜態隨機存取記憶體之方法及裝置。

【發明背景】

當靜態隨機存取記憶體 (static random access memory, SRAM) 製造完成時，通常會對靜態隨機存取記憶體做預燒測試 (burn-in)，以確定靜態隨機存取記憶體是否可以正常地運作。一般說來，靜態隨機存取記憶體皆包含有複數個用來儲存資料的記憶體單元 (memory cells)，而預燒靜態隨機存取記憶體的目的即在於要使靜態隨機存取記憶體中的一些不良的記憶體單元加速老化。傳統上在進行預燒測試時，係以逐次地選擇記憶體單元的方式來進行測試，被選擇到的記憶體單元會連續地被施加電壓，以進行一預定次數的資料寫入及讀取動作。當記憶體單元連續地進行幾次資料寫入及讀取的動作後，若其仍然可正常地運作的話，則該記憶體單元即被認定為沒有問題。相反的，若靜態隨機存取記憶體中有任何一個記憶體單元無法通過預燒測試的話，則此一靜態隨機存取記憶體即會因而被視為不良品。

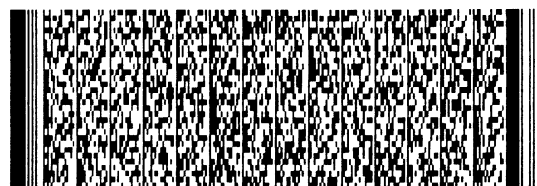
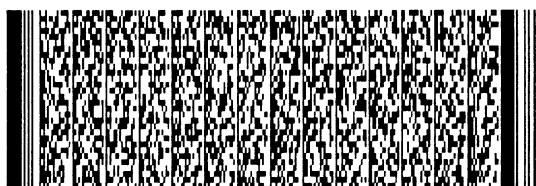
請參考圖一，圖一為習知測試裝置10測試一靜態隨機



五、發明說明 (2)

存取記憶體 20 時之示意圖。靜態隨機存取記憶體 20 包含有複數個用來儲存資料之記憶體單元 22、複數條字線 (word lines) 24、複數條第一位元線 (bit lines) 26 以及複數條第二位元線 28，而每一記憶體單元 22 電連接於一對應的字線 24、一對應的第一位元線 26 以及一對應的第二位元線 28。測試裝置 10 則包含有一控制電路 12 用來控制測試裝置 10 之操作，一電源 14 用來供應電源予測試裝置 10 的各個組成元件，一行解碼器 (column decoder) 16，以及一列解碼器 (row decoder) 18，測試裝置 10 可藉由行解碼器 16 以及列解碼器 18 來選擇所要進行測試的記憶體單元 22。每一記憶體單元 22 電連接於電源 14，當測試裝置 10 測試靜態隨機存取記憶體 20 時，電源 14 會持續施加一維持在正五伏的工作電壓 V_{cc} 于每一記憶體單元 22 直到完成測試靜態隨機存取記憶體 20 為止，而控制電路 12 則會藉由行解碼器 16 以及列解碼器 18 來逐一地選擇記憶體單元 22 以進行資料寫入及讀取的動作。

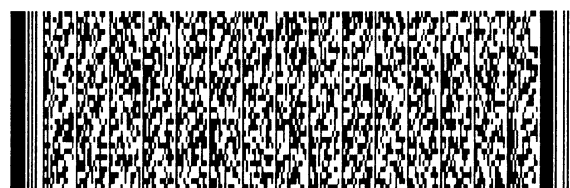
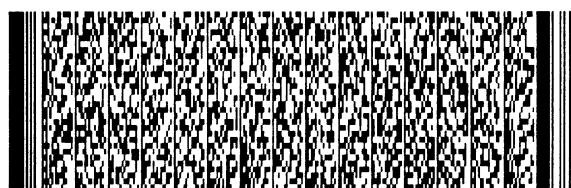
請參考圖二，圖二為圖一記憶單元 22 之電路圖。如圖二所示，每一記憶單元 22 包含有一儲存電路 32、一第一開關電路 34 及一第二開關電路 36。其中儲存電路 32 電連接於電源 14，用來儲存一位元 (one bit) 之資料，而第一及第二開關電路 34、36 皆電連接於一對應的字線 24 並分別電連接於對應的第一及第二位元線 26、28。如圖二所示，記憶單元 22 係由六個金屬氧化半導體場效電晶體



五、發明說明 (3)

(metal-oxide-semiconductor field-effect transistor, MOSFET) T1、T2、T3、T4、T5、T6所構成，其中儲存電路 32 由電晶體 T1、T2、T3、T4 所構成，第一開關電路 34 及第二開關電路 36 則分別由電晶體 T5 及電晶體 T6 所構成，而在這六個電晶體中，電晶體 T1、T2、T5、T6 為 N 型金屬氧化半導體 (N-type metal-oxide semiconductor, NMOS)，電晶體 T3、T4 則為 P 型金屬氧化半導體 (P-type metal-oxide semiconductor, PMOS)，故儲存電路 32 是一種互補式金屬氧化半導體 (complementary metal-oxide semiconductor, CMOS) 電路。

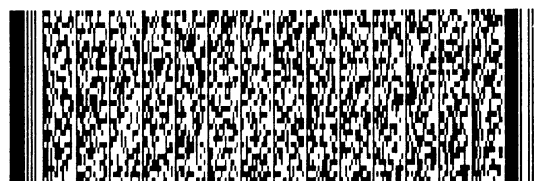
當測試裝置 10 測試靜態隨機存取記憶體 20 時，電源 14 所供應的工作電壓 V_{cc} 會維持在正五伏，而控制電路 12 則藉由列解碼器 18 來選擇適當數目的字線 24 並對所選取的字線 24 施加電壓。之後，控制電路 12 會在藉由行解碼器 16 來選擇所要進行測試的記憶體單元 22，並使得被選到的記憶體單元 22 其所電連接的第一位元線 26 及第二位元線 28 之間電壓差大於一預定電壓值，最後儲存電路 32 即可將對應的資料儲存起來。舉例來說，當欲將邏輯值為 "1" 的資料寫入儲存電路 32 時，記憶體單元 22 所電連接之字線 24 會被施加電壓，而使得電晶體 T5 及 T6 從不可導電 (non-conductive) 狀態變成可導電 (conductive) 狀態。之後，控制電路 12 會經由行解碼器 16 對被選到的記憶體單元 22 其所電連接之第一位元線 26 施加電壓，以使得第一位元



五、發明說明 (4)

線 26 及 第二 位 元 線 28 之 間 電 壓 差 大 於 一 預 定 電 壓 值。當 第 一 位 元 線 26 被 施 加 電 壓 後，連 接 點 A 的 電 壓 即 會 被 提 升 (go high)。當 A 點 電 壓 提 升 之 後，會 使 得 電 晶 體 T2 變 成 可 導 電 狀 態，以 及 使 得 電 晶 體 T6 變 成 不 可 導 電 狀 態，並 導 致 連 接 點 B 的 電 壓 值 下 降 (go low)。當 B 點 的 電 壓 值 下 降 後，電 晶 體 T3 即 會 變 成 可 導 電 狀 態 且 電 晶 體 T1 會 變 成 不 可 導 電 狀 態，如 此 一 來 會 使 得 A 點 的 電 壓 再 度 被 提 升，並 再 度 導 致 B 點 的 電 壓 值 下 降。最 後，A 點 的 電 壓 即 會 維 持 在 一 預 定 高 電 壓 值，而 B 點 的 電 壓 會 維 持 在 一 預 定 低 電 壓 值，儲 存 電 路 32 即 是 藉 由 讓 A、B 兩 點 維 持 在 不 同 電 壓 的 方 式 來 表 示 其 所 儲 存 的 一 位 元 資 料 (0 或 1)。同 樣 地，當 欲 將 邏 輯 值 為 "0" 的 資 料 寫 入 儲 存 電 路 32 時，記 憶 體 單 元 22 所 電 連 接 之 字 線 24 會 先 被 施 加 電 壓，之 後 記 憶 體 單 元 22 所 電 連 接 之 第 二 位 元 線 28 會 被 施 加 電 壓，以 使 得 B 點 的 電 壓 被 提 升，並 使 得 A 點 的 電 壓 值 下 降。最 後，A 點 的 電 壓 即 會 維 持 在 一 預 定 低 電 壓 值，而 B 點 的 電 壓 即 會 維 持 在 一 預 定 高 電 壓 值。因 此，測 試 裝 置 10 在 預 燒 測 試 靜 態 隨 機 存 取 記 憶 體 20 時，一 般 可 用 下 列 步 驟 來 表 示：

- (a) 選擇所要進行測試的記憶體單元 22，並供應工作電壓 Vcc 至所選擇的記憶體單元 22，直到完成測試為止；
- (b) 對所選擇的記憶體單元 22 所電連接之位元線 24 施加電壓；
- (c) 使所要進行測試的記憶體單元 22 其所電連接之第一及第二位元線 26、28 之間電壓差大於一預定電壓值，以將對

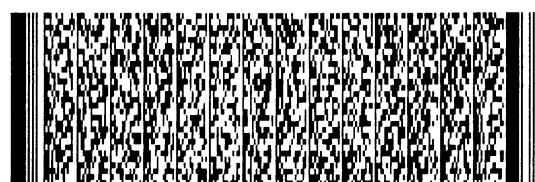


五、發明說明 (5)

應的資料寫進儲存電路 32 中儲存。

除此之外，當儲存電路 32 所儲存的資料有變化時，會有電流經由位元線流到儲存電路 32。舉例來說，若儲存電路 32 所儲存的資料其邏輯值由 "0" 轉變成 "1" 時，如上所述，電晶體 T5、T6 會變成可導電狀態。然而，因在資料寫入儲存電路 32 的一開始，電晶體 T1 仍然處於可導電的狀態，故電晶體 T5 及電晶體 T1 會形成一電路回路，並有電流經由第一位元線 26、電晶體 T5 以及電晶體 T1 流到儲存電路 32 的一接地端 38。此外，因 B 點電壓較第二位元線 28 高，故亦會有電流經由電晶體 T6 流到第二位元線 28。同理，當儲存電路 32 所儲存的資料的邏輯值由 "1" 轉變成 "0" 剛開始的一段時間內，電晶體 T2 會處於可導電的狀態，且 A 點的電壓會較第一位元線 26 高，因此會有電流經由第二位元線 28、電晶體 T6 以及電晶體 T2 流到儲存電路 32 的另一接地端 39，並且會有電流經由電晶體 T5 流到第一位元線 26。然而因第一及第二位元線 26、28 所能承受流經的電流通常很有限（一般約為 700mA），故當測試裝置 10 測試靜態隨機存取記憶體 20 時，未了避免因流經第一及第二位元線 26、28 的電流過大而使得靜態隨機存取記憶體 20 燒毀，測試裝置 10 同時時間內只能選擇部分的記憶體單元 22 來進行測試，也因此其測試時間相對而言會較長。

【發明之目的及概述】



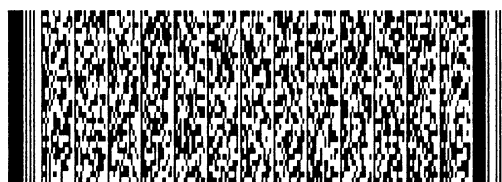
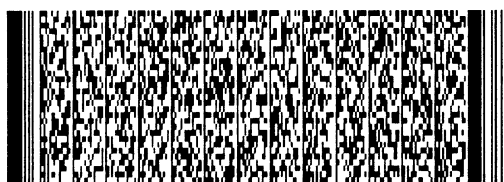
五、發明說明 (6)

因此，本發明的目的即在於提供一種預燒測試靜態隨機存取記憶體之測試裝置及其測試方法。該測試裝置於測試時，流經位元線的電流會較小，故本發明之測試裝置同一時間可對較多的記憶體單元進行測試，進而可以縮短測試的時間。

該測試裝置包含有一電源，用來施加一工作電壓于該複數個記憶體單元，以使該複數個記憶體單元得以進行資料寫入動作。此外，該測試裝置另包含一控制電路用來控制該測試裝置之操作。該控制電路會選擇一預定數目之記憶體單元進行測試，並使所選擇的記憶體單元其所電連接之字線的電壓高於一第一電壓值，且使所選擇的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於一第二電壓值。當被選到的記憶體單元其所電連接之字線的電壓高於該第一電壓值以及被選到的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於該第二電壓值時，該控制電路才會開始施加該工作電壓至所選擇的記憶體單元，以將資料寫入至記憶體單元中儲存。

【發明之詳細說明】

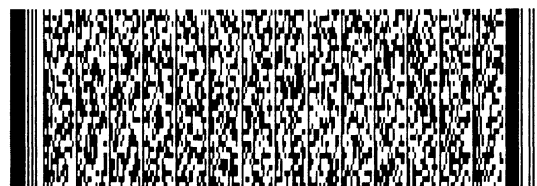
請參考圖三，圖三為本發明測試裝置100測試一靜態隨機存取記憶體120時之示意圖。靜態隨機存取記憶體120



五、發明說明 (7)

包含有複數個用來儲存資料之記憶體單元 122、複數條字線 124、複數條第一位元線 126 以及複數條第二位元線 128。每一記憶體單元 122 電連接於一對應的字線 124、一對應的第一位元線 126 以及一對應的第二位元線 128。測試裝置 100 則包含有一控制電路 112 用來控制測試裝置 100 之操作，一電源 114 用來供應電源予測試裝置 100 的各個組成元件，一行解碼器 116，以及一列解碼器 118，測試裝置 100 可藉由行解碼器 116 以及列解碼器 118 來選擇所要進行的記憶體單元 122 進行資料寫入及讀取的動作以測試靜態隨機存取記憶體 120。

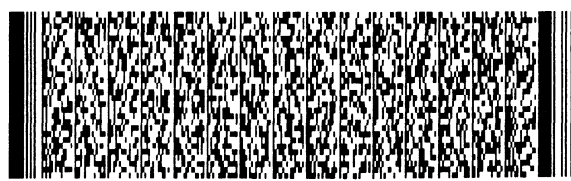
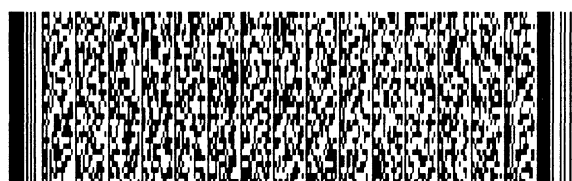
請參考圖四，圖四為圖三記憶單元 122 之電路圖。如圖四所示，每一記憶單元 122 包含有一儲存電路 132、一第一開關電路 134 及一第二開關電路 136。其中儲存電路 132 電連接於電源 114，用來儲存一位元之資料，而第一及第二開關電路 134、136 皆電連接於一對應的字線 124 並分別電連接於第一及第二位元線 126、128。如圖四所示，記憶單元 122 係由六個金屬氧化半導體場效電晶體 (metal-oxide-semiconductor field-effect transistor, MOSFET) T1、T2、T3、T4、T5、T6 所構成，其中儲存電路 132 由電晶體 T1、T2、T3、T4 所構成，第一開關電路 134 及第二開關電路 136 則分別由電晶體 T5 及電晶體 T6 所構成，而在這六個電晶體中，電晶體 T1、T2、T5、T6 為 N 型金屬氧化半導體 (N-type metal-oxide



五、發明說明 (8)

semiconductor, NMOS), 電晶體 T3、T4則為 P型金屬氧化半導體 (P-type metal-oxide semiconductor, PMOS), 故儲存電路 132是一種互補式金屬氧化半導體 (complementary metal-oxide semiconductor, CMOS) 電路。

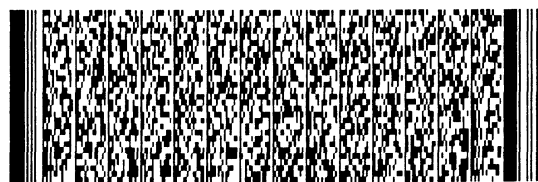
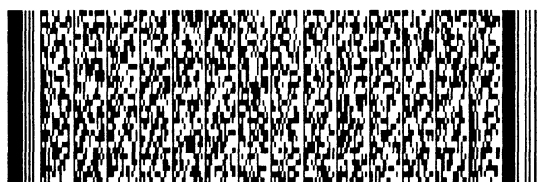
請參考圖四及圖五，圖五為圖四記憶單元 122各端點電壓之時序圖。當測試裝置 100測試靜態隨機存取記憶體 120時，控制電路 112會對被選到進行測試的記憶體單元 122其所電連接之字線 124施加一字線電壓 V_{WL} 以使字線 124之電壓高於一第一電壓值 V_1 ，並對所選到的記憶體單元 122其所電連接之第一及第二位元線 126、128施加兩互補的週期性電壓訊號 V_{BL1} 、 V_{BL2} ，以使得第一及第二位元線 126、128之間的電壓差 V_G 會週期性地大於一第二電壓值 V_2 。其中，兩電壓訊號 V_{BL1} 、 V_{BL2} 之週期皆為 $4t$ ，電壓訊號 V_{BL1} 係施加在第一位元線 126上，另一電壓訊號 V_{BL2} 則施加在第二位元線 128上，而第一及第二位元線 126、128之間的電壓差 V_G 等於 $|V_{BL1} - V_{BL2}|$ 。此外，控制電路 112亦會依據字線電壓 V_{WL} 以及兩電壓訊號 V_{BL1} 、 V_{BL2} 的電壓值來控制施加至記憶體單元 122之工作電壓 V_{CC} 的電壓值。如圖五所示，當字線 124的電壓 V_{WL} 高於第一電壓值 V_1 時以及當第一及第二位元線 126、128之間的電壓差 V_G 大於第二電壓值 V_2 時，控制電路 112會使工作電壓 V_{CC} 從一第三電壓值 V_3 提升至一第四電壓值 V_4 。其中，第三電壓值 V_3 等於零伏特，也就是



五、發明說明 (9)

說，當字線 124 電壓 V_w 未高於第一電壓值 V_1 時以及第一及第二位元線 126、128 之間的電壓差 V_g 未大於第二電壓值 V_2 之前，電晶體 T3、T4 之源極 (Source) 係處於接地狀態。與習知測試裝置 10 不同的是，測試裝置 100 係先施加電壓至字線 124 以及兩位元線 126、128 之後，才會施加工作電壓 V_{cc} 至所欲進行測試的記憶體單元 122，而測試裝置 10 則是不間斷地於測試的期間內持續施加正五伏的工作電壓 V_{cc} 至所測試的記憶體單元 22。

此外，控制電路 112 藉由施加兩互補的週期性電壓訊號 V_{BL1} 、 V_{BL2} 至第一及第二位元線 126、128 的方式，來改變第一及第二位元線 126、128 之間的電壓差，進而週期性地改變記憶體單元 122 所儲存的資料型態 (1 或 0)。如圖五所示，當字線 124 的電壓值經由控制電路 112 提升至電壓值 V_w 之後，控制電路 112 即會施加週期性電壓訊號 V_{BL1} 、 V_{BL2} 至第一及第二位元線 126、128，以週期性地改變第一及第二位元線 126、128 之間的電壓差 V_g 。當字線 124 的電壓值為 V_w ，且第一及第二位元線 126、128 之電壓值分別為 V_H 、0 時，控制電路 112 即會將工作電壓 V_{cc} 提升到第四電壓值 V_4 ，以將邏輯值為 "1" 的資料寫入儲存電路 132。另外，當字線 124 的電壓值為 V_w ，且第一及第二位元線 126、128 之電壓值分別為 0、 V_H 時，控制電路亦會將工作電壓 V_{cc} 提升到第四電壓值 V_4 ，以將邏輯值為 "0" 的資料寫入儲存電路 132。然而當控制電路 112 所選擇的記憶體單元 122 其所電連接之



五、發明說明 (10)

第一及第二位元線 126、128 之間的電壓差小於第二電壓值 V 時，控制電路 112 會使電源 114 停止施加工作電壓 V_{cc} 予記憶體單元 122，或使工作電壓 V_{cc} 小於第四電壓值 V_4 。因此，當儲存電路 132 所儲存的資料的邏輯值由 "0" 轉變成 "1" 的過程中，電晶體 T1 會處於不導電的狀態且 B 點的電壓不會高於第二位元線 128，故此時不會有電流經由第一位元線 126 流到儲存電路 132 的一接地端 138，亦不會有電流經由電晶體 T6 流到第二位元線 128。另一方面，當儲存電路 132 所儲存的資料的邏輯值由 "1" 轉變成 "0" 的過程中，因電晶體 T2 會處於不導電狀態且 A 點的電壓不會高於第一位元線 126，故此時不會有電流經由第二位元線 128 流到儲存電路 132 的另一接地端 139，亦不會有電流經由電晶體 T5 流到第一位元線 126。如此一來，當測試裝置 100 在測試隨機存取記憶體 120 時，相較於習知技術而言，若所測試的記憶體單元 122 數目相同的話，流經第一及第二位元線 126、128 的電流值會小很多。也因為測試裝置 100 在測試隨機存取記憶體 120 時，流經第一及第二位元線 126、128 的電流值很小（每一記憶體單元約為 $20\mu A$ ），故測試裝置 100 同一時間內可以對較多的記憶體單元 122 進行測試。

如上所述，當測試裝置 100 在預燒測試靜態隨機存取記憶體 120 時，一般可用下列步驟來表示：

(a) 藉由行解碼器 116 以及列解碼器 118 從複數個記憶體單元 122 中選擇一預定數目之記憶體單元 122 進行測試；



五、發明說明 (11)

(b)使所選擇的記憶體單元 122其所電連接之字線 124的電壓 V_{wl} 高於第一電壓值 V_1 ;

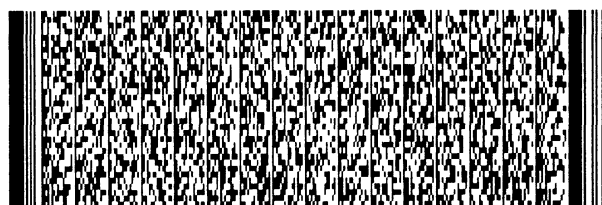
(c)使所選擇的記憶體單元 122其所電連接之第一位元線 126及第二位元線 128之間的電壓差大於第二電壓值 V_2 ; 以及

(d)當所選擇的記憶體單元 122其所電連接之字線的電壓 V_{wl} 高於第一電壓值 V 以及所選擇的記憶體單元 122其所電連接之第一位元線 126及第二位元線 128之間的電壓差大於第二電壓值 V 時，使工作電壓 V_{cc} 從第三電壓值 V 提升至第四電壓值 V_4 。

除此之外，若控制電路 112係藉由施加兩互補的週期性電壓訊號 V_{BL1} 、 V_{BL2} 予第一位元線 126、128的方式來週期性地使第一位元線 126、128之間的電壓差大於一第二電壓值 V 的話，則當測試裝置 100在預燒測試靜態隨機存取記憶體 120時，另包含以下步驟：

(e)當所選擇的記憶體單元 122其所電連接之第一位元線 126及第二位元線 128之間的電壓差小於第二電壓值 V 時，使電源 114停止施加工作電壓 V_{cc} 予所選擇的記憶體單元 122或是使工作電壓 V_{cc} 小於第四電壓值 V_4 ; 以及

(f)當所選擇的記憶體單元 122其所電連接之第一位元線 126及第二位元線 128之間的電壓差大於第二電壓值 V 時，使工作電壓 V_{cc} 提升至第四電壓值 V_4 。

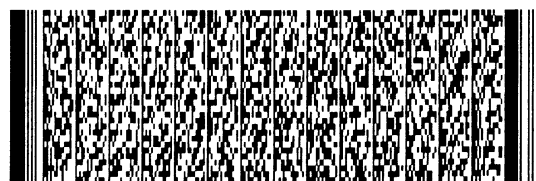


五、發明說明 (12)

需說明的，測試裝置 100 可不必包含有行解碼器 116 及列解碼器 118，當測試裝置 100 在測試隨機存取記憶體 120 時，控制電路 112 可以控制電源 114 以直接施加電壓予字線 124、第一位元線 126 以及第二位元線 128 的方式來對所有隨機存取記憶體 120 中的記憶體單元 122 進行測試。此外，因測試裝置 100 進行測試時，流經第一及第二位元線 126、128 的電流會很小，故測試裝置 100 還更可用來同時對一晶圓 (wafer) 上所形成的複數個隨機存取記憶體 120 進行測試。當進行該晶圓的測試時，測試裝置 100 可選擇該晶圓上所有記憶體單元 122 來測試，且該晶圓並不會因電流過大而燒毀。

相較於習知的測試裝置，本發明之測試裝置於測試隨機存取記憶體時係間斷性地提供工作電壓至所進行測試的記憶體單元，當資料寫入記憶體單元時，通過位元線及記憶體單元的電流會較習知測試裝置測試時小，故在測試裝置及隨機存取記憶體可承受有限之電流的條件下，本發明之測試裝置可同時對較多的記憶體單元進行測試，並可因此有效地縮短測試隨機存取記憶體所需花費的時間。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

【圖式簡單說明】

圖一為習知測試裝置測試一靜態隨機存取記憶體時之示意圖。

圖二為圖一記憶單元之電路圖。

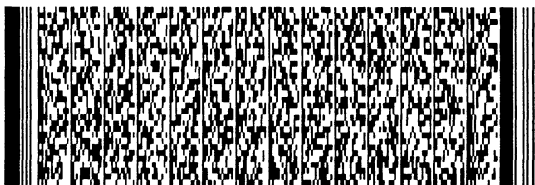
圖三為本發明測試裝置測試一靜態隨機存取記憶體時之示意圖。

圖四為圖三記憶單元之電路圖。

圖五為圖四記憶單元各端點電壓之時序圖。

【圖示之符號說明】

100	測試裝置	112	控制電路
114	電源	116	行解碼器
118	列解碼器	120	靜態隨機存取記憶體
122	記憶體單元	124	字線
126	第一位元線	128	第二位元線
132	儲存電路	134	第一開關電路
136	第二開關電路	138	接地端
139	接地端		

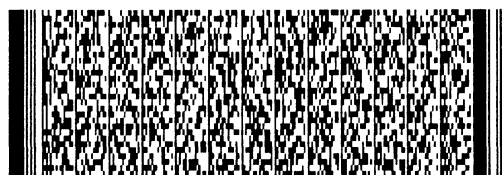


四、中文發明摘要 (發明之名稱：預燒測試靜態隨機存取記憶體之方法及裝置)

一種預燒測試一靜態隨機存取記憶體的方法及裝置。該靜態隨機存取記憶體包含有：複數條字線、複數條第一位元線、複數條第二位元線，以及複數個記憶體單元。每一記憶體單元電連接於一對應的字線、一對應的第一位元線、一對應的第二位元線以及一電源。其中該電源會施加一工作電壓于該記憶體單元，以使該記憶體單元得以運作。當該裝置測試該隨機存取記憶體時，該裝置會依據該字線的電壓以及該第一及第二位元線之間的電壓差來調整該工作電壓。

英文發明摘要 (發明之名稱：METHOD AND APPARATUS THEREOF FOR BURN-IN TESTING OF A STATIC RANDOM ACCESS MEMORY)

A apparatus uses a test method to burn-in testing of a static random access memory that has a plurality of word lines, a plurality of first bit lines, a plurality of second bit lines, and a plurality of memory cells for storing data. Each of the memory cells is coupled to a corresponding word line, a corresponding first bit line, a corresponding second bit line, and a power supply that is used to apply a working voltage to the memory cell to drive the memory cell. When the



四、中文發明摘要 (發明之名稱：預燒測試靜態隨機存取記憶體之方法及裝置)

英文發明摘要 (發明之名稱：METHOD AND APPARATUS THEREOF FOR BURN-IN TESTING OF A STATIC RANDOM ACCESS MEMORY)

apparatus tests the static random access memory, the apparatus adjusts the working voltage according to a potential of the word lines and voltage gaps between the first bit lines and the second bit lines.



六、申請專利範圍

1. 一種用來對一靜態隨機存取記憶體 (static random access memory) 進行預燒測試 (burn in) 之方法，該靜態隨機存取記憶體包含有：

複數條字線 (word lines)；

複數條第一位元線 (bit lines)；

複數條第二位元線；以及

複數個記憶體單元 (memory cells)，用來儲存資料，每一記憶體單元電連接於一對應的字線、一對應的第一位元線、一對應的第二位元線以及一電源，該電源可施加一工作電壓于該記憶體單元，以使該記憶體單元得以運作；

該方法包含下面步驟：

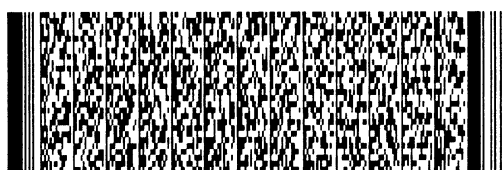
從該複數個記憶體單元中選擇一預定數目之記憶體單元進行測試；

使所選擇的記憶體單元其所電連接之字線的電壓高於一第一電壓值；

使所選擇的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於一第二電壓值；以及

當所選擇的記憶體單元其所電連接之字線的電壓高於該第一電壓值以及所選擇的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於該第二電壓值時，使該工作電壓從一第三電壓值提升至一第四電壓值。

2. 如申請專利範圍第 1 項之方法，其中該第三電壓值等



六、申請專利範圍

於零伏特。

3. 如申請專利範圍第1項之方法，其另包含下面步驟：
對所選擇的記憶體單元其所電連接之第一位元線及第二位元線施加兩互補的週期性電壓訊號，以週期性地改變該第一位元線與該第二位元線之間的電壓差。

4. 如申請專利範圍第3項之方法，其另包含下面步驟：
當所選擇的記憶體單元其所電連接之第一及第二位元線之間的電壓差小於該第二電壓值時，使該電源停止施加該工作電壓予所選擇的記憶體單元；以及
當所選擇的記憶體單元其所電連接之第一及第二位元線之間的電壓差大於該第二電壓值時，使該工作電壓提升至該第四電壓值。

5. 如申請專利範圍第3項之方法，其另包含下面步驟：
當所選擇的記憶體單元其所電連接之第一及第二位元線之間的電壓差小於該第二電壓值時，使該工作電壓小於該第四電壓值；以及
當所選擇的記憶體單元其所電連接之第一及第二位元線之間的電壓差大於該第二電壓值時，使該工作電壓提升至該第四電壓值。

6. 如申請專利範圍第1項之方法，其中每一記憶體單元



六、申請專利範圍

包含有一儲存電路、一第一開關電路及一第二開關電路，該儲存電路電連接於該電源，可用來儲存一位元之資料，該第一及第二開關電路電連接於該對應的字線且分別電連接於該對應的第一位元線及第二位元線。

7. 如申請專利範圍第6項之方法，其中該儲存電路係一互補式金屬氧化半導體 (complementary metal-oxide semiconductor, CMOS) 電路。

8. 如申請專利範圍第1項之方法，其中當從該複數個記憶體單元中選擇記憶體單元進行測試時，係選擇該靜態隨機存取記憶體中所有的記憶體單元進行測試。

9. 一種測試裝置，用來對一靜態隨機存取記憶體進行預燒測試，該靜態隨機存取記憶體包含有：

複數條字線；

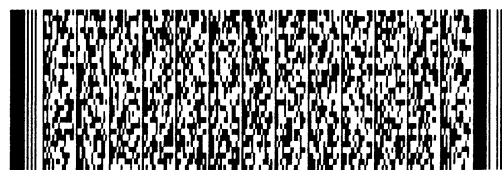
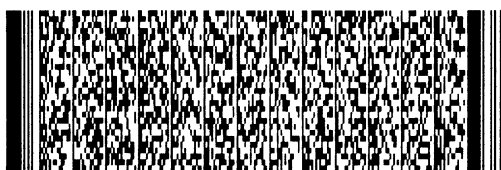
複數條第一位元線；

複數條第二位元線；以及

複數個記憶體單元，用來儲存資料，每一記憶體單元電連接於一對應的字線、一對應的第一位元線以及一對應的第二位元線；

該測試裝置包含有：

一電源，用來施加一工作電壓于該複數個記憶體單元，以使該複數個記憶體單元得以進行資料寫入動作；以



六、申請專利範圍

及

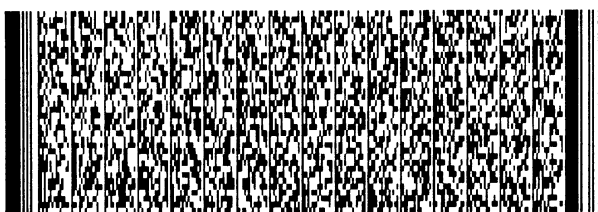
一控制電路，電連接於該電源，用來控制該測試裝置之操作；

其中該控制電路會選擇一預定數目之記憶體單元進行測試，並使所選擇的記憶體單元其所電連接之字線的電壓高於一第一電壓值，且使所選擇的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於一第二電壓值，當被選到的記憶體單元其所電連接之字線的電壓高於該第一電壓值以及被選到的記憶體單元其所電連接之第一位元線及第二位元線之間的電壓差大於該第二電壓值時，該控制電路會使該工作電壓從一第三電壓值提升至一第四電壓值。

10. 如申請專利範圍第9項之測試裝置，其中該第三電壓值等於零伏。

11. 如申請專利範圍第9項之測試裝置，其另包含有一列解碼器 (row decoder) 以及一行解碼器 (column decoder)，該控制電路會控制該列解碼器以及該行解碼器來選擇所要進行測試之記憶體單元。

12. 如申請專利範圍第9項之測試裝置，其中該控制電路會對所選擇的記憶體單元其所電連接之第一位元線及第二位元線施加兩互補的週期性電壓訊號，以週期性地改變該



六、申請專利範圍

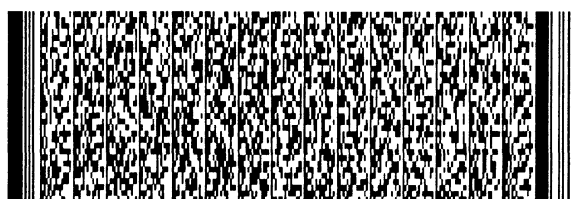
第一位元線與該第二位元線之間的電壓差。

13. 如申請專利範圍第12項之測試裝置，其中當被選到的記憶體單元其所電連接之第一及第二位元線之間的電壓差小於該第二電壓值時，該控制電路會使該電源停止施加該工作電壓予所選擇的記憶體單元，且當被選到的記憶體單元其所電連接之第一及第二位元線之間的電壓差大於該第二電壓值時，該控制電路會使該工作電壓提升至該第四電壓值。

14. 如申請專利範圍第12項之測試裝置，其中當被選到的記憶體單元其所電連接之第一及第二位元線之間的電壓差小於該第二電壓值時，該控制電路會使該工作電壓小於該第四電壓值，且當被選到的記憶體單元其所電連接之第一及第二位元線之間的電壓差大於該第二電壓值時，該控制電路會使該工作電壓提升至該第四電壓值。

15. 如申請專利範圍第9項之測試裝置，其中每一記憶體單元包含有一儲存電路、一第一開關電路及一第二開關電路，該儲存電路電連接於該電源，可用來儲存一位元之資料，該第一及第二開關電路電連接於該對應的字線且分別電連接於該對應的第一位元線及該對應的第二位元線。

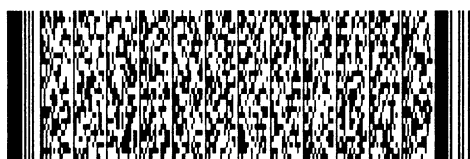
16. 如申請專利範圍第15項之測試裝置，其中該儲存電路



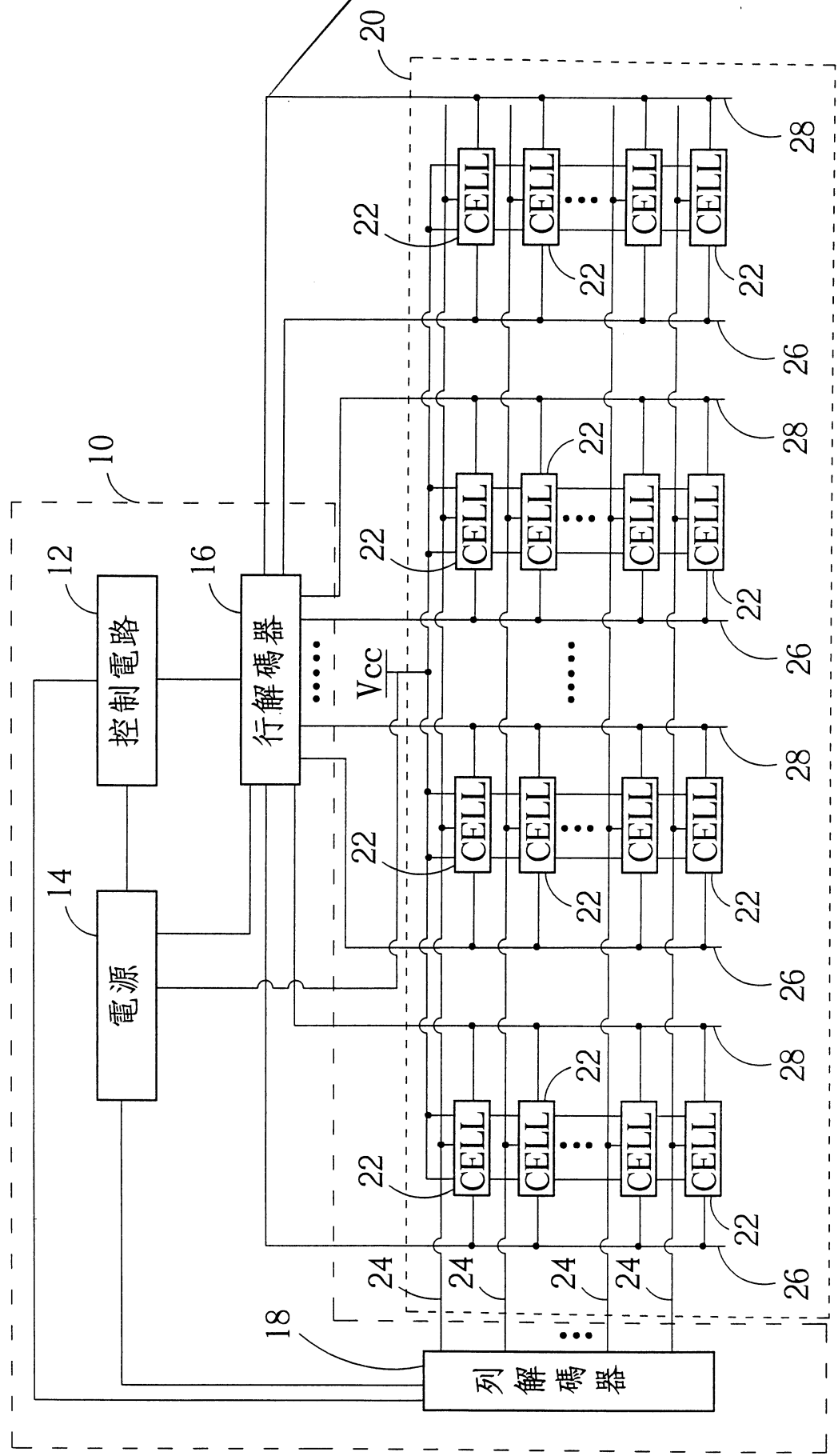
六、申請專利範圍

係一互補式金屬氧化半導體 (complementary metal-oxide semiconductor, CMOS) 電路。

17. 如申請專利範圍第 9 項之測試裝置，其中該控制電路係選擇該靜態隨機存取記憶體中所有的記憶體單元來進行測試。



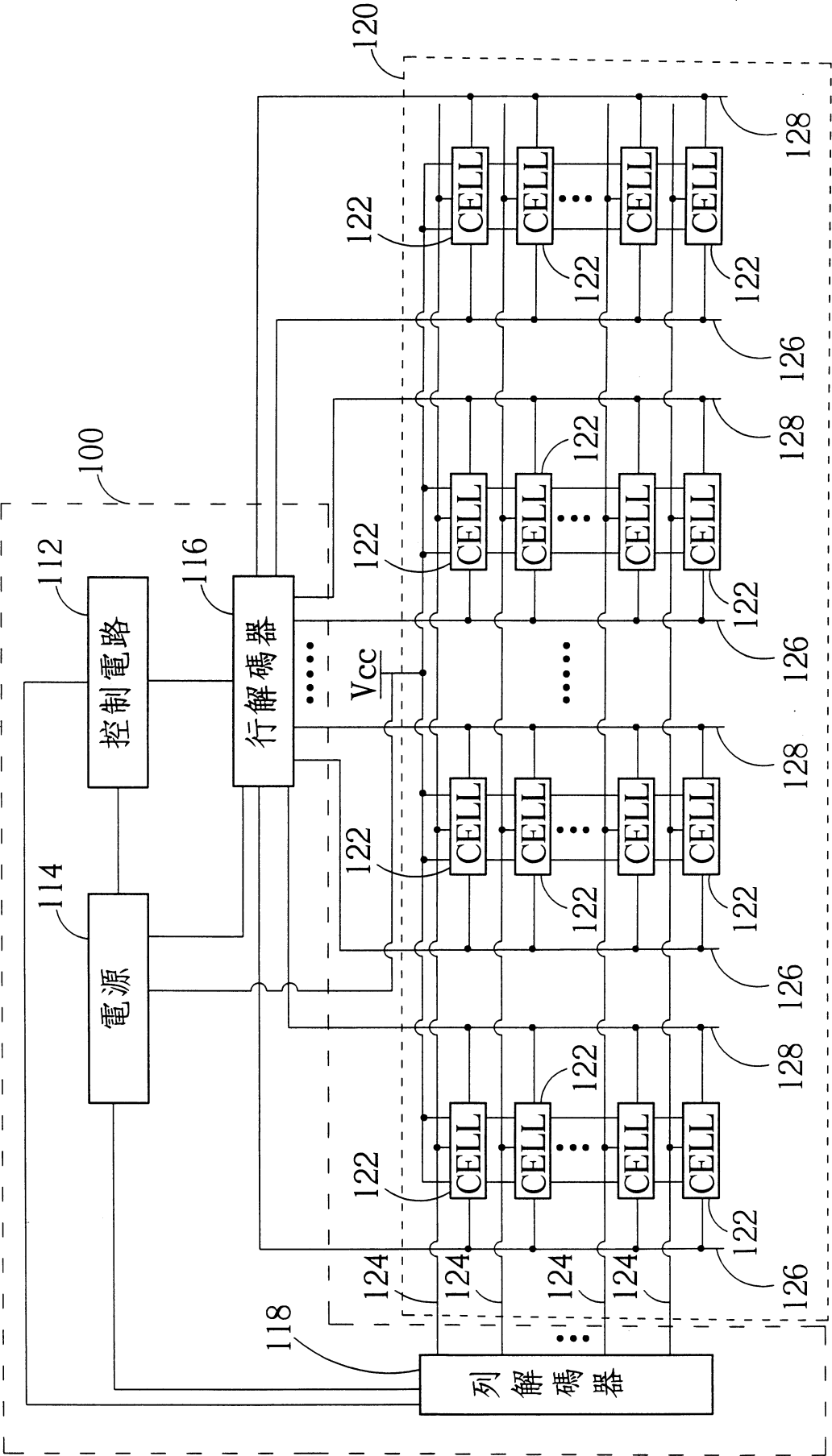
9011436



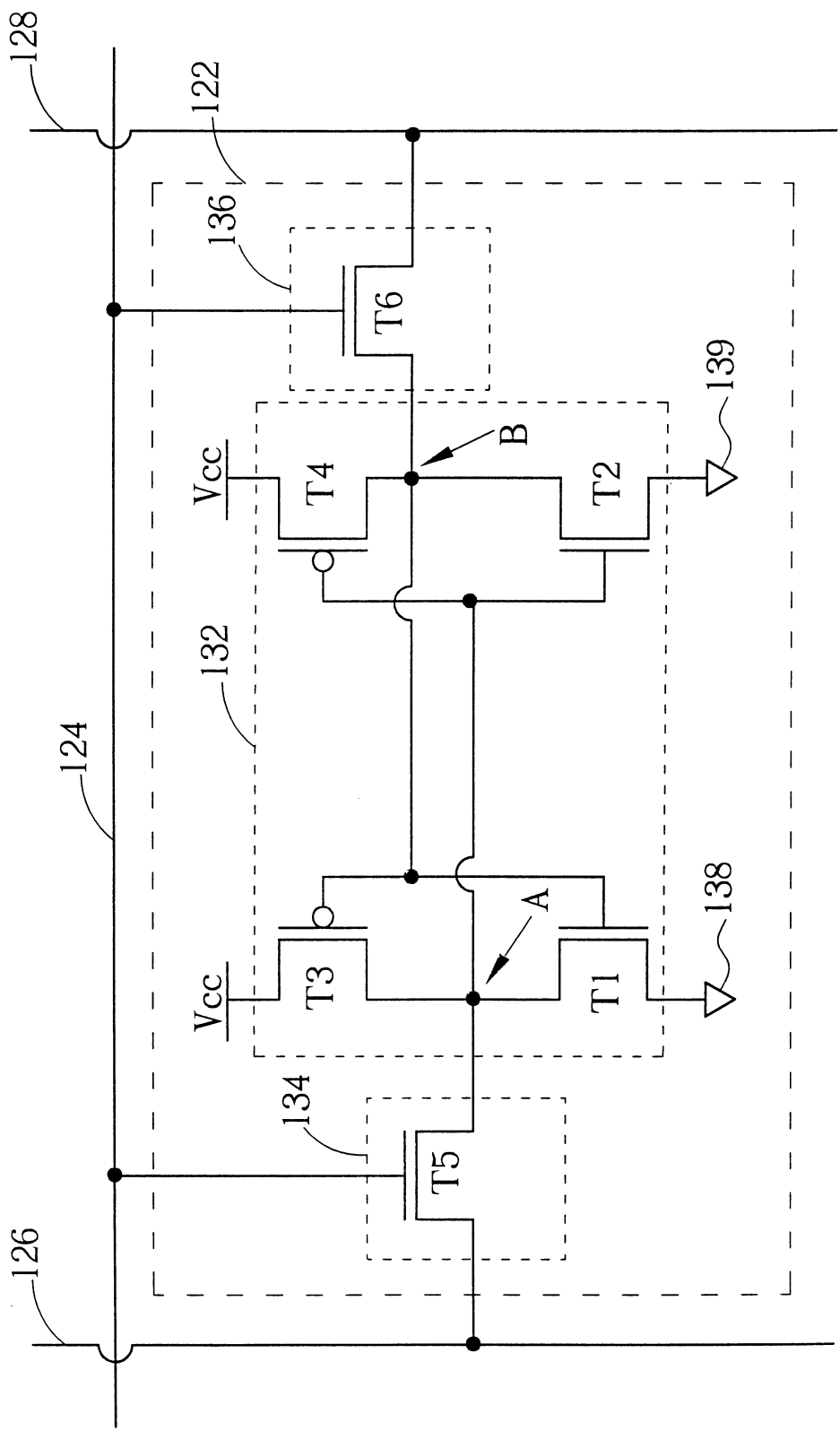
圖一



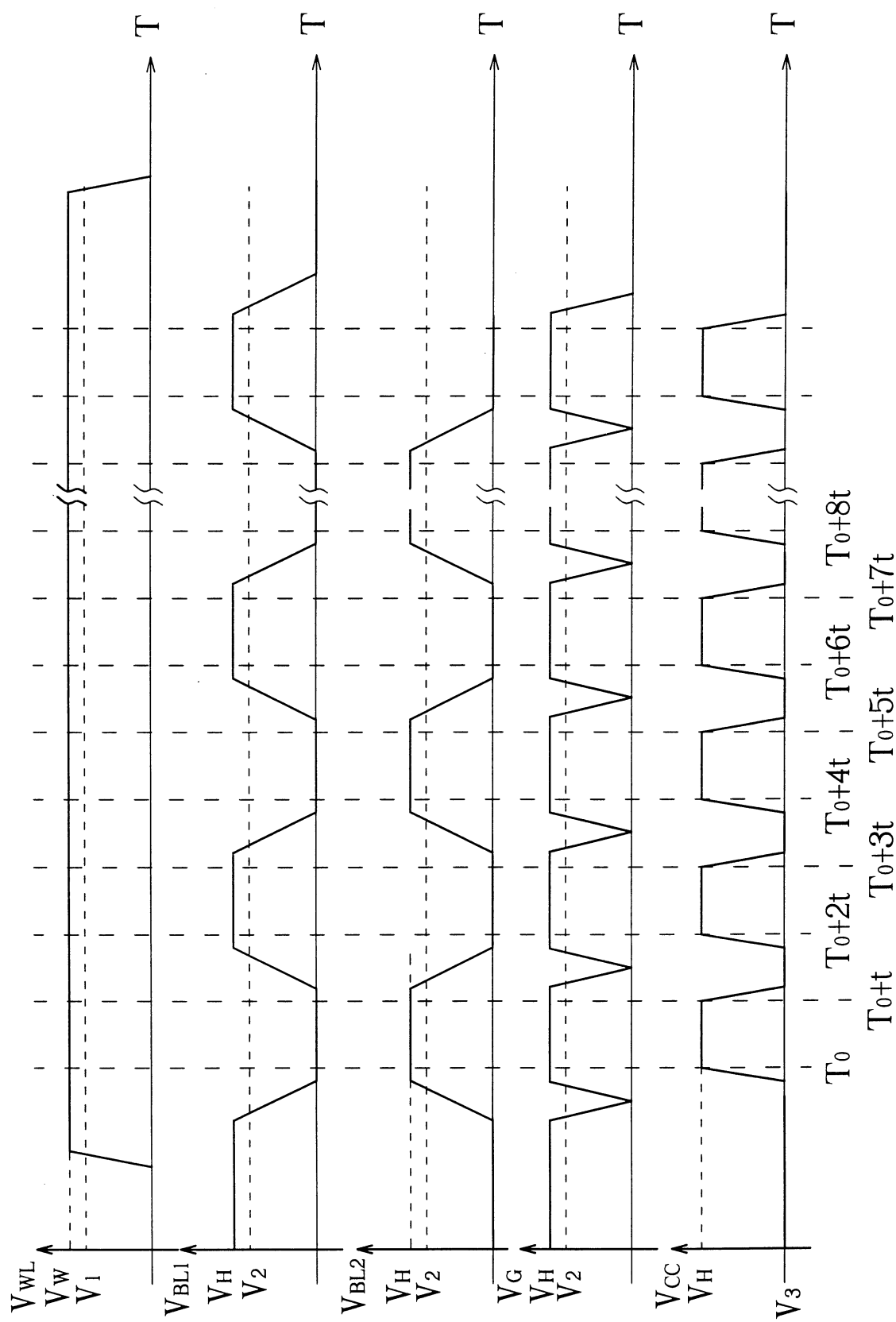
二



圖三



圖四



圖五