

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4143153号
(P4143153)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.

HO2M 3/155 (2006.01)

F I

HO2M 3/155 F

HO2M 3/155 C

請求項の数 5 (全 13 頁)

(21) 出願番号	特願平9-357859	(73) 特許権者	000001007
(22) 出願日	平成9年12月25日(1997.12.25)		キヤノン株式会社
(65) 公開番号	特開平11-191956		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成11年7月13日(1999.7.13)	(74) 代理人	100067541
審査請求日	平成16年12月13日(2004.12.13)		弁理士 岸田 正行
		(74) 代理人	100108361
			弁理士 小花 弘路
		(74) 代理人	100067530
			弁理士 新部 興治
		(74) 代理人	100083312
			弁理士 本多 小平
		(74) 代理人	100104628
			弁理士 水本 敦也

最終頁に続く

(54) 【発明の名称】 DC/DCコンバータの制御装置

(57) 【特許請求の範囲】

【請求項1】

DC/DCコンバータの昇圧用コイルへの通電をオン/オフさせる第1のスイッチング手段と、

前記DC/DCコンバータの出力をオン/オフさせる第2のスイッチング手段と、

前記DC/DCコンバータによって昇圧されていない電圧と前記DC/DCコンバータの出力電圧のうち、電圧が高い方を出力するロジック系出力電圧により動作し、前記DC/DCコンバータの出力電圧に応じて前記第1のスイッチング手段をオンさせるためのスイッチング信号を生成するとともに、外部からの作動/停止指令に応じて前記第2のスイッチング手段をオン/オフ制御する制御手段と、

前記制御手段により生成された前記スイッチング信号を前記ロジック系出力電圧を振幅とする信号から前記DC/DCコンバータの出力電圧を振幅とする信号に変換して前記第1のスイッチング手段に出力するレベルシフト手段とを有し、

前記レベルシフト手段は、前記DC/DCコンバータの出力電圧が供給されるとともに、前記制御手段から前記スイッチング信号としてLOWレベルの信号が入力される場合には、前記DC/DCコンバータの出力電圧が供給されなくとも、LOWレベルの信号を前記第1のスイッチング手段に出力することを特徴とするDC/DCコンバータの制御装置。

【請求項2】

前記レベルシフト手段は、前記DC/DCコンバータの出力電圧を電源とするCMOS

構成のインバータを出力部として有しており、

このインバータの P - c h トランジスタを前記 D C / D C コンバータの出力電圧を振幅とする信号で制御し、N - c h トランジスタを前記 ロジック系出力電圧 を振幅とする信号で制御することを特徴とする請求項 1 に記載の D C / D C コンバータの制御装置。

【請求項 3】

前記レベルシフト手段は、前記 D C / D C コンバータの出力電圧を電源とする C M O S 構成のインバータを出力部として有しており、このインバータの P - c h トランジスタを前記 D C / D C コンバータの出力電圧を振幅とする信号で制御し、N - c h トランジスタを前記 ロジック系出力電圧 を振幅とする信号で制御するとともに、

前記制御手段のスイッチング信号出力から前記 N - c h トランジスタおよび P - c h トランジスタまでの C M O S 構成のゲート段数が等しいことを特徴とする請求項 1 に記載の D C / D C コンバータの制御装置。

【請求項 4】

前記レベルシフト手段は、前記 D C / D C コンバータの出力電圧を電源とする C M O S 構成のインバータ出力に N - c h トランジスタの出力が接続された出力部を有しており、

前記 N - c h トランジスタは、前記制御手段が前記第 2 のスイッチング手段をオフしている間、オン制御されることを特徴とする請求項 1 に記載の D C / D C コンバータの制御装置。

【請求項 5】

前記制御手段と前記レベルシフト手段とが、同一基板上に構成される I C であることを特徴とする請求項 1 から 4 のいずれかに記載の D C / D C コンバータの制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電池電圧昇圧用コイルへの通電をオン / オフするスイッチング素子と、D C / D C コンバータの出力電圧が所定電圧となるように上記スイッチング素子をオンさせるためのスイッチング信号を生成する制御手段とを備えた D C / D C コンバータの制御装置に関するものである。

【0002】

【従来の技術】

D C / D C コンバータは、電池を電源とするシステムにおいて広く用いられている。一般にこの種の保護回路には、実公平 6 - 23161 号公報にて開示されているように、直流電源出力の過電圧又は過電流を検出し、D C / D C コンバータの動作を停止させる手段を有するものや、特開平 6 - 38361 号公報にて提案されているように、出力電圧が所定値以上にならない場合又は出力電流が所定値以上にならない場合には、D C / D C コンバータへの給電を停止するものがある。

【0003】

また、特開平 7 - 79562 号公報にて提案されているように、電池電圧側が所定値に達していない場合に制御手段の動作を禁止するものや、特開平 5 - 333408 号公報、同 6 - 162980 号公報および同 6 - 274350 号公報等にて提案されているように、動作開始以降の出力電圧特性の関係から異常を検出する手段を有するものがある。

【0004】

ところで、昇圧（ブースト）タイプの D C / D C コンバータを有するシステムにおいては、昇圧用コイルへの通電をオンさせるスイッチング動作を行わない場合には、電源からコイルやダイオードを介してコンバータ出力に電源電圧が現れてしまう。このため、非動作時の消費電流を削減するために、コンバータ出力ラインに、別のスイッチング手段を設けることが一般的に行われている。

【0005】

ここで、従来の昇圧タイプ D C / D C コンバータとその制御装置の構成について詳しく説明する。図 7 において、101 は電源であるところの電池、102 は昇圧用コイル、10

10

20

30

40

50

3はコイル102をスイッチングするスイッチング素子であるトランジスタである。DC/DCコンバータにおいてはその効率を上げるためにFETを用いる場合が多い。

【0006】

104はコイル102の出力を整流するためのダイオード、105は出力安定用のコンデンサである。

【0007】

106はDC/DCコンバータの出力電圧(これをアナログ系出力電圧と記す)を供給するアナログ系出力端子、111はアナログ系出力端子106への出力をオン/オフするためのスイッチングトランジスタである。

【0008】

107, 108は後述のDC/DC制御回路の電源等に用いられる出力(これをロジック系出力電圧と記す)を整流するためのダイオード、109はロジック系出力電圧を平滑化するためのコンデンサ、110はロジック系出力電圧を供給する出力端子、121は後述するDC/DCコンバータ制御回路およびCPUを内蔵するシーケンス制御用IC、122はシーケンス制御用IC121のロジック系電源電圧入力端子、123はシーケンス制御用IC121のアナログ系電源電圧入力端子、である。

【0009】

124はシーケンス制御用IC121のアナログ系電源電圧入力端子123の電圧に応じてスイッチングトランジスタ103を適宜オン/オフすることによりアナログ系出力電圧が設定値になるように制御するDC/DC制御回路である。125は不図示のシステム全体を制御するCPUからの制御信号入力端子である。

【0010】

次に上記構成におけるシステムの動作について説明する。不図示のCPUには、電池101よりダイオード107を介してロジック系電源が接続されている。したがってDC/DCコンバータが動作していない場合であっても、常に「電池電圧 $V_f(107)$ 」の電圧が印加されている。なお、 $V_f(107)$ はダイオード7にて降下する電圧を意味する。

【0011】

この場合であってもCPUは低速クロックで動作したり、あるいは操作スイッチ等の割り込みを待っていることが可能である。

【0012】

次にCPUが何らかの割り込み等で昇圧動作命令を出力すると、不図示のA/Dコンバータによって電池電圧がチェックされる。そして、電池電圧が所定値以上であると、まずCPUはアナログ出力のオン/オフを制御しているスイッチングトランジスタ111をオンさせる。このスイッチングトランジスタ111がないと、システムの非動作時にアナログ系出力端子に電池101からコイル102、およびダイオード104を介してアナログ系出力端子106に電池電圧が現れ、この端子に接続されるデバイスが電流を消費してしまう。そこでこの消費電流をカットするために、非動作時はオフにし、動作時のみオンとする。

【0013】

続いて不図示のCPUからの命令によりDC/DC制御回路124が動作を開始する。DC/DC制御回路124はアナログ系出力電圧と内部に有する基準電圧との関係から、アナログ系出力電圧が設定された出力電圧になるようにスイッチングトランジスタ103をオン/オフさせる。これによりDC/DCコンバータの出力であるアナログ系出力電圧は次第に上昇する。

【0014】

さらにDC/DCコンバータの出力が上昇すると制御が安定状態に入り、アナログ系出力電圧は設定された出力電圧となる。

【0015】

この際、ロジック系出力電圧は先の「電池電圧 - $V_f(107)$ 」と「アナログ系出力電

10

20

30

40

50

圧 - $V_f(108)$ 」のいずれか高い方の値となる。ここでは安定動作時には「アナログ系出力電圧 - $V_f(108)$ 」となる。

【0016】

このようなシステムにおいては、何らかの理由でシーケンス制御用 IC 121 のアナログ系電源電圧入力端子 123 に正しく DC / DC コンバータの出力が接続されていない場合には、DC / DC 制御回路 124 は出力電圧が低いものと判断し、DC / DC を最大限昇圧しようとスイッチングトランジスタ 103 のスイッチングを行う。

【0017】

このため、実際の DC / DC コンバータのアナログ系出力端子 106 の電圧は、非常に高い電圧となり、この端子に接続される他のデバイスが過電圧状態になる恐れがある。また同様に、アナログ系出力電圧の上昇に伴ってロジック系出力電源電圧端子 110 に接続されるデバイスも過電圧状態になる恐れがある。さらに、最大限のスイッチング動作を行っているために、この DC / DC コンバータのスイッチングトランジスタ 103、コイル 102 およびコンデンサ 105 等も過電流、過電圧状態になる恐れがある。

【0018】

そこで、図 7 の回路における DC / DC 制御回路 124 とスイッチングトランジスタ 103 との間に、DC / DC 制御回路 12 により生成されたスイッチング信号をロジック系出力電圧からアナログ系出力電圧を振幅とする信号に変換してスイッチングトランジスタ 103 に出力するレベルシフト回路を設け、このレベルシフト回路を、DC / DC 制御回路 12 がスイッチングトランジスタ 111 をオンさせている場合であってアナログ系出力電圧が所定電圧より低いときは、スイッチングトランジスタ 103 にスイッチング信号を出力しない構成とすることが考えられる。

【0020】

【発明が解決しようとする課題】

しかしながら、上記のようなレベルシフト回路を採用した場合に、シーケンス制御 IC 121 のアナログ系電源電圧入力端子 123 に正しく DC / DC コンバータの出力が接続されている場合であっても、DC / DC コンバータの動作を停止している状態（トランジスタ 111 がオンの状態）で、トランジスタ 103 がオフとなってアナログ系電源電圧が出力されていないと、アナログ系電源電圧で動作するレベルシフト回路（の出力インバータ）の出力はフローティング状態となる。

【0021】

この場合に、DC / DC コンバータのスイッチングトランジスタ 103 は入力ゲートがフローティング状態となるので、何らかのノイズ等で、このトランジスタ 103 が ON してしまう恐れがある。この場合には、全く制御がなされていない状態に陥ってしまうばかりか、消費電力の点でも問題となる。

【0022】

なお、このような事態を回避するために最も簡単な対策は、トランジスタ 103 のゲート端子と GND 間にプルダウン抵抗を接続することである。しかし、この方法では、DC / DC コンバータの効率が低下するという問題がある。

【0023】

そこで、本発明は、DC / DC コンバータの効率を低下させることなく、ノイズ等で DC / DC コンバータが動作してしまうことを防止できるようにした DC / DC コンバータの制御装置を提供することを目的としている。

【0024】

【課題を解決するための手段】

上記の目的を達成するために、本発明の制御装置では、DC / DC コンバータの昇圧用コイルへの通電をオン / オフさせる第 1 のスイッチング手段と、前記 DC / DC コンバータの出力をオン / オフさせる第 2 のスイッチング手段と、前記 DC / DC コンバータによって昇圧されていない電圧と前記 DC / DC コンバータの出力電圧のうち、電圧が高い方を出力するロジック系出力電圧により動作し、前記 DC / DC コンバータの出力電圧に

10

20

30

40

50

じて前記第 1 のスイッチング手段をオンさせるためのスイッチング信号を生成するとともに、外部からの作動 / 停止指令に応じて前記第 2 のスイッチング手段をオン / オフ制御する制御手段と、前記制御手段により生成された前記スイッチング信号を前記ロジック系出力電圧の振幅を有する信号から前記 DC / DC コンバータの出力電圧を振幅とする信号に変換して前記第 1 のスイッチング手段に出力するレベルシフト手段とを有し、前記レベルシフト手段は、前記 DC / DC コンバータの出力電圧が供給されるとともに、前記制御手段から前記スイッチング信号として LOW レベルの信号が入力される場合には、前記 DC / DC コンバータの出力電圧が供給されなくとも、LOW レベルの信号を前記第 1 のスイッチング手段に出力することを特徴とする。

【 0 0 2 5 】

10

これにより、DC / DC コンバータの非動作時にノイズ等で第 1 のスイッチング手段がオンになってしまうことを確実に防止できるとともに、DC / DC コンバータの効率を低下させず、かつ部品点数の削減も可能となる。

【 0 0 2 6 】

なお、制御手段とレベルシフト手段とを、同一基板上に構成される IC とすれば、回路の簡略化や部品点数の削減を図ることが可能である。

【 0 0 2 7 】

【 発明の実施の形態 】

(第 1 実施形態)

図 1 には、本発明の第 1 実施形態である DC / DC コンバータの制御装置の構成を示している。同図において、1 は電源であるところの電池、2 は昇圧用コイル、3 はコイル 2 をスイッチングするスイッチング素子であるトランジスタ (請求の範囲にいう第 1 のスイッチング手段) である。DC / DC コンバータにおいてはその効率を上げるために FET を用いる場合が多い。

20

【 0 0 2 8 】

4 はコイル 2 の出力を整流するためのダイオード、5 は出力安定用のコンデンサである。

【 0 0 2 9 】

6 は DC / DC コンバータの出力電圧 (これをアナログ系出力電圧と記す) を供給するアナログ系出力端子、11 はアナログ系出力端子 6 への出力をオン / オフするためのスイッチングトランジスタ (請求範囲にいう第 2 のスイッチング手段) である。

30

【 0 0 3 0 】

7, 8 は後述の DC / DC 制御回路の電源等に用いられる出力 (これをロジック系出力電圧と記す) を整流するためのダイオード、9 はロジック系出力電圧を平滑化するためのコンデンサ、10 はロジック系出力電圧を供給する出力端子、21 は後述する DC / DC コンバータ制御回路および CPU を内蔵するシーケンス制御用 IC、22 はシーケンス制御用 IC 21 のロジック系電源電圧入力端子、23 はシーケンス制御用 IC 21 のアナログ系電源電圧入力端子、である。

【 0 0 3 1 】

24 はシーケンス制御用 IC 21 のアナログ系電源電圧入力端子 23 の電圧に応じてスイッチングトランジスタ 3 を適宜オン / オフすることによりアナログ系出力電圧が設定値になるように制御する DC / DC 制御回路である。

40

【 0 0 3 2 】

26 は DC / DC 制御回路 24 の出力をロジック系出力電源からアナログ系出力電圧に変換するレベルシフト回路、25 は不図示のシステム全体を制御する CPU からの制御端子、27 はスイッチングトランジスタ 11 を制御する制御端子、28 はスイッチングトランジスタ 3 を制御する制御端子である。

【 0 0 3 3 】

次に上記構成におけるシステムの動作について説明する。不図示の CPU には電池 1 よりダイオード 7 を介してロジック系電源が接続されて動作している。したがって、DC / DC コンバータが動作していない場合であっても、常に「電池電圧 $V_f(7)$ 」の電圧が

50

印加されている。 $V_f(7)$ はダイオード7にて降下する電圧を意味する。この電源はCPUをはじめとするロジック回路に供給され、これが本システムのシステム電源となる。この場合であってもCPUは低速クロックで動作したり、あるいは操作スイッチ等の割り込みを待っていることが可能である。

【0034】

次にCPUに何らかの割り込み等で昇圧動作命令が出力され、CPUがDC/DCの動作を開始した場合を想定する。まずCPUより、端子25へDC/DCの動作開始命令を受け取る。DC/DC制御回路24はこの命令信号に応じて、DC/DCアナログ出力のオン/オフを制御しているスイッチングトランジスタ11をオンさせる信号を制御端子27より出力する。このスイッチングトランジスタ11がないとDC/DCが動作を停止しているシステムの非動作時にアナログ系出力端子6に電池1からコイル2、ダイオード4を介してアナログ系出力端子6に電池電圧が現れ、この端子に接続されるデバイスが電流を消費してしまう。そこで、この消費電流をカットするために、トランジスタ11を設け、非動作時はオフにし、動作時のみオンとする。

10

【0035】

続いてDC/DC制御回路24は昇圧動作を開始する。先にスイッチングトランジスタ11をオンさせたので、電池1からコイル2およびダイオード4を介してアナログ系出力端子6に電池電圧が現れる。

【0036】

このDC/DC制御回路24は、アナログ系出力電圧と内部に有する基準電圧との関係から、アナログ系出力電圧が設定された出力電圧(目標電圧)になるようにスイッチングトランジスタ3をオン/オフさせるスイッチング信号を生成してレベルシフト回路26に出力する。

20

【0037】

レベルシフト回路26はDC/DC制御回路24のロジック電源電圧の振幅を有するスイッチング信号を、アナログ電源電圧を振幅とする信号に変換して、制御端子28に出力する。これによりDC/DCコンバータの出力であるアナログ系出力電圧6は、次第に上昇する。

【0038】

さらにDC/DCコンバータの出力が上昇すると制御が安定状態に入り、アナログ系出力電圧は設定された出力電圧となる。

30

【0039】

この際、ロジック系出力電圧は先の「電池電圧 - $V_f(7)$ 」と「アナログ系出力電圧 - $V_f(8)$ 」のいずれが高い方の値となる。ここでは安定動作時には「アナログ系出力電圧 - $V_f(8)$ 」となる。

【0040】

図2には、上記レベルシフト回路の構成を詳細に示している。同図において、31は入力端子、32はロジック系電源電圧入力端子、33はロジック系電源電圧で動作するインバータ、34はロジック電源電圧からアナログ電源電圧に変換するLOW-TO-HIGHレベルコンバータ、35はアナログ系電源電圧で動作するインバータ、37はアナログ系電源電圧入力端子、38は出力端子である。

40

【0041】

アナログ系電源電圧で動作するインバータ35は、P-chトランジスタ35aとN-chトランジスタ35bからなり、P-chトランジスタ35aのゲートにはLOW-TO-HIGHレベルコンバータ34の出力が接続され、N-chトランジスタ35bのゲートにはロジック系電源電圧で動作するインバータ33の出力が接続されている。

【0042】

このように構成されたレベルシフト回路26を設けると、先に説明したように、何らかの理由で、シーケンス制御IC21のアナログ系電源電圧入力端子23に正しくDC/DCコンバータの出力が接続されていない場合には、以下のような動作となる。

50

【 0 0 4 3 】

すなわち、D C / D C 制御回路 2 4 は D C / D C コンバータの出力電圧が最低許容電圧等の所定レベルよりも低いので、コンバータの出力電圧を最大限昇圧しようとスイッチング信号を生成出力する。

【 0 0 4 4 】

しかし、レベルシフト回路 2 6 の出力インバータ 3 5 の電源もアナログ系電源電圧そのものであるので、D C / D C コンバータの出力が正しく接続されていない場合には、レベルシフト回路 2 6 におけるアナログ系電源電圧で動作するインバータ 3 5 が動作しないので、レベルシフト回路 2 6 からはスイッチング信号は出力されず、トランジスタ 3 もオンにならない。したがって、D C / D C コンバータは動作せず、D C / D C コンバータのアナログ系出力端子 6 の電圧が非常に高くなるような事態を確実に防止することができるので、この端子に接続される他のデバイスが過電圧状態となる恐れはない。

10

【 0 0 4 5 】

また、同様に、アナログ系出力電圧の上昇に伴ってロジック系出力電源電圧端子 1 0 に接続されるデバイスが過電圧状態となる恐れもない。

【 0 0 4 6 】

さらに、従来のように最大限の昇圧動作を行うこともないので、この D C / D C コンバータのスイッチングトランジスタ 3、コイル 2、コンデンサ 5 等も過電流、過電圧状態になる恐れもない。

【 0 0 4 7 】

また、通常のレベルシフト回路では、図 3 に示すようにアナログ系電源電圧で動作するインバータ 3 5 の P - c h トランジスタ、N - c h トランジスタのゲートにはともに、L O W - T O - H I G H レベルコンバータ 3 4 の出力が接続される。

20

【 0 0 4 8 】

しかしこのような構成にすると、シーケンス制御 I C 2 1 のアナログ系電源電圧入力端子 2 3 に正しく D C / D C コンバータの出力が接続されている場合であっても、D C / D C コンバータの動作を停止している状態（トランジスタ 1 1 がオンの状態）で、トランジスタ 3 がオフとなってアナログ系電源電圧が出力されていないと、ロジック電源電圧からアナログ電源電圧に変換する L O W - T O - H I G H レベルコンバータ 3 4 の出力が出ない。したがって、アナログ系電源電圧で動作するインバータ 3 5 の出力は L O W レベル出力ではなく、フローティング状態となる。

30

【 0 0 4 9 】

この場合に、D C / D C コンバータのスイッチング用 M O S トランジスタ 3 は入力ゲートがフローティング状態となるので、何らかのノイズ等で、このトランジスタ 3 が O N してしまう恐れがある。この場合には、全く制御がなされていない状態に陥ってしまうばかりか、消費電力の点でも問題となる。

【 0 0 5 0 】

なお、このような事態を回避するために最も簡単な対策は、トランジスタ 3 のゲート端子と G N D 間にプルダウン抵抗を接続することである。しかし、この方法では、D C / D C コンバータの効率が低下するという問題がある。

40

【 0 0 5 1 】

これに対し、本実施形態のように、アナログ系電源電圧で動作する出力インバータ 3 5 の N - c h トランジスタ 3 5 b のゲートのみをロジック系電源電圧のインバータ 3 3 の出力で駆動する構成にすることによって、アナログ系電源電圧が出力されていない場合であっても、レベルシフト回路 2 6 の出力がフローティング状態とならず、必ず L O W レベル出力を出力できるようにしている。これにより、D C / D C コンバータの効率低下や部品増を招くことなく、D C / D C コンバータのスイッチングトランジスタ 3 がノイズ等によって不用意に O N しないようにすることができる。

【 0 0 5 2 】

（第 2 実施形態）

50

図４には、本発明の第２実施形態であるＤＣ／ＤＣコンバータの制御装置におけるレベルシフト回路。このように構成されたレベルシフト回路の構成を示している。なお、ＤＣ／ＤＣコンバータおよび制御装置の基本構成は第１実施形態と同じである。但し、本実施形態は、レベルシフト回路の構成において第１実施形態と異なる。

【００５３】

図４において、３１は入力端子、３２はロジック系電源電圧入力端子、３３はロジック系電源電圧で動作するインバータ、３４はロジック電源電圧からアナログ電源電圧に変換するＬＯＷ－ＴＯ－ＨＩＧＨレベルコンバータ、３９は同じロジック電源電圧を使用したＬＯＷ－ＴＯ－ＨＩＧＨレベルコンバータ、３５はアナログ系電源電圧で動作するインバータ、３７はアナログ系電源電圧入力端子、３８は出力端子である。

10

【００５４】

アナログ系電源電圧で動作するインバータ３５は、Ｐ－ｃｈトランジスタ３５ａおよびＮ－ｃｈトランジスタ３５ｂからなり、Ｐ－ｃｈトランジスタ３５ａのゲートにはＬＯＷ－ＴＯ－ＨＩＧＨレベルコンバータ３４の出力が接続され、Ｎ－ｃｈトランジスタ３５ｂのゲートにはロジック系電源電圧で動作するＬＯＷ－ＴＯ－ＨＩＧＨレベルコンバータ３９の出力が接続されている。

【００５５】

ＬＯＷ－ＴＯ－ＨＩＧＨレベルコンバータ３９は本来、異なる２電源で動作するものであるが、ここではあえてロジック系電源電圧からロジック系電源電圧という接続を行っている。

20

【００５６】

レベルシフト回路２６をこのような構成にすることにより、ロジック系電源電圧で動作するインバータ３３の出力から最終出力インバータ３５のＰ－ｃｈトランジスタ３５ａおよびＮ－ｃｈトランジスタ３５ｂまでに信号が通過するゲート数が等しくなり、Ｐ－ｃｈトランジスタ３５ａおよびＮ－ｃｈトランジスタ３５ｂへ信号のゲート遅れが発生しなくなる。すなわち、Ｎ－ｃｈとＰ－ｃｈとの間でゲート数に差がある場合には、最終出力段のインバータ３５での貫通電流が問題となるが、本実施形態のような構成にすることで、特にＤＣ／ＤＣコンバータのスイッチング周波数が高速である場合には、貫通電流の影響を避けることが可能となり、信頼性を向上させるとともに、効率を向上させることができる。

30

【００５７】

なお、本実施形態においても、ＤＣ／ＤＣコンバータのスイッチングトランジスタ３とＤＣ／ＤＣ制御回路２４との間にレベルシフト回路２６を設けたことにより、ＤＣ／ＤＣコンバータの出力であるアナログ系電源電圧がＤＣ／ＤＣ制御回路２４に正しく接続されていない場合でも、コンバータ出力電圧が非常に高くなる事態を確実に防止できる。また、レベルシフト回路２６の出力をアナログ電源電圧が出力されていない場合であっても正しくＬＯＷレベル信号を出力できるようにしたことで、ＤＣ／ＤＣコンバータの効率低下や部品増を招くことなく、ＤＣ／ＤＣコンバータの非動作時にノイズ等でスイッチングトランジスタ３がオンすることを防止できる。

【００５８】

40

(第３実施形態)

図５には、本発明の第３実施形態であるＤＣ／ＤＣコンバータの制御装置の構成を示している。なお、本実施形態のＤＣ／ＤＣコンバータおよび制御装置の基本構成は第１実施形態と同じであるので、共通構成要素については第１実施形態と同符号を付して説明に代える。本実施形態では、シーケンス制御用ＩＣ５１の構成が第１実施形態と異なる。

【００５９】

５２はシーケンス制御用ＩＣ５１のロジック系電源電圧入力端子、５３はシーケンス制御用ＩＣ５１のアナログ系電源電圧入力端子、５４はアナログ系電源電圧入力端子５３の電圧に応じてスイッチングトランジスタ３を適宜オン／オフすることによりアナログ系出力電圧を設定値になるようにＤＣ／ＤＣコンバータを制御するＤＣ／ＤＣ制御回路、５６は

50

D C / D C 制御回路 5 4 の出力をロジック系出力電源からアナログ系出力電圧に変換するレベルシフト回路、5 5 は不図示のシステム全体を制御する C P U からの制御端子、5 7 はスイッチングトランジスタ 1 1 を制御する制御端子、5 8 はスイッチングトランジスタ 3 を制御する制御端子である。

【 0 0 6 0 】

次に、上記レベルシフト回路 5 6 の構成を図 6 を用いて説明する。同図において、6 1 は入力端子、6 2 はロジック系電源電圧入力端子、6 3 はロジック系電源電圧で動作するインバータ、6 4 はロジック電源電圧からアナログ電源電圧に変換する L O W - T O - H I G H レベルコンバータ、6 5 はアナログ系電源電圧で動作するインバータ、6 7 はアナログ系電源電圧入力端子、7 0 は出力インバータの出力をプルダウンする N - c h トランジスタ、7 1 はトランジスタ 7 0 を制御する制御端子である。

10

【 0 0 6 1 】

N - c h トランジスタ 7 0 のゲートには、不図示のシーケンス制御 C P U からの制御に応じて、D C / D C 制御回路 5 4 から出力信号が入力される。すなわち、アナログ系電源電圧のオン/オフを行うトランジスタ 1 1 をオン状態にすると同時に、この出力信号を L O W レベルにする機能を D C / D C 制御回路 5 4 に持たせる。これにより、トランジスタ 1 1 がオンすると同時に N - c h トランジスタ 7 0 がオフになる。その後、D C / D C 制御回路 5 4 が昇圧動作を始め、D C / D C コンバータはその出力電圧を設定値になるように動作する。

【 0 0 6 2 】

20

一方、D C / D C コンバータの動作を停止させる場合には、C P U の命令により D C / D C 制御回路 5 4 の動作を停止させる。このとき、D C / D C 制御回路 5 4 は、トランジスタ 1 1 をオフさせるとともに、N - c h トランジスタ 7 0 のゲートに接続された出力信号を H I G H レベルにし、最終出力段のインバータ 6 5 の出力を強制的に L O W レベルに固定する。

【 0 0 6 3 】

このように構成することにより、アナログ系電源電圧の出力がオフした状態であっても、レベルシフト回路 5 6 の出力は確実に L O W レベルとなり、D C / D C コンバータのスイッチングトランジスタ 3 のゲート電圧は、L O W レベルに固定される。このため、トランジスタ 3 がノイズ等によりオンしてしまうことを防止することができる。

30

【 0 0 6 4 】

なお、本実施形態の場合、D C / D C 制御回路 5 4 からの出力信号を 1 本使用することになるが、回路構成は非常に簡素になるし、最終出力段のトランジスタの貫通電流の影響も現れない。

【 0 0 6 5 】

また、N - c h トランジスタ 7 0 の制御はシーケンス制御用 C P U から直接行っても問題ない。

【 0 0 6 6 】

さらに、以上のようにレベルシフト回路 5 6 を構成することにより、ロジック系電源電圧で動作するインバータ 6 2 の出力から最終出力インバータ 6 5 の N - c h および P - c h トランジスタまでに信号が通過するゲート数が等しくなり、N - c h と P - c h へ信号のゲート遅れが発生しなくなる。

40

【 0 0 6 7 】

N - c h と P - c h との間でゲート数に差がある場合には、最終出力段のインバータ 6 5 での貫通電流が問題となるが、本実施形態のような構成にすることで、特に D C / D C コンバータのスイッチング周波数が高速になった場合には、貫通電流の影響を避けることが可能となり、信頼性を向上させるとともに、効率の向上を図ることができる。

【 0 0 6 8 】

また、本実施形態において、D C / D C コンバータのスイッチングトランジスタ 3 と D C / D C 制御回路 5 4 との間にレベルシフト回路 5 6 を設けたことにより、D C / D C コ

50

ンバータの出力であるアナログ系電源電圧がDC/DC制御回路54に正しく接続されていない場合でも、コンバータ出力電圧が非常に高くなる事態を確実に防止できる。また、レベルシフト回路54の出力をアナログ電源電圧が出力されていない場合であっても正しくLOWレベル信号を出力できるようにしたことで、DC/DCコンバータの効率低下や部品増を招くことなく、DC/DCコンバータの非動作時にノイズ等でスイッチングトランジスタ3がオンすることを防止できる。

【0069】

なお、上記各実施形態では、DC/DC制御回路とレベルシフト回路を同一IC上に構成した場合について説明したが、これらをディスクリート部品で構成してもよい。但し、同一IC上に構成することにより、回路の簡略化、部品点数の削減の効果を得ることができる。

10

【0070】

【発明の効果】

以上説明したように、本発明によれば、第2のスイッチング手段がオフであるとき(DC/DCコンバータの出力が制御手段に供給されていないとき)には、所定LOWレベルの信号を第1スイッチング手段に出力するレベルシフト手段を設けたので、DC/DCコンバータの非動作時にノイズ等で第1スイッチング手段がオンになってしまうことを確実に防止できるとともに、DC/DCコンバータの効率を低下させず、かつ部品点数の削減も可能とする。

【0071】

20

なお、制御手段とレベルシフト手段とを、同一基板上に構成されるICとすれば、回路の簡略化や部品点数の削減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態であるDC/DCコンバータの制御装置のブロック図である。

【図2】上記制御装置におけるレベルシフト回路の回路図である。

【図3】レベルシフト回路の従来例を示す回路図である。

【図4】本発明の第2実施形態であるレベルシフト回路の回路図である。

【図5】本発明の第3実施形態であるDC/DCコンバータの制御装置のブロック図である。

30

【図6】上記第3実施形態におけるレベルシフト回路の回路図である。

【図7】従来のDC/DCコンバータの制御装置のブロック図である。

【符号の説明】

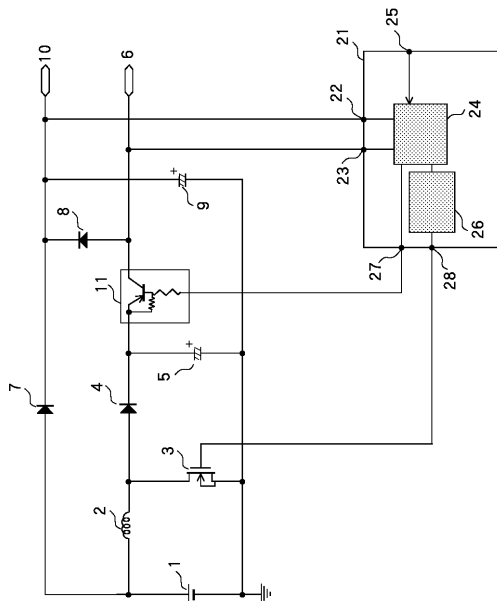
- 1 電池
- 2 昇圧用コイル
- 3 スwitchングトランジスタ
- 4 ダイオード、
- 5 出力安定用コンデンサ
- 6 アナログ系出力端子
- 11 スwitchングトランジスタ
- 7, 8 ダイオード
- 9 平滑化コンデンサ
- 10 ロジック系出力端子
- 21, 51 制御用IC
- 22, 52 ロジック系電源電圧入力端子
- 23, 53 アナログ系電源電圧入力端子
- 24, 54 DC/DC制御回路
- 26, 26, 56 レベルシフト回路
- 25, 55 CPUからの制御端子
- 31, 61 入力端子、

40

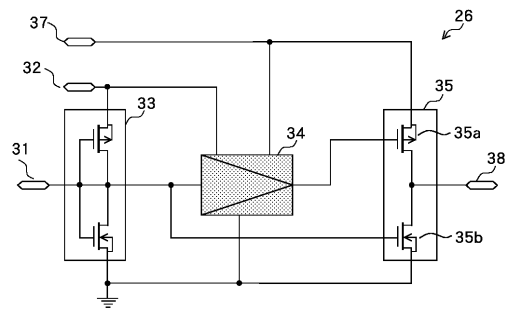
50

- 3 2 , 6 2 ロジック系電源電圧入力端子
- 3 3 , 6 3 ロジック系電源電圧で動作するインバータ
- 3 4 , 6 4 L O W - T O - H I G H レベルコンバータ
- 3 5 , 6 5 アナログ系電源電圧で動作するインバータ
- 3 7 , 6 7 アナログ系電源電圧入力端子
- 3 8 , 6 8 出力端子
- 3 9 L O W - T O - H I G H レベルコンバータ
- 7 0 N - c h トランジスタ
- 7 1 制御端子

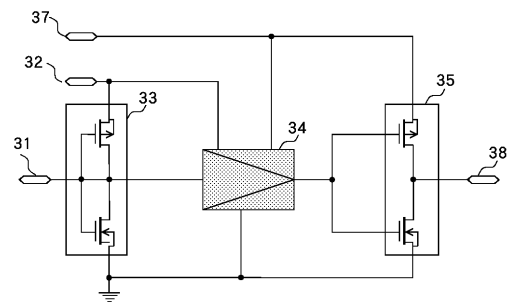
【図 1】



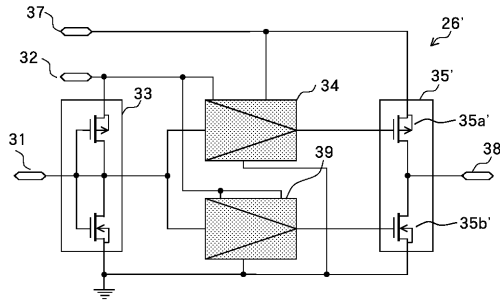
【図 2】



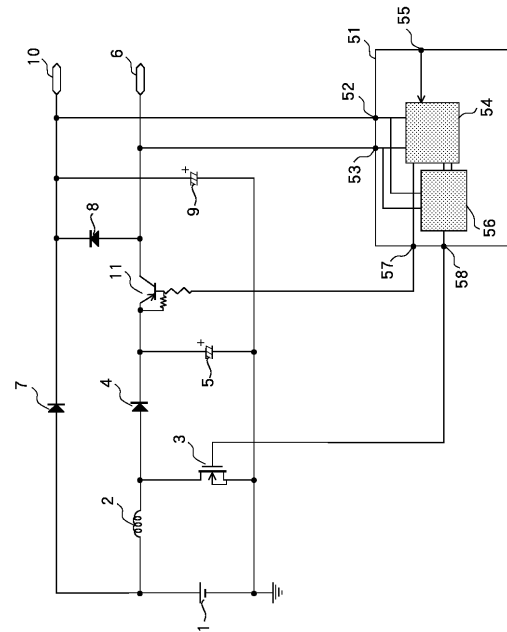
【図 3】



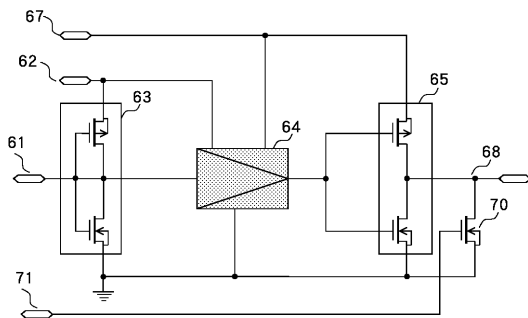
【図 4】



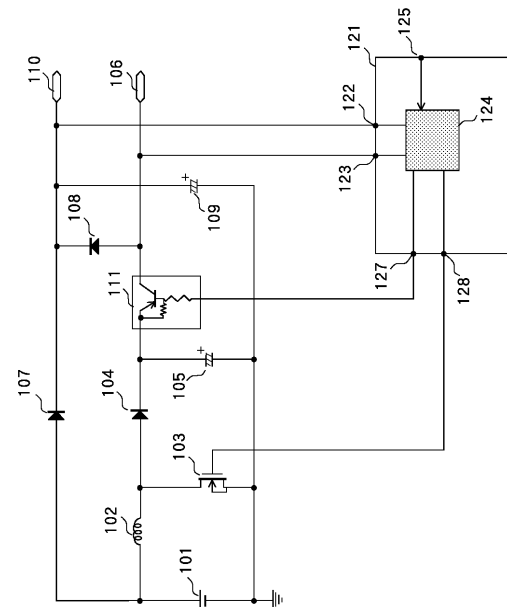
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 木谷 一成
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西村 泰英

(56)参考文献 特開平09-172774(JP,A)
特開平08-163865(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155