

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年5月19日(2016.5.19)

【公開番号】特開2013-250962(P2013-250962A)

【公開日】平成25年12月12日(2013.12.12)

【年通号数】公開・登録公報2013-067

【出願番号】特願2013-94859(P2013-94859)

【国際特許分類】

G 06 F 12/08 (2016.01)

G 06 F 12/0804 (2016.01)

G 06 F 1/32 (2006.01)

【F I】

G 06 F 12/08 5 7 9

G 06 F 12/08 5 4 3 B

G 06 F 12/08 5 0 1 C

G 06 F 1/00 3 3 2 Z

【手続補正書】

【提出日】平成28年3月25日(2016.3.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ダーティービットを複数含むキャッシュメモリ、及び演算回路を備えるCPUと、
制御回路を備える電源管理回路と、

記憶装置と、を有し、

前記電源管理回路は、前記CPUへの電源電圧の供給、又は供給の遮断を行い、

前記ダーティービットは、前記キャッシュメモリに格納されている第1のデータと、前記記憶装置に格納されている第2のデータとの一致あるいは不一致を示し、

前記演算回路は、前記キャッシュメモリへのアクセス頻度を監視し、

前記制御回路は、前記CPUへの前記電源電圧の供給の遮断を開始するタイミング、又は遮断を終了するタイミングを決定することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記電源管理回路は、前記キャッシュメモリ内のメモリへの前記電源電圧の供給、又は供給の遮断を行うことを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記電源管理回路は、前記演算回路及び前記制御回路からの出力に基づいて、設定値を設定する設定レジスタを備えることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記CPUへの前記電源電圧の供給を遮断する前に、

前記ダーティービットが、前記第1のデータと前記第2のデータとが一致しないことを示した場合、前記記憶装置には前記第1のデータが格納され、

前記ダーティービットが、前記第1のデータと前記第2のデータとが一致することを示

した場合、前記記憶装置には前記第2のデータが格納されることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記ダーティービットは、前記キャッシュメモリに格納されている前記第1のデータと、前記キャッシュメモリに格納されている第3のデータとの一致あるいは不一致を示すことを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記キャッシュメモリは、前記第1のデータの有効あるいは無効を示すためのバリッドビットを複数含むことを特徴とする半導体装置。

【請求項7】

請求項6において、

前記バリッドビットが、前記第1のデータの無効を示し、

且つ前記ダーティービットが、前記第1のデータと前記第2のデータとが一致しないことを示した場合、前記記憶装置には前記第1のデータが格納されることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記制御回路は、前記CPUへの前記電源電圧の供給を遮断する期間を設定するタイマ回路を備えることを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、

オペレーティングシステムによって管理されるタスクを、前記CPUが実行していないときに、前記CPUへの前記電源電圧の供給を遮断することを特徴とする半導体装置。

【請求項10】

請求項1乃至請求項9のいずれか一項において、

前記キャッシュメモリは、n-wayセットアソシエイティブ方式のキャッシュメモリであることを特徴とする半導体装置。