



(12) Wirtschaftspatent

Teilweise bestätigt gemäß § 18 Absatz 1
Patentgesetz

(19) **DD** (11) **205 310 B1**

4(51) H 02 H 3/08

AMT FÜR ERFINDUNGS- UND PATENTWESEN

(21)	WP H 02 H / 239 395 7	(22)	29.04.82	(45)	10.12.86
				(44)	21.12.83

(71)	VEB Numerik „Karl Marx“ Karl-Marx-Stadt, 9010 Karl-Marx-Stadt, Bornaer Straße 205, DD
(72)	Gehre, Hans-Joachim, Dipl.-Ing., DD

(54)	Schutzschaltungsanordnung zum selbsttätigen Abschalten bei Überstrom in Schaltnetzteilen
------	--

Erfindungsanspruch:

- 1 Schaltungsanordnung zum selbsttatigen Abschalten bei Überstrom in Schaltnetzteilen, bestehend aus einer mit einem ersten Eingang versehenen Reglereinheit zum Erzeugen einer Impulsfolge mit konstanter Frequenz für das Ansteuern eines Leistungsschalttransistors über eine eingangsseitig am Reglerausgang und ausgangsseitig über eine Entsättigungserkennungseinheit am Leistungsschalttransistor angeschlossene Treibereinheit und aus einem primarseitig am Leistungsschalttransistor und an einer gleichgerichteten Netzspannung liegenden Übertrager, der sekundarseitig sowohl über eine Sättigungsschutzeinheit mit dem zweiten Reglereingang als auch über eine Gleichrichtereinheit mit Siebkette mit dem dritten Reglereingang und einer Last verbunden ist, **gekennzeichnet dadurch**, daß zur Erzeugung eines Fehlersignals für die Reglereinheit (RE) der Ausgang der Sättigungsschutzeinheit (SSE) zusätzlich zum ersten Eingang (NGE 1) eines NAND-Gatters (NG) geführt ist, über dessen als Open-Kollektor ausgebildeten Ausgang (NGA) eine wechselseitige Verbindung mit einer eingangsseitig an einer Hilfsgleichspannung (GHS) und ausgangsseitig am ersten Eingang (REE 1) der Reglereinheit (RE) liegenden Eingangspegelreduziereinheit (EPR) besteht, und der Ausgang (REA) der Reglereinheit (REE) über eine Verzögerungseinheit (VZE) an den zweiten Eingang (NGE 2) des NAND-Gatters (NG) angeschlossen ist
- 2 Schaltungsanordnung zum selbsttatigen Abschalten bei Überstrom in Schaltnetzteilen, nach Punkt 1, **gekennzeichnet dadurch**, daß der Ausgang (NGA) des NAND-Gatters (NG) über einen zweiten Widerstand (R 2) sowohl mit der über einen ersten Widerstand (R 1) an die Hilfsgleichspannung (GHS) angeschlossenen ersten Eingang (REE 1) der Reglereinheit (RGE) als auch über einen ersten Kondensator (C 1) mit dem Massepotential (MP) verbunden ist, und der Ausgang (REA) der Reglereinheit (REE) über einen dritten Widerstand (R 3) sowohl zum zweiten Eingang (NGE 2) des NAND-Gatters (NG) als auch über einen zweiten Kondensator (C 2) zum Massepotential (MP) geführt ist

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf das Gebiet der Elektrotechnik/Elektronik, und ihre Anwendung ist in Schaltnetzteilen für elektronische Geräte möglich und zweckmäßig

Charakteristik der bekannten technischen Lösungen

Bei Schaltnetzteilen ist es notwendig, aus einer vorgegebenen Netzspannung eine oder mehrere in bestimmten Toleranzen gewünschte Ausgangsspannungen zum Betreiben von Lasten zu erzeugen. Bekannte nach dem Durchflußwandler-Prinzip arbeitende Schaltnetzteile bestehen grundsätzlich aus einem Reglerbaustein, der eine Impulsfolge konstanter Frequenz zum Ansteuern eines ausgangsseitig über eine Treiberstufe angeschlossenen Schalttransistors liefert. Mit Hilfe dieses Schalttransistors gelangt die gleichgerichtete Netzspannung an die Primärwicklung eines Übertragers, dessen Übersetzungsverhältnis zusammen mit dem Tastverhältnis der Impulsfolge des Reglers die Größe der Ausgangsspannungen des Schaltnetztes bestimmen. Abweichungen von der geforderten Ausgangsspannung werden durch eine ständige Rückkopplung mit dem Regler verhindert. Besonders gefährdet in diesen Schaltnetzteilen ist während des Betriebes der Schalttransistor, wobei durch bekannte schaltungstechnische Maßnahmen z. B. einer Sättigungsschutzeinheit des Übertragers und der Entsättigungserkennungseinheit des Leistungsschalttransistors beim Abweichen von den festgelegten Parametern ein Abschalten des Schalttransistors bzw. ein Unterbrechen der Impulsfolge am Ausgang des Reglers erfolgen. Aus der DE-OS 2155227 G 05 F 1/58 ist eine Anordnung bekannt, durch die ein Begrenzen des aufgenommenen Stromes bei einer Überlast erreicht wird.

In dieser Anordnung wird bei einem Ansteigen des Laststromes auf einen festgelegten Höchstwert durch eine Stromüberwachungsschaltung ein Zeitglied betätigt, das zur Aufrechterhaltung des Schaltbetriebes der Spannungsregelschaltung den Regler mit einer zusätzlichen Spannung beaufschlagt. Dadurch wird eine weitere Stromentnahme aus der Eingangsspannungsquelle solange verhindert, bis das Zeitglied keine Spannung mehr abgibt. Damit kann die Einschaltfrequenz des Schalters, der die Stromzufuhr in etwa der normalen Arbeitsfrequenz angeglichen werden. Weiterhin ist in der DD-PS 150820, H 02 H 3/08, eine Schaltungsanordnung zur Verringerung des Kurzschlußstromes bei Schaltnetzteilen beschrieben. Diese Schaltnetzteile sind mit einem integrierten Steuer- und Regelschaltkreis ausgerüstet, der im Falle eines Fehlers die Ausgangsstufe für mehrere Perioden sperrt. Diese dabei benötigte Totzeit wird durch eine aus einem Kondensator bestehende externe Zusatzbeschaltung des Steuer- und Regelschaltkreises erzeugt, wobei diese Totzeit durch eine Ergänzung der vorhandenen Zusatzbeschaltung mittels eines durch ein R-C Glied geschalteten Transistors vergrößert wird. Die Beeinflussung des Schaltkreises geschieht dabei über eine Verbindung des Transistors mit dessen Strombegrenzungseingang, infolgedessen im Schaltkreis ein Überstromsignal simuliert wird.

Dabei wird auch bei dieser Lösung zur Bereitstellung eines Überstromsignales für den Steuer- und Regelschaltkreis eine externe Zusatzbeschaltung benötigt.

Bei den bekannten Lösungen ist es deshalb nachteilig, daß das Vorhandensein einer speziellen Laststromüberwachungseinheit zum Erfassen von Fehlern und Erzeugen eines auf die Regeleinheit einwirkenden Signales. Des weiteren ist bei derartigen Anordnungen das Ansprechen auf jede kurzzeitige Überlastung unzureichend, weil dadurch eine der Bedeutung des Fehlers unangemessene Reaktion zur Beseitigung des bereits nicht mehr existierenden Fehlers ausgelöst wird.

Ziel der Erfindung

Ziel der Erfindung ist es, im Falle des Auftretens von Überlastungen den sicheren Schutz eines Schaltnetztes und der daran angeschlossenen Baugruppen bei einer minimalen Anzahl von Betriebsunterbrechungen und mit geringem Aufwand zu gewährleisten.

Darlegung des Wesens der Erfindung

Die Erfindung hat die Aufgabe, eine Schaltungsanordnung zum selbsttätigen Abschalten bei Überstrom in Schaltnetzteilen ohne eine zusätzliche Laststromüberwachungseinheit und ohne Auswertung von den normalen Betriebsablauf nicht beeinflussenden kurzzeitigen Lastspitzen und Störimpulsen zu schaffen

Das Wesen der Erfindung besteht darin, daß zur Erzeugung eines Fehlersignales für die Reglereinheit der Ausgang der Sättigungsschutzeinheit zusätzlich zum ersten Eingang eines NAND-Gatters geführt ist. Der Ausgang dieses NAND-Gatters ist als Open-Collector ausgebildet und über ihn besteht eine wechselseitige Verbindung einer Eingangspegelreduziereinheit. Eingangsseitig liegt die Eingangspegelreduziereinheit an einer Hilfsgleichspannung und ausgangsseitig am ersten Eingang der Reglereinheit. Der Ausgang der Reglereinheit ist über eine Verzögerungseinheit an den zweiten Eingang des NAND-Gatters angeschlossen.

Vorteilhafterweise ist der Ausgang des NAND-Gatters über einen zweiten Widerstand sowohl mit der über einen ersten Widerstand an die Hilfsgleichspannung angeschlossenen ersten Eingang der Reglereinheit als auch über einen ersten Kondensator mit dem Massepotential verbunden.

Der Ausgang der Reglereinheit ist über einen dritten Widerstand sowohl zum zweiten Eingang des NAND-Gatters als auch über einen zweiten Kondensator zum Massepotential geführt.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden.
In den zugehörigen Zeichnungen zeigen

Fig. 1 ein Blockschaltbild des Schaltnetzteiles

Fig. 2 eine Schaltungsanordnung gemäß Fig. 1 mit vorteilhafter Ausgestaltung

In Fig. 1 ist ein Blockschaltbild eines Schaltnetzteiles mit der erfindungsgemäßen Schutzschaltung dargestellt. Eine Reglereinheit RE, die mit ihrem ersten Eingang REE 1 über eine Eingangspegelreduziereinheit EPR an eine Gleichstromhilfsspannung GHS angeschlossen ist, ist ausgangsseitig mit einer Treibereinheit TRE verbunden. Der Ausgang dieser Treibereinheit TRE ist auf einen Leistungsschalttransistor LST geführt, der an den einen Eingang UTE 1 eines Übertragers UT angeschlossen ist, während dessen anderer Eingang UTE 2 mit der gleichgerichteten Netzspannung GNS verbunden ist. An dem einen Ausgang UTA 1 des Übertragers UT liegen eine Sättigungsschutzeinheit SEE und über eine Gleichrichtereinheit mit Siebkette GMS an dem anderen Ausgang UTA 2 eine Last LA. Zum Schutz des Leistungsschalttransistors LST ist weiterhin zwischen dessen Ausgang und dem Eingang der Treibereinheit TRE eine Entsättigungserkennungseinheit EEE angeordnet. Zur Erzeugung eines Fehlersignals bei Überströmen sind der Ausgang REA der Reglereinheit RE über eine Verzögerungseinheit VZE und die Sättigungsschutzeinheit SEE auf ein NAND-Gatter NG geführt. Der Ausgang NGA dieses NAND-Gatters NG ist als Open-collector ausgebildet und wechselweise mit der Eingangspegelreduziereinheit EPR verbunden. Weitere direkte Rückkopplungsverbindungen bestehen sowohl zwischen dem Ausgang der Sättigungsschutzeinheit SSE und dem zweiten Eingang REE 2 der Reglereinheit RE als auch zwischen dem Ausgang der Gleichrichtereinheit mit Siebkette GES und dem dritten Eingang REE 3 der Reglereinheit RE.

Eine vorteilhafte Ausgestaltung von einzelnen Baugruppen dieser Schaltungsanordnung ist in Fig. 2 dargestellt.

Fig. 2 Die Gleichstromhilfsspannung GHS liegt über einen ersten Widerstand R 1 sowohl am ersten Eingang REE 1 der Reglereinheit RE an, über einen ersten Kondensator C 1 am Massepotential MP als auch über einen zweiten Widerstand R 2 am Ausgang NGA des NAND-Gatters NG an. Der Ausgang REA der Reglereinheit RE ist über einen dritten Widerstand R 3 mit dem zweiten Eingang NGE 2 des NAND-Gatters NG und über einen mit dem dritten Widerstand R 3 in Reihe geschalteten zweiten Kondensator C 2 mit dem Massepotential MP verbunden. Zum Zuschalten der gleichgerichteten Netzspannung GNS an die erste Wicklung T 1 des Übertragers UT liegt zwischen dieser, der Treibereinheit TRE und dem Massepotential MP der Leistungsschalttransistor LST, wobei vom Anschlußpunkt an die Wicklung T 1 des Übertragers UT eine erste Diode D 1 zur Treibereinheit TRE geführt ist. An das eine Ende der dritten Wicklung T 3 des Übertragers UT ist das eine Ende eines seriell mit einer am Massepotential MP liegenden zweiten Diode D 2 verbundenen vierten Widerstandes R 4 angeschlossen, wobei zwischen diesem Widerstand R 4 und dieser Diode D 2 eine Signalleitung zum ersten Eingang NGE 1 des NAND-Gatters NG und zum zweiten Eingang REE 2 der Reglereinheit RE beginnt. Das andere Ende der dritten Wicklung T 3 ist gemeinsam mit den Enden der zweiten Wicklung T 2 des Übertragers UT zu der Gleichrichtereinheit mit Siebkette GES geführt, die aus einer vierten und fünften Diode D 4, D 5 der Drossel L und einem dritten, am Massepotential MP liegenden Kondensator C 3 besteht.

An den Ausgang dieser Gleichrichtereinheit mit Siebkette GES ist eine den Strom LS erzeugende Last LA angeschlossen. Die am Ausgang der Gleichrichtereinheit GES vorhandene Spannung wird zum dritten Eingang REE 3 der Reglereinheit RE zurückgeführt. Weiterhin ist eine vierte Wicklung T 4 des Übertragers UT über eine dritte Diode D 3 mit dem Massepotential MP und der gleichgerichteten Netzspannung GNS verbunden.

Die erfindungsgemäße Schaltungsanordnung arbeitet auf folgende Weise:

Die Reglereinheit RE liefert an ihrem Ausgang REA eine Impulsfolge konstanter Frequenz, mit der über die Treibereinheit TRE der Leistungsschalttransistor LST angesteuert wird.

Mittels des Leistungsschalttransistors LST wird entsprechend der Taktung durch die Impulsfolge am Ausgang REA der Reglereinheit RE die Gleichspannung GHS an die erste Wicklung T 1 des Übertragers UT angelegt. In Abhängigkeit davon und vom Übersetzungsverhältnis der Wicklungen T 1, T 2 des Übertragers UT stellt sich nach entsprechender Gleichrichtung in der Gleichrichtereinheit mit Siebkette GES die Ausgangsspannung AS ein. Durch eine Rückführung dieser Ausgangsspannung AS zur Reglereinheit RE wird das Tastverhältnis der Impulsfolge am Ausgang der Reglereinheit RE eingestellt. Zum Schutz des Leistungsschalttransistors LST ist eine Entsättigungserkennungseinheit EEE vorgesehen, die mittels der ersten Diode D 1 eine durch zu geringe Ansteuerleistung seitens der Treibereinheit TRE oder zu hohen Kollektorstrom aufgrund einer Überlast hervorgerufene Entsättigung des Leistungsschalttransistors LST im leitenden Zustand erkennt und bereits vor dem Ende des aus der Reglereinheit RE kommenden Ansteuerimpulses den Leistungsschalttransistor LST zwecks Vermeidung seiner Zerstörung

abschaltet. Nach dem Ausschalten des Leistungsschalttransistors LST wird der Kern des Übertragers UT mittels der vierten Wicklung T4 und der dritten Diode D3 entmagnetisiert. Während dieser Zeit wird aus dem Übertrager UT eine an der dritten Wicklung T3 vorhandene und durch den sich in der Sättigungsschutzschaltung SSE befindlichen vierten Widerstand R4 und die zweite Diode begrenzte positive Spannung PS dem zweiten Eingang REE2 der Reglereinheit RE zugeführt. Solange diese Spannung PS einen bestimmten Schwellwert nicht unterschreitet, liefert die Reglereinheit RE keine neuen Ausgangsimpulse. Zusätzlich wird das Ausgangssignal der Sättigungsschutzeinheit SSE dem einen Eingang NGE1 des NAND-Gatters NG zugeführt, wobei an dessen zweiten Eingang NGE2 die Impulsfolge vom Ausgang REA der Reglereinheit RE anliegt. Auf diese Weise hat bei einem eingeschalteten Leistungsschalttransistor LST der erste Eingang NGE1 L-Potential und der zweite Eingang NGE2 H-Potential. Im Falle eines hohen Laststromes LS wird durch die Entsättigungserkennungseinheit EEE der Leistungsschalttransistor LST noch vor dem Ende des von der Reglereinheit RE erzeugten Ansteuerimpulses abgeschaltet. Danach liegt am ersten Eingang NGE1 des NAND-Gatters NG ebenfalls H-Potential, und der Ausgang NGA schaltet auf L-Potential um. Gleichzeitig wird der zweite Eingang REE2 der Reglereinheit RE mit H-Potential belegt, und nach einer schaltkreisinternen Laufzeit schaltet der Ausgang REA der Reglereinheit RE auf L-Potential um. Die aus der Reihenschaltung eines dritten Widerstandes R3 und eines zweiten Kondensators C2 bestehende Verzögerungseinheit VZE verhindert eine plotzliche Potentialänderung am zweiten Eingang NGE2 des NAND-Gatters NG und damit den sofortigen Wechsel an dessen Ausgang NGA auf H-Potential. Am Ausgang des NAND-Gatters NGA erscheint dagegen ein Impuls definierter Breite, und dadurch wird die schaltkreisinterne Laufzeit der Reglereinheit RE verlängert. Dieser als Open-Collektor ausgebildete Ausgang NGA des NAND-Gatters NG dient zusammen mit der Eingangspegelreduziereinheit EPR weiterhin dazu, im Überlastungsfall den Eingangspegel am ersten Reglereingang REE1 bei jedem Ansteuerimpuls um einen bestimmten Betrag solange abzusenken, bis der an diesem Eingang REE1 notwendige Schwellwert unterschritten ist. Dabei wird in der Eingangspegelreduziereinheit EPR zunächst über den ersten Widerstand R1 der erste Kondensator C1 auf den Pegel der gleichgerichteten Hilfsspannung GHS aufgeladen, und danach bei jedem Ansteuerimpuls über den zweiten Widerstand R2 am Open-Collektor-Ausgang NGA des NAND-Gatters NG um einen definierten Betrag wieder entladen. Die Größe und Geschwindigkeit des Entladens werden durch eine geeignete Wahl der Zeitkonstanten des ersten Widerstandes R1 und des ersten Kondensators C1 bzw. des zweiten Widerstandes R2 und des ersten Kondensators C1 festgelegt. Nach dem Unterschreiten des Schwellwertes am ersten Eingang REE1 der Reglereinheit RE werden durch diese Einheit ein Unterdrücken der Impulse an ihrem Ausgang REA, Totzeit und Langsamlauf ausgelöst. Auf diese Weise wird erst nach einer bestimmten Anzahl von Fehlersignalen die Ansteuerimpulsfolge für den Leistungsschalttransistor LST unterdrückt. Damit beeinflussen nicht storende kurzzeitige Lastspitzen und Störimpulse den normalen Betriebsablauf. Durch den Ablauf „Impulsfolgenunterdrückung“-Totzeit-„Langsamlauf“ wird der maximale Ausgangsstrom AS auf ein vertretbares Maß reduziert.

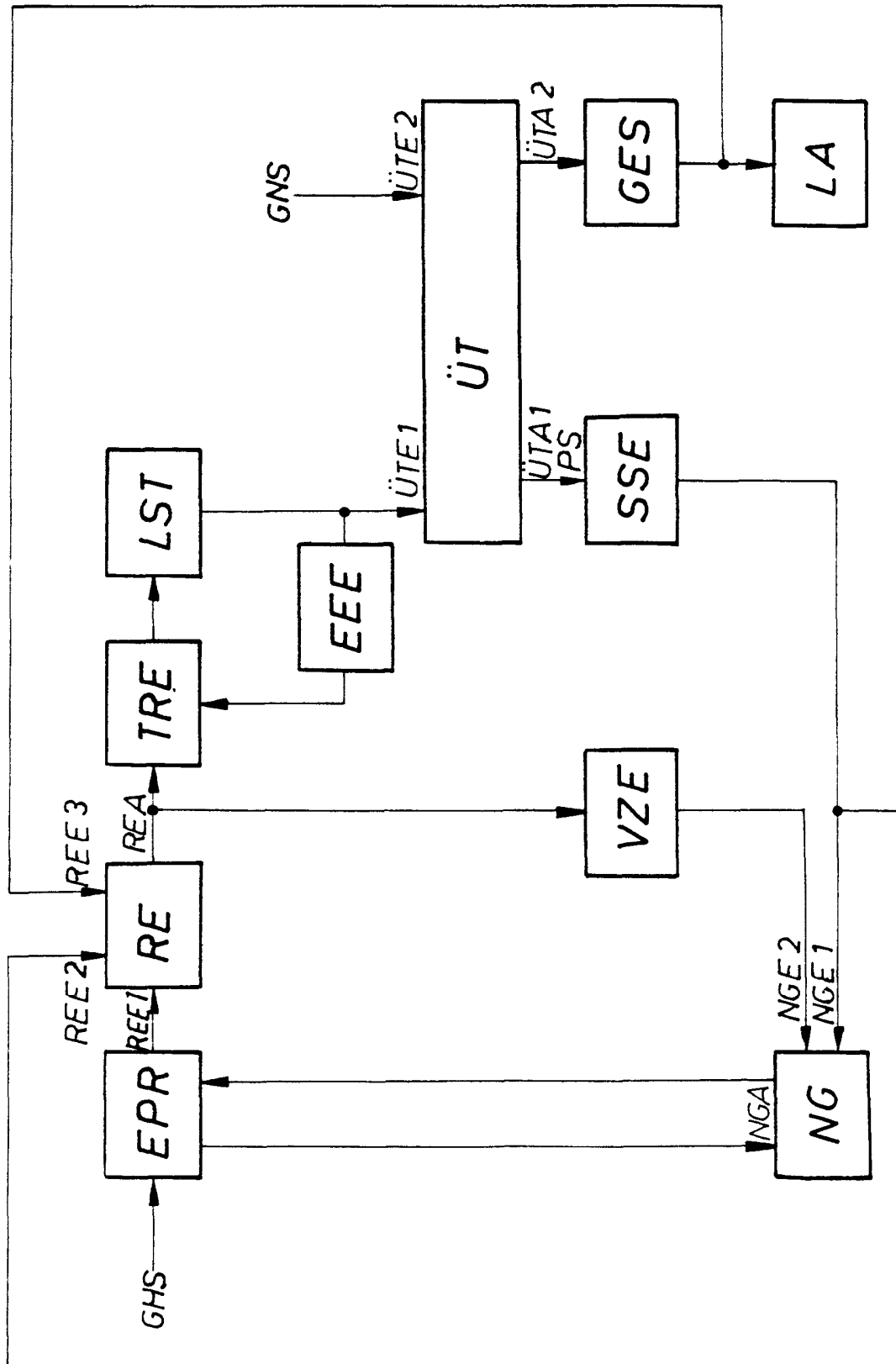


Fig.1

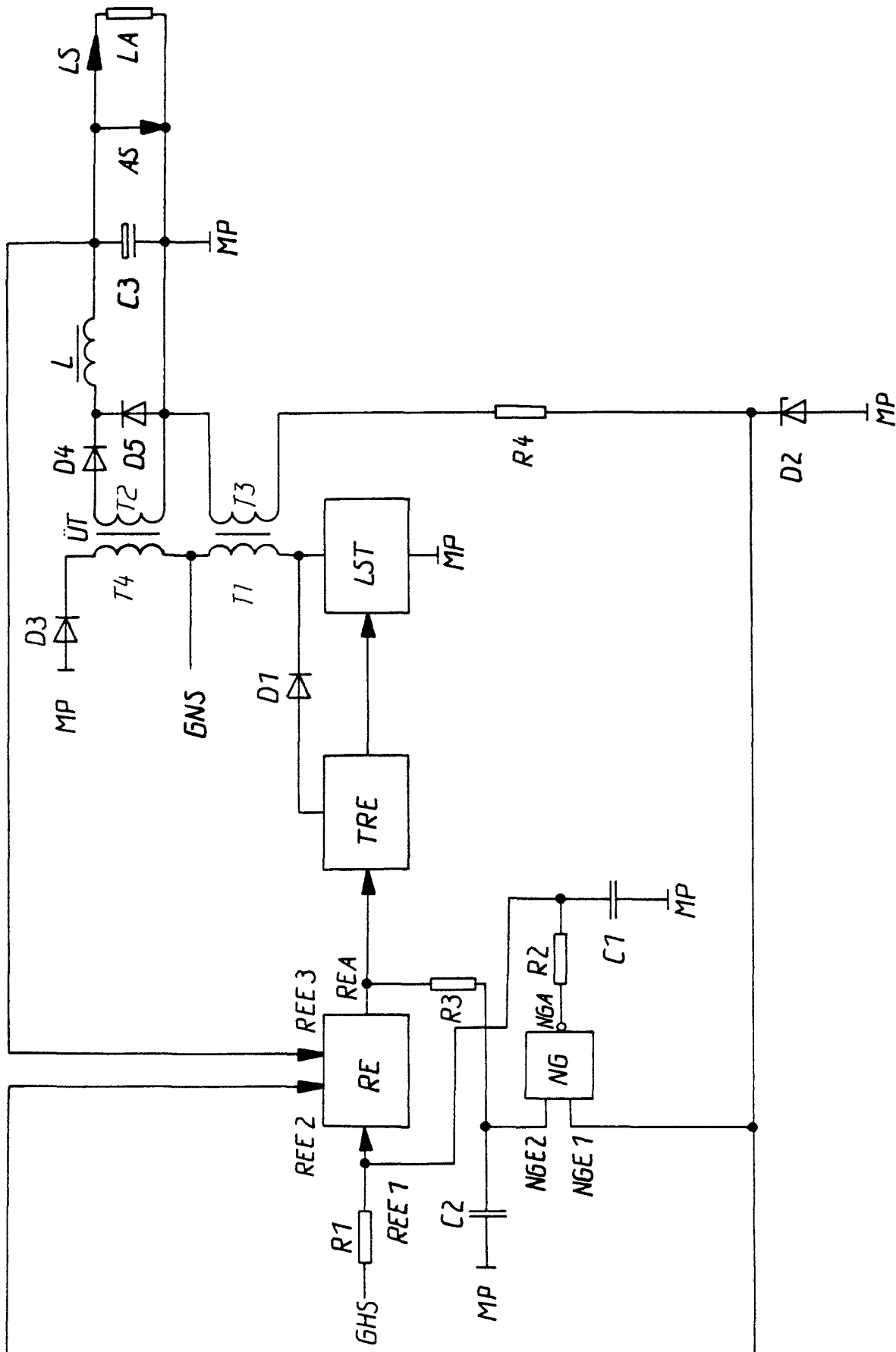


Fig. 2