



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

225 942

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 09 10 81
(21) FV 7423-81

(51) Int. Cl.³

H 02 P 8/00

(40) Zveřejněno 29 07 83
(45) Vydáno 01 07 85

(75)

Autor vynálezu PODZIMEK OLDŘICH ing., PRAHA

(54) Zapojení elektronického rozdělovače čtyřfázového krokového motoru

1

Předložený vynález se týká zapojení elektronického rozdělovače čtyřfázového krokového motoru, které sestává z vratného čítače, naprogramované paměti a hradel.

Jsou známa zapojení používající vratného lineárního čítače ve spojení s dekodérem výstupů čítače a s kombinačními obvody pro řízení jednotlivých fází krokového motoru. Příklad tohoto řešení je uveden v čl. A.O. 214 460. Dále je známo zapojení rozdělovače krokového motoru s vratným čítačem, jehož čtyři výstupy jsou přímo propojeny se čtyřmi adresovacími vstupy paměti a její pátý adresovací vstup je využit pro pomocné řízení funkce. Je také známo zapojení rozdělovače, využívající hradlování výstupních signálů pro řízení fázových spínačů, čímž se dosahuje úsporného pracovního režimu pro pohony se samosvorným převodem (čl. A.O. 202 406). Uvedená zapojení mají nevýhodu buď v tom, že obsahují velký počet pouzder integrovaných obvodů, což je nevýhodné pro výrobu, nebo mají omezený rozsah volitelných pracovních režimů.

Uvedené nevýhody jsou podstatně odstraněny zapojením elektronického rozdělovače podle vynálezu, jehož podstata spočívá v tom, že výstup čítače řádu 2^1 a 2^2 je spojen s druhým a třetím bitem adresového vstupu paměti. Výstup čítače řádu 2^0 je spojen s prvním vstupem prvního hradla, jehož výstup je spojen s prvním vstupem druhého hradla, přičemž výstup je spojen s prvním bitem adresového vstupu paměti. Druhé vstupy prvního a druhého hradla tvoří šestý a sedmý adresovací vstup rozdělovače, čtvrtý a pátý bit adre-

sového vstupu paměti je spojen přímo s prvním a druhým adresovacím vstupem rozdělovače. Třetí a čtvrtý adresovací vstup rozdělovače je spojen s čítacími vstupy vratného čítače a vybavovací vstup paměti je spojen s osmým adresovacím vstupem rozdělovače. Datové výstupy paměti jsou zapojeny na fázové spínače. Třetí a čtvrtý adresovací vstup rozdělovače je spojen s prvními vstupy třetího a čtvrtého hradla, jejichž druhé vstupy jsou spojeny a připojeny na pátý adresovací vstup rozdělovače, přičemž výstupy jsou spojeny s čítacími vstupy vratného čítače.

Zapojením podle vynálezu se dosahuje vyšších účinků, protože jedním zapojením lze pomocí volby úrovně adresovacích vstupů řešit několik pracovních režimů krokového motoru. To má význam například při řízení pohonů mikroprocesorovým systémem, dále při výrobě lze vyrábět pouze jeden typ desky a vzhledem k malému počtu součástek lze umístit na jedné desce jak rozdělovač, tak i fázové spínače a odběratel si může vhodným propojením vstupů sám volit požadovaný pracovní režim.

Příklady zapojení jsou uvedeny na přiloženém výkresu, kde na obr. 1 je celkové schéma rozdělovače a na obr. 2 je upravené zapojení vstupů vratného lineárního čítače.

Na obr. 1 je uvedeno zapojení rozdělovače krokového motoru, sestávající z vratného lineárního čítače C, paměti P typu PROM a dvou hradel G1, G2. Zapojení je určeno pro čtyřfázový krokový motor a umožňuje následující pracovní režimy:

- 1) čtyřtaktní, vždy buzena jedna fáze, rychlost krokování odpovídá krokovací frekvenci
- 2) čtyřtaktní, vždy buzeny dvě fáze, rychlost krokování odpovídá krokovací frekvenci
- 3) čtyřtaktní, vždy buzena jedna fáze, rychlost krokování ve srovnání s režimem 1) poloviční
- 4) čtyřtaktní, vždy buzeny dvě fáze, rychlost krokování ve srovnání s režimem 2) poloviční
- 5) osmitaktní, střídavě buzeny jedna a dvě fáze, rychlost krokování odpovídá krokovací frekvenci
- 6) vypnutí všech fází po vykonání kroku, tzv. úsporný pracovní režim a pro diagnostiku případných poruch
- 7) zapnutí všech fází současně pro diagnostiku případných poruch

Jak je patrné z obr. 1 výstup 2^1 , 2^2 čítače C řádu 2^1 a 2^2 je spojen s druhým a třetím bitem B, C adresového vstupu paměti P. Výstup 2^0 čítače C řádu 2^0 je spojen s prvním vstupem prvního hradla G1, jehož výstup je spojen s prvním vstupem druhého hradla G2, jehož výstup je spojen s prvním bitem A adresového vstupu paměti P. Druhé vstupy prvního a druhého hradla G1, G2 tvoří šestý a sedmý adresovací vstup A6, A7 rozdělovače. Čtvrtý a pátý bit D, E adresového vstupu paměti P je spojen přímo s prvním a druhým adresovacím vstupem A1, A2 rozdělovače. Třetí a čtvrtý adresovací vstup A3, A4 rozdělovače je spojen s čítacími vstupy H1, H2 vratného čítače C a vybavovací vstup V paměti P je spojen s osmým adresovacím vstupem A8 rozdělovače, přičemž datové výstupy D1 až D4 a/nebo D5 až D8 paměti P jsou zapojeny na fázové spínače.

Funkce zapojení je zřejmá z následujícího popisu.

Čítací vstupy H1, H2 vratného čítače C jsou spojeny s třetím a čtvrtým adresovacím vstupem A3, A4 rozdělovače. Znamená to, že podle toho, na který z obou vstupů přivádíme krokovací frekvenci, čítá vratný čítač C buď nahoru nebo dolů a tím se mění i smysl otáčení motoru. Hradla G1, G2 umožňují v závislosti na stavech šestého a sedmého adresovacího vstupu A6, A7 rozdělovače volit jeden z pracovních režimů 3, 4, 5. Výstup druhého hradla G2 je spojen s prvním adresovým bitem A adresy paměti P. První a druhý adresovací vstup A1, A2 rozdělovače určují volbu pracovního režimu 1, 2, 5, 7. Vybavovací vstup V paměti P je využit pro vytvoření provozního režimu 6 a je spojen přímo s adresovacím vstupem A8 rozdělovače. Tabulka 1 určuje přiřazení pracovního režimu kombinacím adresovacích vstupů A1 až A8 rozdělovače.

pracovní režim	adresovací vstupy rozdělovače				
	<u>A1</u>	<u>A2</u>	<u>A6</u>	<u>A7</u>	<u>A8</u>
1	H	L	H	H	L
2	L	H	H	H	L
3	H	H	L	H	L
4	H	H	X	L	L
5	H	H	H	H	L
6	X	X	X	X	H
7	L	L	X	X	L

L - nízká úroveň, H - vysoká úroveň, X - libovolný stav

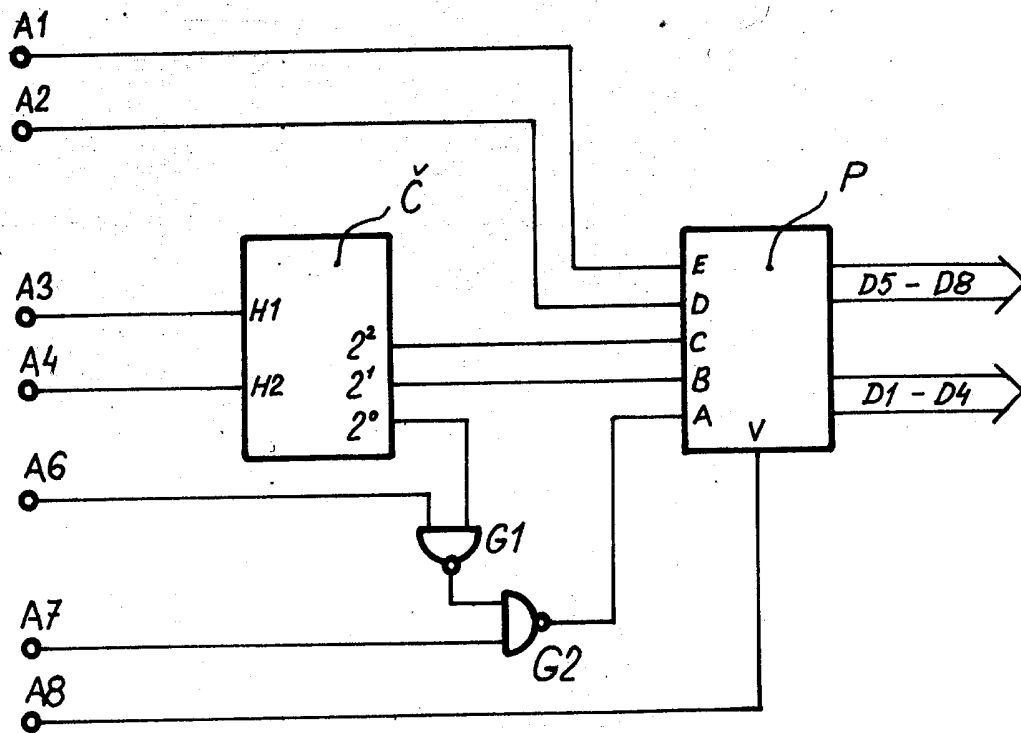
Údaje v tabulce 1 jsou příkladem řešení, protože záleží na volbě naprogramování paměti P. Uvedené údaje platí pro paměť PROM typu 188. Výstupy z paměti P tvoří dvě čtveřice D1 až D4, D5 až D8 datových výstupů, které mohou řídit buď synchronně dva motory současně, nebo mohou být vzájemně inverzní, eventuálně je lze využít i pro další pomocné funkce. Pro funkce uvedené v tabulce 1 je paměť naprogramována tak, že sepnutí fáze motoru odpovídá úrovni L na příslušném datovém výstupu D1 až D4, D5 až D8.

Na obr. 2 je upravené zapojení čítacích vstupů H1, H2 vratného čítače C. Zatímco v provedení podle obr. 1 jsou čítací vstupy H1, H2 spojeny přímo s třetím a čtvrtým adresovacím vstupem A3, A4 rozdělovače, které musí být schopny přenášet současně jak směrovou informaci, tak i pulsy krokovací frekvence, jsou v provedení na obr. 2 využity třetí a čtvrtý adresovací vstup A3, A4 pouze na přenos informace o směru pohybu, respektive zastavení motoru a krokovací kmitočet je přiveden na samostatný, pátý adresovací vstup A5 rozdělovače. Třetí a čtvrté hradlo G3, G4 jsou potom svými výstupy připojeny na čítací vstupy H1, H2 vratného čítače C.

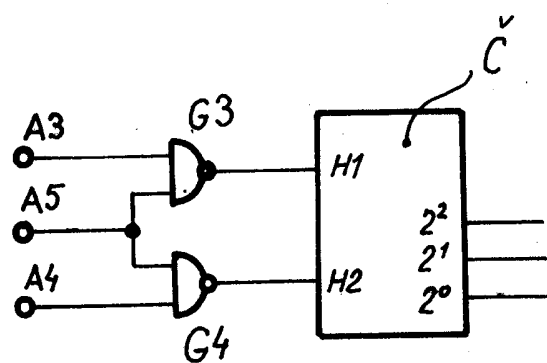
P R E D M Ě T V Y N Á L E Z U

1. Zapojení elektronického rozdělovače čtyřfázového krokového motoru sestávající z vratného čítače, naprogramované paměti a hradel, vyznačené tím, že výstup (2^1 , 2^2) čítače (Č) řádu 2^1 , 2^2 je spojen s druhým a třetím bitem (B, C) adresového vstupu paměti (P), výstup (2^0) čítače (Č) řádu 2^0 je spojen s prvním vstupem prvního hradla (G1), jehož výstup je spojen s prvním vstupem druhého hradla (G2), jehož výstup je spojen s prvním bitem (A) adresového vstupu paměti (P), druhé vstupy prvního a druhého hradla (G1, G2) tvoří šestý a sedmý adresovací vstup (A6, A7) rozdělovače, přičemž čtvrtý a pátý bit (D, E) adresového vstupu paměti (P) je spojen přímo s prvním a druhým adresovacím vstupem (A1, A2) rozdělovače, třetí a čtvrtý adresovací vstup (A3, A4) rozdělovače je spojen s čítačími vstupy (H1, H2) vratného čítače (Č), zatímco vybovovací vstup (V) paměti (P) je spojen s osmým adresovacím vstupem (A8) rozdělovače, přičemž datové výstupy (D1 až D4) a/nebo (D5 až D8) paměti (P) jsou zapojeny na fázové spínače.
2. Zapojení podle bodu 1, vyznačené tím, že třetí a čtvrtý adresovací vstup (A3, A4) rozdělovače je spojen s prvními vstupy třetího a čtvrtého hradla (G3, G4), jejichž druhé vstupy jsou spojeny a připojeny na pátý adresovací vstup (A5) rozdělovače a jejichž výstupy jsou spojeny s čítačími vstupy (H1, H2) vratného čítače (Č).

1 výkres



OBR. 1



OBR. 2