



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0136348
(43) 공개일자 2017년12월11일

(51) 국제특허분류(Int. Cl.)

H01L 33/36 (2010.01) H01L 33/00 (2010.01)

H01L 33/02 (2010.01) H01L 33/38 (2010.01)

(52) CPC특허분류

H01L 33/36 (2013.01)

H01L 33/005 (2013.01)

(21) 출원번호 10-2016-0068311

(22) 출원일자 2016년06월01일

심사청구일자 2016년06월01일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

성태연

서울특별시 서초구 신반포로33길 64, 1-506호

김기석

경기도 화성시 동탄순환대로28길 17, 310동 1103호

진준영

서울특별시 성북구 인촌로16길 6, 미덕원빌 304호

(74) 대리인

특허법인 누리

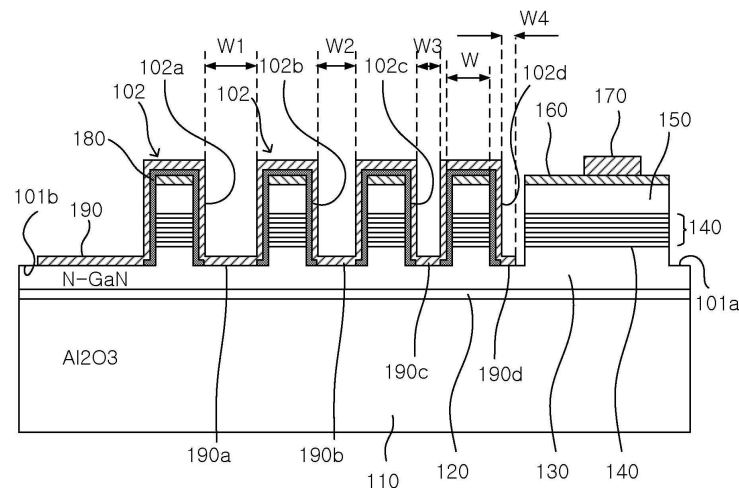
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 복수 n 콘택 구조가 구비된 발광 다이오드 소자

(57) 요약

본 발명은 수평형 발광 다이오드 소자 및 그 제조 방법을 제공한다. 이 수평형 발광 다이오드 소자는 사파이어 기판; 상기 사파이어 기판 상에 배치된 n형 GaN 층; 상기 n형 GaN 층 상에 배치된 활성층; 상기 활성층 상에 배치된 p형 GaN 층; 상기 p형 GaN 층 상에 배치된 전류 퍼짐층; 상기 전류 퍼짐층 상에 배치된 p 전극; 상기 전류 퍼짐층, 상기 p형 GaN 층, 및 상기 활성층을 관통하여 상기 n형 GaN 층을 노출시키는 복수의 홀들; 및 상기 노출된 n형 GaN 층 상에 배치되고 상기 복수의 홀들의 하부면에서 상기 노출된 n형 GaN 층과 복수의 위치에서 오믹 접합하는 n 전극을 포함한다.

대표도 - 도1b



(52) CPC특허분류

H01L 33/02 (2013.01)

H01L 33/38 (2013.01)

H01L 2924/12041 (2013.01)

H01L 2933/0016 (2013.01)

명세서

청구범위

청구항 1

사파이어 기판;

상기 사파이어 기판 상에 배치된 n형 GaN 층;

상기 n 형 GaN 층 상에 배치된 활성층;

상기 활성층 상에 배치된 p형 GaN 층;

상기 p형 GaN층 상에 배치된 전류 퍼짐층;

상기 전류 퍼짐층 상에 배치된 p 전극;

상기 전류 퍼짐층, 상기 p형 GaN 층, 및 상기 활성층을 관통하여 상기 n형 GaN층을 노출시키는 복수의 홀들; 및
상기 노출된 n형 GaN 층 상에 배치되고 상기 복수의 홀들의 하부면에서 상기 노출된 n형 GaN 층과 복수의 위치에서 오믹 접합하는 n 전극을 포함하는 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 2

제1 항에 있어서,

상기 p 전극은 p 전극 패드 및 상기 p 전극 패드에서 분기하여 제1 방향으로 연장되는 적어도 둘 이상의 p 전극 핑거를 포함하고,

상기 n 전극은 n 전극 패드와 상기 n 전극 패드에서 상기 제1 방향으로 연장되는 적어도 하나의 n 전극 핑거를 포함하고,

상기 n 전극 핑거는 상기 p 전극 핑거들 사이에서 연장되고,

상기 홀들은 상기 제1 방향으로 배열되고,

상기 n 전극 핑거는 상기 홀들과 정렬되는 것을 특징으로 수평형 발광 다이오드 소자.

청구항 3

제2 항에 있어서,

상기 홀들의 하부면과 상기 n 전극 핑거가 접촉하는 면적은 상기 p 전극 패드 방향으로 진행함에 따라 순차적으로 감소하는 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 4

제2 항에 있어서,

상기 제1 방향에서 상기 홀들 사이의 상기 활성층의 폭(W)은 상기 제1 방향에 수직한 제2 방향에서 상기 홀들의 메사 폭보다 작고 상기 n 전극 핑거의 폭보다는 큰 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 5

제1 항에 있어서,

상기 홀들의 제1 방향의 양측면 및 상기 홀들 사이의 전류 퍼짐층 상에 배치된 보호층을 더 포함하는 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 6

제5 항에 있어서,

상기 보호층은 서로 다른 굴절율을 가진 복층 구조의 분배 브래그 반사부(distributed Bragg Reflector)인 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 7

제5 항에 있어서,

상기 보호층은 실리콘 산화막 또는 불화 마그네슘막이고,

상기 활성층, 상기 보호층, 및 상기 p 전극은 차례로 적층되어 전방향 반사경(Omnidirectional reflector, ODR) 구조를 제공하는 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 8

제1 항에 있어서,

상기 홀들이 형성되지 않은 경우의 상기 활성층의 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들이 복수의 홀들 사이의 비식각 영역들의 위치로 각각 선정되는 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 9

제 4항에 있어서,

상기 홀들 사이의 상기 활성층의 폭(W)은 상기 제1 방향을 따라 일정하고,

상기 홀들의 제1 방향의 폭은 상기 제1 방향으로 진행함에 따라 서로 다른 것을 특징을 하는 평형 발광 다이오드 소자.

청구항 10

제 4항에 있어서,

상기 n 전극 핑거의 상기 제2 방향의 폭은 상기 제1 방향으로 진행하는 상기 홀들의 하부면에서 위치에 따라 서로 다른 것을 특징으로 하는 수평형 발광 다이오드 소자.

청구항 11

사파이어 기판 상에 차례로 n형 GaN 층, 활성층, p형 GaN 층, 및 전류 퍼짐층을 적층하는 단계;

패터닝 공정을 이용하여 상기 전류 퍼짐층, 상기 p형 GaN 층, 상기 활성층, 및 상기 n형 GaN 층의 일부를 제거하여 메사 구조를 형성하고, 상기 전류 퍼짐층, 상기 p형 GaN 층, 상기 활성층, 및 상기 n형 GaN 층의 일부를 제거하여 형성된 복수의 홀들을 형성하는 단계;

상기 홀들이 형성된 상기 사파이어 기판 상에 보호층을 증착하고 패터닝 공정을 통하여 상기 홀들 사이의 비식각 영역들의 측벽 및 상기 홀들 사이의 상기 전류 퍼짐층 상에 보호층을 형성하는 단계;

상기 보호층이 형성된 상기 사파이어 기판 상에 n 전극 물질을 증착하고 패터닝하여 상기 홀들의 하부면에서 노출된 n형 GaN 층과 오믹 접합하는 n 전극을 형성하는 단계; 및

상기 n 전극이 형성된 상기 사파이어 기판 상에 p 전극 물질을 증착하고 패터닝 공정을 통하여 상기 전류 퍼짐층 상에 p 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 수평형 발광 다이오드 소자의 제조 방법.

청구항 12

제11 항에 있어서,

상기 보호층은 실리콘 산화막과 타이타늄 산화막이 교번하여 적층된 구조인 것을 특징으로 하는 수평형 발광 다이오드 소자의 제조 방법.

청구항 13

제11 항에 있어서,

상기 보호층은 실리콘 산화막 또는 불화마그네슘막인 것을 특징으로 하는 수평형 발광 다이오드 소자의 제조 방법.

청구항 14

메사구조와 제1 방향으로 연장되는 p 전극 핑거들 사이에 n 전극 핑거를 구비한 수평형 발광 다이오드의 특성을 조사하여 상기 수평형 발광 다이오드의 전류 밀도 공간 분포 또는 발광 세기 공간 분포를 추출하는 단계;

상기 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들을 선정하는 단계; 및

상기 선정된 위치들 사이에 홀들을 배치하고 메사구조와 제1 방향으로 연장되는 p 전극 핑거들 사이에 n 전극 핑거를 구비한 수평형 발광 다이오드를 제조하는 단계를 포함하는 것을 특징으로 하는 수평형 발광 다이오드 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 도체 발광 다이오드에 관한 것으로, 보다 구체적으로 메사 구조에서, 복수의 n 콘택 구조를 구비한 발광 다이오드에 관한 것이다. 이에 따라, 활성층 면적이 넓고, 광추출 효율이 우수한 반도체 발광 다이오드 소자가 구현될 수 있다.

배경 기술

[0002] 발광 다이오드(Light Emitting Diode, LED)는 전류가 가해지면 p형과 n형 반도체의 접합 부분에서 전자와 정공의 재결합에 의하여 다양한 빛을 발생시킬 수 있는 반도체 장치이다.

[0003] III-V족 질화물계 반도체 소자인 발광다이오드는 측향식(lateral, 또는 수평형) 구조를 시작으로 점차 고휘도 특성을 위한 플립-칩(flip-chip), 수직형(vertical) 구조로 발전해왔다. 특히, 차량조명 적용과 같은 고전력/고온 환경에서도 고휘도 특성을 구현하기 위해 수직형 LED의 개발이 활발하다.

[0004] GaN로 생성된 LED 구조는 측향식(lateral) 구조, 플립칩(flip chip) 및 수직형 구조(vertical structure)를 이루고 있다. 이들 LED에서 개별 구조와 형태에 무관하게 공통으로 확보되어야 하는 특성이 낮은 비접촉저항, 균일한 전류 퍼짐, 효율적 열발산, 광자추출효율 등이다.

[0005] 반도체 발광 소자는 크게 발광다이오드(light-emitting diode; LED)와 레이저 다이오드(laser diode; LD)로 구분될 수 있다. 특히 발광다이오드와 및 레이저다이오드는 공통적으로 정방향의 전류(forward bias)가 흐를 때 빛, 즉 광자(photon)이 발생하는 p-n접합 구조(p-n junction)를 가지고 있다. 특히, 이 중 III 족 질화물계 물질을 사용하는 발광 다이오드는 광추출 효율을 높이는 것이 핵심이다.

[0006] 발광 다이오드의 p-n 접합 구조에 전류를 가해주었을 때 빛은 p형 반도체와 n형 반도체 사이의 활성층(activation layer)에서 발생한다.

[0007] 수평형 발광 다이오드의 경우, n전극 형성을 위해 건식 메사 식각(dry mesa etching)을 통해 n형 반도체 층을 노출하여 메사 구조(mesa structure)를 형성한다. 이때 많은 양의 활성층 또한 깎여 나가게 되는데 이를 극복할 연구가 필요하다.

[0008] 또한, 수평형 발광 다이오드에서의 전류는 균일하게 퍼지지 않아 국부적인 발광이 일어나게 되는데 이 현상을 전류 크라우딩(current crowding)이라 하며 이를 극복할 연구가 필요하다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 해결하고자 하는 일 기술적 과제는 수평형 LED에서 메사 식각하여 형성되는 복수의 n 콘택 영역(n

contact area)의 형상/영역비를 비균등하게 조절하여 전류 크라우딩(current crowding) 문제를 해결하여 광추출 효율을 향상된 반도체 발광소자를 제공하는 것이다.

[0010] 본 발명의 해결하고자 하는 일 기술적 과제는 활성층 영역의 손실을 최소화한 복수의 홀 구조의 n 콘택 영역들을 구비한 LED 소자에서, 상기 홀 구조의 측벽에 분산 브래그 반사경(Distributed Bragg reflector, DBR) 혹은 전방향 반사경(Omnidirectional reflector, ODR)을 보호층(passivation layer)으로 도입하여 광추출 효율이 향상된 반도체 발광소자를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 일 실시예에 따른 수평형 발광 다이오드 소자는 사파이어 기판; 상기 사파이어 기판 상에 배치된 n형 GaN 층; 상기 n 형 GaN 층 상에 배치된 활성층; 상기 활성층 상에 배치된 p형 GaN 층; 상기 p형 GaN 층 상에 배치된 전류 퍼짐층; 상기 전류 퍼짐층 상에 배치된 p 전극; 상기 전류 퍼짐층, 상기 p형 GaN 층, 및 상기 활성층을 관통하여 상기 n형 GaN 층을 노출시키는 복수의 홀들; 및 상기 노출된 n형 GaN 층 상에 배치되고 상기 복수의 홀들의 하부면에서 상기 노출된 n형 GaN 층과 복수의 위치에서 오믹 접합하는 n 전극을 포함한다.

[0012] 본 발명의 일 실시예에 있어서, 상기 p 전극은 p 전극 패드 및 상기 p 전극 패드에서 분기하여 제1 방향으로 연장되는 적어도 둘 이상의 p 전극 핑거를 포함하고, 상기 n 전극은 n 전극 패드와 상기 n 전극 패드에서 상기 제1 방향으로 연장되는 적어도 하나의 n 전극 핑거를 포함하고, 상기 n 전극 핑거는 상기 p 전극 핑거들 사이에서 연장되고, 상기 홀들은 상기 제1 방향으로 배열되고, 상기 n 전극 핑거는 상기 홀들과 정렬될 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 홀들의 하부면과 상기 n 전극 핑거가 접촉하는 면적은 상기 p 전극 패드 방향으로 진행함에 따라 순차적으로 감소할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 제1 방향에서 상기 홀들 사이의 상기 활성층의 폭(W)은 상기 제1 방향에 수직한 제2 방향에서 상기 홀들의 메사 폭보다 작고 상기 n 전극 핑거의 폭보다는 클 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 홀들의 제1 방향의 양측면 및 상기 홀들 사이의 전류 퍼짐층 상에 배치된 보호층을 더 포함할 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 보호층은 서로 다른 굴절율을 가진 복층 구조의 분배 브래그 반사부(distributed Bragg Reflector)일 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 보호층은 실리콘 산화막 또는 불화 마그네슘막이고, 상기 활성층, 상기 보호층, 및 상기 p 전극은 차례로 적층되어 전방향 반사경(Omnidirectional reflector, ODR) 구조를 제공할 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 홀들이 형성되지 않은 경우의 상기 활성층의 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들이 복수의 홀들 사이의 비직각 영역들의 위치로 각각 선정될 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 홀들 사이의 상기 활성층의 폭(W)은 상기 제1 방향을 따라 일정하고, 상기 홀들의 제1 방향의 폭은 상기 제1 방향으로 진행함에 따라 서로 다를 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 n 전극 핑거의 상기 제2 방향의 폭은 상기 제1 방향으로 진행되는 상기 홀들의 하부면에서 위치에 따라 서로 다를 수 있다.

[0021] 본 발명의 일 실시예에 따른 수평형 발광 다이오드 소자의 제조 방법은 사파이어 기판 상에 차례로 n형 GaN 층, 활성층, p형 GaN 층, 및 전류 퍼짐층을 적층하는 단계; 패터닝 공정을 이용하여 상기 전류 퍼짐층, 상기 p형 GaN 층, 상기 활성층, 및 상기 n형 GaN 층의 일부를 제거하여 메사 구조를 형성하고, 상기 전류 퍼짐층, 상기 p형 GaN 층, 상기 활성층, 및 상기 n형 GaN 층의 일부를 제거하여 형성된 복수의 홀들을 형성하는 단계; 상기 홀들이 형성된 상기 사파이어 기판 상에 보호층을 증착하고 패터닝 공정을 통하여 상기 홀들 사이의 비직각 영역들의 측벽 및 상기 홀들 사이의 상기 전류 퍼짐층 상에 보호층을 형성하는 단계; 상기 보호층이 형성된 상기 사파이어 기판 상에 n 전극 물질을 증착하고 패터닝하여 상기 홀들의 하부면에서 노출된 n형 GaN 층과 오믹 접합하는 n 전극을 형성하는 단계; 및 상기 n 전극이 형성된 상기 사파이어 기판 상에 p 전극 물질을 증착하고 패터닝 공정을 통하여 상기 전류 퍼짐층 상에 p 전극을 형성하는 단계를 포함한다.

[0022] 본 발명의 일 실시예에 있어서, 상기 보호층은 실리콘 산화막과 타이타늄 산화막이 교번하여 적층된 구조일 수

있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 보호층은 실리콘 산화막 또는 불화마그네슘막일 수 있다.

[0024] 본 발명의 일 실시예에 따른 수평형 발광 다이오드 소자의 제조 방법은 메사구조와 제1 방향으로 연장되는 p 전극 핑거들 사이에 n 전극 핑거를 구비한 수평형 발광 다이오드의 특성을 조사하여 상기 수평형 발광 다이오드의 전류 밀도 공간 분포 또는 발광 세기 공간 분포를 추출하는 단계; 상기 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들을 선정하는 단계; 및 상기 선정된 위치들 사이에 홀들을 배치하고 메사구조와 제1 방향으로 연장되는 p 전극 핑거들 사이에 n 전극 핑거를 구비한 수평형 발광 다이오드를 제조하는 단계를 포함한다.

도면의 간단한 설명

[0025] 도 1a는 본 발명의 일 실시예에 따른 수평형 LED 소자를 나타내는 평면도이다.

도 1b는 도 1a의 A-A' 선을 따라 제1 방향으로 자른 단면도이다.

도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.

도 1d는 도 1a의 C-C' 선을 따라 자른 단면도이다.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 LED 소자의 제조 방법을 설명하는 도면들이다.

도 3은 본 발명의 다른 실시예에 따른 보호층을 설명하는 단면도이다.

도 4는 본 발명의 또 다른 실시예에 따른 보호층을 설명하는 단면도이다.

도 5는 본 발명의 일 실시예에 따라 수평형 LED 소자를 형성하기 위하여 홀들의 위치를 결정하기 위한 발광 세기 분포를 나타내는 도면이다.

도 6a 및 도 6b는 서로 다른 고도 차이를 가지는 발광 공간 분포의 등고선을 나타내는 도면들이다.

도 7a 및 도 7b는 본 발명의 일 실시예에 따른 수평형 LED의 복수의 n 콘택의 형성 여부에 따른 광세기 분포를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0026] 통상적인 수평형 LED를 형성하는 경우, n 전극은 전류 크라우딩 효과를 감소시키기 위하여 제1 방향으로 연장되어 활성층을 분리하는 트렌치 내부를 진행하면서 형성된다. 이 경우, 메사 식각 공정 수행시 많은 양의 활성층이 제거되어 활성 영역이 감소한다. 또한, p 전극 핑거(p electrode finger) 사이에 n 전극 핑거가 연장되는 구조를 구비한 경우에도, 전류 퍼짐(current spreading) 효과는 충분하지 않다. 따라서, 전류 퍼짐 효과를 더욱 증가시키고, 넓은 활성 영역을 확보하고, 그리고 전체 광량을 증가시키는 LED 구조가 요구된다.

[0027] 통상적인 수평형(또는 측향식) LED의 발광 분포는 p 전극 주위에서 광의 세기가 크며, n 전극 주위에서 광의 세기가 약하다. 전류가 p 전극과 상기 p 전극 주위로 연장된 n 전극 핑거 사이에서 주로 흐를 수 있다.

[0028] 반대로, 통상적인 수평형(또는 측향식) LED의 발광 분포는 n 전극 주위에서 광의 세기가 크며, p 전극 주위에서 광의 세기가 약할 수 있다.

[0029] p 전극 주위에서 전류 크라우딩(current crowding) 현상이 일어나 광의 세기가 p 전극 주위에서 크거나, n 전극 주위에서 전류 크라우딩(current crowding)이 일어나, 광의 세기가 n 전극 주위에서 클 수 있다.

[0030] 본 발명의 일 실시예에 따르면, p 전극 주위의 전류 크라우딩(current crowding)을 해소하는 것 뿐만 아니라 n 전극 주위에 전류 크라우딩(current crowding)이 생겼을 때 또한 해소할 수 있다. 전류 크라우딩(Current crowding) 현상은 각 층(전류 퍼짐층, p-GaN, n-GaN 등)의 전도도에 따라 n 전극 혹은 p 전극 주위에 생길 수 있다. 기판이 절연체인 사파이어를 사용하게 되면서 통상적인 수평형 LED의 전류는 수평적으로 흐르기 때문에 불균일하다. 이 전류 분포의 불균일한 정도는 사파이어 기판 위에 성장시키게 되는 반도체나 증착하게 되는 전류 퍼짐층의 전기 전도도에 따라 다를 수 있다.

[0031] 본 발명의 일 실시예에 따르면, p 전극 또는 n 전극 주위에 전류(또는 발광) 집중을 감소시킬 수 있다.

- [0032] 예를 들어, p 전극 주위의 전류 크라우딩 효과를 제거하기 위하여, 의도적으로 n 전극을 복수의 지점에서 접촉하도록 복수의 n 콘택 구조가 사용될 수 있다. 구체적으로, p 전극 주위에 배치된 n 전극 핑거는 n 콘택 면저항이 크고, 상기 n 전극 패드 근처에 배치된 n 전극 핑거는 n 콘택 면저항이 작도록 형성된다. 이에 따라, 전류는 상기 p 전극 주위에 집중되어 흐르지 않고 공간적으로 균일하게 분배되어 흐를 수 있다.
- [0033] 예를 들어, n 전극 주위의 전류 크라우딩 효과를 제거하기 위하여, 의도적으로 n 전극을 복수의 지점에서 접촉하도록 복수의 n 콘택 구조가 사용될 수 있다. 구체적으로, n 전극 주위에 배치된 n 전극 핑거는 n 콘택 면저항이 크고, 상기 p 전극 패드 근처에 배치된 n 전극 핑거는 n 콘택 면저항이 작도록 형성된다. 이에 따라, 전류는 상기 n 전극 주위에 집중되어 흐르지 않고 공간적으로 균일하게 분배되어 흐를 수 있다.
- [0034] 전류 분포가 균일하도록 복수의 n 전극 콘택 영역을 형성한다. 각 n 콘택 영역은 메사 식각 시 동시에 형성되는 복수의 홀들을 이용하여 형성될 수 있다. 상기 n 콘택 영역의 콘택 면저항을 조절해 전류 크라우딩 효과를 감소시켜 소자 내 비발광 영역을 최소화시킬 수 있다.
- [0035] 본 발명의 일 실시예에 따르면, n 전극이 홀들 사이의 전류 퍼짐층 상을 지나가므로, 전기적 절연을 위하여 상기 전류 퍼짐층과 상기 n 전극 사이에 보호층이 배치된다. 상기 보호층은 상기 n 전극이 지나가는 경로 상에만 선택적으로 배치되도록 패터닝될 수 있다. 또한, 상기 보호층을 ODR 구조 또는 DBR 구조를 사용할 수 있다. 이 경우, 식각되지 않은 영역의 n 전극 하부에서 생성되는 광은 소자 외부로 추출될 수 있다.
- [0036] 본 발명의 일 실시예에 따르면, III족 질화물계 물질을 사용하는 반도체 소자에서 n형 GaN층을 노출하도록 메사 건식 식각 공정에서, n 전극 핑거가 상기 n형 GaN층과 비등간격으로 접촉하도록 제1 방향으로 배열된 복수의 홀들을 형성한다. 즉, 상기 n 전극이 상기 n형 반도체에 닿는 면적을 서로 다르게 하여 저항을 조절한다.
- [0037] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게 설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [0038] 도 1a는 본 발명의 일 실시예에 따른 수평형 LED 소자를 나타내는 평면도이다.
- [0039] 도 1b는 도 1a의 A-A' 선을 따라 제1 방향으로 자른 단면도이다.
- [0040] 도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.
- [0041] 도 1d는 도 1a의 C-C' 선을 따라 자른 단면도이다.
- [0042] 도 1a 내지 도 1d를 참조하면, 수평형 발광 다이오드 소자(100)는 사파이어 기판(110); 상기 사파이어 기판(110) 상에 배치된 n형 GaN 층(130); 상기 n형 GaN 층 상에 배치된 활성층(140); 상기 활성층(140) 상에 배치된 p형 GaN 층(150); 상기 p형 GaN 층 상에 배치된 전류 퍼짐층(160); 상기 전류 퍼짐층 상에 배치된 p 전극(170); 상기 전류 퍼짐층(160), 상기 p형 GaN 층(150), 및 상기 활성층(140)을 관통하여 상기 n형 GaN 층(130)을 노출시키는 복수의 홀들(102a~102d); 및 상기 노출된 n형 GaN 층 상에 배치되고 상기 복수의 홀들의 하부면에서 상기 노출된 n형 GaN 층과 복수의 위치에서 오믹 접촉하는 n 전극(190)을 포함한다.
- [0043] 상기 사파이어 기판(110)은 c-평면 사파이어 기판일 수 있다. 격자 부정합에 의한 흡절을 감소시키기 위하여 상기 사파이어 기판 상에 GaN 버퍼층(120)이 형성될 수 있다. 상기 사파이어 기판(110)은 실리콘 카바이드 기판 등으로 변경될 수 있다.
- [0044] 상기 GaN 버퍼층(120) 상에 수 마이크로미터 수준의 두꺼운 n형 GaN 층(130)이 증착될 수 있다. n형 분순물은 실리콘(Si)일 수 있다.
- [0045] 상기 n형 GaN 층(130) 상에 활성층(140)이 증착될 수 있다. 상기 활성층(140)은 이중 이종구조(double heterostructure), 단일 양자 우물(single quantum well), 또는 다중 양자 우물(multiple quantum wells)일 수 있다. 청색 또는 녹색 LED의 경우, 상기 다중 양자 우물은 InGaN/GaN 구조일 수 있다. 자외선의 경우, 상기 다중 양자 우물은 AlGaIn/InGaIn 구조일 수 있다.

- [0046] 또한, 상기 활성층(140) 상에 전자 블록층(electron blocking layer)이 추가적으로 배치될 수 있다. 상기 전자 블록층(미도시)은 전자 누설 전류가 홀 누설 전류보다 크기 때문에 전자 전류를 차단할 수 있다.
- [0047] p형 GaN층(150)이 상기 전자 블록층 또는 상기 활성층(140) 상에 형성될 수 있다. p형 불순물은 Mg일 수 있다.
- [0048] 상기 p형 GaN층(150) 상에 전류 퍼짐층(electron spreading layer)이 배치될 수 있다. 상기 전류 퍼짐층(160)은 투명 전도성 금속 산화물일 수 있다. 상기 전류 퍼짐층(150)은 전류를 균일하게 상기 p형 GaN층(150)에 제공하여 상기 활성층(140)의 전 영역에서 발광을 제공할 수 있다. 상기 전류 퍼짐층(160)으로 ITO가 사용될 수 있다. 상기 전류 퍼짐층(160)은 투명한 특성, 충분히 낮은 면저항(sheet resistance) 특성, 및 상기 p형 GaN층과 오믹 접합을 형성할 수 있는 특성을 가지는 것이 바람직하다. 상기 전류 퍼짐층(160)의 저항을 감소시키기 위하여 상기 전류 퍼짐층(160)의 두께를 증가시키는 경우, 투명성이 감소하나 전류 퍼짐 특성은 향상될 수 있다. 상기 전류 퍼짐층(160)은 수십 nm 수준으로 충분히 얇도록 형성되어 충분한 투과성을 가질 수 있다.
- [0049] 상기 전류 퍼짐층(160) 상에 p 전극(170)이 배치될 수 있다. 통상적으로 상기 전류 퍼짐층 상에 p 전극(170)이 배치된 경우, 상기 p 전극(170)은 금속으로 형성되고 전극으로 기능하면서 동시에 와이어 연결을 위한 전극 패드로 동작할 수 있다.
- [0050] 상기 p 전극(170)은 외부와 전기적으로 와이어로 연결되는 p 전극 패드(170a)와 상기 p 전극 패드(170a)에 분기하는 p 전극 핑거(170b)를 포함할 수 있다. 상기 p 전극 핑거(170b)는 상기 전류 퍼짐층(150) 상에서 빗(comb) 형상을 가지고 균일하게 전류를 분배할 수 있다. 상기 p 전극(170)은 충분히 낮은 면저항을 가질 수 있다. 상기 p 전극 패드(170a)는 상기 사파이어 기판의 중심에 우측에 배치되고, 상기 p 전극 핑거(170b)는 'ㄷ' 자 형상을 가질 수 있다. 상기 p 전극 핑거(170b)는 상기 p 전극 패드(170a)에서 두 갈래로 분기되어 제2 방향으로 연장된 후, 다시 제1 방향으로 연장될 수 있다. p 전극(170)은 Ni/Au 구조, Ti/Al 구조, Ti/Al/Ni/Au, Cr/Al, Cr/Al/Ni/Au 등 Ti나 Cr 기반의 다층구조 일 수 있다.
- [0051] 상기 p 전극 핑거(170b)는 1 개 이상을 가질 수 있으며, n 전극 핑거(190b)는 상기 p 전극 핑거들 사이에서 제1 방향으로 연장되고 1 개 이상을 가질 수 있다.
- [0052] 복수의 홀들(102a~102d)은 상기 p형 GaN 층(150) 및 상기 활성층(140)을 관통하여 상기 n형 GaN층(130)을 노출시키고 제1 방향으로 배열될 수 있다. 상기 홀들(102a~102d)은 상기 제1 방향으로 진행함에 따라 서로 다른 폭들을 가지고, 제2 방향으로 동일한 메사 폭(Wm)을 가질 수 있다.
- [0053] 본 발명의 변형된 실시예에 따르면, 상기 홀들(102a~102d)은 제1 방향을 따라 진행하면서 상기 n 전극 핑거와 감소하는 접촉 면적을 가지는 한 다양한 형태로 변형될 수 있다.
- [0054] 본 발명의 변형된 실시예에 따르면, 상기 홀들은 상기 n 전극과 상기 노출된 n형 GaN층 사이에 서로 다른 접촉 면적을 가지는 한 다양한 형태로 배열될 수 있다.
- [0055] 상기 n 전극(190)은 상기 노출된 n형 GaN 층(130) 상에 배치되고 상기 복수의 홀들(102a~102d)의 하부면에서 상기 노출된 n형 GaN 층(130)과 복수의 위치에서 오믹 접합할 수 있다. 상기 n 전극(190)은 n 전극 패드(190a)와 상기 n 전극 핑거(190b)를 포함할 수 있다. 상기 n 전극 패드(190a)는 상기 사파이어 기판의 중심에 좌측에 배치되고, 상기 n 전극 핑거(190b)는 상기 n 전극 패드(190a)에서 제1 방향으로 연장될 수 있다. 상기 n 전극 핑거(190b)는 상기 홀들(102a~102d) 사이에 배치된 비식각 영역들(102)의 측면 및 상부면을 덮을 수 있다. 상기 n 전극 핑거(190b)는 최우측의 홀(102d)의 하부면에 접촉하도록 제1 방향으로 연장될 수 있다.
- [0056] 메사 구조는 상기 p형 GaN 층(150) 및 상기 활성층(140)을 식각하여 형성된다. 상기 메사 구조는 상기 기판의 주변을 따라 형성된 가장자리 메사 영역(101a) 및 상기 기판의 좌측 중심에 상기 n 전극 패드가 배치될 수 있는 전극 패드 메사 영역(101b)을 포함할 수 있다.
- [0057] 통상적인 LED에서, 상기 n 전극 핑거는 상기 p 전극 핑거들 사이에서 상기 p형 GaN 층 및 상기 활성층을 제거하여 상기 제1 방향으로 연장되는 트랜치를 따라 배치된다. 이러한 구조의 경우, 상기 n 전극 핑거의 우측 끝과 상기 p 전극 패드 사이에서 발광되는 광의 세기가 클 수 있다, 반대로, 상기 전극 패드 주위에서 발광되는 광의 세기가 클 수 있다. 이러한, 전류 크라우딩 효과는 성장시키는 반도체층 증착되는 전류 퍼짐층의 전기 전도도에 따라 다를 수 있다. 이러한 전류 크라우딩(current crowding) 문제를 해결하기 위하여, 상기 n 전극 핑거는 복수의 위치에서 상기 n형 GaN 층과 전기적으로 접촉할 수 있다.
- [0058] 예를 들어, 홀들(102a~102d)은 제1 내지 제4 홀들을 포함할 수 있다. 제1 홀(102a) 또는 상기 n 전극 핑거

(190b)는 제1 방향으로 상기 n형 GaN 층과 접촉하는 제1 폭(W1)을 가지고, 제2 홀(102b) 또는 상기 n 전극 핑거(190b)는 제1 방향으로 상기 n형 GaN 층과 접촉하는 제2 폭(W2)을 가지고, 제3 홀(102c) 또는 상기 n 전극 핑거(190b)는 제1 방향으로 상기 n형 GaN 층과 접촉하는 제3 폭(W3)을 가지고, 상기 제4 홀(102d) 또는 상기 n 전극 핑거(190b)는 제1 방향으로 상기 n형 GaN 층과 접촉하는 제4 폭(W4)을 가질 수 있다. 상기 제1 폭 내지 제4 폭은 $W1 > W2 > W3 > W4$ 순으로 순차적으로 감소할 수 있다. 이에 따라, 상기 홀들(102a~102d)을 지나가는 n 전극 핑거(190b)와 상기 n형 GaN 층에 의하여 형성되는 접촉 면저항은 면적에 반비례할 수 있다. 즉, 상기 홀들을 지나가는 n 전극 핑거의 접촉 면저항은 상기 p 전극 패드(170a) 방향으로 접근함에 따라 증가할 수 있다. 따라서, 이러한 저항 구조는 전류 집중 현상을 억제할 수 있다. 이러한 홀 구조 또는 다중 n 콘택 구조는 활성 영역의 면적을 증가시키어 발광 영역을 증가시키고, 복수의 위치에서 상기 n-GaN 층과 상기 n 전극의 접촉을 제공하여, 전류를 공간적으로 분배할 수 있다. 상기 비식각 영역들(102)의 폭(W)는 상기 메사 폭(Wm)보다 작고, 상기 n 전극 핑거(Wn)의 폭보다 클 수 있다.

[0059] 비식각 영역들(102)은 상기 전극 패드 메사 영역(101b)과 제1 홀(102a) 사이 및 상기 제2 내지 제4 홀들 사이에 형성될 수 있다. 비식각 영역들(102)은 상기 제1 방향으로 일정한 폭(W)을 가질 수 있다. 상기 폭은 모든 비식각 영역들에 대하여 일정할 수 있다. 상기 제1 방향에서 상기 홀들 사이의 상기 활성층의 폭(W) 또는 비식각 영역들의 폭(W)은 상기 제1 방향에 수직한 제2 방향에서 상기 홀들의 메사 폭(Wm)보다 작고 상기 n 전극 핑거의 폭보다는 클 수 있다. 또한, 이러한 제한에 따라, 배치될 수 있는 홀들의 개수는 유한한 개수로 한정될 수 있다.

[0060] 상기 홀들의 위치는 상기 홀들이 형성되지 않은 경우의 상기 활성층의 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들로 선정될 수 있다. 상기 등고선들의 고도 차이는 홀의 개수를 2 개 내지 6 개 사이를 가지도록 선정될 수 있다.

[0061] 상기 n 전극(190)은 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 하나 또는 이들의 합금을 포함할 수 있다. 상기 n 전극(190)은 Cr/Au 구조, Cr/Al/Pt/Au 구조, Ti/Au 구조, Ti/Al 구조 또는 Ti/Al/Ni/Au일 수 있다. 바람직하게는, 상기 n 전극은 Cr/Al/Ti/Au의 적층 구조일 수 있다.

[0062] 상기 보호층(180)은 서로 다른 굴절율을 가진 복층 구조의 분배 브래그 반사부(distributed Bragg Reflector)일 수 있다. 구체적으로, 상기 보호층(180)은 SiO₂/TiO₂/SiO₂/TiO₂로 구성된 복층 구조일 수 있다. 이에 따라, 상기 비식각 영역(102)에서 방출된 빛은 상기 보호층(180)에 의하여 반사되어 상기 n 전극이 배치되지 않은 영역으로 방출될 수 있다. 상기 보호층(180)은 반사를 통하여 빛의 손실을 억제하고, 상기 n 전극(190)과 상기 활성층(140), 상기 p형 GaN층(150), 및 상기 전류 퍼짐층(160)의 전기적 연결을 차단할 수 있다.

[0063] 상기 n 전극 핑거(190b)와 상기 활성층(140), 상기 p형 GaN층(150), 및 상기 전류 퍼짐층(160)의 전기적 연결을 차단하기 위하여, 상기 n 전극 핑거는 상기 n 전극 패드에서 제1 방향으로 연장되면서, 비식각 영역들의 측면 및 상부면에 배치된 상기 보호층을 따라 굴곡을 가질 수 있다.

[0064] 본 발명의 변형된 실시예에 따르면, 상기 보호층(180)은 실리콘 산화막이고, 상기 활성층, 상기 보호층, 및 상기 p 전극은 차례로 적층되어 전방향 반사경(Omnidirectional reflector, ODR) 구조를 제공할 수 있다. 이에 따라, 상기 비식각 영역에서 방출된 빛은 상기 보호층에 의하여 반사되어 상기 n 전극이 배치되지 않은 영역으로 방출될 수 있다.

[0065] 본 발명의 변형된 실시예에 따르면, 상기 n 전극 핑거의 상기 제2 방향의 폭은 상기 제1 방향으로 진행되는 상기 홀들의 하부면에서 위치에 따라 서로 다를 수 있다. 구체적으로, 상기 홀들은 제1 방향으로 동일한 폭을 가지고, 상기 n 전극 핑거의 상기 제2 방향의 폭은 상기 제1 방향으로 진행하면서 점진적으로 감소할 수 있다.

[0066] 본 발명의 변형된 실시예에 따르면, 수평형 LED 소자는 기판 상에 차례로 적층된 p형 GaN층(130), 활성층(140), n형 GaN층(150), 및 전류 퍼짐층(160)을 포함할 수 있다. 상기 수평형 LED 소자에서, 소자의 가장자리 및 n 전극이 배치될 위치에서 상기 p형 GaN층 및 활성층을 국부적으로 제거하여 상기 n형 GaN 층이 노출될 수 있다. 상기 활성층, n형 GaN층, 및 전류 퍼짐층의 측면은 수직으로 정렬될 수 있다.

[0067] 상기 n전극(190)은 노출된 n형 GaN 층에 접촉하여 배치되고, n 전극 패드 및 상기 n 전극 패드에서 분기된 n 전극 핑거를 포함할 수 있다. 상기 n 전극 핑거는 적어도 하나 이상이고 제1 방향으로 연장될 수 있다. 상기 p 전극(170)은 상기 전류 퍼짐층 상에 패턴을 가지고 배치되고, p 전극 패드 및 상기 p 전극 패드에서 분기되어 상

기 n 전극 패드를 향하여 제1 방향으로 연장되는 p 전극 핑거를 포함할 수 있다. 상기 p 전극 핑거는 적어도 2 개 이상이고 제1 방향으로 연장될 수 있다.

[0068] 상기 n 전극 패드와 상기 p 전극 패드는 서로 마주보도록 소자의 양측 가장 자리에 배치될 수 있다. 균일한 전류 분배를 위하여, 상기 n 전극 핑거는 상기 p 전극 핑거 사이에서 제1 방향으로 연장될 수 있다. 상기 n 전극 핑거가 상기 제1 방향으로 연장됨에 따라, 상기 활성층 및 상기 전류 퍼짐층은 적어도 2 개 이상의 영역으로 구분될 수 있다. 복수의 n 콘택을 형성하기 위하여 상기 n 전극 핑거가 지나가는 경로에 복수의 홀들(102a)이 형성되고, 상기 홀들과 상기 n 전극 핑거가 오믹 접합할 수 있다.

[0069] 또는, 복수의 n 콘택을 형성하기 위하여 상기 n 전극 핑거가 지나가는 경로에 복수의 비식각 영역들(102)이 형성될 수 있다. 상기 비식각 영역들은 홀들에 의하여 정의될 수 있다. 상기 홀들은 상기 n 전극 핑거와 오믹 접합을 제공할 수 있다. 상기 비식각 영역들은 상기 n 전극 핑거에 의하여 구분된 서로 상부 영역과 하부 영역을 서로 연결될 수 있다. 상기 n 전극 핑거는 상기 비식각 영역들(102)을 가로 질러 상기 홀들(102a)과 접촉할 수 있다. 상기 n 전극 핑거가 상기 비식각 영역들과 전기적 접촉을 방지하기 위하여 상기 비식각 영역들의 측면 및 상부면에 보호층이 배치될 수 있다. 상기 비식각 영역들의 구조, 형상, 및 간격들을 조절하면, 균일한 발광 분포가 얻어질 수 있다. 또는 상기 홀들의 구조, 형상, 및 간격들을 조절하면, 균일한 발광 분포가 얻어질 수 있다.

[0070] 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 LED 소자의 제조 방법을 설명하는 도면들이다.

[0071] 도 2a를 참조하면, 사파이어 기판(110) 상에 GaN 버퍼층(120), n형 GaN층(130), 활성층(140), 및 p형 GaN층(150)을 적층한다. 상기 GaN 버퍼층, 상기 n형 GaN층, 상기 활성층, 및 상기 p형 GaN층은 금속-유기 화학 기상 증착법을 이용하여 성장될 수 있다. 상기 p형 GaN층(150) 상에 전류 퍼짐층(160)을 증착할 수 있다. 상기 전류 퍼짐층(160)은 투명 전도성 금속 산화막일 수 있다. 예를 들어, 상기 전류 퍼짐층(160)은 ITO일 수 있다.

[0072] 도 2b를 참조하면, 상기 전류 퍼짐층(160) 상에 포토 리소그래피 공정을 통하여 포토레지스트 마스크 패턴을 형성하고, 상기 포토레지스트 마스크 패턴을 식각 마스크로 하여 이방성 메사 식각을 수행하여 메사 구조를 형성할 수 있다. 상기 메사 구조는 상기 전류 퍼짐층(160), 상기 p형 GaN층(150), 및 상기 활성층(140)을 국부적으로 제거한다. 상기 메사 구조는 상기 전류 퍼짐층(160), 상기 p형 GaN층(150), 및 상기 활성층(140)의 둘레를 제거한 가장자리 영역과 n 전극 패드가 배치될 n 전극 패드 영역을 포함할 수 있다. 상기 메사 구조의 형성시, 제1 방향으로 정렬된 복수의 홀들(102a~102d)이 생성될 수 있다. 상기 홀들의 형성에 의하여 제1 방향으로 비식각 영역들(102)이 배치된다.

[0073] 도 2c를 참조하면, 보호층(180)이 상기 홀들(102a~102d)이 형성된 사파이어 기판(110) 상에 증착된다. 패턴닝 공정을 사용하면, 상기 비식각 영역들(102)의 제1 방향의 측면 및 상부면에만 상기 보호층(180)이 형성된다. 상기 보호층(180)은 상기 홀들의 하부면을 전부 덮지 않도록 패턴닝될 수 있다. 상기 보호층(180)은 실리콘 산화막의 단층 구조 또는 $[\text{SiO}_2/\text{TiO}_2]_m$ 의 다층 구조일 수 있다. 여기서 m은 1 이상의 정수일 수 있다. 이러한, 다층 구조는 분배 브래그 반사(distributed Bragg reflection)를 제공할 수 있다. 상기 분배 브래그 반사의 중심 파장은 상기 활성층의 발광 중심 파장과 일치할 수 있다.

[0074] 도 2d를 참조하면, 리프트-오프(lift-off) 공정을 이용하여 메사 구조의 노출된 상기 n형 GaN층(130)에서 상기 제1 방향으로 연장되는 n 전극(190)이 형성될 수 있다. 상기 n 전극(190)은 Cr/Al/Ti/Au의 적층 구조일 수 있다. 상기 n 전극(190)은 상기 홀들의 하부면에서 복수의 n 콘택 영역들을 형성할 수 있다.

[0075] n 전극 핑거(190b)의 폭(W_n)은 메사 폭(W_m)보다 작을 수 있다. 상기 n 전극 핑거(190b)와 상기 홀들(102a~102d)의 하부면에서 노출된 n형 GaN층과 접촉하는 면적은 순차적으로 감소할 수 있다. 접촉 면적을 순차적으로 변경하기 위하여, 홀의 제1 방향의 폭이 변경되었다. 상기 비식각 영역들(102)의 폭(W)은 위치에 따라 일정할 수 있다. 상기 비식각 영역의 폭(W)은 상기 메사 폭(W_m)보다 작고 상기 n 전극의 폭(W_n)보다 클 수 있다.

[0076] 본 발명의 변형된 실시예에 따르면, 상기 n 전극의 폭을 위치에 따라 변경하여 접촉 면적을 위치에 따라 변경할 수 있다.

[0077] 다시, 도 1b를 참조하면, 리프트-오프(lift-off) 공정을 이용하여 상기 전류 퍼짐층(160) 상에 p 전극(170)을 형성한다. 상기 p 전극(170)은 Ni/Au 구조, Ti/Al 구조, Ti/Al/Ni/Au, Cr/Al, Cr/Al/Ni/Au 등 Ti나 Cr 기반의 다층구조 일 수 있다.

- [0078] 도 3은 본 발명의 다른 실시예에 따른 보호층을 설명하는 단면도이다.
- [0079] 도 3을 참조하면, 상기 보호층(180)은 서로 다른 굴절율을 가진 두 층(180a, 180b)이 교번하여 배치되는 분배 브래그 반사 구조일 수 있다. 예를 들어, 상기 보호층은 $[\text{SiO}_2/\text{TiO}_2]_m$ 의 다층 구조일 수 있다. m 은 2 이상의 정수일 수 있다.
- [0080] 도 4는 본 발명의 또 다른 실시예에 따른 보호층을 설명하는 단면도이다.
- [0081] 도 4를 참조하면, 상기 보호층(280)은 저굴절율을 가진 유전체층일 수 있다. 예를 들어, 상기 보호층(280)은 실리콘 산화막일 수 있다. 상기 활성층, 상기 보호층, 및 상기 n 전극은 높은 반사율을 제공하는 전방향 반사경(Omnidirectional reflector, ODR) 구조를 제공할 수 있다.
- [0082] 도 5는 본 발명의 일 실시예에 따라 수평형 LED 소자를 형성하기 위하여 홀들의 위치를 결정하기 위한 발광 세기 분포를 나타내는 도면이다.
- [0083] 도 5를 참조하면, 본 발명의 일 실시예에 따른 수평형 발광 다이오드 소자의 제조 방법은 메사구조와 제1 방향으로 연장되는 p 전극 핑거들(170b) 사이에 n 전극 핑거(190b)를 구비한 수평형 발광 다이오드의 특성을 조사하여 상기 수평형 발광 다이오드의 전류 밀도 공간 분포 또는 발광 세기 공간 분포를 추출한다. 이어서, 상기 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들을 선정한다. 이어서, 상기 선정된 위치들 사이에 홀들을 배치하고 메사구조와 제1 방향으로 연장되는 p 전극 핑거들 사이에 n 전극 핑거를 구비한 수평형 발광 다이오드를 제조하는 단계를 포함할 수 있다. 상기 홀들은 하부의 n형 GaN층을 노출하도록 형성된다.
- [0084] 통상적인 수평형 LED의 발광 분포가 표시된다. 등고선은 일정한 발광 세기를 나타낸다. 상기 등고선들은 발광 세기에 따라 일정한 값 차이를 가지고 표시된다. 상기 복수의 홀들 사이의 비식각 영역들이 배치될 위치는 상기 홀들이 형성되지 않은 경우의 상기 활성층의 전류 밀도 공간 분포 또는 발광 세기 공간 분포에서, 상기 전류 밀도의 세기 또는 상기 발광 세기의 일정한 차이를 가지는 등고선들과 상기 제1 방향의 직선과 교차하는 위치들로 선정될 수 있다. 상기 등고선들은 일정한 값 차이를 가지도록 선정되고, 상기 등고선들은 상기 n 전극 패드와 상기 p 전극 패드 사이에 2 개 내지 10 개를 가지도록 선택될 수 있다.
- [0085] 구체적으로, 통상적인 발광 다이오드의 발광 분포에서, h_1 , h_2 , h_3 , 및 h_4 는 비식각영역들이 배치될 위치일 수 있다. 발광 분포의 등고선은 전류 분포의 등고선과 서로 일치 또는 유사할 수 있다. 즉, 전류 분포 또는 발광 분포에서 등고선과 제1 방향의 직선이 교차하는 위치에 비식각 영역들이 형성되면, 홀들에 의하여 저항을 조절할 위치가 선택될 수 있다. 선택된 위치에서 접촉 면적을 조절하면 n 콘택 홀들 사이의 저항 분배를 제어할 수 있다.
- [0086] 도 6a 및 도 6b는 서로 다른 고도 차이를 가지는 발광 공간 분포의 등고선을 나타내는 도면들이다.
- [0087] 도 6a를 참조하면, 비식각 영역들의 위치는 h_1, h_2 , 및 h_3 로 선택될 수 있다.
- [0088] 도 6b를 참조하면, 비식각 영역들의 위치는 h_1 및 h_2 로 선택될 수 있다.
- [0089] 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 수평형 LED의 복수의 n 콘택의 형성 여부에 따른 광세기 분포를 나타낸다.
- [0090] 도 7a를 참조하면, 복수의 n 콘택을 형성하기 않은 경우, 발광 분포는 n 전극 패드 주위에 집중되었다. 복수의 비식각 영역들의 위치(h_1, h_2, h_3, h_4)는 흰색 라인으로 표시하였다. 비식각 영역들 사이에 홀들이 배치될 수 있다. 상기 홀들은 노출된 n형 GaN층과 오믹 접합할 수 있다.
- [0091] 도 7b를 참조하면, 도 7a에서 선택한 위치들에 복수의 n 콘택을 형성한 경우, 발광 분포는 전체적으로 균일하였으며, 발광 효율도 증가하였다. 좌표의 단위는 마이크로미터이다.
- [0092] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0093] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0094]

100: 수평형 발광 다이오드 소자

102a~102d: 복수의 홀들

110: 사파이어 기판

130: n형 GaN 층

140: 활성층

150: p형 GaN 층

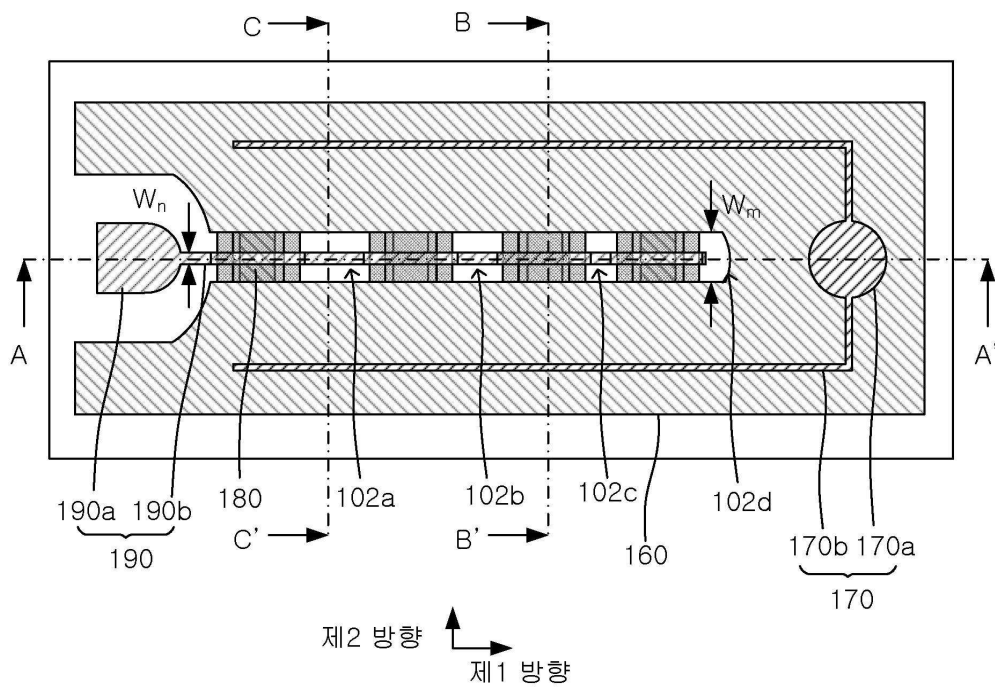
160: 전류 퍼짐층

170: p 전극

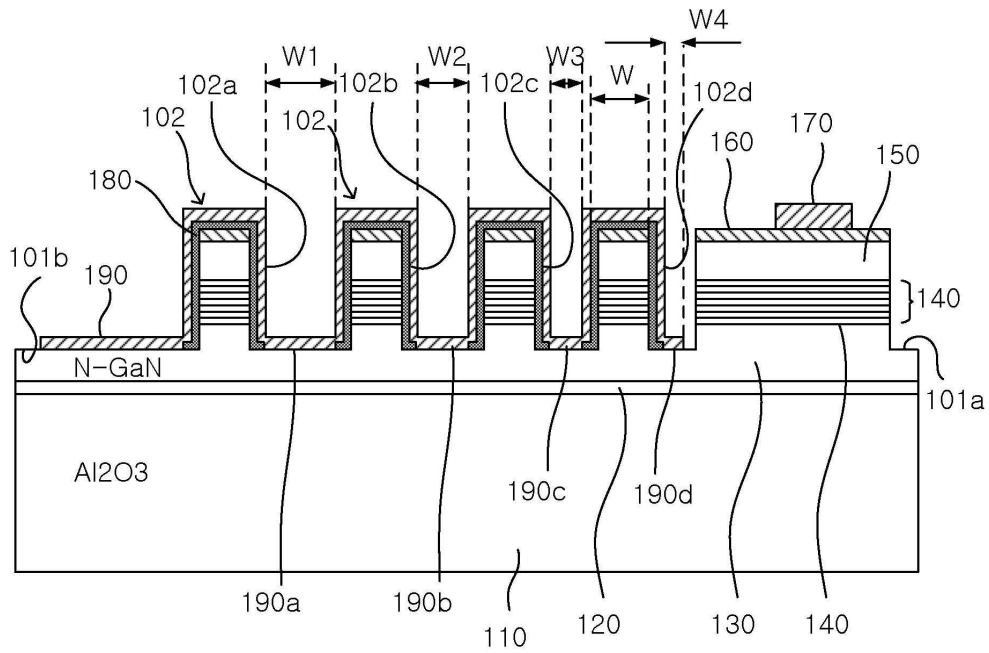
190: n 전극

도면

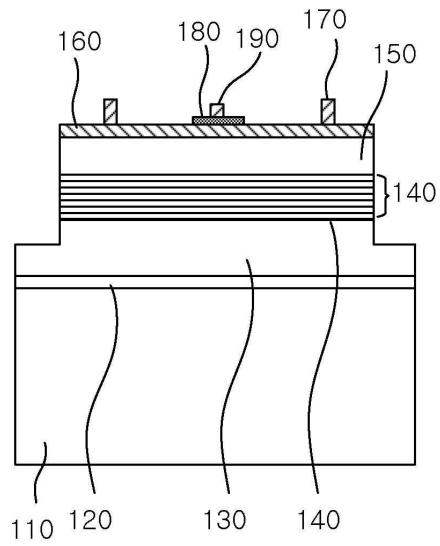
도면1a



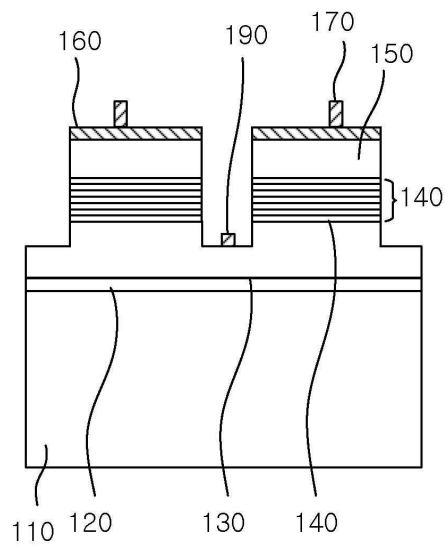
도면1b



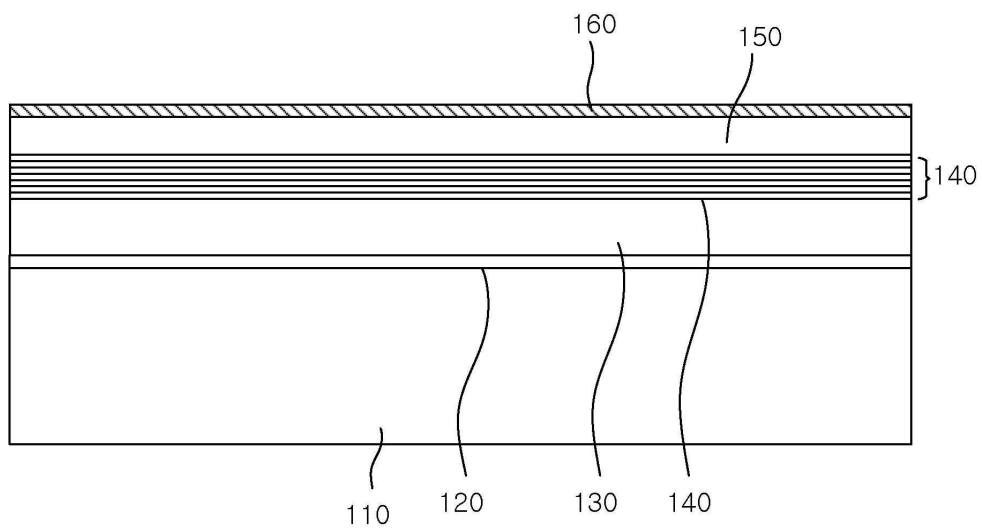
도면1c



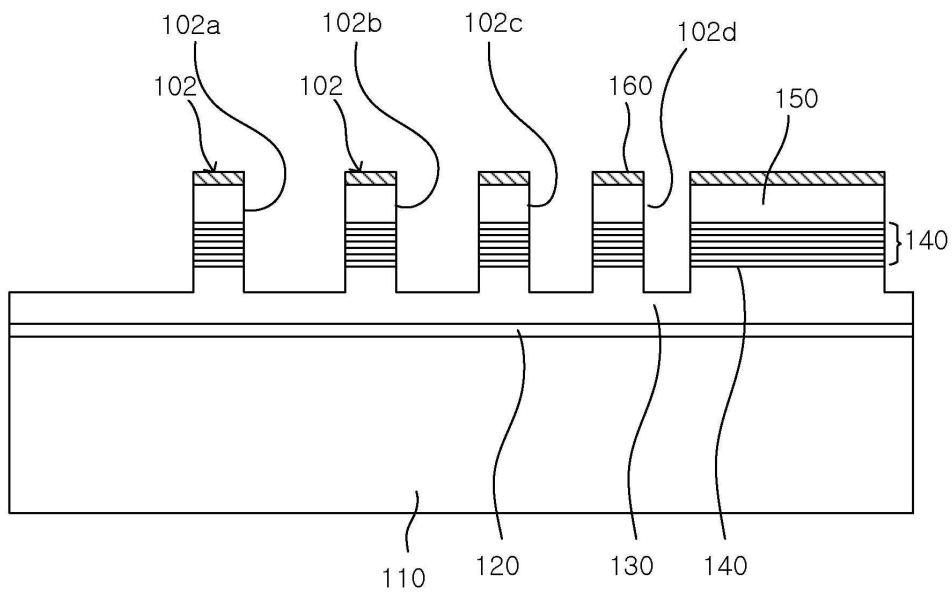
도면1d



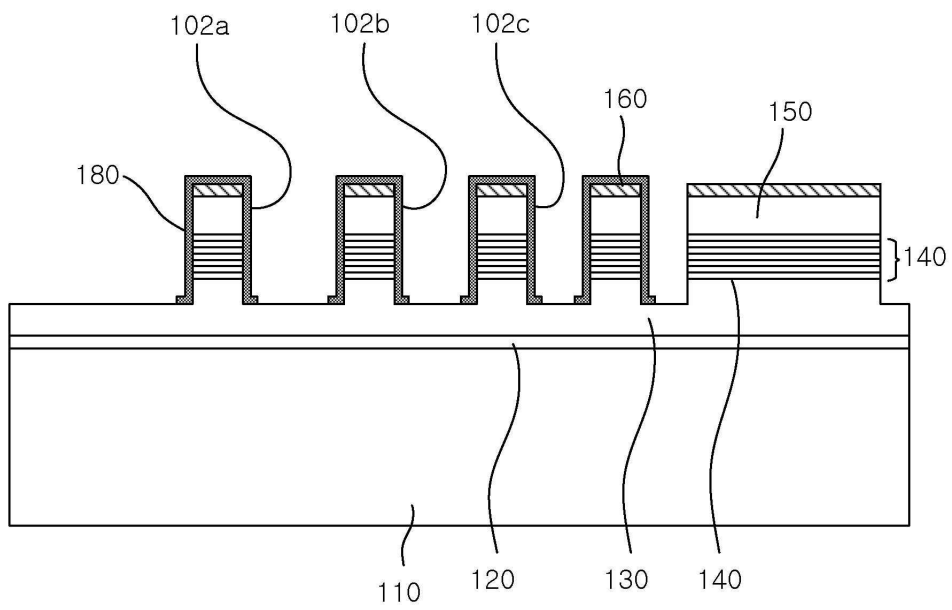
도면2a



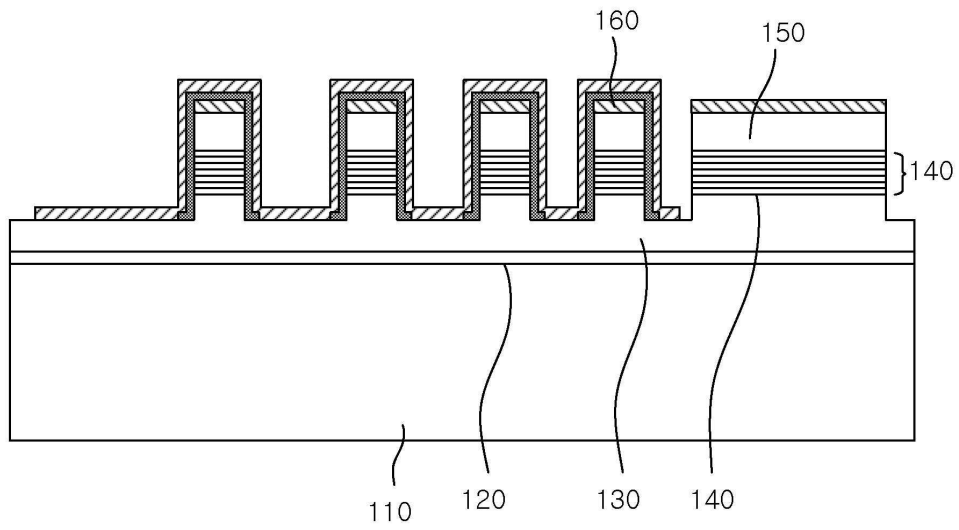
도면2b



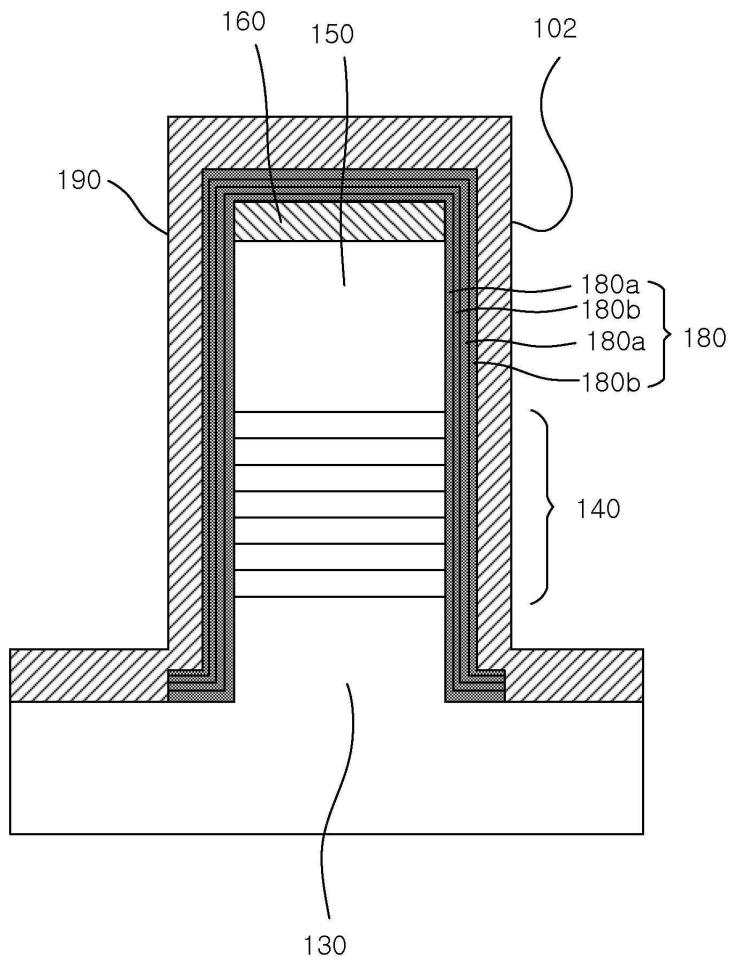
도면2c



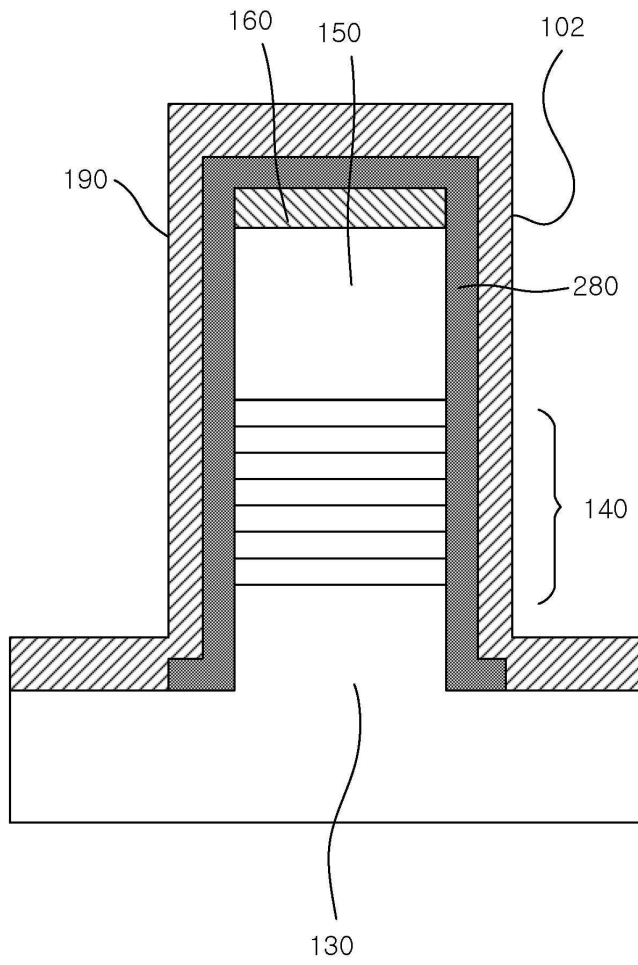
도면2d



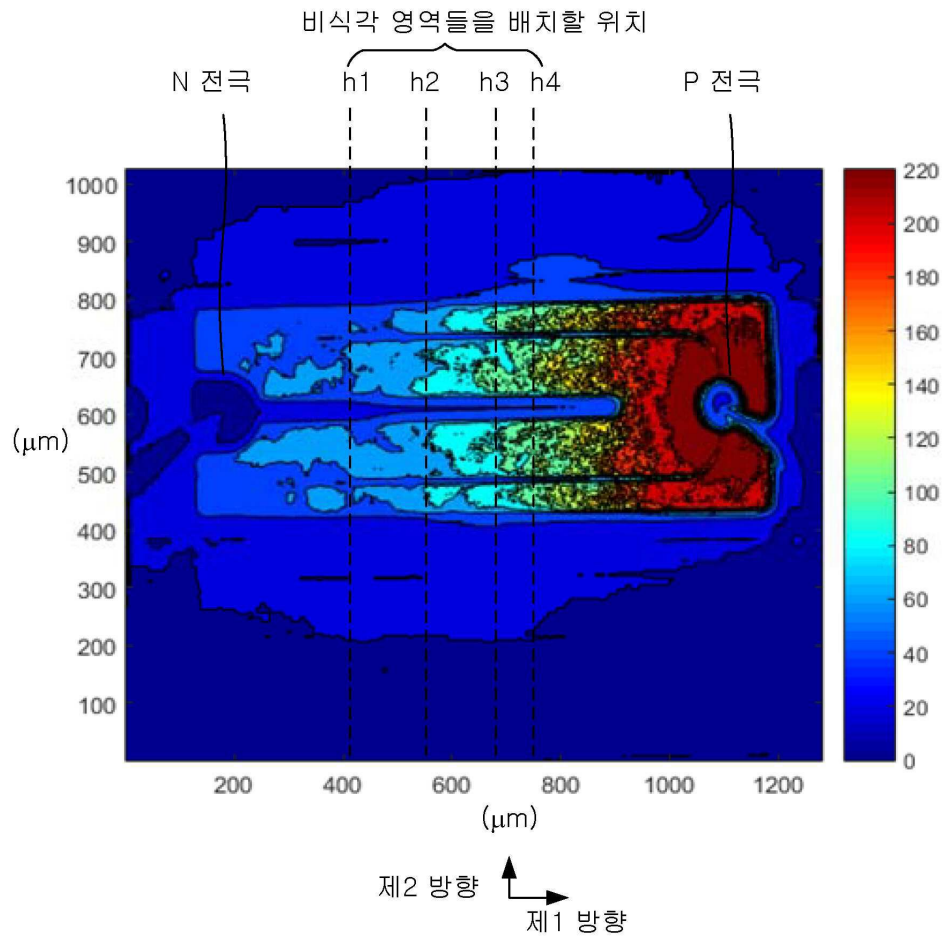
도면3



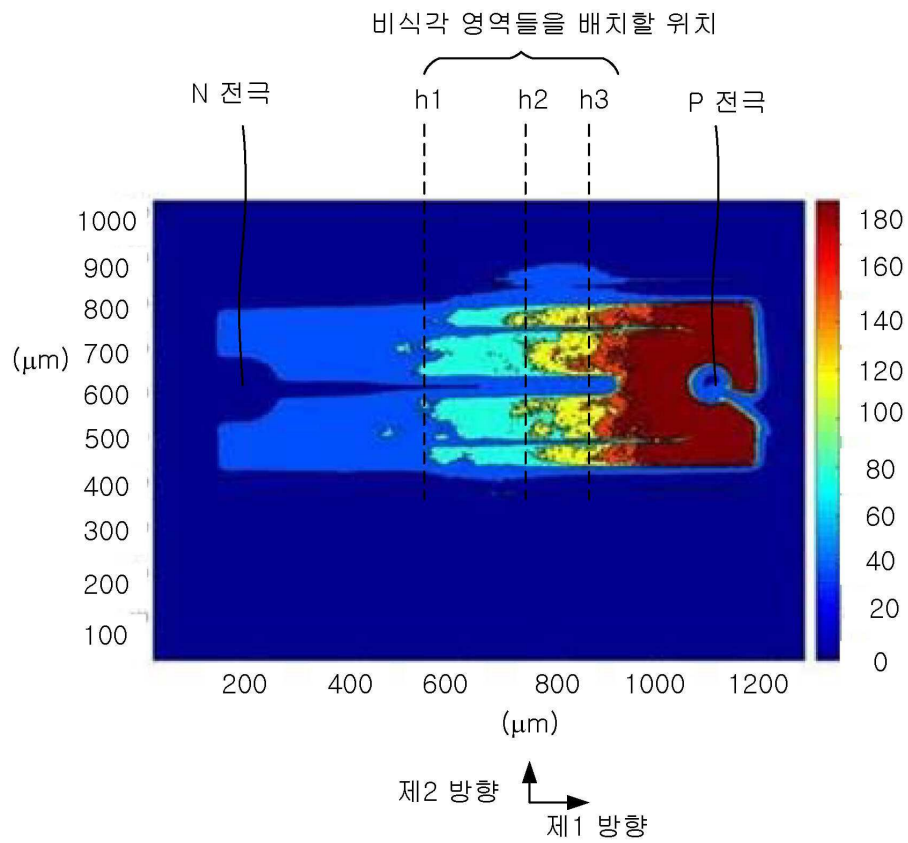
도면4



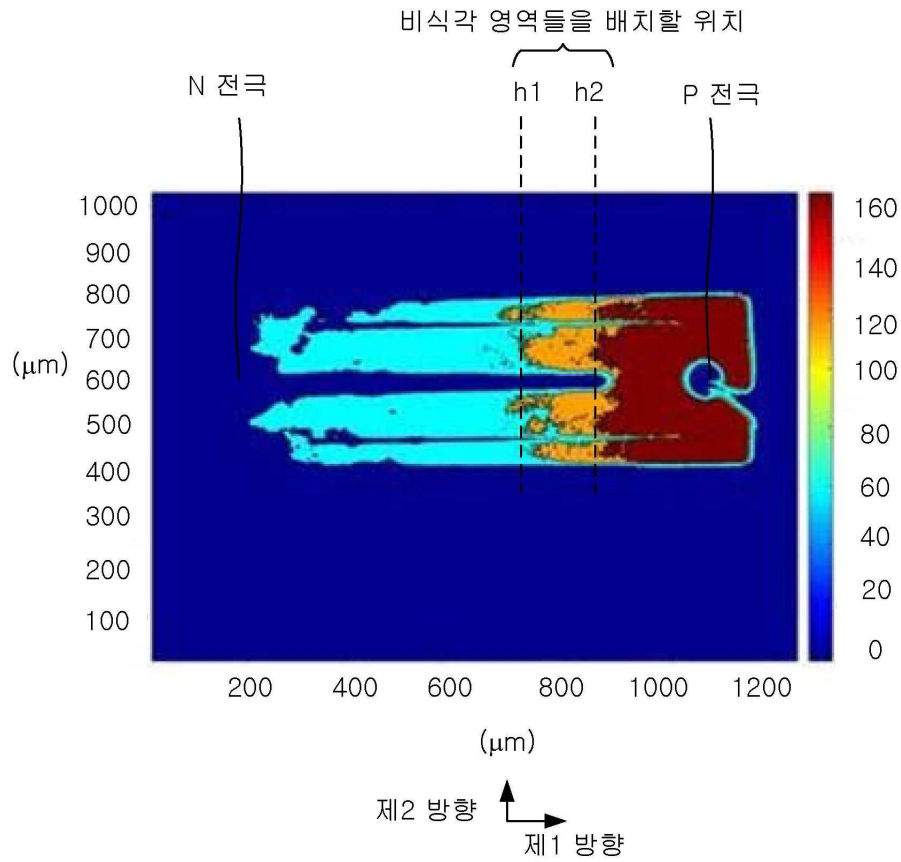
도면5



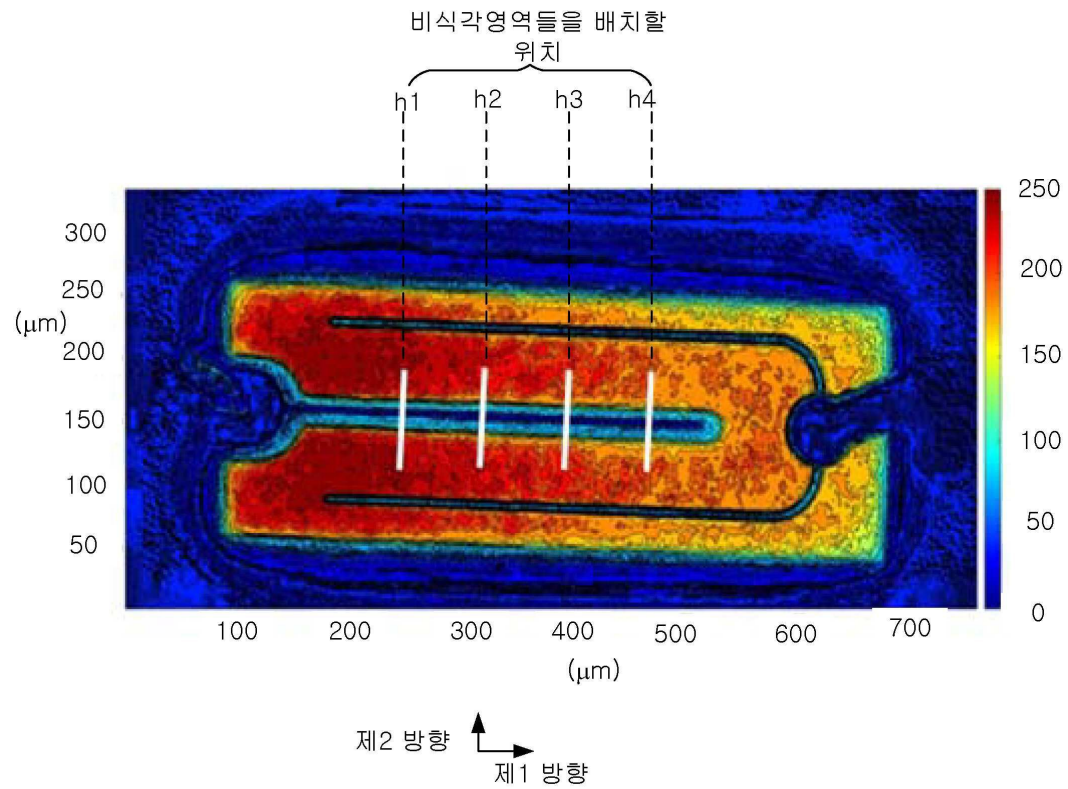
도면6a



도면6b



도면7a



도면7b

