

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5046451号
(P5046451)

(45) 発行日 平成24年10月10日 (2012.10.10)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 N

H O 1 L 29/78 6 1 7 K

H O 1 L 29/78 6 1 7 L

請求項の数 6 (全 26 頁)

(21) 出願番号 特願2001-288483 (P2001-288483)
 (22) 出願日 平成13年9月21日 (2001.9.21)
 (65) 公開番号 特開2002-190479 (P2002-190479A)
 (43) 公開日 平成14年7月5日 (2002.7.5)
 審査請求日 平成20年8月7日 (2008.8.7)
 (31) 優先権主張番号 特願2000-289457 (P2000-289457)
 (32) 優先日 平成12年9月22日 (2000.9.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大沼 英人
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

透明絶縁性基板上に半導体層とゲート絶縁膜と第1層ゲート電極膜と第2層ゲート電極膜を前記透明絶縁性基板に近い方から順に積層形成する第1の工程と、

前記第2層ゲート電極膜上にゲート電極形成用のレジストパターンを形成する第2の工程と、

前記レジストパターンをマスクにドライエッチングし、第1層ゲート電極と第2層ゲート電極とから成る第1形状のゲート電極を形成する第3の工程と、

前記半導体層のうち、前記第1形状のゲート電極に覆われていない領域に一導電型の不純物をイオン注入することによって、前記第1形状のゲート電極と重ならない第1の不純物領域を形成する第4の工程と、

前記第1形状のゲート電極上に存在するレジストパターンをマスクに前記第1形状のゲート電極の第1層ゲート電極及び第2層ゲート電極を追加エッチングし、第2形状のゲート電極の第1層ゲート電極及び第2層ゲート電極を形成し、前記第2形状のゲート電極の第1層ゲート電極は前記第1形状のゲート電極の第1層ゲート電極よりチャネル方向の寸法が短く、且つ前記第2形状のゲート電極の第2層ゲート電極よりチャネル方向の寸法の長くする第5の工程と、

前記第2形状のゲート電極上にレジストを形成し、前記第2形状のゲート電極の第1層ゲート電極をマスクに裏面露光を行い、自己整合的にネガレジストパターンを形成する第6の工程と、

10

20

前記半導体層のうち、前記第 2 形状のゲート電極の第 1 層ゲート電極の露出領域と重なる領域に前記一導電型と同一導電型の不純物をイオン注入することによって、前記第 2 形状のゲート電極の第 1 層ゲート電極と重なる第 2 の不純物領域を形成する第 7 の工程と、

前記ネガレジストパターンを除去する第 8 の工程と、

前記半導体層のうち、前記第 2 形状のゲート電極に覆われていない領域に前記一導電型と同一導電型の不純物をイオン注入することによって、前記第 2 形状のゲート電極と重ならない第 3 の不純物領域を形成する第 9 の工程とを備え、

前記第 2 の不純物領域を形成する際のドーズ量を前記第 1 の不純物領域を形成する際のドーズ量より低く、前記第 3 の不純物領域を形成する際のドーズ量より高くすることを特徴とする半導体表示装置の作製方法。

10

【請求項 2】

透明絶縁性基板上に半導体層とゲート絶縁膜と第 1 層ゲート電極膜と第 2 層ゲート電極膜を前記透明絶縁性基板に近い方から順に形成する第 1 の工程と、

前記第 2 層ゲート電極膜上にゲート電極形成用のレジストパターンを形成する第 2 の工程と、

前記レジストパターンをマスクにドライエッチングし、第 1 層ゲート電極と第 2 層ゲート電極とから成る第 1 形状のゲート電極を形成する第 3 の工程と、

前記半導体層のうち、前記第 1 形状のゲート電極に覆われていない領域に一導電型の不純物イオンを注入することによって、前記第 1 形状のゲート電極と重ならない第 1 の不純物領域を形成する第 4 の工程と、

20

前記第 1 形状のゲート電極上に存在するレジストパターンをマスクに前記第 1 形状のゲート電極の第 1 層ゲート電極及び第 2 層ゲート電極を追加エッチングし、第 2 形状のゲート電極の第 1 層ゲート電極及び第 2 層ゲート電極を形成し、前記第 2 形状のゲート電極の第 1 層ゲート電極は前記第 1 形状のゲート電極の第 1 層ゲート電極よりチャンネル方向の寸法が短く、且つ前記第 2 形状のゲート電極の第 2 層ゲート電極よりチャンネル方向の寸法の長くする第 5 の工程と、

前記半導体層のうち、前記第 2 形状のゲート電極に覆われていない領域に前記一導電型と同一導電型の不純物をイオン注入することによって、前記第 2 形状のゲート電極と重ならない第 3 の不純物領域を形成する第 6 の工程と、

前記第 2 形状のゲート電極上にレジストを形成し、前記第 2 形状のゲート電極の第 1 層ゲート電極をマスクに裏面露光を行い、自己整合的にネガレジストパターンを形成する第 7 の工程と、

30

前記半導体層のうち、前記第 2 形状のゲート電極の第 1 層ゲート電極の露出領域と重なる領域に前記一導電型と同一導電型の不純物をイオン注入することによって、前記第 2 形状のゲート電極の第 1 層ゲート電極と重なる第 2 の不純物領域を形成する第 8 の工程とを備え、

前記第 2 の不純物領域を形成する際のドーズ量を前記第 1 の不純物領域を形成する際のドーズ量より低く、前記第 3 の不純物領域を形成する際のドーズ量より高くすることを特徴とする半導体表示装置の作製方法。

【請求項 3】

40

請求項 1 又は請求項 2 に於いて、

前記第 2 の不純物領域と前記第 3 の不純物領域の不純物濃度を各々独立に制御することを特徴とする半導体表示装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一に於いて、

前記第 1 層ゲート電極膜と前記第 2 層ゲート電極膜に種類の異なる高融点金属又は高融点金属を含む化合物を適用することを特徴とする半導体表示装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一に於いて、

前記第 1 層ゲート電極膜として高融点金属を含む化合物である TaN 膜を適用し、前記

50

第2層ゲート電極膜として高融点金属であるW膜を適用することを特徴とする半導体表示装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一に於いて、

前記半導体層を多結晶シリコン膜で形成することを特徴とする半導体表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTと略記）で構成された回路を有する半導体表示装置及びその作製方法に関するものである。半導体表示装置としては、例えばTFTで構成された液晶ディスプレイ及びEL（エレクトロルミネッセンス）ディスプレイ等の電気光学装置がある。

【0002】

【従来の技術】

近年、TFTを利用したアクティブマトリクス型の液晶ディスプレイ技術が注目されている。アクティブマトリクス表示はパッシブマトリクス表示に比べ、応答速度と視野角及びコントラストの点で有利な為、現在のノートパソコンや液晶テレビ等の主流になっている。

【0003】

TFTは、非晶質シリコン又は多結晶シリコンをチャンネル層とするものが一般的である。特に低温プロセス（一般に600以下）で作製される多結晶シリコンTFTは、低価格化及び大面積化と同時に、電子又は正孔が大きな電界移動度を有する為、液晶ディスプレイに用いた場合、画素用トランジスタだけでなく周辺回路であるドライバーの一体化が達成できる特徴があり、各液晶ディスプレイメーカーで開発が進められてきた。

【0004】

しかし、多結晶シリコンTFTの場合、連続駆動させると移動度やオン電流（TFTがオン状態の場合に流れる電流）の低下及びオフ電流（TFTがオフ状態の場合に流れる電流）の増加等の劣化現象が観測されることがあり、信頼性上大きな問題である。この現象はホットキャリア現象と呼ばれており、ドレイン近傍の高電界により発生したホットキャリアの仕業であることが知られている。

【0005】

ところで、このホットキャリア現象は、最初にMOSトランジスタに於いて発見された現象である。この為、ホットキャリア対策として、これまで様々な基礎検討が行われてきており、設計ルール1.5μm以下のMOSトランジスタでは、ドレイン近傍の高電界によるホットキャリア現象の対策として、LDD（Lightly-Doped-Drainの略）構造が採用されている。LDD構造では、ゲート側壁のサイドウォールを利用してドレイン端部に低濃度不純物領域（n-領域）を設け、ドレイン接合の不純物濃度に傾斜を持たせることによりドレイン近傍の電界集中を緩和している。

【0006】

当該（しかし、）LDD構造の場合、シングルドレイン構造に比べ、ドレイン耐圧はかなり向上するが、低濃度不純物領域（n-領域）の抵抗が大きい為、ドレイン電流が減少するという難点がある。また、サイドウォールの真下に高電界領域が存在し、そこで衝突電離が最大になり、ホットエレクトロンがサイドウォールに注入される為、低濃度不純物領域（n-領域）が空乏化し、更に抵抗が増加するLDD特有の劣化モードが問題になっている。チャンネル長の縮小に伴い、以上の問題が顕在化してきた為、0.5μm以下のMOSトランジスタでは、この問題を克服する構造として、ゲート電極の端部にオーバーラップして低濃度不純物領域（n-領域）を形成するGOLD（Gate-Overlapped LDDの略）構造が考案され採用されている。

【0007】

この様な背景の下、液晶ディスプレイの構成素子である多結晶シリコンTFTに於いても、MOSトランジスタと同様にドレイン近傍の高電界を緩和する目的で、LDD構造及びGOLD構造の採用が検討されている。LDD構造の場合は、ゲート電極の外側領域に対応する多結晶シリコン層に低濃度不純物領域（ n -領域）と、その外側にソース・ドレイン領域となる高濃度不純物領域（ n +領域）を形成しており、オフ電流の抑制効果は高いが、ドレイン近傍の電界緩和によるホットキャリア抑制効果は小さいという難点がある。一方のGOLD構造の場合は、LDD構造の低濃度不純物領域（ n -領域）がゲート電極端部とオーバーラップする様に形成されており、LDD構造に比べホットキャリア抑制効果は大きい、オフ電流が大きくなるという難点がある。

【0008】

10

また、 n チャネル型多結晶シリコンTFTに於けるGOLD構造の検討例としては、例えば「Mutuko Hatano, Hajime Akimoto and Takesi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」があり、GOLD構造TFTの基本特性が開示されている。当該GOLD構造TFTの基本的構造は、ゲート電極とLDD用側壁が多結晶シリコンで形成され、LDD用側壁の真下の活性層（多結晶シリコンで形成）に電界緩和領域である低濃度不純物領域（ n -領域）、及びその外側にはソース領域又はドレイン領域である高濃度不純物領域（ n +領域）が形成されている。その基本特性としては、通常のLDD構造TFTと比較し、ドレイン電界の緩和と共に大きいドレイン電流が得られ、またドレインアバランシェホットキャリア（Drain-Avalanche-Hot-Carrier）の抑制効果が大きいという特性が得られている。

20

【0009】

【発明が解決しようとする課題】

多結晶シリコンTFTで構成される液晶ディスプレイ等の半導体表示装置は、画素領域と駆動回路である周辺回路で構成されており、回路毎に要求されるTFT特性は異なっている。例えば、画素領域にはオフ電流の抑制効果の大きいLDD構造多結晶シリコンTFTが適しており、駆動回路である周辺回路にはホットキャリア耐性の大きいGOLD構造多結晶シリコンTFTが適している。半導体表示装置の性能向上の点では、画素領域はLDD構造多結晶シリコンTFTで構成し、駆動回路である周辺回路はGOLD構造多結晶シリコンTFTで構成することが好適であるが、製造工程が複雑になる為、製造原価の増大と歩留の低下が大きな課題である。

30

【0010】

本発明は、上記課題を解決することのできる半導体表示装置及びその作製方法を提供することを目的とする。

【0011】

【課題を解決する為の手段】

GOLD構造多結晶シリコンTFTのホットキャリア耐性とLDD構造多結晶シリコンTFTのオフ電流抑制効果の両方を具備する多結晶シリコンTFTで、液晶ディスプレイ等の半導体表示装置を構成した場合、画素領域と駆動回路である周辺回路に於いて、GOLD構造とLDD構造を別々に形成する必要がなく、作製工程の簡略化が期待できる。

【0012】

40

GOLD構造多結晶シリコンTFTの構造的特徴は、ソース領域又はドレイン領域である高濃度不純物領域（ n +領域又は p +領域）の内側に存在する低濃度不純物領域（ n -領域又は p -領域）が、当該ゲート電極とオーバーラップしていることである。LDD構造多結晶シリコンTFTの構造的特徴は、前記低濃度不純物領域（ n -領域又は p -領域）が当該ゲート電極とオーバーラップしてないことである。この為、ゲート電極とオーバーラップしている低濃度不純物領域（ L_{ov} 領域と定義）とゲート電極とオーバーラップしてない低濃度不純物領域（ L_{off} 領域と定義）の両方を具備したTFT構造を検討した（当該構造のTFTは、GOLD構造の一種なので、以下GOLD構造と記載）。

【0013】

図1は、当該GOLD構造多結晶シリコンTFTの主な形成工程を示したものである。同

50

図に於いて、ゲート電極は膜厚の薄く幅の大きい第1層ゲート電極104と膜厚の厚く幅の小さい第2層ゲート電極105の2層構造になっている。即ち、第1層ゲート電極104は第2層ゲート電極105よりチャンネル方向の寸法が長い。ゲート電極の下側の基板構造は、ガラス基板101上に多結晶シリコン膜から成る半導体層102とゲート絶縁膜103が積層された基板構造となっており、その基板上に第1層ゲート電極104と第2層ゲート電極105から成る前記ゲート電極が形成されている。また、前記半導体層102には、ソース領域又はドレイン領域である高濃度不純物領域（ $n+$ 領域又は $p+$ 領域）106が形成されている。尚、此处で使用される基板はガラス基板101に限定されず、耐熱性を有する透明絶縁性基板であれば構わない点を付記しておく（図1-A参照）。

【0014】

次に、所定膜厚のネガレジストを成膜し、第1層ゲート電極104をマスクに、基板の裏面から露光処理を行う。第1層ゲート電極104は導電性の金属材料でできている為、裏面からの露光を遮光する性質があるが、ガラス基板101と多結晶シリコン膜から成る半導体層102とゲート絶縁膜103は透光性を有する。この為、現像工程に於いて、前記第1層ゲート電極104で遮光された領域のネガレジスト膜は現像液に溶解し、遮光されない領域のネガレジスト膜は現像液に不溶となり、ネガレジストパターン107が形成される。この際、遮光領域と非遮光領域の境界は第1層ゲート電極104の端部で一義的に決まる為、ネガレジストパターン107は第1層ゲート電極104をマスクに自己整合的に形成される。現像後のネガレジストパターン107はベーク処理が施され、最終的なネガレジストパターン107が形成される（図1-B参照）。

【0015】

次に、第1層ゲート電極104が露出した領域に対応する多結晶シリコン膜から成る半導体層102に、 n 型又は p 型不純物の低濃度イオン注入を行う。この n 型又は p 型不純物の低濃度イオン注入により、 Lov 領域である低濃度不純物領域（ $n-$ 領域又は $p-$ 領域）108が形成される。この際、イオン注入のマスクはネガレジストパターン107と膜厚の厚い第2層ゲート電極105で構成されている為、注入イオンに対する阻止能力は極めて高く、イオン注入時の加速電圧とイオン注入量を適宜選択することにより、第1層ゲート電極104の露出した領域に対応する半導体層102のみに適切な濃度の不純物をスルードープで独立にイオン注入することができる（図1-C参照）。

【0016】

此处で、イオン注入という用語の定義について明確にする。一般には質量分離した不純物イオンを注入する場合にイオン注入、質量未分離の不純物イオンを注入場合にイオンドープの用語が適用されているが、本明細書では質量分離の有無に関係なく、多結晶シリコン膜に不純物を導入する工程を広い意味でイオン注入と定義している。

【0017】

次に、ネガレジストパターン107を除去した後、第1層ゲート電極104の外側に対応する半導体層102に、 n 型又は p 型不純物の低濃度イオン注入を行う。このイオン注入により、 $Loff$ 領域である低濃度不純物領域（ $n--$ 領域又は $p--$ 領域）109が形成される。この際、既に形成されているソース・ドレイン領域である高濃度不純物領域（ $n+$ 領域又は $p+$ 領域）106へも同時にイオン注入されるが、イオン注入量が少ない為に影響は殆どない。また、第1層ゲート電極104の下側の Lov 領域である低濃度不純物領域（ $n-$ 領域又は $p-$ 領域）108へも前記第1層ゲート電極104を通して（スルードープ）同時にイオン注入されるが、殆どの注入イオンは第1層ゲート電極104で阻止される為、実質的な注入イオン量を問題ないレベルに抑えることができる。尚、此处では、ネガレジストパターン107を除去した後にイオン注入しているが、図1-Aの段階で実施しても基本的に同じである（図1-D参照）。

【0018】

以上の工程により、 Lov 領域と $Loff$ 領域を共に有するGOLD構造多結晶シリコンTFETを形成することができる。此处で形成したGOLD構造多結晶シリコンTFETのTFET特性に関する検討結果を図2に示す。図2は移動度（ μ_{FE} ）劣化率と Lov 領域への

10

20

30

40

50

n型不純物（Pイオン）の注入量の関係及びオフ電流とL o f f領域へのn型不純物（Pイオン）の注入量の関係を示したもので、L o v領域とL o f f領域の寸法が共に0.7 μm 程度で同一であるという条件の下で評価したものである。此处ではホットキャリア耐性の評価法として、移動度（ μ_{FE} ）劣化率を指標に用いて評価した。図2中の黒点、白点が各々、L o v領域に関する結果、L o f f領域に関する結果である。この図から判る様に、移動度（ μ_{FE} ）劣化率の低減の為にはL o v領域に $0.8 \times 10^{14} \text{ ions/cm}^2 \sim 1.7 \times 10^{14} \text{ ions/cm}^2$ 程度のPイオン注入量が必要であり、オフ電流の低減の為にはL o f f領域に $1 \times 10^{13} \text{ ions/cm}^2$ 程度のPイオン注入量が必要であることが判る。本検討の結果、移動度（ μ_{FE} ）劣化率の低減とオフ電流の低減を両立できるG O L D構造多結晶シリコンT F Tが形成可能であること、即ちホットキャリア耐性とオフ電流の抑制効果を共に有するG O L D構造多結晶シリコンT F Tが形成可能であることを確認できた（図2参照）。

10

【0019】

尚、本実験に使用したG O L D構造多結晶シリコンT F Tの構造について、以下に付記する。ソース領域又はドレイン領域等の形成される半導体層は膜厚50nmの多結晶シリコン膜、ゲート絶縁膜は膜厚110nmの酸化窒化シリコン膜、第1層ゲート電極は膜厚30nmのT a N膜、第2層ゲート電極は膜厚370nmのW膜で各々構成されている。また、イオン注入は、質量未分離の状態で行い、イオン注入するイオンドープ装置を使用して検討した（図2参照）。

【0020】

20

次に、当該nチャネル型G O L D構造多結晶シリコンT F Tの特性について、シミュレーションによる検討結果を図15に示す。図15-Aは、L o v領域へのPイオン注入量を振った場合のドレイン-チャネル接合部付近に於ける最大電子温度のシミュレーションデータである。この結果から、L o v領域へのPイオン注入量は、 $1.5 \times 10^{14} \text{ ions/cm}^2$ の場合に電子温度が最小となる結果が得られた。このことは、L o v領域へのPイオン注入量が $1.5 \times 10^{14} \text{ ions/cm}^2$ の場合に、ホットキャリア発生率が最小となることを示唆しており、上記の実験結果ともほぼ対応が取れている。また、図15-Bは、L o v領域へのPイオン注入量を $1.5 \times 10^{14} \text{ ions/cm}^2$ に固定した状態で、L o f f領域へのPイオン注入量を振った場合のドレイン-チャネル接合部付近に於ける最大電子温度とオフ電流（I o f f）のシミュレーションデータである。この結果から、L o f f領域へのPイオン注入量が $1.5 \times 10^{13} \text{ ions/cm}^2$ から $0.75 \times 10^{13} \text{ ions/cm}^2$ にかけて、ドレイン-チャネル接合部付近に於ける最大電子温度とオフ電流（I o f f）が共に急激に小さくなる結果が得られた。上記の実験結果に於いては、L o f f領域へのPイオン注入量が少なくなるのに比例して、オフ電流（I o f f）がリニアに小さくなっているが、バラツキ等を考慮すると、大きな矛盾はないものとする。一方、オン電流（I o n）については、図15-Cに示す様に、L o f f領域へのPイオン注入量が少なくなるのに比例して、オン電流（I o n）が小さくなっているが、Pイオン注入量 $0.75 \times 10^{13} \text{ ions/cm}^2$ の場合でも、オン電流（I o n）が50 μA 程度あり、オン電流（I o n）として若干小さいけれども、周辺回路として適用可能と考える（図15参照）。

30

【0021】

40

従って、図15に示すシミュレーション結果からも、当該nチャネル型G O L D構造多結晶シリコンT F Tの有効性が確認された。此处では、本シミュレーションの前提条件であるデバイス構造等について、以下に補足説明を記載する。当該G O L D構造多結晶シリコンT F Tの構造は、 $W/L = 8/6 \mu\text{m}$ 、L o v領域=L o f f領域=0.75 μm 、ソース・ドレイン領域等の形成層であるシリコン膜として膜厚50nmの多結晶シリコン膜、ゲート絶縁膜として膜厚110nmのシリコン酸化窒化膜（誘電率=4.1）、第1層ゲート電極として膜厚30nmのT a N膜、第2層ゲート電極として膜厚370nmのW膜を想定し、更にチャネルドープ及びソース・ドレイン領域への不純物イオン注入（イオンドープ法）としてS I M S分析データの不純物プロファイルに合わせ込んでシミュレーションを実効した。尚、本シミュレーションに於いては、キャリア活性化率が不明である為、人為

50

的に活性化率を20%に設定してシミュレーションを行っている。また、シミュレーションではホットキャリア信頼性について直接的な評価は不可能である為、ドレイン-チャネル接合部の最大電子温度(電子の運動エネルギーに相当)を計算し、間接的にホットキャリアの評価を行っている。

【0022】

此处で重要なことは、ホットキャリア耐性とオフ電流の抑制効果を共に有するGOLD構造多結晶シリコンTFETを形成する為には、Low領域とLoFF領域の不純物濃度の適正值が異なっており、各々独立に制御する必要があることである。この為、当該GOLD構造多結晶シリコンTFETの形成工程に於いて、Low領域へのイオン注入は、LoFF領域へのイオン注入とは独立に、自己整合的に形成したネガレジストパターンをマスクにイオン注入していることである。

10

【0023】

本発明では、既に記載した様に、ネガレジストと裏面露光法の組み合わせにより、第1層ゲート電極104をマスクに自己整合的にネガレジストパターン107の形成を行っている。此处で、ポジレジストと露光装置を適用した通常のフォトリソグラフィ工程によりレジストパターンを形成することも可能であるが、この場合は自己整合技術が適用されない為、露光装置のアライメント精度に依存した重ね合わせ誤差が発生し、第1層ゲート電極104と前記レジストパターンの間に微小な間隙が生じることになる。この結果、次工程の低濃度イオン注入の際、第1層ゲート電極104と前記レジストパターンの間の微小間隙に対応した半導体層102の領域に同時にイオン注入される可能性があり、自己整合技術を利用しない通常のフォトリソグラフィ工程の適用は問題である。この問題を回避する為、本発明では、レジストパターンの形成に、ネガレジストと裏面露光法の組み合わせを適用している。

20

【0024】

本発明の特徴について、以下に簡潔に記載する。本発明は、液晶ディスプレイ等の半導体表示装置の作製に於いて、画素領域と駆動回路である周辺回路をLow領域とLoFF領域を共に有するGOLD構造多結晶シリコンTFETで構成することにより、作製工程の簡略化と半導体表示装置の性能向上を共に実現することを特徴としている。

【0025】

また、本発明ではLow領域とLoFF領域を共に有するGOLD構造多結晶シリコンTFETの形成に於いて、裏面露光法で自己整合的に形成されたネガレジストパターンをマスクにLow領域へのイオン注入を独立に行うことにより、Low領域とLoFF領域の不純物濃度の独立制御を可能とするものである。これにより、ホットキャリア耐性とオフ電流の抑制効果を共に有するGOLD構造多結晶シリコンTFETの形成を可能とするものである。

30

【0026】

【発明の実施の形態】

〔実施形態1〕

Low領域とLoFF領域を共に有するGOLD構造多結晶シリコンTFETの形成法について、図3に基づき記載する。

40

【0027】

本実施形態で使用する基板構造は、ガラス基板201上に多結晶シリコン膜から成る半導体層202とゲート絶縁膜203と第1層ゲート電極膜204と第2層ゲート電極膜205が各々所定膜厚に積層された基板を使用する。前記構造の基板上に、ゲート電極形成用のレジストパターン206を形成する(図3-A参照)。

【0028】

次に、前記レジストパターン206をマスクにドライエッチング処理の第1ステップを行う。この所定時間のドライエッチング処理により、第2層ゲート電極膜205のみが等方性エッチングされ、テーパ形状を有する第2層ゲート電極208が形成される。この際、ドライエッチングのマスクとなったレジストパターン206は、レジスト膜と被エッチ

50

ング膜である第2層ゲート電極膜205との選択比の問題でレジスト膜が膜減りする為、ドライエッチング後レジストパターン207の形状に変形している(図3-B参照)。

【0029】

次に、連続してドライエッチング処理の第2ステップを行う。この所定時間のドライエッチング処理により、上記の第1ステップ工程で形成されたテーパ形状を有する第2層ゲート電極208をマスクに第1層ゲート電極膜204が異方性エッチングされ、第1層ゲート電極211が形成される。オーバーエッチングの過程で、下地のゲート絶縁膜203はプラズマに晒され若干エッチングされる為、ゲート絶縁膜212の形状に変形している(図3-C参照)。

【0030】

次に、第1層ゲート電極211と第2層ゲート電極210から成るゲート電極をマスクに、第1のイオン注入処理であるn型不純物の高濃度イオン注入を行う。この際、n型不純物としてP(リン)を用い、加速電圧が60~100kVでドーズ量が $5 \times 10^{14} \sim 5 \times 10^{15}$ ions/cm²のイオン注入条件でイオン注入する。この第1のイオン注入処理により、当該ゲート電極の外側に対応する多結晶シリコン膜から成る半導体層202に、ソース領域又はドレイン領域となるn型不純物の高濃度不純物領域(n+領域)213が形成される(図3-C参照)。

【0031】

次に、ドライエッチング処理の第3ステップを行う。この所定時間のドライエッチング処理により、第1層ゲート電極211と第2層ゲート電極210は共に等方性エッチングされ、第1層ゲート電極216とテーパ形状を有する第2層ゲート電極215が形成される。エッチングのマスクであるレジストパターンは、更に膜減りが進み、レジストパターン214の形状に変形している。また、下地のゲート絶縁膜についてもプラズマに晒された領域で更に膜減りが進み、ゲート絶縁膜217の形状に変形している(図3-D参照)。

【0032】

次に、連続してドライエッチング処理の第4ステップを行う。この所定時間のドライエッチング処理により、テーパ形状を有する第2層ゲート電極215はレジストパターン214をマスクに異方性エッチングされ、矩形形状の第2層ゲート電極218が形成される。この際、第2層ゲート電極218のエッチングの進行に伴い、第1層ゲート電極は端部からプラズマに晒される為、第1層ゲート電極219は端部に近づく程に残膜厚の薄くなるテーパ形状に形成される。また、下地のゲート絶縁膜217についてもプラズマに晒された領域で更に膜減りが進む為、ゲート絶縁膜217はゲート絶縁膜220の形状に変形している。この後、エッチングのマスクであるレジストパターンは除去される(図3-E参照)。

【0033】

次に、所定膜厚のネガレジスト膜を塗布ベーク処理することによりネガレジスト膜を成膜し、第1層ゲート電極219をマスクに、基板の裏面から露光処理を行う。前記第1層ゲート電極219は導電性の金属材料からできている為、裏面からの露光光を遮光する性質があり、第1層ゲート電極219以外の領域は、透光性を有するガラス基板201と半導体層202とゲート絶縁膜220の積層構造である為、裏面からの露光光を遮光できない。この為、次の現像工程に於いて、前記第1層ゲート電極219で遮光された領域のネガレジスト膜は現像液に溶解し、遮光されない領域のネガレジスト膜は現像液に不溶となり、ネガレジストパターン221が形成される。この際、遮光領域と非遮光領域の境界は第1層ゲート電極219の端部で一義的に決まる為、ネガレジストパターン221は第1層ゲート電極219をマスクに自己整合的に形成される。この後にベーク処理が施され、最終的なネガレジストパターン221が形成される(図3-F参照)。

【0034】

次に、第1層ゲート電極219が第2層ゲート電極218から露出した領域(露出領域)に対応する多結晶シリコン膜から成る半導体層202に、第2のイオン注入処理であるn

10

20

30

40

50

型不純物の低濃度イオン注入を行う。此处では、イオン注入のマスクにネガレジストパターン 221 と膜厚の厚い第 2 層ゲート電極 218 を用いている為、注入イオンに対する阻止能力は極めて高く、イオン注入時の加速電圧とイオン注入量を適宜選択することにより、第 1 層ゲート電極 219 の露出した領域に対応する半導体層 202 のみに適切な濃度の不純物をスルードープで独立にイオン注入することができる。具体的なイオン注入条件としては、n 型不純物として P (リン) を用い、加速電圧が 60 ~ 100 kV でドーズ量が $0.8 \times 10^{14} \text{ ions/cm}^2 \sim 1.7 \times 10^{14} \text{ ions/cm}^2$ の条件でイオン注入する。この結果、半導体層 202 の当該領域に於いては、LoV 領域である低濃度不純物領域 (n - 領域) 222 が形成される。尚、第 1 層ゲート電極 219 は、ゲート電極の端部に近づく程に膜厚が薄くなるテーパ形状となっている為、スルードープでイオン注入される低濃度不純物領域 (n - 領域) 222 の不純物濃度には濃度勾配が存在し、第 1 層ゲート電極 219 の端部即ちソース領域又はドレイン領域である高濃度不純物領域 (n + 領域) 213 に近づく程、徐々に不純物濃度が高くなる傾向を有している (図 3 - G 参照)。

【0035】

次に、ネガレジストパターン 221 を除去した後、第 1 層ゲート電極 219 の外側に対応する半導体層 202 に、n 型不純物の低濃度イオン注入を行う。このイオン注入により、LoFf 領域である低濃度不純物領域 (n - 領域) 223 が形成される。イオン注入条件は、n 型不純物として P (リン) を用い、加速電圧が 60 ~ 100 kV でドーズ量が $1 \times 10^{13} \text{ ions/cm}^2$ の条件でイオン注入する。この際、既に形成されているソース領域又はドレイン領域である高濃度不純物領域 (n + 領域) 213 へも同時にイオン注入されるが、イオン注入量が少ない為に影響は殆どない。また、第 1 層ゲート電極 219 の下側の LoV 領域である低濃度不純物領域 (n - 領域) 222 へも前記第 1 層ゲート電極 219 を通して (スルードープ) 同時にイオン注入されるが、殆どの注入イオンは第 1 層ゲート電極 219 で阻止される為、実質的な注入イオン量を問題ないレベルに抑えることができる。尚、此处では、ネガレジストパターン 221 を除去した後にイオン注入しているが、図 3 - E の段階でイオン注入を実施しても基本的に同じである (図 3 - H 参照)。

【0036】

以上の工程により、LoV 領域と LoFf 領域を共に有する GOLD 構造多結晶シリコン TFT を形成することができ、当該 GOLD 構造多結晶シリコン TFT にはホットキャリア耐性とオフ電流抑制効果の両方の利点が備わっている特徴がある。

【0037】

〔実施形態 2〕

LoV 領域と LoFf 領域を共に有する GOLD 構造多結晶シリコン TFT を形成する別の方法について、図 4 に基づき記載する。本実施形態は実施形態 1 と殆ど同じであるが、ゲート電極の形成法に若干の差異がある。従って、この点を重点的に記載する。

【0038】

本実施形態で使用する基板構造は、ガラス基板 301 上に多結晶シリコン膜から成る半導体層 302 とゲート絶縁膜 303 と第 1 層ゲート電極膜 304 と第 2 層ゲート電極膜 305 が各々所定膜厚に積層された基板を使用する。前記構造の基板上に、ゲート電極形成用のレジストパターン 306 を形成する (図 4 - A 参照)。

【0039】

前記レジストパターン 306 をマスクにドライエッチング処理の第 1 ステップと第 2 ステップを連続処理することにより、第 1 層ゲート電極 311 とテーパ形状を有する第 2 層ゲート電極 310 が形成される。この際、ドライエッチングのマスクであるレジストパターン 306 は、ドライエッチング後レジストパターン 309 の形状に変形し、下地のゲート絶縁膜 303 は、膜減りによりゲート絶縁膜 312 の形状に変形している (図 4 - B と図 4 - C 参照)。

【0040】

次に、第 1 層ゲート電極 311 と第 2 層ゲート電極 310 から成るゲート電極をマスクに、第 1 のイオン注入処理である n 型不純物の高濃度イオン注入を行う。この第 1 のイオン

10

20

30

40

50

注入処理により、ソース・ドレイン領域となる n 型不純物の高濃度不純物領域 (n + 領域) 3 1 3 が形成される (図 4 - C 参照) 。

【 0 0 4 1 】

次に、ドライエッチング処理の第 3 ステップを行う。この所定時間のドライエッチング処理により、テーパ形状を有する第 2 層ゲート電極 3 1 0 はレジストパターン 3 0 9 をマスクに異方性エッチングされ、矩形形状の第 2 層ゲート電極 3 1 5 が形成される。この際、第 2 層ゲート電極 3 1 0 のエッチングの進行に伴い、第 1 層ゲート電極は端部からプラズマに晒される為、第 1 層ゲート電極 3 1 6 は、端部に近づく程に残膜厚の薄くなるテーパ形状に形成される。また、下地のゲート絶縁膜 3 1 2 についてもプラズマに晒された領域で更に膜減りが進む為、ゲート絶縁膜 3 1 2 はゲート絶縁膜 3 1 7 の形状に変形している (図 4 - D 参照) 。

10

【 0 0 4 2 】

次に、連続してドライエッチング処理の第 4 ステップを行う。この所定時間のドライエッチング処理により、第 2 層ゲート電極 3 1 5 から露出した第 1 層ゲート電極 3 1 6 は、そのテーパ形状領域の残膜厚が膜減りにより更に薄くなり、テーパ形状領域の端部が後退した第 1 層ゲート電極 3 1 9 が形成される。この際、ドライエッチングの処理条件を適宜変更することにより、第 1 層ゲート電極 3 1 9 は、前記テーパ形状領域の範囲内で、その寸法を自由に調整することが可能である。また、第 1 層ゲート電極 3 1 9 から露出した下地のゲート絶縁膜は、ドライエッチングによりさらに膜減りしており、ゲート絶縁膜 3 2 0 の形状に変形している。この後にドライエッチングのマスクであるレジストパターンは、除去される (図 4 - E 参照) 。

20

【 0 0 4 3 】

次に、第 1 層ゲート電極 3 1 9 をマスクに裏面露光によるネガレジストパターンを自己整合的に形成する (図 4 - F 参照) 。

【 0 0 4 4 】

次に、第 1 層ゲート電極 3 1 9 が第 2 層ゲート電極 3 1 8 から露出した領域に対応する多結晶シリコン膜から成る半導体層 3 0 2 に第 2 のイオン注入処理である n 型不純物の低濃度イオン注入 (加速電圧 : 6 0 ~ 1 0 0 k V / ドーズ量 : 1×10^{14} ions / cm^2) を行う。このイオン注入処理により、L o v 領域である低濃度不純物領域 (n - 領域) 3 2 2 が形成される (図 4 - G 参照) 。

30

【 0 0 4 5 】

ネガレジストパターン 3 2 1 を除去した後、第 1 層ゲート電極 3 1 9 の外側に対応する多結晶シリコン膜から成る半導体層 3 0 2 に第 3 のイオン注入処理である n 型不純物の低濃度イオン注入 (加速電圧 : 6 0 ~ 1 0 0 k V / ドーズ量 : 1×10^{13} ions / cm^2) を行う。このイオン注入処理により、L o f f 領域である低濃度不純物領域 (n - - 領域) 3 2 3 が形成される (図 4 - H 参照) 。

【 0 0 4 6 】

【 実施例 】

〔 実施例 1 〕

L o v 領域と L o f f 領域を共に有する G O L D 構造多結晶シリコン T F T で構成されるアクティブマトリクス型液晶ディスプレイの作製法について、図 5 ~ 1 1 に基づき具体的に記載する。

40

【 0 0 4 7 】

最初に、ガラス基板 4 0 1 上にプラズマ C V D 法により、各々組成比の異なる第 1 層目の酸化窒化シリコン膜 4 0 2 a を 5 0 nm と第 2 層目の酸化窒化シリコン膜 4 0 2 b を 1 0 0 nm の膜厚で堆積し、下地膜 4 0 2 を成膜する。尚、此处で用いるガラス基板 4 0 1 としては、石英ガラス又はバリウムホウケイ酸ガラス又はアルミノホウケイ酸ガラス等が有る。次に、前記下地膜 4 0 2 (4 0 2 a と 4 0 2 b) 上にプラズマ C V D 法により、非晶質シリコン膜 5 5 nm を堆積した後、ニッケル含有溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜を脱水素化処理 (5 0 0 - 1 時間) した後、熱結晶化 (5 5 0 -

50

4 時間) を行い、更にレーザーアニール処理により多結晶シリコン膜とした。尚、ニッケル含有水溶液等の触媒元素を利用して、熱結晶化された多結晶シリコン膜は、通常が多結晶シリコン膜に比較し、結晶粒が概略同一方向に配向しており、高い電界効果移動度を有する等の特徴がある為、本明細書では特に結晶質シリコン膜とも称する(図5 - A 参照)。

【0048】

次にフォトリソグラフィ工程及びエッチング工程により、この多結晶シリコン膜をパターニングし、半導体層403~407を形成した。この際、半導体層403~407の形成後に、TF T のV t h を制御する為の不純物元素(ボロン又はリン)のドーピングを実施しても構わない。次に半導体層403~407を覆う様に、プラズマC V D 法により110nm厚の酸化窒化シリコン膜から成るゲート絶縁膜408を形成し、更にゲート絶縁膜408上に30nm厚のT a N 膜から成る第1層ゲート電極膜409と370nm厚のW膜から成る第2層ゲート電極膜410をスパッタ法により堆積した。此处で、第1層ゲート電極膜409と第2層ゲート電極膜410の材料としては、後のプロセス温度に耐え得る高融点金属及び高融点金属を含む化合物、例えば金属窒化物又は金属シリサイド等が挙げられる。本実施例では、第1層ゲート電極膜409にT a N 膜、第2層ゲート電極膜410にW膜を採用した(図5 - A 参照)。

【0049】

上記構造の基板上に、フォトリソグラフィ処理を行うことにより、ゲート電極形成用のレジストパターン411a~414aと電極形成用のレジストパターン415a~416aを形成する(図5 - B 参照)。

【0050】

次に、前記レジストパターン411a~416aをマスクにドライエッチング処理の第1ステップを行う。この所定時間のドライエッチング処理により、W膜から成る第2層ゲート電極膜410のみが等方性エッチングされ、テーパ形状を有する第2層ゲート電極417~420と第2層電極421~422が形成される。この際、ドライエッチングのマスクとなったレジストパターン411a~416aは、レジスト膜と被エッチング膜である第2層ゲート電極膜(W膜)410との選択比の問題でレジスト膜が膜減りする為、ドライエッチング後レジストパターン411b~416bの形状に変形している(図6 - A 参照)。

【0051】

次に、連続してドライエッチング処理の第2ステップを行う。この所定時間のドライエッチング処理により、上記の第1ステップ工程で形成されたテーパ形状を有する第2層ゲート電極417~420をマスクに第1層ゲート電極膜409が異方性エッチングされ、第1層ゲート電極429~432が形成される。また、テーパ形状を有する第2層電極421~422をマスクに第1層ゲート電極膜409が異方性エッチングされ、第1層電極433~434が形成される。この際、下地の酸化窒化シリコン膜から成るゲート絶縁膜408は、エッチングにより20nm程度膜減りし、残膜厚が90nm程度となっている。第2層電極も膜減りして、423~426、427~428になる。

(図6 - B 参照)。

【0052】

次に、第1層ゲート電極429~432と第2層ゲート電極423~426から成るゲート電極及び第1層電極433と第2層電極427から成る電極をマスクに、第1のイオン注入処理であるn型不純物の高濃度イオン注入を行う。この際、n型不純物としてP(リン)を用い、加速電圧が60~100kVでドーズ量が $5 \times 10^{14} \sim 5 \times 10^{15}$ ions/cm²のイオン注入条件でイオン注入する。この第1のイオン注入処理により、当該ゲート電極の外側に対応する多結晶シリコン膜から成る半導体層403~406に、ソース・ドレイン領域となるn型不純物の高濃度不純物領域(n+領域)435~438が形成される。一方、保持容量505の形成領域である半導体層407に於いては、容量形成用の当該電極をマスクにイオン注入され、電極の外側に対応する領域(露出領域)に高濃度不純物領

域 (n + 領域) 4 3 9 が形成される。尚、前記高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の不純物濃度は、最も高濃度領域で一般的に $1 \times 10^{20} \sim 1 \times 10^{22} \text{atoms/cm}^3$ 程度である (図 6 - B 参照)。

【0053】

此处で、前記高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の P 元素濃度について、図 16 の SIMS 分析データに基づき詳細に検討した。尚、図 16 は、P イオン原料として 5 % 濃度のホスフィン (PH_3) / 水素 (H_2) を使用し、1 TaN 膜 (15 nm) / シリコン酸化膜、2 TaN 膜 (30 nm) / シリコン酸化膜、3 シリコン酸化膜の 3 種類の基板に対し、イオンドープ装置により加速電圧 - 電流密度が 90 kV - 0.5 $\mu\text{A/cm}^2$ の条件でドーズ量 $1.5 \times 10^{14} \text{ions/cm}^2$ をイオン注入した場合の SIMS 分析データである。また、同図に於いて、深さ方向の不純物プロファイルは、TaN 膜を除くシリコン酸化膜中の不純物プロファイルである。前記高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の膜構造は、表面から酸化窒化シリコン膜 (エッチング膜減りにより残膜厚 90 nm 程度) と多結晶シリコン膜 (50 nm 厚) で、酸化窒化シリコン膜と多結晶シリコン膜のイオン阻止能は、シリコン酸化膜のイオン阻止能と殆ど同じである。この為、図 16 の

3 シリコン酸化膜基板の不純物プロファイルを参考に、高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の不純物濃度、即ち多結晶シリコン膜 (50 nm 厚) 中の不純物濃度を検討した。ドーズ量 $1.5 \times 10^{14} \text{ions/cm}^2$ の場合、多結晶シリコン膜中の不純物濃度は $5 \times 10^{18} \sim 8 \times 10^{18} \text{atoms/cm}^3$ と読み取れる為、実際のドーズ量 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ions/cm}^2$ の場合は、比例計算により多結晶シリコン膜中の不純物濃度を $1.7 \times 10^{19} \sim 2.7 \times 10^{20} \text{atoms/cm}^3$ 程度と考えられる。また、実際のイオン注入に於いては、加速電圧が 60 ~ 100 kV の範囲を有している為、設定加速電圧の影響により、不純物濃度の範囲は更に広がることが予想される。この点を考慮し、高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の不純物濃度の範囲は、最大範囲として最小値に 0.2 倍と最大値に 20 倍程度の補正係数を掛けた範囲が想定される。従って、高濃度不純物領域 (n + 領域) 4 3 5 ~ 4 3 9 の不純物濃度は、 $3 \times 10^{18} \sim 5 \times 10^{21} \text{atoms/cm}^3$ 程度、より好ましくは $1.7 \times 10^{19} \sim 2.7 \times 10^{20} \text{atoms/cm}^3$ 程度と推定される (図 16 参照)。

【0054】

次に、ドライエッチング処理の第 3 ステップを行う。この所定時間のドライエッチング処理により、テーパ形状を有する第 2 層ゲート電極 4 2 3 ~ 4 2 6 と第 2 層電極 4 2 7 ~ 4 2 8 はレジストパターン 4 1 1 c ~ 4 1 6 c をマスクに異方性エッチングされ、矩形形状の第 2 層ゲート電極 4 4 0 ~ 4 4 3 と第 2 層電極 4 4 4 ~ 4 4 5 が形成される。この際、第 2 層ゲート電極 4 2 3 ~ 4 2 6 と第 2 層電極 4 2 7 ~ 4 2 8 のエッチングの進行に伴い、その下側に存在する第 1 層ゲート電極と第 1 層電極は端部からプラズマに晒される為、第 1 層ゲート電極 4 4 6 ~ 4 4 9 と第 1 層電極 4 5 0 ~ 4 5 1 は、端部に近づく程に残膜厚の薄くなるテーパ形状に形成される。また、下地のゲート絶縁膜は、プラズマに晒された領域で膜減りが進み、ゲート絶縁膜 4 5 2 の形状に変形している (図 7 - A 参照)。

【0055】

次に、連続してドライエッチング処理の第 4 ステップを行う。この所定時間のドライエッチング処理により、第 2 層ゲート電極 4 4 0 ~ 4 4 3 から露出した第 1 層ゲート電極 4 4 6 ~ 4 4 9 は、そのテーパ形状領域の残膜厚が膜減りにより更に薄くなり、テーパ形状領域の端部が後退した第 1 層ゲート電極 4 5 3 ~ 4 5 6 が形成される。この際、ドライエッチングの処理条件を適宜変更することにより、第 1 層ゲート電極 4 5 3 ~ 4 5 6 は、前記テーパ形状領域の範囲内で、その寸法を自由に調整することが可能である。同様に、露出した第 1 層電極 4 5 0 ~ 4 5 1 は、そのテーパ形状領域の残膜厚が膜減りにより更に薄くなり、テーパ形状領域の端部が後退した第 1 層電極 4 5 7 ~ 4 5 8 が形成される。また、下地のゲート絶縁膜は、ドライエッチングにより更に膜減りしており、ゲート絶縁膜 4 5 9 の形状に変形している。この段階で、下地の酸化窒化シリコン膜から成るゲート絶縁膜 4 5 9 は更に膜減りが進行し、膜厚の厚い領域で残膜厚が 50 nm 程度、膜厚の薄い領域で残膜厚が 30 nm 程度となっている。この後に、ドライエッチングのマスクであ

10

20

30

40

50

るレジストパターンを除去する（図 7 - B 参照）。

【 0 0 5 6 】

次に、所定膜厚のネガレジスト膜を塗布ベーク処理することによりネガレジスト膜を成膜し、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 をマスクに、基板の裏面から露光処理を行う。前記第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 は膜厚 3 0 nm の T a N 膜でできており、波長 3 5 0 ~ 4 5 0 nm 程度の光に対して 1 4 % 程度の透過率である（図 1 1 ）為、裏面からの露光光（代表的波長：g 線 4 3 6 nm , h 線 4 0 5 nm , i 線 3 6 5 nm ）の殆どを遮光する性質がある。一方、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 以外の領域は、透光性を有するガラス基板 4 0 1 と半導体層 4 0 3 ~ 4 0 7 とゲート絶縁膜 4 5 9 の積層構造である為、裏面からの露光光を遮光できない。この為、次の現像工程に於いて、前記第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 で遮光された領域のネガレジスト膜は現像液に溶解し、遮光されない領域のネガレジスト膜は現像液に不溶となり、ネガレジストパターン 4 6 0 ~ 4 6 8 が形成される。遮光領域と非遮光領域の境界は第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 の端部で一義的に決まる為、ネガレジストパターン 4 6 0 ~ 4 6 8 は、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 ~ 4 5 8 をマスクに自己整合的に形成される。この後にベーク処理が施され、最終的なネガレジストパターン 4 6 0 ~ 4 6 8 が形成される（図 8 - A 参照）。

【 0 0 5 7 】

次に、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 が、第 2 層ゲート電極 4 4 0 ~ 4 4 3 及び第 2 層電極 4 4 4 から露出した領域に対応する半導体層 4 0 3 ~ 4 0 7 に、第 2 のイオン注入処理である n 型不純物の低濃度イオン注入を行う。此处では、イオン注入のマスクにネガレジストパターン 4 6 0 ~ 4 6 8 と膜厚の厚い第 2 層ゲート電極 4 4 0 ~ 4 4 3 及び第 2 層電極 4 4 4 を用いている為、注入イオンに対する阻止能力は極めて高い。この為、イオン注入時の加速電圧とイオン注入量を適宜選択することにより、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 の露出した領域に対応する半導体層 4 0 3 ~ 4 0 7 の領域のみにスルードープで適切な濃度の不純物を独立にイオン注入することができる。具体的なイオン注入条件としては、n 型不純物として P（リン）を用い、加速電圧が 6 0 ~ 1 0 0 k V でドーズ量が 1×10^{14} ions / cm² の条件でイオン注入する。この結果、ゲート電極形成用の半導体層 4 0 3 ~ 4 0 6 に L o v 領域である低濃度不純物領域（n - 領域）4 6 9 ~ 4 7 2 が形成され、容量形成用の半導体層 4 0 7 に低濃度不純物領域（n - 領域）4 7 3（ゲート電極形成領域でない為、L o v 領域ではない）が形成される。尚、第 1 層ゲート電極 4 5 3 ~ 4 5 6 と第 1 層電極 4 5 7 は、ゲート電極の端部に近づく程に膜厚が薄くなるテーパ形状となっている為、スルードープでイオン注入される低濃度不純物領域（n - 領域）4 6 9 ~ 4 7 3 の不純物濃度には濃度勾配が存在し、高濃度不純物領域（n + 領域）4 3 5 ~ 4 3 9 に近づく程、徐々に不純物濃度が高くなる傾向を有している（図 8 - A 参照）。

【 0 0 5 8 】

此处で、前記低濃度不純物領域（n - 領域）4 6 9 ~ 4 7 2 の P 元素濃度について、図 1 6 の S I M S 分析データに基づき詳細に検討した。尚、図 1 6 は、P イオン原料として 5 % 濃度のホスフィン（P H₃）/ 水素（H₂）を使用し、1 T a N 膜（1 5 nm）/ シリコン酸化膜、2 T a N 膜（3 0 nm）/ シリコン酸化膜、3 シリコン酸化膜の 3 種類の基板に対し、イオンドープ装置により加速電圧 - 電流密度が 9 0 k V - 0 . 5 μ A / cm² の条件でドーズ量 $1 . 5 \times 10^{14}$ ions / cm² をイオン注入した場合の S I M S 分析データである。前記低濃度不純物領域（n - 領域）4 6 9 ~ 4 7 2 の膜構造は、表面から第 1 層ゲート電極 4 5 3 ~ 4 5 6（T a N 膜厚：エッチング膜減りの為、0 ~ 3 0 nm 程度）と酸化窒化シリコン膜（1 1 0 nm 厚）と多結晶シリコン膜（5 0 nm 厚）で、酸化窒化シリコン膜と多結晶シリコン膜のイオン阻止能は、シリコン酸化膜のイオン阻止能と殆ど同じである。この為、図 1 6 の 2 T a N 膜（3 0 nm）/ シリコン酸化膜と 3 シリコン酸化膜の不純物プロファイルを参考に、低濃度不純物領域（n - 領域）4 6 9 ~ 4 7 2

10

20

30

40

50

の不純物濃度、即ち多結晶シリコン膜（50nm厚）中の不純物濃度を検討した。ドーズ量 $1.5 \times 10^{14} \text{ ions/cm}^2$ の場合、多結晶シリコン膜中の不純物濃度は $1.5 \times 10^{17} \sim 8 \times 10^{18} \text{ atoms/cm}^3$ 程度と読み取れる為、実際のドーズ量 $1 \times 10^{14} \text{ ions/cm}^2$ の場合は、比例計算により多結晶シリコン膜中の不純物濃度を $1 \times 10^{17} \sim 5.3 \times 10^{18} \text{ atoms/cm}^3$ 程度と考えられる。また、実際のイオン注入に於いては、加速電圧が60～100kVの範囲を有している為、設定加速電圧の影響により、不純物濃度の範囲は更に広がることが予想される。この点を考慮し、低濃度不純物領域（n-領域）469～472の不純物濃度の範囲は、最大範囲として最小値に0.2倍と最大値に5倍程度の補正係数を掛けた範囲が想定される。従って、低濃度不純物領域（n-領域）469～472の不純物濃度は、 $2 \times 10^{16} \sim 2.7 \times 10^{19} \text{ atoms/cm}^3$ 、より好ましくは $1 \times 10^{17} \sim 5.3 \times 10^{18} \text{ atoms/cm}^3$ 程度と推定される（図16参照）。 10

【0059】

次に、ネガレジストパターン460～468を除去した後、第1層ゲート電極453～456と第1層電極457の外側に対応する半導体層403～407に、第3のイオン注入処理であるn型不純物の低濃度イオン注入を行う。このイオン注入により、ゲート電極形成用の半導体層403～406にLoFF領域である低濃度不純物領域（n--領域）474～477が形成され、容量形成用の半導体層407に低濃度不純物領域（n--領域）478が形成される。この際、n型不純物としてP（リン）を用い、加速電圧が60～100kVでドーズ量が $1 \times 10^{13} \text{ ions/cm}^2$ の条件でイオン注入する。また、既に形成した前記高濃度不純物領域（n+領域）435～439へも同時にイオン注入されるが、イオン注入量が少ない為に殆ど影響はない。また、既に形成した前記低濃度不純物領域（n-領域）469～473へも前記第1層ゲート電極453～456と第1層電極457を通して（スルドープ）同時にイオン注入されるが、殆どの注入イオンは第1層ゲート電極453～456と第1層電極457で阻止される為、実質的な注入イオン量を問題ないレベルに抑えることができる。尚、此处では、ネガレジストパターン460～468を除去した後にイオン注入しているが、ドライエッチングの第4ステップが終了した図7-Bの段階でイオン注入を実施しても基本的に同じである（図8-B参照）。 20

【0060】

此处で、前記低濃度不純物領域（n--領域）474～477のP元素濃度について、図16のSIMS分析データに基づき詳細に検討した。尚、図16は、Pイオン原料として5%濃度のホスフィン（ PH_3 ）/水素（ H_2 ）を使用し、1 TaN膜（15nm）/シリコン酸化膜、2 TaN膜（30nm）/シリコン酸化膜、3 シリコン酸化膜の3種類の基板に対し、イオンドープ装置により加速電圧-電流密度が90kV-0.5μA/cm²の条件でドーズ量 $1.5 \times 10^{14} \text{ ions/cm}^2$ をイオン注入した場合のSIMS分析データである。前記低濃度不純物領域（n--領域）474～477の膜構造は、表面から酸化窒化シリコン膜（エッチング膜減りの為、残膜厚50nm程度と推定）と多結晶シリコン膜（50nm厚）で、酸化窒化シリコン膜と多結晶シリコン膜のイオン阻止能は、シリコン酸化膜のイオン阻止能と殆ど同じである為、図16の3 シリコン酸化膜基板の不純物プロファイルを参考に、低濃度不純物領域（n--領域）474～477の不純物濃度、即ち多結晶シリコン膜（50nm厚）中の不純物濃度を検討した。ドーズ量 $1.5 \times 10^{14} \text{ ions/cm}^2$ の場合、多結晶シリコン膜中の不純物濃度は $7 \times 10^{18} \sim 8 \times 10^{18} \text{ atoms/cm}^3$ と読み取れる為、実際のドーズ量 $1 \times 10^{13} \text{ ions/cm}^2$ の場合は、比例計算により多結晶シリコン膜中の不純物濃度を $4.7 \times 10^{17} \sim 5.3 \times 10^{17} \text{ atoms/cm}^3$ 程度と考えられる。また、実際のイオン注入に於いては、加速電圧が60～100kVの範囲を有している為、設定加速電圧の影響により、不純物濃度の範囲は更に広がることが予想される。この点を考慮し、低濃度不純物領域（n--領域）474～477の不純物濃度の範囲は、最大範囲として最小値に0.01倍と最大値に5倍程度の補正係数を掛けた範囲が想定される。従って、低濃度不純物領域（n--領域）474～477の不純物濃度は、 $4.7 \times 10^{15} \sim 2.7 \times 10^{18} \text{ atoms/cm}^3$ 、より好ましくは $4.7 \times 10^{17} \sim 5.3 \times 10^{17} \text{ atoms/cm}^3$ 程度と推定される（図16参照）。 30 40 50

【 0 0 6 1 】

次に、駆動回路 5 0 6 に於ける p チャンネル型 T F T 5 0 2 の領域と画素領域 5 0 7 に於ける保持容量 5 0 5 の領域をレジスト開口させる為、フォトリソグラフィ処理により、レジストパターン 4 7 9 ~ 4 8 1 が形成される (図 9 - A 参照) 。

【 0 0 6 2 】

前記レジストパターン 4 7 9 ~ 4 8 1 をマスクに、第 4 のイオン注入処理である p 型不純物の高濃度イオン注入を行う。p チャンネル型 T F T 5 0 2 の形成領域である半導体層 4 0 4 には、第 1 層ゲート電極 4 5 4 と第 2 層ゲート電極 4 4 1 をマスクに前記一導電型とは逆の導電型を付与する p 型不純物である B (ボロン) 等がイオン注入される。この結果、第 1 層ゲート電極 4 5 4 の外側に対応する領域にソース・ドレイン領域となる高濃度不純物領域 (p + 領域) 4 8 2 が形成され、第 1 層ゲート電極 4 5 4 のみが露出した領域にスルードープにより低濃度不純物領域 (p - 領域) 4 8 3 が同時形成される。半導体層 4 0 4 には、n 型不純物である P (リン) が既にイオン注入されているが、B (ボロン) の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となる様に高濃度にイオン注入される為、p 型不純物の高濃度不純物領域 (p + 領域) 4 8 2 と低濃度不純物領域 (p - 領域) 4 8 3 が形成され、p チャンネル型 T F T 5 0 2 として機能することができる。また、保持容量 5 0 5 の形成領域である半導体層 4 0 7 に於いても、第 1 層ゲート電極 4 5 7 の外側に対応する領域に p 型不純物の高濃度不純物領域 (p + 領域) 4 8 4 が形成され、第 1 層ゲート電極 4 5 7 のみが露出した領域にスルードープにより低濃度不純物領域 (p - 領域) 4 8 5 が同時形成される。尚、保持容量 5 0 5 の領域に於いては、p チャンネル型 T F T 5 0 2 の領域と同様の構造が形成されているが、容量形成領域である為、T F T 構造ではない (図 9 - A 参照) 。

【 0 0 6 3 】

次に前記レジストパターン 4 7 9 ~ 4 8 1 を除去した後、150 nm 厚の酸化窒化シリコン膜から成る第 1 の層間絶縁膜 4 8 6 がプラズマ C V D 法により堆積される。この後、半導体層 4 0 3 ~ 4 0 7 に注入された不純物元素 (n 型不純物と p 型不純物) の熱活性化の為、550 - 4 時間の熱アニール処理が行われる。本実施例では、オフ電流値の低下と電界効果移動度の向上の為、不純物元素の熱活性化処理と同時に、半導体層 4 0 3 ~ 4 0 7 の結晶化用触媒である N i (ニッケル) が n 型不純物である高濃度の P (リン) によりゲッターリングされている。このゲッターリング処理により、半導体層 4 0 3 ~ 4 0 7 内部のニッケル (N i) 濃度の低減を実現している。この方法で製造された多結晶シリコン T F T は高い電界効果移動度を有しており、オフ電流値の低下等の良好な電気特性を示すことができる。尚、前記熱活性化処理を第 1 の層間絶縁膜 4 8 6 の堆積前に実施しても構わないが、ゲート電極等の配線材料の耐熱性が弱い場合、第 1 の層間絶縁膜 4 8 6 の堆積後に実施する方が好ましい。この後、半導体層 4 0 3 ~ 4 0 7 のダングリングボンドを終端させる為、410 - 1 時間の水素化処理が水素 3 % 含有する窒素雰囲気中で行われる (図 9 - B 参照) 。

【 0 0 6 4 】

次に前記第 1 の層間絶縁膜 4 8 6 の上に、1.6 μm 厚のアクリル樹脂膜から成る第 2 の層間絶縁膜 4 8 7 が成膜される。この後、フォトリソグラフィ処理とドライエッチング処理により、コンタクトホールが第 2 の層間絶縁膜 4 8 7 に形成される。この際、このコンタクトホールは、ソース配線として機能する電極 (第 1 層電極 4 5 8 と第 2 層電極 4 4 5) と高濃度不純物領域 4 3 5 , 4 3 7 , 4 3 8 , 4 8 2 , 4 8 4 を接続する様に形成される (図 10 - A 参照) 。

【 0 0 6 5 】

次に、駆動回路 5 0 6 の高濃度不純物領域 4 3 5 , 4 3 7 , 4 8 2 と電氣的に接続する為、金属配線 4 8 8 ~ 4 9 3 が形成される。同時に、画素領域 5 0 7 の接続電極 4 9 4 , 4 9 6 , 4 9 7 とゲート配線 4 9 5 が形成される。この際、金属配線材料は、50 nm 厚の T i 膜と 500 nm 厚の A l - T i 合金膜の積層膜で構成されている。接続電極 4 9 4 は、不純物領域 4 3 8 を介して、ソース配線として機能する電極 (第 1 層電極 4 5 8 と第 2 層電

10

20

30

40

50

極 4 4 5) と画素 T F T 5 0 4 を電氣的に接続する為に形成されている。接続電極 4 9 6 は、画素 T F T 5 0 4 の不純物領域 4 3 8 と電氣的に接続されており、接続電極 4 9 7 は保持容量 5 0 5 の不純物領域 4 8 4 と電氣的に接続されている。ゲート配線 4 9 5 は、画素 T F T 5 0 4 の複数のゲート電極 (第 1 層ゲート電極 4 5 6 と第 2 層ゲート電極 4 4 3) を電氣的に接続する為に形成されている。次に、I T O (Indium-Tin-Oxides) 等の透明導電膜が 8 0 ~ 1 2 0 nm の厚さで堆積された後、フォトリソグラフィ処理とエッチング処理により、画素電極 4 9 8 が形成される。画素電極 4 9 8 は、接続電極 4 9 6 を介して、画素 T F T 5 0 4 のソース・ドレイン領域である不純物領域 4 3 8 と電氣的に接続されており、更に接続電極 4 9 7 を介して、保持容量 5 0 5 の不純物領域 4 8 4 ととも電氣的に接続されている (図 1 0 - B 参照) 。

10

【 0 0 6 6 】

以上の製造工程により、L o v 領域と L o f f 領域を共に有する G O L D 構造多結晶シリコン T F T で構成されるアクティブマトリクス型液晶ディスプレイを製造することができる。

【 0 0 6 7 】

〔 実施例 2 〕

本発明は、様々な半導体表示装置 (アクティブマトリクス型液晶表示装置 , アクティブマトリクス型 E L 表示装置 , アクティブマトリクス型 E C 表示装置) に適用することができる。従って、本発明は、前記半導体表示装置を表示媒体として組み込んだ電子機器全般に適用可能である。

20

【 0 0 6 8 】

前記電子機器としては、ビデオカメラとデジタルカメラとプロジェクター (リア型又はフロント型) とヘッドマウントディスプレイ (ゴーグル型ディスプレイ) とゲーム機とカーナビゲーションとパーソナルコンピュータと携帯情報端末 (モバイルコンピュータ , 携帯電話 , 電子書籍等) 等が挙げられ、それらの具体例を図 1 2 ~ 1 4 に示す。

【 0 0 6 9 】

図 1 2 - A は、本体 1 0 0 1 と映像入力部 1 0 0 2 と表示装置 1 0 0 3 とキーボード 1 0 0 4 で構成されたパーソナルコンピュータである。本発明を表示装置 1 0 0 3 及び他の回路に適用することができる。

【 0 0 7 0 】

図 1 2 - B はビデオカメラであり、本体 1 1 0 1 と表示装置 1 1 0 2 と音声入力部 1 1 0 3 と操作スイッチ 1 1 0 4 とバッテリー 1 1 0 5 と受像部 1 1 0 6 で構成される。本発明を表示装置 1 1 0 2 及び他の回路に適用することができる。

30

【 0 0 7 1 】

図 1 2 - C はモバイルコンピュータ (モービルコンピュータ) であり、本体 1 2 0 1 とカメラ部 1 2 0 2 と受像部 1 2 0 3 と操作スイッチ 1 2 0 4 と表示装置 1 2 0 5 で構成される。本発明を表示装置 1 2 0 5 及び他の回路に適用することができる。

【 0 0 7 2 】

図 1 2 - D はゴーグル型ディスプレイであり、本体 1 3 0 1 と表示装置 1 3 0 2 とアーム部 1 3 0 3 で構成される。本発明を表示装置 1 3 0 2 及び他の回路に適用することができる。

40

【 0 0 7 3 】

図 1 2 - E はプログラムを記録した記録媒体 (以下、記録媒体と略記) に用いるプレーヤーであり、本体 1 4 0 1 と表示装置 1 4 0 2 とスピーカー部 1 4 0 3 と記録媒体 1 4 0 4 と操作スイッチ 1 4 0 5 で構成される。尚、この装置は記録媒体として D V D 及び C D 等が用いられ、音楽鑑賞又はゲーム又はインターネットに利用可能である。本発明を表示装置 1 4 0 2 及び他の回路に適用することができる。

【 0 0 7 4 】

図 1 2 - F は携帯電話であり、表示用パネル 1 5 0 1 と操作用パネル 1 5 0 2 と接続部 1 5 0 3 と表示部 1 5 0 4 と音声出力部 1 5 0 5 と操作キー 1 5 0 6 と電源スイッチ 1 5 0

50

7と音声入力部1508とアンテナ1509で構成される。表示用パネル1501と操作パネル1502は、接続部1503で接続されている。表示用パネル1501の表示部1504が設置されている面と操作パネル1502の操作キー1506が設置されている面との角度は、接続部1503に於いて任意に変えることができる。本発明を表示部1504に適用することができる。

【0075】

図13-Aはフロント型プロジェクターであり、光源光学系及び表示装置1601とスクリーン1602で構成される。本発明を表示装置1601及び他の回路に適用することができる。

【0076】

図13-Bはリア型プロジェクターであり、本体1701と光源光学系及び表示装置1702とミラー1703～1704とスクリーン1705で構成される。本発明を表示装置1702及び他の回路に適用することができる。

【0077】

尚、図13-Cは、図13-Aの光源光学系及び表示装置1601と図13-Bの光源光学系及び表示装置1702に於ける構造の一例を示した図である。光源光学系及び表示装置1601、1702は、光源光学系1801とミラー1802、1804～1806とダイクロイックミラー1803と光学系1807と表示装置1808と位相差板1809と投射光学系1810で構成される。投射光学系1810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置1808を3個使用している為、三板式と呼ばれている。また同図の矢印で示した光路に於いて、実施者は光学レンズ及び偏光機能を有するフィルム又は位相差を調整する為のフィルム又はIRフィルム等を適宜に設けても良い。

【0078】

また図13-Dは、図13-Cに於ける光源光学系1801の構造の一例を示した図である。本実施例に於いては、光源光学系1801はリフレクター1811と光源1812とレンズアレイ1813～1814と偏光変換素子1815と集光レンズ1816で構成される。尚、同図に示した光源光学系は一例であり、この構成に限定されない。例えば、実施者は光源光学系に光学レンズ及び偏光機能を有するフィルム又は位相差を調整するフィルム又はIRフィルム等を適宜に設けても良い。

【0079】

次の図14-Aは、単板式の例を示したものである。同図に示した光源光学系及び表示装置は、光源光学系1901と表示装置1902と投射光学系1903と位相差板1904で構成される。投射光学系1903は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は図13-Aと図13-Bに於ける光源光学系及び表示装置1601、1702に適用できる。また光源光学系1901は図13-Dに示した光源光学系を用いれば良い。尚、表示装置1902にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【0080】

また図14-Bに示した光源光学系及び表示装置は図14-Aの応用例であり、カラーフィルターを設ける代わりに、RGBの回転カラーフィルター円板1905を用いて表示映像をカラー化している。同図に示した光源光学系及び表示装置は図13-Aと図13-Bに於ける光源光学系及び表示装置1601、表示装置1702に適用できる。

【0081】

また図14-Cに示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置1916にマイクロレンズアレイ1915を設け、ダイクロイックミラー（緑）1912とダイクロイックミラー（赤）1913とダイクロイックミラー（青）1914を用いて表示映像をカラー化している。投射光学系1917は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は、図13-Aと図13-Bに於ける光源光学系及び表示装置1601、表示装置17

10

20

30

40

50

02に適用できる。また光源光学系1911としては、光源の他に結合レンズ及びコリメーターレンズを用いた光学系を用いれば良い。

【0082】

上記に示した様に、Lov領域とLoff領域を共に有するGOLD構造多結晶シリコンTF Tで構成される半導体表示装置の応用範囲は極めて広く、本発明は様々な分野の半導体表示装置を組み込んだ電子機器に適用可能である。

【0083】

【発明の効果】

本発明は、Lov領域とLoff領域を共に有するGOLD構造多結晶シリコンTF Tの形成に於いて、裏面露光法で自己整合的に形成されたネガレジストパターンをマスクにLov領域へのイオン注入を独立に行うことにより、Lov領域とLoff領域の不純物濃度の独立制御を可能とするものであり、以下の効果が挙げられる。

【0084】

(効果1) Lov領域とLoff領域の不純物濃度の制御により、当該GOLD構造多結晶シリコンTF Tはホットキャリア耐性とオフ電流の抑制効果を共に有することができる為、半導体表示装置の画素領域と周辺回路を同一構造のTF Tで形成でき、半導体表示装置の製造工程の簡略化に有効である。

【0085】

(効果2) 本発明により半導体表示装置の製造工程の簡略化を実現できる為、半導体表示装置の歩留向上及び原価低減に有効である。

【0086】

(効果3) 当該GOLD構造多結晶シリコンTF Tはホットキャリア耐性とオフ電流の抑制効果を共に有することができる為、半導体表示装置の性能向上に有効である。

【図面の簡単な説明】

【図1】 Lov領域とLoff領域を共に有するGOLD構造多結晶シリコンTF Tの形成法を示す断面図である。

【図2】 移動度(μ_{FE})劣化率とオフ電流のn型不純物注入量依存性を示すグラフである。

【図3】 2層構造ゲート電極形成技術と裏面露光技術を適用したGOLD構造多結晶シリコンTF Tの形成法(1)を示す断面図である。

【図4】 2層構造ゲート電極形成技術と裏面露光技術を適用したGOLD構造多結晶シリコンTF Tの形成法(2)を示す断面図である。

【図5】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(1)を示す断面図である。

【図6】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(2)を示す断面図である。

【図7】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(3)を示す断面図である。

【図8】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(4)を示す断面図である。

【図9】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(5)を示す断面図である。

【図10】 2層構造ゲート電極形成技術と裏面露光技術を適用した半導体表示装置(液晶ディスプレイ)の作製法(6)を示す断面図である。

【図11】 TaN膜の透過率データーを示すグラフである。

【図12】 半導体表示装置への適用例(1)を示す電子機器の概略図である。

【図13】 半導体表示装置への適用例(2)を示す電子機器の概略図である。

【図14】 半導体表示装置への適用例(3)を示す電子機器の概略図である。

【図15】 nチャネル型GOLD構造多結晶シリコンTF Tのシミュレーションデーターである。

10

20

30

40

50

【図 16】 P イオン注入した場合の S I M S 分析データである。

【符号の説明】

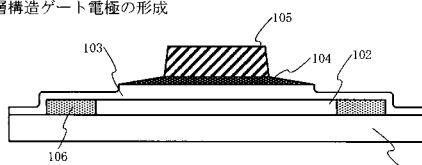
101	: ガラス基板	
102	: 半導体層 (多結晶シリコン膜)	
103	: ゲート絶縁膜	
104	: 第 1 層ゲート電極	
105	: 第 2 層ゲート電極	
106	: 高濃度不純物領域 (n + 領域又は P + 領域)	
107	: ネガレジストパターン	
108	: 低濃度不純物領域 (n - 領域又は P - 領域)	10
109	: 低濃度不純物領域 (n - - 領域又は P - - 領域)	
201	: ガラス基板	
202	: 半導体層 (多結晶シリコン膜)	
203	: ゲート絶縁膜	
204	: 第 1 層ゲート電極膜	
205	: 第 2 層ゲート電極膜	
206	: レジストパターン	
207	: ドライエッチング後レジストパターン (ドライエッチングの第 1 ステップ処理後)	
208	: 第 2 層ゲート電極 (ドライエッチングの第 1 ステップ処理後)	
209	: ドライエッチング後レジストパターン (ドライエッチングの第 2 ステップ処理後)	20
210	: 第 2 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
211	: 第 1 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
212	: ゲート絶縁膜 (ドライエッチングの第 2 ステップ処理後)	
213	: 高濃度不純物領域 (n + 領域)	
214	: ドライエッチング後レジストパターン (ドライエッチングの第 3 ステップ処理後)	
215	: 第 2 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	
216	: 第 1 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	
217	: ゲート絶縁膜 (ドライエッチングの第 3 ステップ処理後)	
218	: 第 2 層ゲート電極 (ドライエッチングの第 4 ステップ処理後)	
219	: 第 1 層ゲート電極 (ドライエッチングの第 4 ステップ処理後)	30
220	: ゲート絶縁膜 (ドライエッチングの第 4 ステップ処理後)	
221	: ネガレジストパターン	
222	: 低濃度不純物領域 (n - 領域)	
223	: 低濃度不純物領域 (n - - 領域)	
301	: ガラス基板	
302	: 半導体層 (多結晶シリコン膜)	
303	: ゲート絶縁膜	
304	: 第 1 層ゲート電極膜	
305	: 第 2 層ゲート電極膜	
306	: レジストパターン	40
307	: ドライエッチング後レジストパターン (ドライエッチングの第 1 ステップ処理後)	
308	: 第 2 層ゲート電極 (ドライエッチングの第 1 ステップ処理後)	
309	: ドライエッチング後レジストパターン (ドライエッチングの第 2 ステップ処理後)	
310	: 第 2 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
311	: 第 1 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
312	: ゲート絶縁膜 (ドライエッチングの第 2 ステップ処理後)	
313	: 高濃度不純物領域 (n + 領域)	
314	: ドライエッチング後レジストパターン (ドライエッチングの第 3 ステップ処理後)	
315	: 第 2 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	
316	: 第 1 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	50

317	: ゲート絶縁膜 (ドライエッチングの第 3 ステップ処理後)	
318	: 第 2 層ゲート電極 (ドライエッチングの第 4 ステップ処理後)	
319	: 第 1 層ゲート電極 (ドライエッチングの第 4 ステップ処理後)	
320	: ゲート絶縁膜 (ドライエッチングの第 4 ステップ処理後)	
321	: ネガレジストパターン	
322	: 低濃度不純物領域 (n - 領域)	
323	: 低濃度不純物領域 (n - - 領域)	
401	: ガラス基板	
402	: 下地膜	
402a	: 第 1 層目の酸化窒化シリコン膜	10
402b	: 第 2 層目の酸化窒化シリコン膜	
403 ~ 407	: 半導体層 (多結晶シリコン膜)	
408	: ゲート絶縁膜 (酸化窒化シリコン膜)	
409	: 第 1 層ゲート電極膜 (TaN 膜)	
410	: 第 2 層ゲート電極膜 (W 膜)	
411a ~ 416a	: レジストパターン	
411b ~ 416b	: ドライエッチング後レジストパターン (ドライエッチングの第 1 ステップ処理後)	
411c ~ 416c	: ドライエッチング後レジストパターン (ドライエッチングの第 2 ステップ処理後)	20
411d ~ 416d	: ドライエッチング後レジストパターン (ドライエッチングの第 3 ステップ処理後)	
417 ~ 420	: 第 2 層ゲート電極 (ドライエッチングの第 1 ステップ処理後)	
421 ~ 422	: 第 2 層電極 (ドライエッチングの第 1 ステップ処理後)	
423 ~ 426	: 第 2 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
427 ~ 428	: 第 2 層電極 (ドライエッチングの第 2 ステップ処理後)	
429 ~ 432	: 第 1 層ゲート電極 (ドライエッチングの第 2 ステップ処理後)	
433 ~ 434	: 第 1 層電極 (ドライエッチングの第 2 ステップ処理後)	
435 ~ 439	: 高濃度不純物領域 (n + 領域)	
440 ~ 443	: 第 2 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	30
444 ~ 445	: 第 2 層電極 (ドライエッチングの第 3 ステップ処理後)	
446 ~ 449	: 第 1 層ゲート電極 (ドライエッチングの第 3 ステップ処理後)	
450 ~ 451	: 第 1 層電極 (ドライエッチングの第 3 ステップ処理後)	
452	: ゲート絶縁膜 (ドライエッチングの第 3 ステップ処理後)	
453 ~ 456	: 第 1 層ゲート電極 (ドライエッチングの第 4 ステップ処理後)	
457 ~ 458	: 第 1 層電極 (ドライエッチングの第 4 ステップ処理後)	
459	: ゲート絶縁膜 (ドライエッチングの第 4 ステップ処理後)	
460 ~ 468	: ネガレジストパターン	
469 ~ 473	: 低濃度不純物領域 (n - 領域)	
474 ~ 478	: 低濃度不純物領域 (n - - 領域)	40
479 ~ 481	: レジストパターン	
482	: 高濃度不純物領域 (p + 領域)	
483	: 低濃度不純物領域 (p - 領域)	
484	: 高濃度不純物領域 (p + 領域)	
485	: 低濃度不純物領域 (p - 領域)	
486	: 第 1 の層間絶縁膜 (酸化窒化シリコン膜)	
487	: 第 2 の層間絶縁膜 (アクリル樹脂膜)	
488 ~ 493	: 金属配線	
494	: 接続電極	
495	: ゲート配線	50

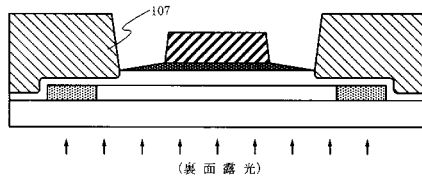
- 496 ~ 497 : 接続電極
 498 : 画素電極 (ITO等)
 501 : nチャネル型TFET
 502 : pチャネル型TFET
 503 : nチャネル型TFET
 504 : 画素TFET
 505 : 保持容量
 506 : 駆動回路
 507 : 画素領域

【図1】

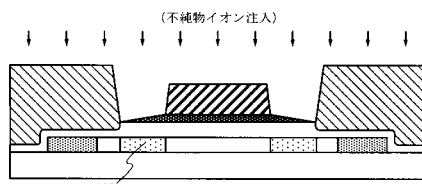
(A) 2層構造ゲート電極の形成



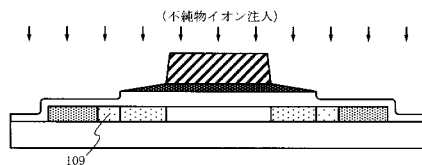
(B) 裏面露光によるネガレジストパターンの形成



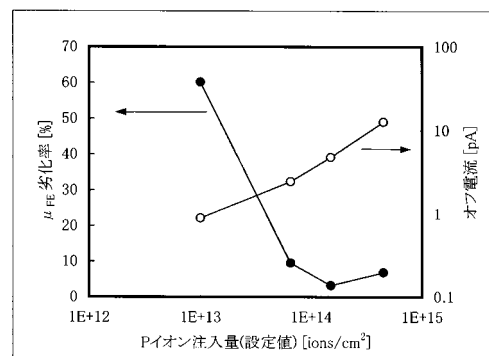
(C) Lov領域への不純物の低濃度注入



(D) Loffへの不純物の低濃度注入



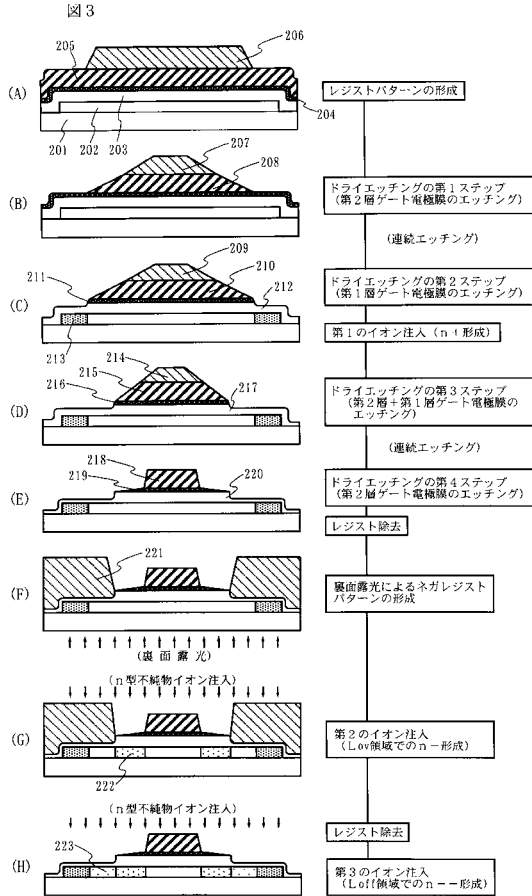
【図2】



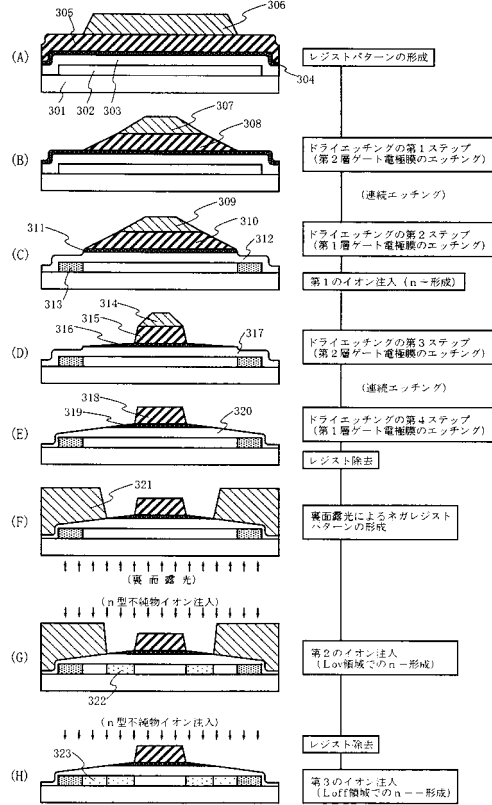
μFE劣化率とオフ電流の測定条件

- (1) μFE劣化率 : シングルゲート構造(L/W=7.1/8μm)
 ストレス条件(Vd=20V, Vg=4V, 60sec)
 (2) オフ電流 : ダブルゲート構造(L/W=3.1×2/2μm)
 ストレス条件(Vg=-4.5V, Vd=14V)

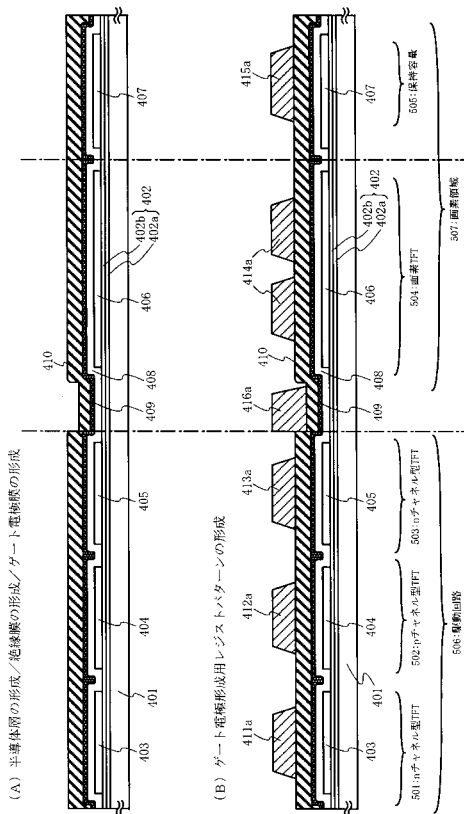
【図 3】



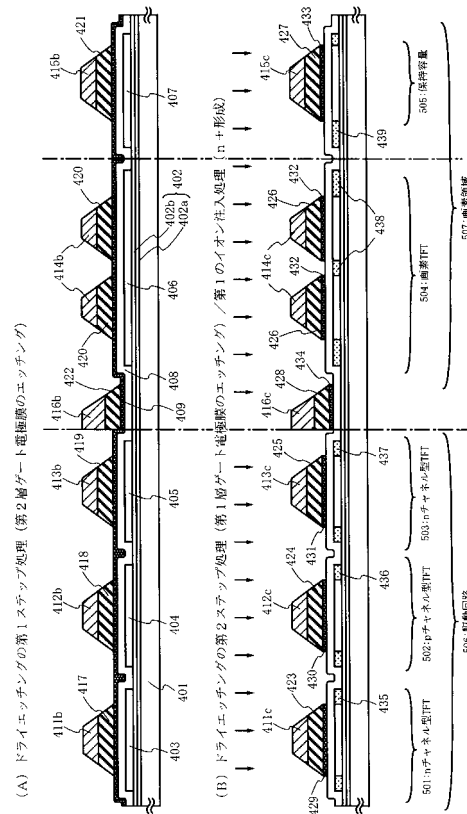
【図 4】



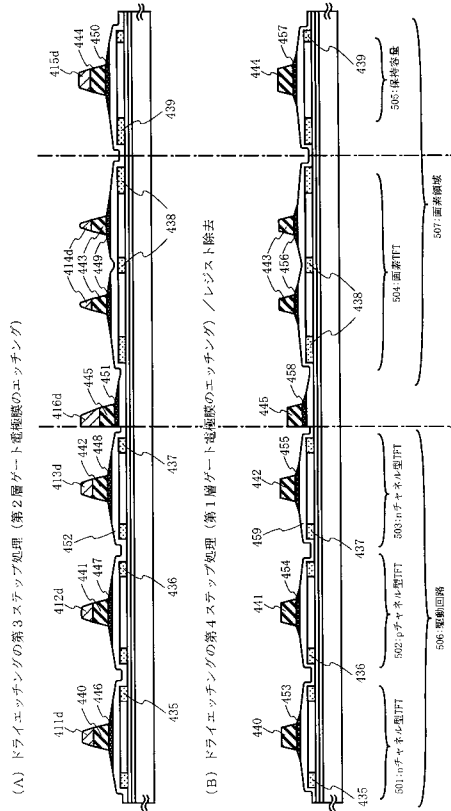
【図 5】



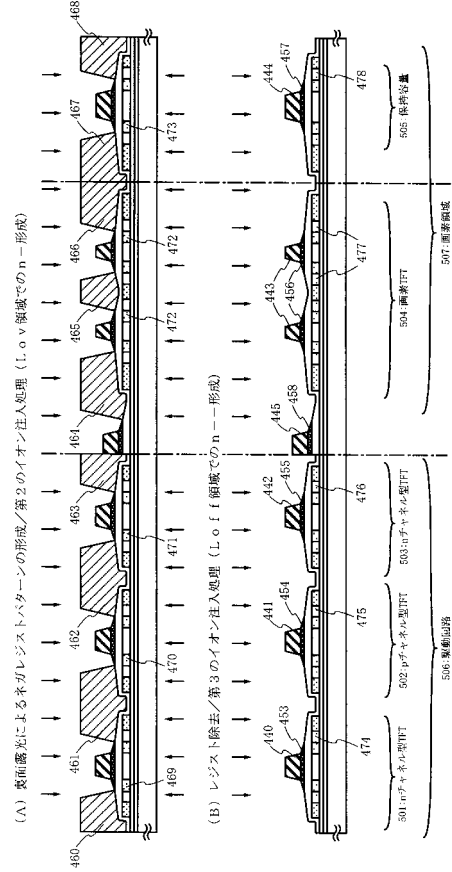
【図 6】



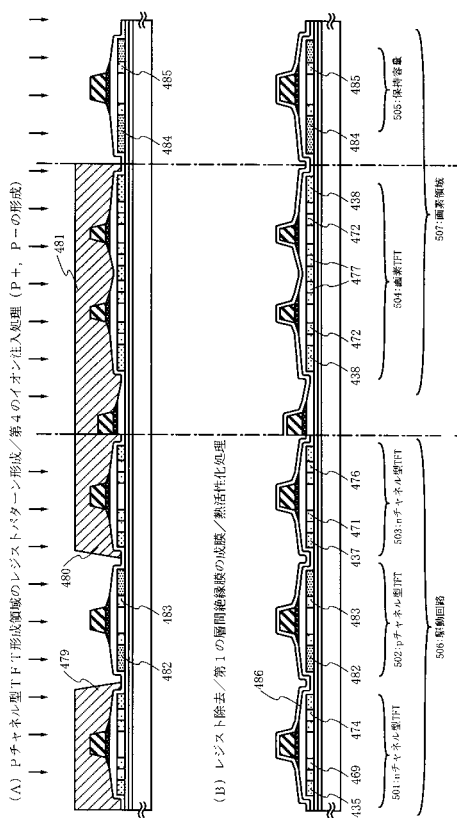
【図 7】



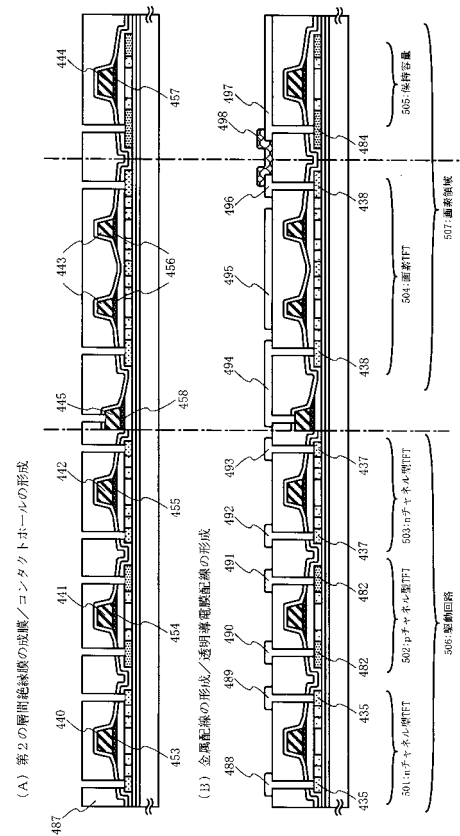
【図 8】



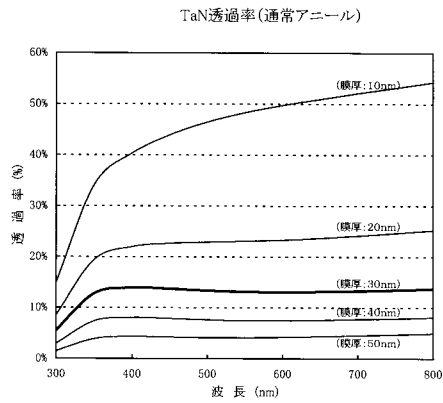
【図 9】



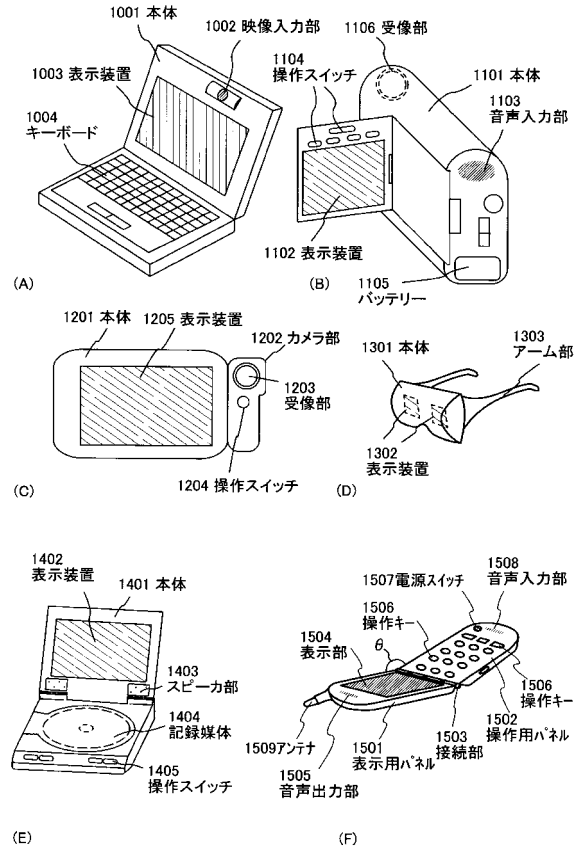
【図 10】



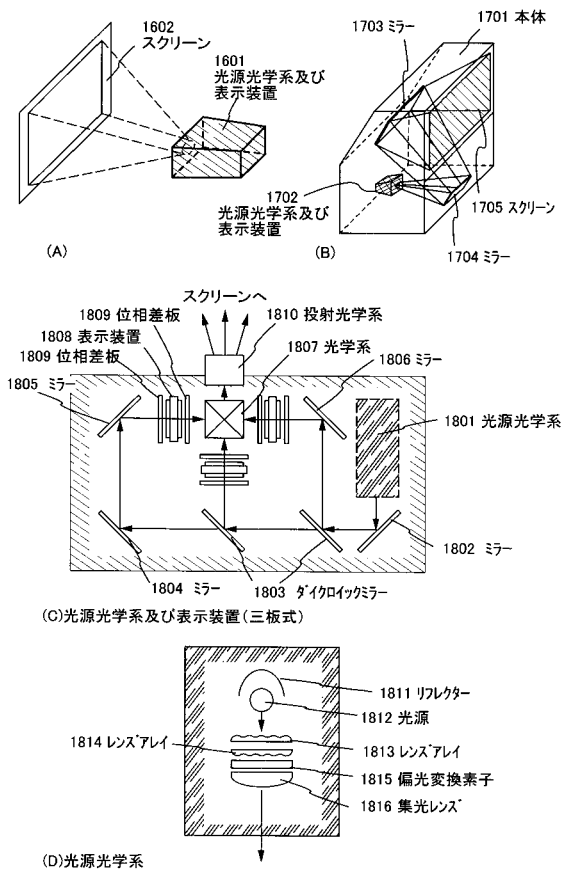
【図 1 1】



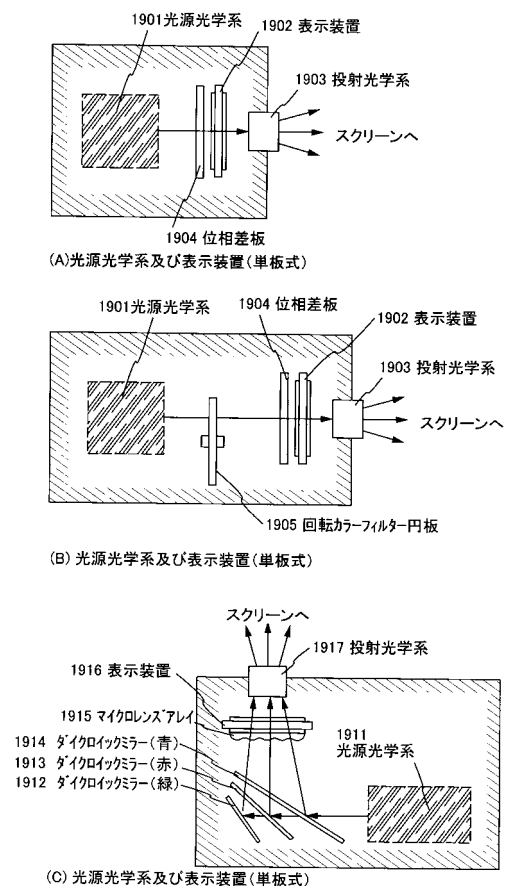
【図 1 2】



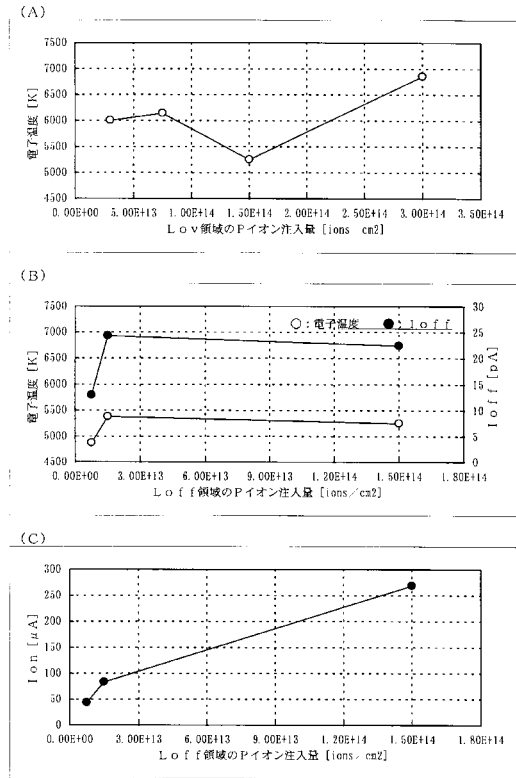
【図 1 3】



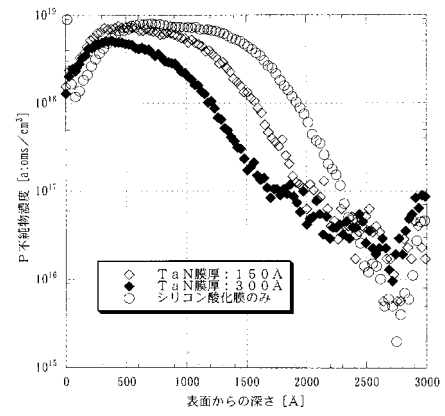
【図 1 4】



【図 15】



【図 16】



フロントページの続き

- (56)参考文献 特開2000-228527(JP,A)
特開平06-333948(JP,A)
特開平09-045930(JP,A)
特開2000-091591(JP,A)
特開2000-243975(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786