



(12)发明专利申请

(10)申请公布号 CN 111190839 A

(43)申请公布日 2020.05.22

(21)申请号 201811352789.1

(22)申请日 2018.11.14

(71)申请人 宇瞻科技股份有限公司

地址 中国台湾新北市

(72)发明人 李俊昌 林嘉伟

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 黄艳

(51)Int.Cl.

G06F 13/16(2006.01)

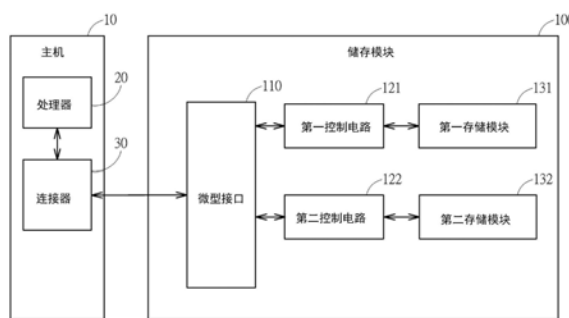
权利要求书3页 说明书4页 附图5页

(54)发明名称

存储装置及其微型接口

(57)摘要

本发明公开了一种存储装置及其微型接口。存储装置包含第一存储模块、第一控制电路、第二存储模块以及微型接口。第一存储模块和第二存储模块用以存储数据。第一控制电路耦接于第一存储模块,用以控制第一存储模块的操作。第二控制电路耦接于第二存储模块,用以控制第二存储模块的操作。微型接口包含四十二个引脚并耦接于第一控制电路及第二控制电路,用以依据PCI-E 4.0的OCuLink标准与第一控制电路进行数据传输,并用以依据UFS标准与第二控制电路进行数据传输。



1. 一种存储装置,包含:

—第一存储模块,用以存储数据;

—第一控制电路,耦接于该第一存储模块,用以控制该第一存储模块的操作;

—第二存储模块,用以存储数据;

—第二控制电路,耦接于该第二存储模块,用以控制该第二存储模块的操作;以及

—微型接口(nano pitch I/O connector),包含四十二个引脚,耦接于该第一控制电路及该第二控制电路,用以依据快速周边组件互连(Peripheral Component Interconnect Express;PCI-E) 4.0的光学铜线连接(Optical/Copper Link;OCuLink)标准与该第一控制电路进行数据传输,并用以依据通用快闪存储器存储(Universal Flash Storage;UFS)标准与该第二控制电路进行数据传输。

2. 如权利要求1所述的存储装置,其中:

该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该第一控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中的两个通道并依据PCI-E 4.0的OCuLink标准与该微型接口进行数据传输;以及

其中,该第二控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路所使用的两个通道之外的另外两个通道并依据UFS标准与该微型接口进行数据传输。

3. 如权利要求2所述的存储装置,其中,该第一控制电路是通过该第一通道与该第二通道并依据PCI-E 4.0的OCuLink标准与该微型接口进行数据传输,而该第二控制电路是通过该第三通道及该第四通道并依据UFS标准与该微型接口进行数据传输。

4. 如权利要求1所述的存储装置,另包含:

—第三存储模块,用以存储数据;以及

—第三控制电路,耦接于该第三存储模块,用以控制该第三存储模块的操作;

其中,该微型接口还用以依据通用序列总线3.0(Universal Serial Bus 3.0;USB 3.0)与该第三控制电路进行数据传输。

5. 如权利要求4所述的存储装置,其中:

该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该第一控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中的两个通道并依据PCI-E 4.0的OCuLink标准与该微型接口进行数据传输;

其中,该第二控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路所使用的两个通道之外的一个通道并依据UFS标准与该微型接口进行数据传输;以及

其中,该第三控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中除

该第一控制电路和该第二控制电路所使用的三个通道之外的另一个通道并依据USB 3.0标准与该微型接口进行数据传输。

6. 如权利要求4所述的存储装置,其中:

该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该第一控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中的一个通道并依据PCI-E 4.0的OCuLink标准与该微型接口进行数据传输;

其中,该第二控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路所使用的一个通道之外的两个通道并依据UFS标准与该微型接口进行数据传输;以及

其中,该第三控制电路通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路和该第二控制电路所使用的三个通道之外的另一个通道并依据USB 3.0标准与该微型接口进行数据传输。

7. 一种微型接口(nano pitch I/O connector),包含四十二个引脚,用以依据快速周边组件互连(Peripheral Component Interconnect Express;PCI-E)4.0的光学铜线连接(Optical/Copper Link;OCuLink)标准与外部的一第一控制电路进行数据传输,并用以依据通用快闪存储器存储(Universal Flash Storage;UFS)标准与外部的一第二控制电路进行数据传输。

8. 如权利要求7所述的微型接口,其中:

该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中的两个通道并依据PCI-E 4.0的OCuLink标准与该第一控制电路进行数据传输;以及

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路所使用的两个通道之外的另外两个通道并依据UFS标准与该第二控制电路进行数据传输。

9. 如权利要求7所述的微型接口,另用于依据通用序列总线3.0(Universal Serial Bus 3.0;USB 3.0)与外部的一第三控制电路进行数据传输,其中,该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中的两个通道并依据PCI-E 4.0的OCuLink标准与该第一控制电路进行数据传输;

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第

一控制电路所使用的两个通道之外的一个通道并依据UFS标准与该第二控制电路进行数据传输;以及

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路和该第二控制电路所使用的三个通道之外的另一个通道并依据USB 3.0标准与该第三控制电路进行数据传输。

10.如权利要求7所述的微型接口,另用于依据通用序列总线3.0(Universal Serial Bus 3.0;USB 3.0)与外部的一第三控制电路进行数据传输,其中该微型接口的四十二个引脚中的引脚A3、A4、B3和B4组成一第一通道(lane),该微型接口的四十二个引脚中的引脚A6、A7、B6和B7组成一第二通道,该微型接口的四十二个引脚中的引脚A15、A16、B15和B16组成一第三通道,且该微型接口的四十二个引脚中的引脚A18、A19、B18和B19组成一第四通道;

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中的一个通道并依据PCI-E 4.0的OCuLink标准与该第一控制电路进行数据传输;

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路所使用的一个通道之外的两个通道并依据UFS标准与该第二控制电路进行数据传输;以及

其中,该微型接口通过该第一通道、该第二通道、该第三通道及该第四通道当中除该第一控制电路和该第二控制电路所使用的三个通道之外的另一个通道并依据USB 3.0标准与该第三控制电路进行数据传输。

## 存储装置及其微型接口

### 技术领域

[0001] 本发明涉及一种微型接口 (nano pitch I/O connector) 及具有微型接口的存储装置, 尤其涉及一种具有多种传输接口的微型接口 (nano pitch I/O connector) 及具有此微型接口的存储装置。

### 背景技术

[0002] 近年来, 快速周边组件互连 (Peripheral Component Interconnect Express; PCI-E) 已在电脑相关领域被大幅地采用, 其拥有快速的速率, 并足以取代现有的多种内部总线, 同时 PCI-E 更支援热插拔 (Hot Swapping), 并具备较佳的可移植性及模块化潜力。其中, 基于 PCI-E 4.0 的光学铜线连接 (Optical Copper Link; OCuLink) 接口, 是使用铜电缆作为主要连接的介质, 并提供了单一通道高达每秒 8 千兆位元 (8Gb/s) 的频宽, 并且支援四通道 (4lanes), 亦即可达到每秒 32 千兆位元 (32Gb/s) 的总频宽, 且其体积较小, 可提供未来小型或轻薄化平台连接外接装置的标准连接, 以增加内部扩充性以及外部外接多元化。

[0003] 此外, 通用快闪存储器存储 (Universal Flash Storage; UFS) 是一种设计用于数码相机、智能手机等消费电子产品使用的快闪存储器存储规范。UFS 的设计目标是发展一套统一的快闪存储卡格式, 在提供高数据传输速度和稳定性的同时, 也可以减少消费者对于市面上各种存储卡格式的混淆和不同存储卡转接器的使用。

[0004] 然而当同时使用 OCuLink 接口以及 UFS 接口时, 目前的技术大多是使用两个连接器以分别连接这两种接口, 而无法通过单一的连接器的同时使用 OCuLink 接口以及 UFS 接口。这样的情形, 并不利于传输接口的接口的小型化的发展。

### 发明内容

[0005] 本发明一实施例提供了一种存储装置, 其包含第一存储模块、第一控制电路、第二存储模块、第二控制电路以及微型接口 (nano pitch I/O connector)。第一存储模块和第二存储模块用以存储数据。第一控制电路耦接于第一存储模块, 用以控制第一存储模块的操作。第二控制电路耦接于第二存储模块, 用以控制第二存储模块的操作。微型接口包含四十二个引脚并耦接于第一控制电路及第二控制电路, 用以依据快速周边组件互连 (Peripheral Component Interconnect Express; PCI-E) 4.0 的光学铜线连接 (Optical/Copper Link; OCuLink) 标准与第一控制电路进行数据传输, 并用以依据通用快闪存储器存储 (Universal Flash Storage; UFS) 标准与第二控制电路进行数据传输。

[0006] 本发明另一实施例提供了一种微型接口, 其包含四十二个引脚, 用以依据 PCI-E 4.0 的 OCuLink 标准与外部的第一控制电路进行数据传输, 并用以依据 UFS 标准与外部的第二控制电路进行数据传输。

### 附图说明

[0007] 图1为本发明一实施例的存储装置连接至一主机时的功能方框图。

- [0008] 图2为图1的存储装置的微型接口的引脚定义图。
- [0009] 图3为本发明另一实施例的存储装置连接至一主机时的功能方框图。
- [0010] 图4为图3的存储装置的微型接口的引脚定义图。
- [0011] 图5为图3的存储装置的微型接口的另一引脚定义图。
- [0012] 其中,附图标记说明如下:
- [0013] 10 主机
- [0014] 20 处理器
- [0015] 30、50 连接器
- [0016] 100、300 存储装置
- [0017] 110、310 微型接口
- [0018] 121 第一控制电路
- [0019] 122 第二控制电路
- [0020] 123 第三控制电路
- [0021] 131 第一存储模块
- [0022] 132 第二存储模块
- [0023] 133 第三存储模块
- [0024] 151 第一通道
- [0025] 152 第二通道
- [0026] 153 第三通道
- [0027] 154 第四通道
- [0028] A1至A21、B1至B21 引脚

### 具体实施方式

[0029] 请参考图1,图1为本发明一实施例的存储装置100连接至主机10时的功能方框图。存储装置100包含微型接口(nano pitch I/O connector)110、第一控制电路121、第二控制电路122、第一存储模块131以及第二存储模块132。第一存储模块131和第二存储模块132可分别为快闪存储器(flash memory)模块,用以存储数据。第一控制电路121耦接于第一存储模块131,用以控制第一存储模块131的操作。第二控制电路122耦接于第二存储模块132,用以控制第二存储模块132的操作。微型接口110包含四十二个引脚并耦接于第一控制电路121及第二控制电路122,用以依据快速周边组件互连(Peripheral Component Interconnect Express;PCI-E)4.0的光学铜线连接(Optical/Copper Link;OCuLink)标准与第一控制电路121进行数据传输,并用以依据通用快闪存储器存储(Universal Flash Storage;UFS)标准与第二控制电路122进行数据传输。

[0030] 当存储装置100通过微型接口110连接至主机10的连接器30时,主机10会将存储装置100辨识成一个OCuLink装置以及一个UFS装置。微型接口110可从主机10的连接器30接收数据,并将所接收到的数据传送给第一控制电路121及/或第二控制电路122,以使第一控制电路121及/或第二控制电路122将所接收的数据存储至第一存储模块131及/或第二存储模块132。相对地,主机10的处理器20可通过微型接口110命令第一控制电路121及第二控制电路122分别从第一存储模块131及第二存储模块132读取数据,并将所读取的数据通过微型

接口110和连接器30传送给处理器20。

[0031] 请参考图2,图2为图1的存储装置100的微型接口110的引脚定义图。微型接口110具有四十二个引脚A1至A21以及B1至B21,其中这四十二个引脚A1至A21以及B1至B21的定义多数与OCuLink的定义相同。详言之,在本实施例中,引脚A1、A2、A5、A8至A14、A17、A20、B2、B5、B8至B14、B17、B20及B21与官方OCuLink的引脚定义相同。所不同的是,微型接口110的引脚A21被第二控制电路122作为UFS的REF\_CLK引脚使用,而引脚B1被第二控制电路122作为UFS的RST\_N引脚使用。此外,引脚A3、A4、B3和B4组成第一通道(lane) 151,引脚A6、A7、B6和B7组成第二通道152,引脚A15、A16、B15和B16组成第三通道153,而引脚A18、A19、B18和B19组成第四通道154。第一控制电路121通过第一通道151、第二通道152、第三通道153及第四通道154当中的两个通道,并依据PCI-E 4.0的OCuLink标准与微型接口110进行数据传输。同时,第二控制电路122通过第一通道151、第二通道152、第三通道153及第四通道154当中除第一控制电路121所使用的两个通道之外的另外两个通道,并依据UFS标准与微型接口110进行数据传输。例如,第一控制电路121可通过第一通道151和第二通道152并依据PCI-E 4.0的OCuLink标准与微型接口110进行数据传输,而第二控制电路122则是通过第三通道153及第四通道154并依据UFS标准与微型接口110进行数据传输。再者,引脚A1和B21可作为供电端,以提供3.3伏特的电压给第一控制电路121、第二控制电路122、第一存储模块131以及第二存储模块132。此外,引脚A2和B20可作为接地端,以提供接地电压给第一控制电路121、第二控制电路122、第一存储模块131以及第二存储模块132。

[0032] 通过上述微型接口110的引脚定义,即可通过单一个微型接口110同时连接分别使用OCuLink接口和UFS接口的电子元件或电子装置。因此,有利于电子产品整体体积的缩小化。

[0033] 请参考图3,图3为本发明另一实施例的存储装置300连接至主机10时的功能方框图。存储装置300与存储装置200之间最大的不同点在于存储装置300另包含了第三控制电路123及第三存储模块133,而微型接口110则由微型接口310取代。第三存储模块133可为快闪存储器模块,用以存储数据。第三控制电路123耦接于第三存储模块133,用以控制第三存储模块133的操作。其中,微型接口310除了可依据PCI-E 4.0的OCuLink标准与第一控制电路121进行数据传输,并依据UFS标准与第二控制电路122进行数据传输之外,还可依据通用序列总线3.0(Universal Serial Bus 3.0;USB 3.0)与第三控制电路123进行数据传输。

[0034] 当存储装置100通过微型接口310连接至主机10的连接器50时,主机10会将存储装置300辨识成一个OCuLink装置、一个UFS装置以及一个USB装置。微型接口310可从主机10的连接器50接收数据,并将所接收到的数据传送给第一控制电路121、第二控制电路122及/或第三控制电路123,以使第一控制电路121、第二控制电路122及/或第三控制电路123将所接收的数据存储至第一存储模块131、第二存储模块132及/或第三存储模块133。相对地,主机10的处理器20可通过微型接口310命令第一控制电路121、第二控制电路122及第三控制电路123分别从第一存储模块131、第二存储模块132及第三存储模块133读取数据,并将所读取的数据通过微型接口310和连接器50传送给处理器20。

[0035] 请参考图4,图4为图3的存储装置300的微型接口310的引脚定义图。其中,引脚A1、A2、A5、A8至A14、A17、A20、B2、B5、B8至B14、B17、B20及B21与官方OCuLink的引脚定义相同。所不同的是,微型接口110的引脚A21被第二控制电路122作为UFS的REF\_CLK引脚使用,而引

脚B1被第二控制电路122作为UFS的RST\_N引脚使用。再者,第一控制电路121、第二控制电路122及第三控制电路123分别使用了第一通道151、第二通道152、第三通道153及第四通道154这四个通道中的其中两个通道、一个通道及另一个通道。举例来说,第一控制电路121使用了第一通道151和第二通道152并依据PCI-E 4.0的0CuLink标准与微型接口310进行数据传输,第二控制电路122使用了第四通道154并依据UFS标准与微型接口310进行数据传输,而第三控制电路123则使用了第三通道153并依据USB 3.0标准与微型接口310进行数据传输。与前一实施例类似的,引脚A1和B21可作为供电端,以提供3.3伏特的电压给第一控制电路121、第二控制电路122、第三控制电路123、第一存储模块131、第二存储模块132以及第三存储模块133。此外,引脚A2和B20可作为接地端,以提供接地电压给第一控制电路121、第二控制电路122、第三控制电路123、第一存储模块131、第二存储模块132以及第三存储模块133。

[0036] 请参考图5,图5为图3的存储装置300的微型接口310的另一引脚定义图。与图4引脚定义图不同的是,依据图5的引脚定义图,第一控制电路121、第二控制电路122及第三控制电路123分别使用了第一通道151、第二通道152、第三通道153及第四通道154这四个通道中的其中一个通道、两个通道及另一个通道。举例来说,第一控制电路121使用了第一通道151并依据PCI-E 4.0的0CuLink标准与微型接口310进行数据传输,第二控制电路122使用了第三通道153和第四通道154并依据UFS标准与微型接口310进行数据传输,而第三控制电路123则使用了第二通道152并依据USB 3.0标准与微型接口310进行数据传输。

[0037] 通过上述微型接口310的引脚定义,即可通过单一个微型接口110同时连接分别使用0CuLink接口、UFS接口及USB 3.0接口的电子元件或电子装置。因此,有利于电子产品整体体积的缩小化。

[0038] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

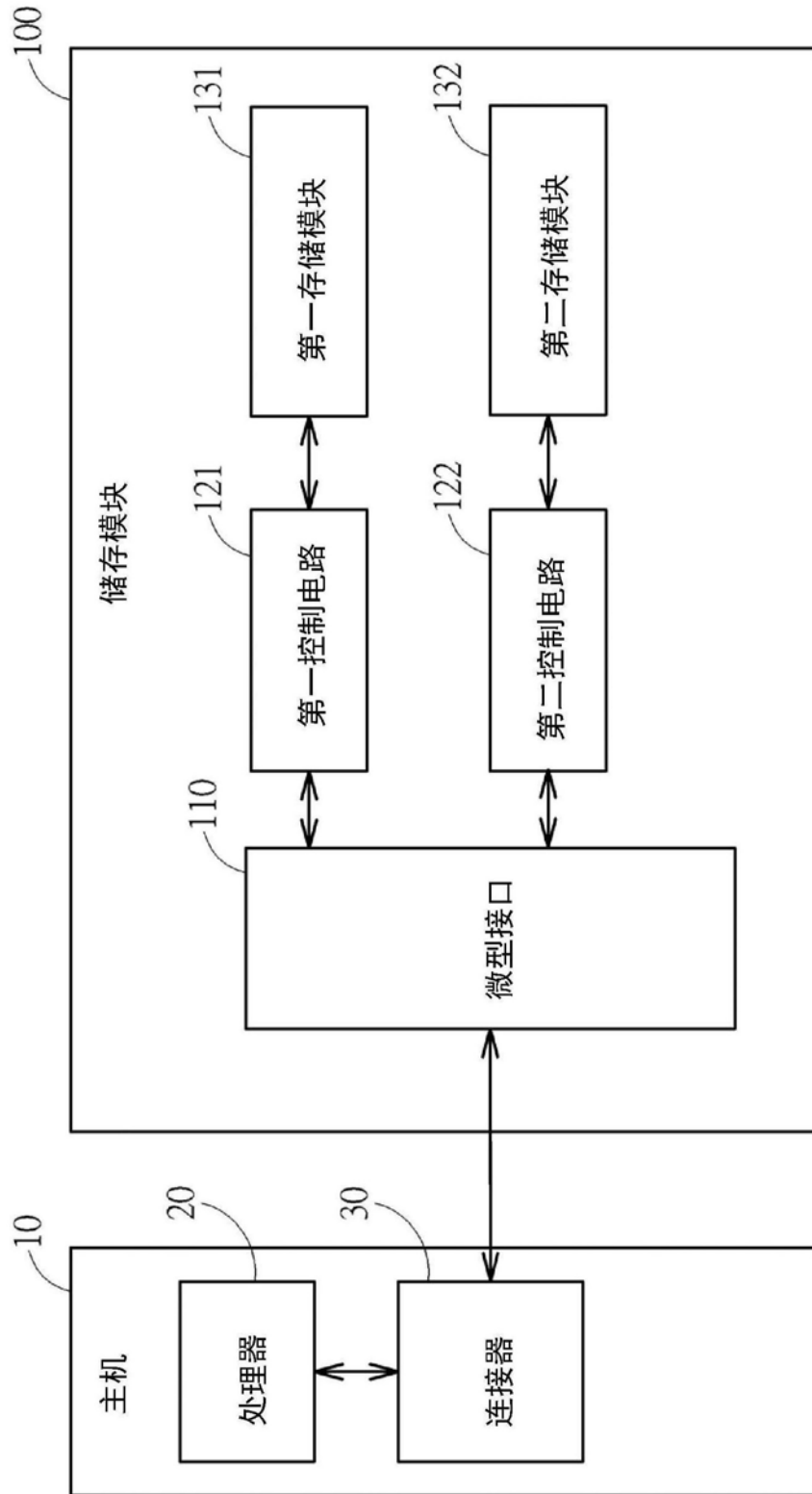


图1

脚位编号	脚位说明	脚位编号	脚位说明
A1	POWER 3.3	B1	RST_N (UFS)
A2	GROUND	B2	GROUND
A3	PERp0	B3	PETp0
A4	PERn0	B4	PETn0
A5	GROUND	B5	GROUND
A6	PERp1	B6	PETp1
A7	PERn1	B7	PETn1
A8	GROUND	B8	GROUND
A9	BP TYPE	B9	SMBUS_CLK
A10	CWAKE#	B10	SMBUS_Data
A11	GROUND	B11	GROUND
A12	CLOCK+	B12	PERST#
A13	CLOCK-	B13	CPRSNT#
A14	GROUND	B14	GROUND
A15	RXDp0 (UFS)	B15	TXDp0 (UFS)
A16	RXDn0 (UFS)	B16	TXDn0 (UFS)
A17	GROUND	B17	GROUND
A18	RXDp1 (UFS)	B18	TXDp1 (UFS)
A19	RXDn1 (UFS)	B19	TXDn1 (UFS)
A20	GROUND	B20	GROUND
A21	REF_CLK (UFS)	B21	POWER 3.3

151
152
153
154

图2

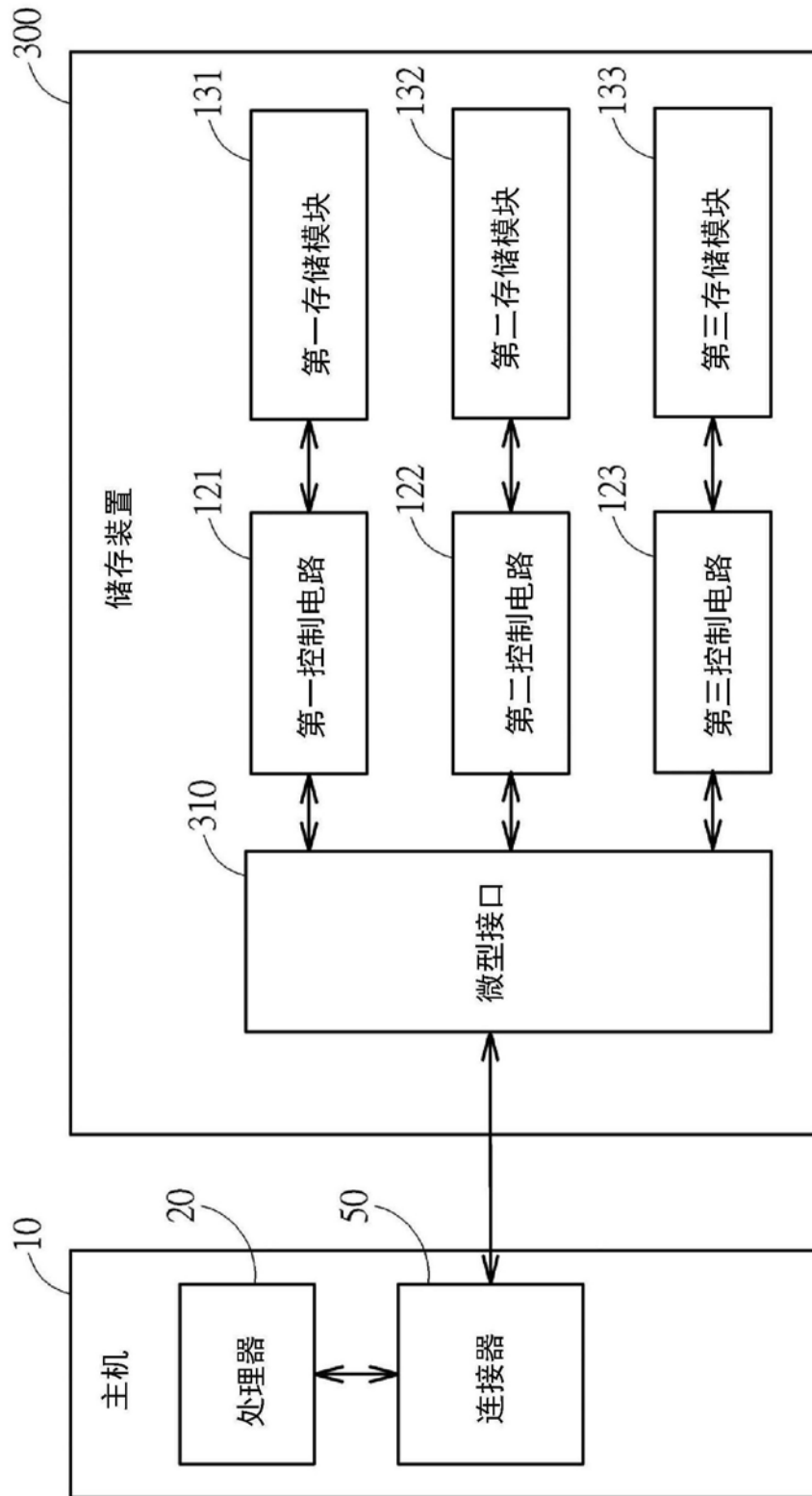


图3

脚位编号	脚位说明	脚位编号	脚位说明
A1	POWER 3.3	B1	RST_N (UFS)
A2	GROUND	B2	GROUND
A3	PERp0	B3	PETp0
A4	PERn0	B4	PETn0
A5	GROUND	B5	GROUND
A6	PERp1	B6	PETp1
A7	PERn1	B7	PETn1
A8	GROUND	B8	GROUND
A9	BP TYPE	B9	SMBUS_CLK
A10	CWAKE#	B10	SMBUS_Data
A11	GROUND	B11	GROUND
A12	CLOCK+	B12	PERST#
A13	CLOCK-	B13	CPRSNT#
A14	GROUND	B14	GROUND
A15	StdA_SSRX- (USB)	B15	StdA_SSTX- (USB)
A16	StdA_SSRX+ (USB)	B16	StdA_SSTX+ (USB)
A17	GROUND	B17	GROUND
A18	RXDP1 (UFS)	B18	TXDP1 (UFS)
A19	RXDN1 (UFS)	B19	TXDN1 (UFS)
A20	GROUND	B20	GROUND
A21	REF_CLK (UFS)	B21	POWER 3.3



图4

脚位编号	脚位说明	脚位编号	脚位说明
A1	POWER 3.3	B1	RST_N (UFS)
A2	GROUND	B2	GROUND
A3	PERp0	B3	PETp0
A4	PERn0	B4	PETn0
A5	GROUND	B5	GROUND
A6	StdA_SSRX- (USB)	B6	StdA_SSTX- (USB)
A7	StdA_SSRX+ (USB)	B7	StdA_SSTX+ (USB)
A8	GROUND	B8	GROUND
A9	BP TYPE	B9	SMBUS_CLK
A10	CWAKE#	B10	SMBUS_Data
A11	GROUND	B11	GROUND
A12	CLOCK+	B12	PERST#
A13	CLOCK-	B13	CPRSNT#
A14	GROUND	B14	GROUND
A15	RXDp0 (UFS)	B15	TXDp0 (UFS)
A16	RXDn0 (UFS)	B16	TXDn0 (UFS)
A17	GROUND	B17	GROUND
A18	RXDp1 (UFS)	B18	TXDp1 (UFS)
A19	RXDn1 (UFS)	B19	TXDn1 (UFS)
A20	GROUND	B20	GROUND
A21	REF_CLK (UFS)	B21	POWER 3.3

151

152

153

154

图5