

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-58114

(P2016-58114A)

(43) 公開日 平成28年4月21日(2016.4.21)

(51) Int.Cl.	F I	テーマコード (参考)
G11C 11/418 (2006.01)	G11C 11/34	301B 5B015
H01L 21/8244 (2006.01)	H01L 27/10	381 5F083
H01L 27/11 (2006.01)	H01L 27/10	481
H01L 27/10 (2006.01)	G11C 11/34	335Z
G11C 11/413 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2014-183300 (P2014-183300)  
 (22) 出願日 平成26年9月9日 (2014.9.9)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 石井 雄一郎  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 Fターム(参考) 5B015 HH05 JJ15 KA23 KB73  
 5F083 BS27 GA05 ZA01

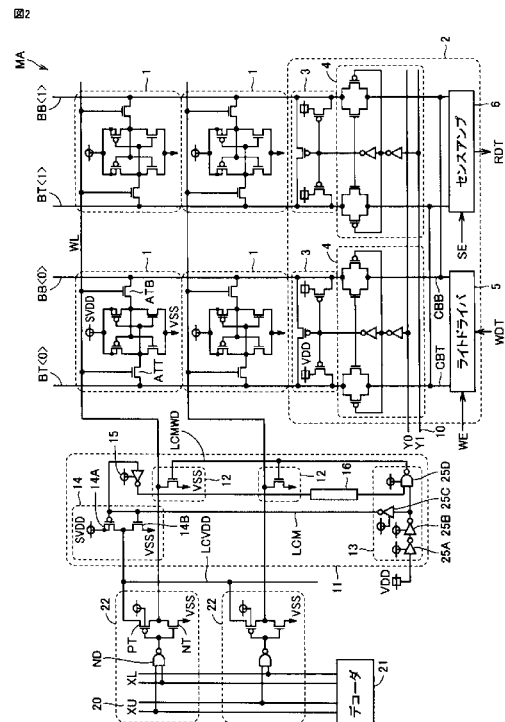
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】電源の投入順によらずに、不具合を生じさせない半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、複数のメモリセルと、複数のワード線とを備える。さらに、半導体記憶装置は、メモリセル用の第1の電源と、第1の電源と独立に投入され、メモリセルと電気的に接続される周辺回路のために設けられた第2の電源と、第1の電源の投入に従って動作する、複数のワード線を固定するためのワード線固定回路とを備える。メモリセルは、アクセストランジスタを含む。ワード線固定回路は、複数のワード線にそれぞれ対応して設けられ、対応するワード線と固定電位との間に設けられた複数の固定トランジスタと、第2の電源の投入に応じた信号の入力に従って、複数の固定トランジスタを制御する固定制御回路とを含む。固定制御回路は、第1の電源の投入に従って第2の電源が投入されていない場合に複数の固定トランジスタを導通させる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

行列状に設けられた複数のメモリセルと、  
 メモリセル行にそれぞれ対応して設けられた複数のワード線と、  
 前記メモリセルのデータを保持するために設けられるメモリセル用の第 1 の電源と、  
 前記第 1 の電源と独立に投入され、前記メモリセルと電氣的に接続される周辺回路のため  
 に設けられた第 2 の電源と、  
 前記第 1 の電源の投入に従って動作する、前記複数のワード線を固定するためのワード  
 線固定回路とを備え、  
 前記メモリセルは、対応するワード線と接続され、前記メモリセルのデータの読出ある  
 いは書込を実行するためのアクセストランジスタを含み、  
 前記ワード線固定回路は、  
 前記複数のワード線にそれぞれ対応して設けられ、対応するワード線と固定電位との間  
 に設けられた複数の固定トランジスタと、  
 前記第 2 の電源の投入に応じた信号の入力に従って、前記複数の固定トランジスタを制  
 御する固定制御回路とを含み、  
 前記固定制御回路は、前記第 1 の電源の投入に従って前記第 2 の電源が投入されていな  
 い場合に前記複数の固定トランジスタを導通させる、半導体記憶装置。

10

## 【請求項 2】

アドレス信号に従ってワード線を選択するデコーダと、  
 前記複数のワード線にそれぞれ対応して設けられ、対応するワード線を駆動する複数の  
 ワード線ドライバとをさらに備え、  
 前記デコーダは、前記第 2 の電源が投入された場合には非選択信号を前記複数のワード  
 線ドライバにそれぞれ出力し、  
 各前記ワード線ドライバは、前記第 2 の電源が投入された場合には前記非選択信号に従  
 って前記対応するワード線を前記固定電位に設定する、請求項 1 記載の半導体記憶装置。

20

## 【請求項 3】

前記複数のワード線ドライバと接続され、前記ワード線を駆動するための電圧を供給す  
 るドライバ用電源線をさらに備え、  
 前記ワード線固定回路は、前記第 2 の電源の投入に応じた信号の入力に従って、前記ド  
 ライバ用電源線を駆動する電源線駆動回路をさらに含む、請求項 2 記載の半導体記憶装置

30

## 【請求項 4】

前記電源線駆動回路は、前記第 2 の電源が投入された場合に前記第 1 の電源を前記ドラ  
 イバ用電源線に供給する、請求項 3 記載の半導体記憶装置。

## 【請求項 5】

前記電源線駆動回路は、前記第 2 の電源が投入されるまでは前記ドライバ用電源線を前  
 記固定電位に設定する、請求項 3 または 4 記載の半導体記憶装置。

## 【請求項 6】

前記固定制御回路は、前記第 2 の電源が投入された場合に前記複数の固定トランジスタ  
 を非導通に設定する、請求項 1 記載の半導体記憶装置。

40

## 【請求項 7】

前記固定制御回路は、複数の入力ノードを有し、  
 一方の入力ノードは、前記第 2 の電源の投入に応じた信号を受け付け、  
 他方の入力ノードは、前記第 2 の電源の投入に応じた信号を遅延させる遅延経路と接続  
 され、

前記第 2 の電源が投入された場合には、前記遅延経路により遅延した信号に基づいて前  
 記複数の固定トランジスタを非導通に設定する、請求項 6 記載の半導体記憶装置。

## 【請求項 8】

行列状に設けられた複数のメモリセルと、

50

メモリセル行にそれぞれ対応して設けられた複数のワード線と、  
前記メモリセルのデータを保持するために設けられるメモリセル用の第1の電源と、  
前記第1の電源と独立に投入され、前記メモリセルと電氣的に接続される周辺回路のために設けられた第2の電源と、

前記第1の電源の投入に従って動作する、前記複数のワード線を固定するためのワード線固定回路とを備え、

前記第2の電源が投入されていない場合に前記第1の電源が投入された場合には、前記メモリセルと前記周辺回路との間に電位差が形成され、

前記メモリセルは、対応するワード線と接続され、前記メモリセルのデータの読出あるいは書込を実行するためのアクセストランジスタを含み、

前記ワード線固定回路は、

前記複数のワード線にそれぞれ対応して設けられ、対応するワード線と固定電位との間に設けられた複数の固定トランジスタと、

前記第2の電源の投入に応じた信号の入力に従って、前記複数の固定トランジスタを制御する固定制御回路とを含み、

前記固定制御回路は、前記第1の電源の投入に従って前記第2の電源が投入されていない場合に前記複数の固定トランジスタを導通させる、半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体記憶装置に関し、特に、メモリアレイと周辺回路との電源を分離した半導体記憶装置に関する。

【背景技術】

【0002】

従来より、S R A M (Static Random Access Memory) では、スタンバイ電流の低減化が進められている。あるS R A Mでは、メモリアレイのメモリセル用の電源電圧と周辺回路用の電源電圧とを別々に供給し、周辺回路用の電源電圧をスタンバイ時に遮断することにより、スタンバイ電流の低減化を図っている(特許文献1)。

【0003】

また、動作中にメモリアレイの電源電圧は高く保ったまま、周辺回路の電源電圧を低くすることで、データ保持特性を保ちつつ動作電力を削減する方式も採用されている。

【0004】

メモリアレイのメモリセル用電源と周辺回路用の電源電圧の2電源を持つ場合には、一般的に電源の投入順に制約が設けられている。

【0005】

たとえば、電源の投入順として、先に周辺回路用の電源電圧を投入してから、メモリアレイのメモリセル用電源を投入する制約が設けられている。

【0006】

当該制約を守らない場合には、投入順序に従って電源間に貫通電流が流れたり、誤動作、故障等の不具合が生じる可能性がある。

【0007】

したがって、当該電源の投入順は、S R A Mの仕様として決められていることが多い。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-293594号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、当該電源の投入順の制約は、回路設計者にとって不要な負担や改良を強

10

20

30

40

50

いることになる。

【0010】

本開示は、上記の課題を解決するためになされたものであって、電源の投入順によらずに、不具合を生じさせない半導体記憶装置を提供することを目的とする。

【0011】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

一実施例によれば、半導体記憶装置は、行列状に設けられた複数のメモリセルと、メモリセル行にそれぞれ対応して設けられた複数のワード線とを備える。さらに、半導体記憶装置は、メモリセルのデータを保持するために設けられるメモリセル用の第1の電源と、第1の電源と独立に投入され、メモリセルと電氣的に接続される周辺回路のために設けられた第2の電源と、第1の電源の投入に従って動作する、複数のワード線を固定するためのワード線固定回路とを備える。メモリセルは、対応するワード線と接続され、メモリセルのデータの読出あるいは書込を実行するためのアクセストランジスタを含む。ワード線固定回路は、複数のワード線にそれぞれ対応して設けられ、対応するワード線と固定電位との間に設けられた複数の固定トランジスタと、第2の電源の投入に応じた信号の入力に従って、複数の固定トランジスタを制御する固定制御回路とを含む。固定制御回路は、第1の電源の投入に従って第2の電源が投入されていない場合に複数の固定トランジスタを導通させる。

10

20

【発明の効果】

【0013】

一実施例によれば、電源の投入順によらずに、不具合を生じさせない半導体記憶装置を実現させることが可能である。

【図面の簡単な説明】

【0014】

【図1】実施形態に基づく半導体記憶装置の外観構成図である。

【図2】実施形態に基づくメモリアレイMAおよび周辺回路の構成を説明する図である。

【図3】実施形態に基づく電源投入時の電位レベルを説明する図である。

30

【発明を実施するための形態】

【0015】

本実施形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

【0016】

図1は、実施形態に基づく半導体記憶装置の外観構成図である。

図1に示されるように、半導体記憶装置は、ドライバ&デコーダ17と、メモリアレイMAと、制御部19と、I/O回路2とを含む。なお、デコーダは、アドレスデコーダを簡略化したものである。

【0017】

制御部19は、半導体記憶装置の各機能ブロックを制御する。具体的には、制御部19は、アドレス信号の入力に基づいてロウアドレス信号をドライバ&デコーダ17に出力する。また、制御部19は、I/O回路2を駆動するための各種の信号を出力する。

40

【0018】

メモリアレイMAは、行列状に配置された複数のメモリセルを有する。メモリアレイMAのメモリセルは、書き換え可能に設けられる。

【0019】

ドライバ&デコーダ17は、メモリアレイMAの行列状に配置されたメモリセルのメモリセル行にそれぞれ対応して設けられたワード線WLを駆動する。

【0020】

50

I/O回路2は、メモリアレイMAの入出力回路として設けられる。

図2は、実施形態に基づくメモリアレイMAおよび周辺回路の構成を説明する図である。

【0021】

図2に示されるように、本例においては、メモリアレイMAのメモリセル用の電源SVDDと、周辺回路用の電源VDDに分離されたデュアルレールSRAMの構成について説明する。

【0022】

メモリアレイMAは、行列状に配置された複数のメモリセル1を有する。各メモリセル1は、書き換え可能に設けられたSRAM(Static Random Access Memory)セルである。本例においては、2つのアクセストランジスタATT, ATBと、6トランジスタのSRAMセルとが示されている。SRAMセルの詳細については公知であるためその詳細な説明については省略する。アクセストランジスタATT, ATBは、対応するワード線WLと電氣的に接続されている。アクセストランジスタATT, ATBは、メモリセル1のデータ読出あるいはデータ書込を実行する際に活性化されたワード線WLに従って導通する。

10

【0023】

メモリセル1には、メモリセル用の電源SVDDと、接地電圧(固定電圧)VSSと電氣的に接続される。本例においては、2行2列のメモリセルが示されている。

【0024】

メモリアレイMA1のメモリセル行にそれぞれ対応して複数のワード線WLが設けられる。

20

【0025】

また、メモリアレイMA1のメモリセル列にそれぞれ対応して複数のビット線対が設けられる。本例においては、2列のメモリセル列が示されている。2列のメモリセル列に対応して設けられた2個のビット線対が設けられる。具体的には、ビット線BT<0>, BB<0>, BT<1>, BB<1>が示されている。

【0026】

I/O回路2は、メモリセル列毎に設けられたプリチャージ回路3と、選択回路4と、ライトドライバ5と、センスアンプ6とを含む。I/O回路2には、周辺回路用の電源VDDが設けられる。

30

【0027】

プリチャージ回路3は、データ読出時に対応するビット線対をイコライズするとともに、周辺回路用の電源VDDの電圧に設定する。

【0028】

選択回路4は、デコード信号Y1, Y0に従ってビット線対を選択する。

本例においては、図示しないコラムデコーダにより、1ビットのコラムアドレスデータに基づいてデコード信号Y1, Y0が生成される。

【0029】

選択回路4は、デコード信号Y1, Y0に従ってビット線対とデータ線対CBT, CBBとを接続する。一例としてデコード信号Y0が「1」(「H」レベル)の場合には、ビット線対BT<0>, BB<0>とデータ線対CBT, CBBとが電氣的に接続される。

40

【0030】

一方、デコード信号Y1が「1」(「H」レベル)の場合には、ビット線対BT<1>, BB<1>とデータ線対CBT, CBBとが電氣的に接続される。

【0031】

デコード信号Y1, Y0が「0」(「L」レベル)の場合には、プリチャージ回路3が活性化され、ビット線対BT, BBを接続してイコライズするとともに、電源VDDと電氣的に接続する。

【0032】

50

ライトドライバ5は、データ書込時に書込データWDTに従ってメモリアレイMAにデータを書き込む。具体的には、ライトドライバ5は、活性化信号WEに従って活性化され、書込データWDTに基づいてデータ線対CBT, CBBを駆動する。ライトドライバ5は、一例として書込データWDTが「1」の場合にデータ線対CBT, CBBを「1」、「0」に設定する。これにより、選択回路4を介してデータ線対CBT, CBBと接続されたビット線対が駆動される。そして、選択されたワード線WLに対応するメモリセル1にデータが書き込まれる。

【0033】

センスアンプ6は、活性化信号SEに従って活性化され、データ読出時にメモリアレイMA1からの読出データRDTを出力する。具体的には、データ読出時において、センスアンプ6は、活性化信号SEに従って活性化され、メモリセル1が保持するデータに従ってデータ線対CBT, CBBと接続されたビット線対に伝達された電位差を増幅して読出データRDTを出力する。ビット線対は、デコード信号Yに従って選択回路4を介してデータ線対CBT, CBBと接続される。

10

【0034】

ドライバ&デコーダ17は、制御部19からのロウアドレス信号をプリデコードするプリデコーダ21と、メモリセル行にそれぞれ対応して設けられた複数のワード線WLに対応して設けられた複数のドライバユニット22を含む。

【0035】

プリデコーダ21は、ロウアドレス信号に基づいて上位ビットをプリデコードした結果、プリデコード信号XUを出力する。また、ロウアドレス信号の下位ビットをプリデコードした結果、プリデコード信号XLを出力する。

20

【0036】

ドライバユニット22は、プリデコード信号XUと、プリデコード信号XLとに基づいて選択信号を出力するNAND回路NDと、NAND回路NDの選択信号に基づいてワード線WLを駆動するPチャネルMOSトランジスタPTと、NチャネルMOSトランジスタNTとを含む。

【0037】

PチャネルMOSトランジスタPTと、NチャネルMOSトランジスタNTは、ワード電源線LCVDDと接地電圧VSSとの間に接続され、その接続ノードはワード線WLと電氣的に結合される。

30

【0038】

NAND回路NDの選択信号が「0」（「L」レベル）の場合にPチャネルMOSトランジスタPTが導通してワード電源線LCVDDとワード線WLとが電氣的に結合される。

【0039】

NAND回路NDの選択信号が「1」（「H」レベル）の場合にNチャネルMOSトランジスタNTが導通して接地電圧VSSとワード線WLとが電氣的に結合される。

【0040】

なお、通常、メモリセル1の動作安定性の観点からワード線WLにはメモリセル1と同じ電位が供給される。従って、ドライバユニット22のPチャネルMOSトランジスタのソースとバックゲートにはメモリセル用の電源SVDDが接続される。

40

【0041】

次に、ワード線固定回路11について説明する。ワード線固定回路11は、メモリセル用の電源SVDDにより駆動される。

【0042】

ワード線固定回路11は、複数のワード線WLにそれぞれ対応して設けられる複数の固定トランジスタ12と、ワード線固定信号LCMWDを生成する制御回路13と、ワード電源線LCVDDを駆動する電源線駆動回路14と、遅延素子16と、インバータ15とを含む。

50

## 【 0 0 4 3 】

遅延素子 1 6 は、抵抗あるいはインバータ等を用いて一定期間信号を遅延させる。なお、物理的な回路を形成することなく、配線抵抗に基づいて遅延素子を形成するようにしても良い。

## 【 0 0 4 4 】

制御回路 1 3 は、インバータ 2 5 A ~ 2 5 C と、N A N D 回路 2 5 D とを含む。

インバータ 2 5 A , 2 5 B は、直列に接続され、周辺回路用の電源 V D D の投入に応じた信号の入力を受け付ける。

## 【 0 0 4 5 】

インバータ 2 5 C は、インバータ 2 5 B の出力信号を反転させた制御信号 L C M を出力する。

10

## 【 0 0 4 6 】

電源線駆動回路 1 4 は、制御信号 L C M により駆動される。

電源線駆動回路 1 4 は、電源 S V D D と接地電圧 V S S との間に設けられた P チャネル M O S トランジスタ 1 4 A と、N チャネル M O S トランジスタ 1 4 B とを含む。

## 【 0 0 4 7 】

P チャネル M O S トランジスタ 1 4 A と、N チャネル M O S トランジスタ 1 4 B との接続ノードは、ワード電源線 L C V D D と接続される。P チャネル M O S トランジスタ 1 4 A と、N チャネル M O S トランジスタ 1 4 B のゲートは、制御信号 L C M の入力を受ける。

20

## 【 0 0 4 8 】

制御信号 L C M が「 0 」(「 L 」レベル)の場合に、P チャネル M O S トランジスタ 1 4 A が導通して、ワード電源線 L C V D D と電源 S V D D とが電氣的に結合される。

## 【 0 0 4 9 】

制御信号 L C M が「 1 」(「 H 」レベル)の場合に、N チャネル M O S トランジスタ 1 4 B が導通して、ワード電源線 L C V D D と接地電圧 V S S とが電氣的に結合される。

## 【 0 0 5 0 】

制御信号 L C M は、インバータ 1 5 および遅延素子 1 6 を介して N A N D 回路 2 5 D の一方の入力ノードに入力される。

## 【 0 0 5 1 】

N A N D 回路 2 5 D の他方の入力ノードは、インバータ 2 5 B の出力信号の入力を受け

30

## 【 0 0 5 2 】

N A N D 回路 2 5 D は、インバータ 2 5 B の出力信号と、遅延素子 1 6 等を介する信号との N A N D 論理演算結果をワード線固定信号 L C M W D として出力する。

## 【 0 0 5 3 】

図 3 は、実施形態に基づく電源投入時の電位レベルを説明する図である。

図 3 に示されるように、メモリセル用の電源 S V D D を先に投入した場合の動作について説明する。

## 【 0 0 5 4 】

まず、周辺回路用の電源 V D D およびメモリセル用の電源 S V D D がともに電源投入されていない場合(ともに「 L 」レベル)について説明する。

40

## 【 0 0 5 5 】

トランジスタの N - W e l l にも電圧が印加されていないので、信号は伝わらず、制御信号 L C M 、ワード線固定信号 L C M W D 、ワード電源線 L C V D D 、ワード線 W L 、プリデコード信号 X U 、X L のいずれの信号も不定の状態となっている。

## 【 0 0 5 6 】

次に、時刻 T 1 にメモリセル用の電源 S V D D が電源投入されて、「 H 」レベルに遷移した場合が示されている。

## 【 0 0 5 7 】

50

これにより、メモリセル用の電源S V D Dが接続されたトランジスタのN - W e l lに電圧が印加され、メモリセル用の電源S V D Dが接続された回路の信号が伝搬する。

【0058】

本例の場合には、周辺回路用の電源V D Dは「L」レベルの状態を維持している。

したがって、制御回路13は、電源V D Dの電位に応じた信号（「L」レベル）の入力に従って、制御信号L C Mを「H」レベルに設定する。これにより、電源線駆動回路14のNチャンネルM O Sトランジスタ14Bが導通して、ワード電源線L C V D Dを接地電圧V S Sと電氣的に結合させる。

【0059】

また、制御回路13のN A N D回路25Dは、電源V D Dの電位に応じた信号（「L」レベル）の入力に従って、ワード線固定信号L C M W Dは、「H」レベルに設定される。

10

【0060】

固定トランジスタ12は、ワード線固定信号L C M W D（「H」レベル）に従って導通し、ワード線W Lを接地電圧V S Sを電氣的に結合させる。ワード線W Lは、「L」レベルに設定される。

【0061】

これにより、電源投入に際し、周辺回路用の電源V D Dよりも先にメモリセル用の電源S V D Dが投入された場合であっても、ワード線W Lが「L」レベルに設定されるためメモリセル1のアクセストランジスタA T T , A T Bは非導通状態となる。

【0062】

したがって、ワード線W Lの電位が不定となることはない。

なお、仮に、ワード線W Lの電位が不定となった場合について説明する。メモリセル用の電源S V D Dが投入されると、メモリセル1のインバータクロスカップルの働きに従って、内部ノードのいずれか一方にメモリセル用の電源S V D Dが印加される。

20

【0063】

一方、周辺回路用の電源V D Dは「L」レベルに設定されている。

ここで、ワード線W Lの電位が不定となるとアクセストランジスタA T T , A T Bを介して、メモリセル1の内部ノードに印加されたメモリセル用の電源S V D Dと、電氣的に接続された周辺回路用の電源V D D（「L」レベル）が接続されたプリチャージ回路3のPチャンネルM O Sトランジスタのバックゲートあるいは選択回路4のPチャンネルM O Sトランジスタのバックゲート間で貫通電流が流れる可能性がある。

30

【0064】

それゆえ、実施形態に基づく構成の如く、ワード線W Lを「L」レベルに固定にすることにより、メモリセル用の電源S V D Dから周辺回路用の電源V D D間で貫通電流が流れることを抑制し、誤動作、故障等の不具合を回避することが可能である。

【0065】

次に、周辺回路用の電源V D Dが投入された場合について説明する。

時刻T2に周辺回路用の電源V D Dが電源投入されて、「H」レベルに遷移した場合が示されている。

【0066】

これにより、制御回路13は、電源V D Dの電位に応じた信号（「H」レベル）の入力に従って、制御信号L C Mを「L」レベルに設定する。これにより、電源線駆動回路14のPチャンネルM O Sトランジスタ14Aが導通して、ワード電源線L C V D Dをメモリセル用の電源S V D Dと電氣的に結合させる。ワード電源線L C V D Dには電源S V D Dが供給される。

40

【0067】

また、制御回路13のN A N D回路25Dの一方の入力ノードは、電源V D Dの電位に応じた信号（「H」レベル）が入力される。また他方の入力については、インバータ25C、インバータ15、遅延素子16を介して電源V D Dの電位に応じた信号（「H」レベル）が遅延して入力される。インバータ25C、インバータ15、遅延素子16の信号経

50



路を遅延経路とも称する。

【0068】

そして、NAND回路ND25Dは、遅延経路により電源VDDの電位に応じた信号（「H」レベル）が遅延した結果に基づいてワード線固定信号LCMWDを「L」レベルに設定する。これは、周辺回路用の電源VDDが投入されてから制御部19が安定してプリデコード信号XU, XLが「L」レベルに設定されるまでに一定時間がかかるためである。

【0069】

その間に、ワード線固定信号LCMWDが「H」レベルを維持して、ワード線WLが「L」レベルを継続するように維持し、ワード線WLが不定となって「H」レベルとなる状態を抑制することが可能である。これにより、メモリセル用の電源SVDDと周辺回路用の電源VDDとの間で貫通電流が流れるのを防止することが可能である。

10

【0070】

そして、一定期間経過後、ワード線固定信号LCMWD（「L」レベル）に従って固定トランジスタ12は、非導通となり、ワード線WLと接地電圧VSSとの間を接離する。ワード線WLは、ドライバユニット22により駆動される。すなわち、通常の動作モードに移行し、プリデコード信号XU, XLに従ってワード線WLが活性化される。

【0071】

これにより、電源投入に際し、周辺回路用の電源VDDよりも先にメモリセル用の電源SVDDが投入された場合であっても、電源投入の順序によらず、正常に動作させることが可能である。

20

【0072】

なお、周辺回路用の電源VDDがメモリセル用の電源SVDDよりも先に投入された場合には、制御部19が初期化されて、プリデコード信号XU, XLが「L」レベルに設定される。

【0073】

これにより、ドライバユニット22のNチャネルMOSトランジスタNTが導通し、ワード線WLは、接地電圧VSSと電氣的に結合される。したがって、ワード線WLは「L」レベルに設定されるため、不定となることはなく、周辺回路用の電源VDDとメモリセル用の電源SVDDとの間に貫通電流が流れることは無い。

30

【0074】

当該構成により、デュアルレールSRAMにおいて、周辺回路用の電源VDDと、メモリセル用の電源SVDDの電源の投入順序によらずに、不具合を生じさせることなく回路を駆動させることが可能となり、回路設計者にとって設計のし易い回路構成を実現することが可能となる。

【0075】

以上、本開示を実施形態に基づき具体的に説明したが、本開示は、実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

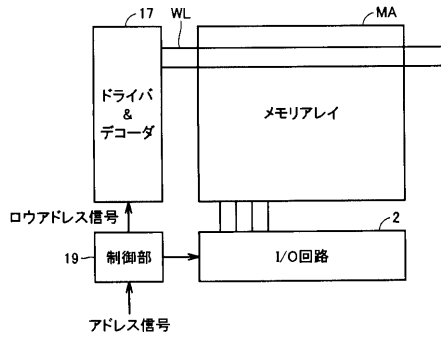
40

【0076】

1 メモリセル、2 I/O回路、3 プリチャージ回路、4 選択回路、5 ライトドライバ、6 センスアンプ、11 ワード線固定回路、12 固定トランジスタ、13 制御回路、14 電源線駆動回路、16 遅延素子、17 ドライバ&デコーダ、19 制御部、21 プリデコーダ、22 ドライバユニット。

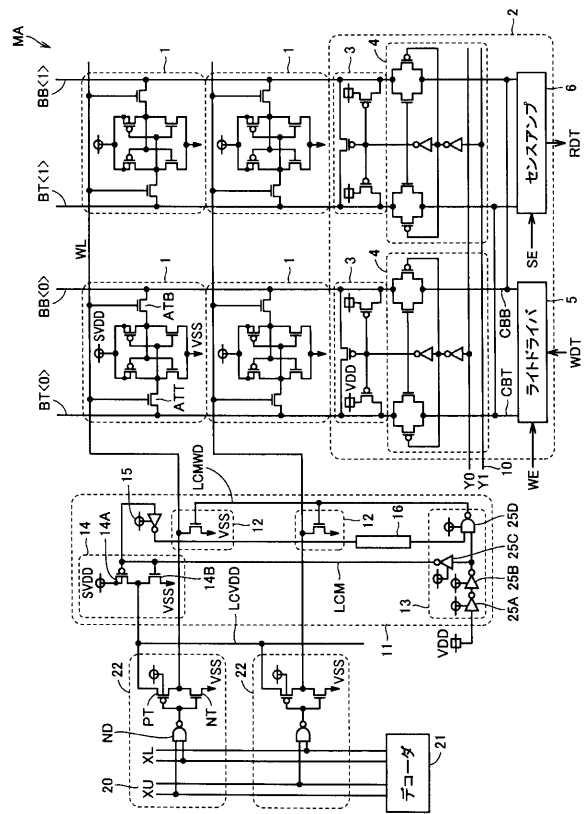
【 図 1 】

図1



【 図 2 】

図2



【 図 3 】

図3

