



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 932566

(61) Дополнительное к авт. свид-ву

(22) Заявлено 17.10.80 (21) 2994053/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.05.82; Бюллетень № 20

Дата опубликования описания 30.05.82

(51) М. Кл.³

G 11 C 9/00

(53) УДК 681.327.
.6(088.8)

(72) Авторы
изобретения

Е.Б.Волков, К.Д.Гузеев, В.И.Дегтярев, А.М.Поликанов
и С.М.Шпак

(71) Заявитель

(54) БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1
Изобретение относится к вычислительной технике, а именно к устройствам для обработки и хранения цифровой информации, и может быть использовано при необходимости согласования устройств, работающих с различным темпом обработки информации.

Известно устройство для сопряжения блоков памяти, которое содержит блок памяти, группы вентилей, формирова-
тели адреса записи и считывания, элемент задержки и формирователи импульсов [1].

Недостатком известного устройства является его низкое быстродействие, т.е. чтение информации из БЗУ и обработка ее начинается только после того, как в БЗУ введен обрабатываемый информационный массив.

Известно устройство ввода информации, которое содержит буферное запоми-
нающее устройство, состоящее из накопительного блока, регистра адреса и блока управления, входного регистра,

2
источника сообщения, вычислительного блока, двух счетчиков, двух схем И, группы схем ИЛИ, двух дешифраторов и блока местного управления, состоящего из блоков местного управления записи считывания [2].

Недостатком данного устройства является то, что вывод информации из БЗУ производится лишь после того, как заполнена его половина, что увеличивает время обработки информации.

Наиболее близким по технической сущности к предлагаемому является буферное запоминающее устройство, в состав которого входят блок управления, генератор импульсов, входной регистр, две группы элементов И, группа элементов ИЛИ, матрица оперативной памяти, выходной регистр, счетчики адресов записи и считывания и дешифратор адреса. Генератор импульсов непрерывно вырабатывает последовательность импульсов записи и считывания, сдвинутые на полпериода. Опе-

рация записи и считывания осуществляется синхронно по сигналам ЗАПИСЬ и СЧИТЫВАНИЕ, поступающим от источника и приемника сообщений соответственно, при этом при поступлении указанных сигналов в блоке управления формируются стробирующие сигналы, синхронные импульсам записи и считывания. При поступлении одного из стробирующих сигналов код с выхода соответствующего счетчика поступает на дешифратор адреса, выходы которого соединены с адресными входами матрицы оперативной памяти. При возбуждении соответствующих адресных шин матрицы обеспечивается обращение к матрице по выбранному адресу. Одновременно из стробирующих импульсов формируются стробы записи и считывания и тактовые импульсы счетчиков [3].

Недостатком данного устройства является то, что как скорость записи, так и скорость считывания в два раза ниже максимально возможной для выбранного типа оперативной памяти, что значительно увеличивает время ввода и вывода из буферного запоминающего устройства при асинхронном режиме записи и считывания, а, следовательно и времени обработки.

Цель изобретения - повышение быстродействия буферного запоминающего устройства.

Поставленная цель достигается тем, что буферное запоминающее устройство, содержащее накопитель, информационные входы которого подключены к выходам элементов И первой группы, а выходы накопителя подключены к одним входам элементов И второй группы, выходы которых подключены к входам выходного регистра, одни входы элементов И первой группы подключены к выходам входного регистра, группу элементов ИЛИ, выходы которых подключены к адресным входам накопителя, одни входы элементов ИЛИ группы подключены к выходам элементов И третьей группы, одни входы которых подключены к информационным выходам счетчика адресов записи, другие входы элементов ИЛИ группы подключены к выходам элементов И четвертой группы, одни входы которых подключены к информационным выходам счетчика адресов считывания, блок управления, выход которого подключен к первому управляющему входу накопителя, генератор импульсов содержит триггеры, элементы задержки

и элементы И, первые входы первого и второго элементов И подключены к выходу генератора импульсов, вторые входы первого и второго элементов И подключены к соответствующим выходам первого триггера, первый вход которого подключен к выходу генератора импульсов, а второй и третий входы соответственно к выходам третьего и четвертого элементов И, первые входы которых подключены к первым выходам соответственно второго и третьего триггеров, первые входы которых являются соответствующими управляющими входами устройства, вторые входы третьего и четвертого элементов И подключены к вторым выходам соответственно второго и третьего триггеров, первые входы пятого и шестого элементов И подключены к выходу блока управления, первый вход которого подключен к первому выходу четвертого триггера, к первому входу седьмого элемента И и к второму управляющему входу накопителя, второй вход блока управления подключен к первому выходу пятого триггера, к первому входу восьмого элемента И и к третьему управляющему входу накопителя, второй выход четвертого триггера подключен к второму входу шестого элемента И, к другим входам элементов И первой и третьей группы и к счетному входу счетчика адреса записи, второй выход пятого триггера подключен к второму входу пятого элемента И, к другим входам элементов И второй и четвертой групп и к счетному входу счетчика адреса считывания, выход шестого элемента И подключен к входу первого элемента задержки, выход которого подключен к второму входу второго триггера и к первому входу четвертого триггера, выход пятого элемента И подключен к входу второго элемента задержки, выход которого подключен к второму входу третьего триггера и к первым входам седьмого и восьмого элементов И подключены к выходам соответственно первого и второго элементов И, третьи входы седьмого и восьмого элементов И подключены к первым выходам соответственно третьего и второго триггеров, а выходы седьмого и восьмого элементов И подключены к вторым входам соответственно пятого и четвертого триггеров.

На чертеже приведена структурная схема устройства.

В состав устройства входят входной регистр 1, триггеры 2-6, элементы И 7-14, генератор 15 импульсов, группа элементов ИЛИ 16, элементы задержки 17 и 18, накопитель 19, выходной регистр 20, счетчик 21 адресов записи, счетчик 22 адресов считывания, группа элементов И 23-26 и блок 27 управления.

Устройство работает следующим образом.

При подаче на первый вход триггера 3 сигнала ЗАПИСЬ (или импульса сопровождения входной информации) триггер 3 устанавливается в состояние "1". Если сигнал ЧТЕНИЕ (импульс запроса информации) на входе триггера 4 отсутствует, то триггер 4 находится в состоянии "0", и на выходе элемента И 10 формируется импульс, который устанавливает триггер 2 в состояние "1" и на вход элемента И 8 поступает разрешающий сигнал с выхода "1" триггера 2. Первый импульс с выхода генератора 15 импульсов проходит через элемент И 8, через элемент И 14 и устанавливает триггер 5 в состоянии "1". Сигналом с выхода "1" триггер 5 открывает элементы И групп 23 и 25, и входная информация с выхода входного регистра 1 через элементы И группы 23 проходит на информационные входы накопителя. Сигнал с выхода "0" триггера 5 поступает на вход накопителя 19 (сигнал разрешения записи) и на вход блока 27 управления, в котором сформируется импульс обращения к накопителю, по которому производится запись информации в накопитель по адресу, который с выхода счетчика 21 адресов записи проходит через элементы И 25 и элементы ИЛИ 16 на адресные входы накопителя 19. Одновременно импульс обращения пройдет через элемент И 13, элемент 17 задержки и устанавливает триггеры 3 и 5 в состояние "0". По заднему фронту импульса, сформированного на выходе "1" триггера 5, к показаниям счетчика 21 прибавится "1" и установится адрес по которому должно записываться очередное слово.

При подаче сигнала ЧТЕНИЕ триггер 4 устанавливается в "1", на выходе элемента И 11 формируется импульс, который устанавливает триггер 2 в состояние "0", первый импульс с выхода генератора 15 импульсов проходит через элементы И 7 и 12 и устанавливает

триггер 6 в состояние "1", при этом разрешающий сигнал с "1" выхода триггера 6 поступает на входы элементов И 24 и 26. Сигнал с "0" выхода триггера 6 поступает на вход накопителя (сигнал разрешения ЧТЕНИЯ) и на вход блока 27 управления. Импульсы обращения с выхода блока управления поступают на вход накопителя, в котором происходит чтение информации по адресу, который с выхода счетчика 22 проходит через элементы И 26 и элементы ИЛИ 16 на адресные шины накопителя. Считанная информация проходит через элементы И 24 и записывается в выходной регистр 20.

Импульс обращения проходит через элемент И 9, элемент 18 задержки и устанавливает триггеры 4 и 6 в "0".

Если во время чтения пришел сигнал ЗАПИСЬ, то триггер 5 не установится в "1", так как элемент И 14 закрыт сигналом с выхода "0" триггера 6. Аналогично во время записи сигналом с выхода "0" триггера 5 закрыт элемент И 12.

При поочередной подаче сигналов ЗАПИСЬ, ЧТЕНИЕ триггер 2 работает в счетном режиме и импульсы с выхода элементов И 7 и 8 поочередно поступают на входы элементов И 12 и 14.

Введение элементов позволяет повысить быстродействие при асинхронном обращении к накопителю, что особенно важно при обработке в реальном времени, а также при вводе информации с НМЛ в ЭВМ.

Формула изобретения

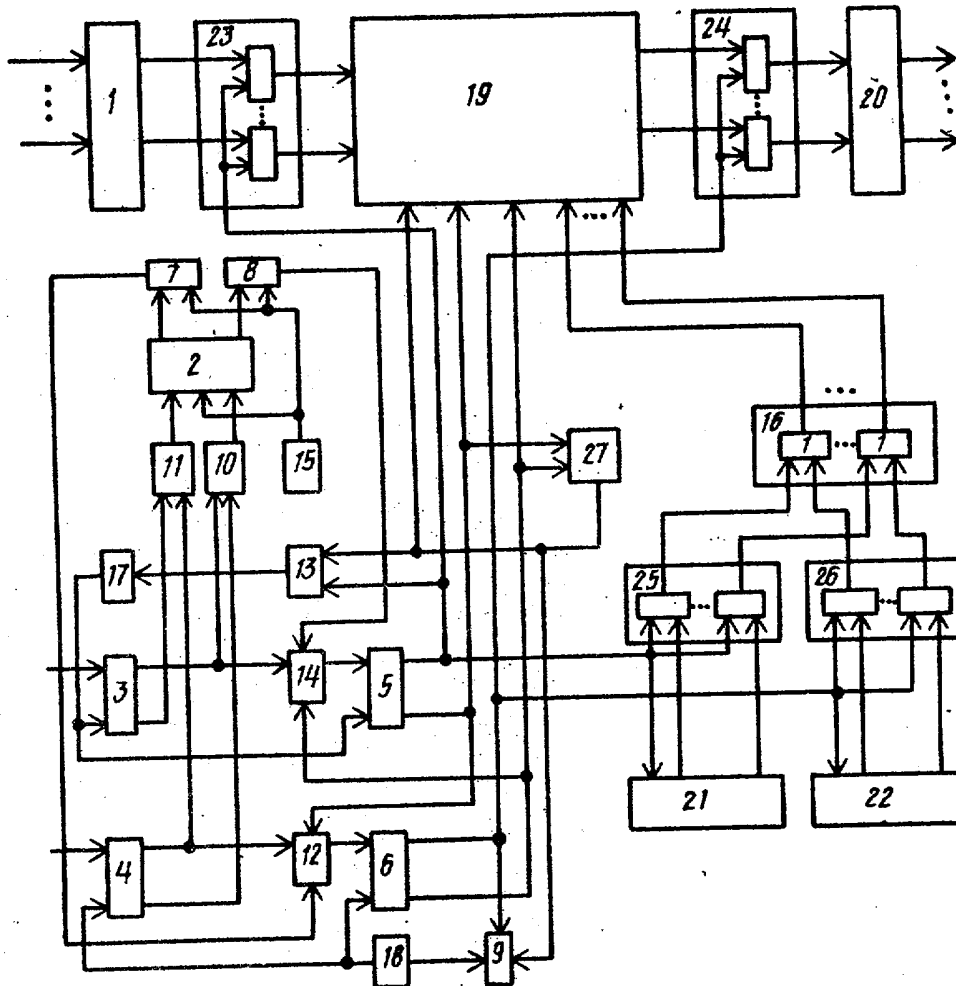
Буферное запоминающее устройство, содержащее накопитель, информационные входы которого подключены к выходам элементов И первой группы, а выходы накопителя подключены к одним входам элементов И второй группы, выходы которых подключены к входам выходного регистра, одни входы элементов И первой группы подключены к выходам входного регистра, группу элементов ИЛИ, выходы которых подключены к адресным входам накопителя, одни входы элементов ИЛИ группы подключены к выходам элементов И третьей группы, одни входы которых подключены к информационным выходам счетчика адресов записи, другие входы элементов ИЛИ группы подключены к выхо-

дам элементов И четвертой группы, одни входы которых подключены к информационным выходам счетчика адресов считывания, блок управления, выход которого подключен к первому управляющему входу накопителя, генератор импульсов, о т л и ч а ю щ е е - с я тем, что, с целью повышения быстродействия устройства, оно содержит триггеры, элементы задержки и элементы И, первые входы первого и второго элементов И подключены к выходу генератора импульсов, вторые входы первого и второго элементов И подключены к соответствующим выходам первого триггера, первый вход которого подключен к выходу генератора импульсов, а второй и третий входы соответственно к выходам третьего и четвертого элементов И, первые входы которых подключены к первым выходам соответственно второго и третьего триггеров, первые входы которых являются соответствующими управляющими входами устройства, вторые входы третьего и четвертого элемента И подключены к вторым выходам соответственно второго и третьего триггеров, первые входы пятого и шестого элементов И подключены к выходу блока управления, первый вход которого подключен к первому выходу четвертого триггера, к первому входу седьмого элемента И и к второму управляющему входу накопителя, второй вход блока управления подключен к первому выходу пятого триггера, к первому входу восьмого элемента И и к третьему управляющему входу накопителя, второй выход четвертого тригге-

ра подключен к второму входу шестого элемента И, к другим входам элементов И первой и третьей группы и к счетному входу счетчика адреса записи, второй выход пятого триггера подключен к второму входу пятого элемента И, к другим входам элементов И второй и четвертой групп и к счетному входу счетчика адреса считывания, выход шестого элемента И подключен к входу первого элемента задержки, выход которого подключен к второму входу второго триггера и к первому входу четвертого триггера, выход пятого элемента И подключен к входу второго элемента задержки, выход которого подключен к второму входу третьего триггера и к первому входу пятого триггера, вторые входы седьмого и восьмого элементов И подключены к выходам соответственно первого и второго элементов И, третьи входы седьмого и восьмого элементов И подключены к первым выходам соответственно третьего и второго триггеров, а выходы седьмого и восьмого элементов И подключены к вторым входам соответственно пятого и четвертого триггеров.

Источники информации,
принятые во внимание при экспертизе

1. Патент ФРГ № 1774623, кл. G 11 В 5/02, опублик. 1971.
2. Авторское свидетельство СССР № 378832, кл. G 06 F 3/04, 1970.
3. Авторское свидетельство СССР № 515154, кл. G 11 С 9/00, 1975 (прототип).



Составитель В.Гордонова

Редактор Н.Гришанова Техред М.Тепер

Корректор Ю.Макаренко

Заказ 3793/73

Тираж 624

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4