



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I431731 B

(45)公告日：中華民國 103 (2014) 年 03 月 21 日

(21)申請案號：100104251

(22)申請日：中華民國 100 (2011) 年 02 月 09 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L21/56 (2006.01)

(30)優先權：2010/06/09 日本

2010-131964

(71)申請人：三菱電機股份有限公司 (日本) MITSUBISHI ELECTRIC CORPORATION (JP)
日本

(72)發明人：奧村美香 OKUMURA, MIKA (JP)；山口靖雄 YAMAGUCHI, YASUO (JP)；村上剛史 MURAKAMI, TAKESHI (JP)

(74)代理人：洪澄文

(56)參考文獻：

TW I316764

TW 200821559

JP 2007-322271A

審查人員：翁佑菱

申請專利範圍項數：7 項 圖式數：12 共 0 頁

(54)名稱

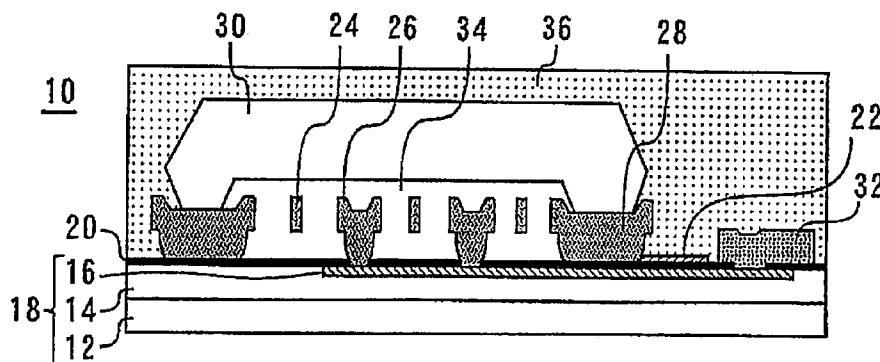
半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(57)摘要

本發明的目的是提供一種能夠形成氮化膜來做為表面保護膜，並且抑制模型封膠脫落的半導體裝置。本發明的半導體裝置，包括基板；元件，形成於基板上；氮化膜，形成於基板上；剝離防止膜，形成於氮化膜上；以及模型封膠，以覆蓋剝離防止膜與元件的方式形成。其中剝離防止膜殘留有收縮應力。

A semiconductor device includes a substrate, an element formed on the substrate, a nitride film formed on the substrate, an anti-peel film formed on the nitride film, and a molded resin covering the anti-peel film and the element. The anti-peel film has residual compressive stress.



第1圖

10 . . . 半導體裝置

12 . . . Si 板

14 . . . 絕緣膜

16 . . . 配線層

18 . . . 基板

20 . . . 氮化膜

22 . . . 多晶矽

24 . . . 可動部

26 . . . 支持部

28 . . . 密封部

30 . . . 玻璃蓋

32 . . . 電極襯墊

34 . . . 空間

36 . . . 模型封膠

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(0010425)

(40123128) (2006.01)

※申請日：100.2.9

※IPC 分類：

H01L 21/00 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法 / SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURE THEREOF

二、中文發明摘要：

本發明的目的是提供一種能夠形成氮化膜來做為表面保護膜，並且抑制模型封膠脫落的半導體裝置。本發明的半導體裝置，包括基板；元件，形成於基板上；氮化膜，形成於基板上；剝離防止膜，形成於氮化膜上；以及模型封膠，以覆蓋剝離防止膜與元件的方式形成。其中剝離防止膜殘留有收縮應力。

三、英文發明摘要：

A semiconductor device includes a substrate, an element formed on the substrate, a nitride film formed on the substrate, a anti-peel film formed n the nitride film, and a molded resin covering the anti-peel film and the element. The anti-peel film has residual compressive stress.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- | | |
|-----------|----------|
| 10～半導體裝置； | 12～Si板； |
| 14～絕緣膜； | 16～配線層； |
| 18～基板； | 20～氮化膜； |
| 22～多晶矽； | 24～可動部； |
| 26～支持部； | 28～密封部； |
| 30～玻璃蓋； | 32～電極襯墊； |
| 34～空間； | 36～模型封膠。 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於形成模型封膠的半導體裝置及其製造方法。

【先前技術】

半導體裝置具備形成於基板上的元件、以及覆蓋基板與元件而形成的模型封膠。模型封膠是為了防止元件接觸外部的水分或異物等而形成。在此，模型封膠大多會透過一層做為表面保護膜而形成於基板或元件上的氮化膜來包覆基板與元件。專利文獻 1 中揭露了在做為表面保護膜而形成的氮化膜上具備有模型封膠的半導體裝置。在這個情況下，會希望模型封膠相對於氮化膜沒有間隙的緊密接合。

專利文獻 1：特開 2006-310508 號公報

氮化膜的耐濕性或機械強度優良，因此廣泛地做為表面保護膜來使用。然而，因氮化膜殘存很高的舒張應力，使得要形成於氮化膜上的模型封膠容易脫落。

本發明為了解決上述的問題，而提供一種能夠形成氮化膜來做為表面保護膜，並且抑制模型封膠脫落的半導體裝置及其製造方法。

【發明內容】

本發明的半導體裝置，包括基板；元件，形成於該基板上；氮化膜，形成於該基板上；剝離防止膜，形成於該

氮化膜上；以及模型封膠，以覆蓋該剝離防止膜與該元件的方式形成。其中該剝離防止膜殘留有收縮應力。

本發明的半導體裝置的製造方法，包括：形成氮化膜於基板上的步驟；形成多晶矽於該氮化膜上的步驟；在該氮化膜上形成能夠以氟酸去除的犧牲膜的步驟；利用該犧牲膜形成導體的步驟；以氟酸除去該犧牲膜的步驟；以及形成模型封膠於該多晶矽上的步驟。

根據本發明，能夠形成氮化膜來做為表面保護膜，並且抑制模型封膠脫落。

【實施方式】

實施例 1

第 1 圖係本發明實施例 1 的半導體裝置的剖面圖。半導體裝置 10 以加速度感應器構成。半導體裝置 10 具備 Si 板 12。Si 板 12 上形成絕緣膜 14。絕緣膜 14 上形成配線層 16。絕緣層 14 的表面與配線層 16 的表面沒有高低差地連接在一起。Si 板 12、絕緣膜 14 及配線層 16 統稱為基板 18。

絕緣膜 14 上與配線層 16 上形成有氮化膜 20。氮化膜 20 具有開口使配線層 16 的一部分露出。氮化膜 20 上形成有多晶矽 22。多晶矽 22 殘存有收縮應力。

半導體裝置 10 形成有做為加速度感應器的樑的可動部 24。又形成有支持可動部 24 的支持部 26。支持部 26 通過氮化膜 20 的開口連接配線層 16。氮化膜 20 上形成有密

封部 28，包圍住可動部 24 與支持部 26。密封部 28 上固定有玻璃蓋 30。密封部 28 與玻璃蓋 30 確保了空間 34。空間 34 的內部密封了上述的可動部 24 與支持部 26。而可動部 24、支持部 26、密封部 28 及玻璃蓋 30 統稱感測部。

氮化膜 20 上形成有電極襯墊 32。電極襯墊 32 是為了與外部電性連接而形成。電極襯墊 32 的一部分透過氮化膜 20 的開口連接到配線層 16。因此電極襯墊 32 與支持部 26 透過配線層 16 電性連接。而模型封膠 36 以包覆多晶矽 22、感測部、電極襯墊 32 的方式形成。模型封膠 36 的形成是為了防止感測部及電極襯墊 32 碰到水分或異物。

第 2 圖係本發明實施例 1 的半導體裝置平面圖。第 2 圖中省略圖示模型封膠 36。如第 2 圖所示，上述的多晶矽 22 形成於感測部與電極襯墊 32 之間，以及各電極襯墊 32 之間。

第 3 圖係表示本發明實施例 1 的半導體裝置的製造方法的流程圖。按照第 3 圖的步驟來說明半導體裝置 10 的製造方法。首先，氮化膜 20 上形成多晶矽 22（步驟 50）。第 4 圖係表示氮化膜 20 上形成多晶矽的狀態圖。

接著在氮化膜 20 上形成犧牲膜 70（步驟 52）。犧牲膜 70 用來決定可動部 24、支持部 26、及密封部 28 的形狀，之後再被除去。第 5 圖係表示形成犧牲膜 70 的狀態圖。

接著，形成可動部 24、支持部 26 及密封部 28（步驟 54）。可動部 24、支持部 26 及密封部 28 任一者皆為導體。第 6 圖係表示形成可動部 24、支持部 26 及密封部 28 的狀

態圖。接著形成電極襯墊 32 (步驟 56)。第 7 圖係表示形成電極襯墊 32 的狀態圖。

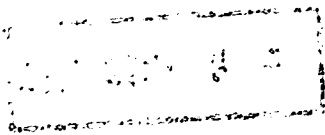
接著，除去犧牲膜 70 (步驟 58)。犧牲膜 70 利用氟酸蝕刻來去除。此時，多晶矽 22 不會被氟酸蝕刻掉而殘存下來。第 8 圖係表示犧牲膜 70 被氟酸蝕刻後的狀態圖。

接著，在密封部 28 上安裝玻璃蓋 30 (步驟 60)。第 9 圖係表示安裝玻璃蓋 30 的狀態圖。最後形成模型封膠 36 (步驟 62)。藉由上述的製造方法，製造出第 1 圖所示的半導體裝置 10。

另外，因為氮化膜殘存有相當強的舒張應力，在氮化膜上形成模型封膠後，模型封膠仍有可能剝落。然而根據本發明實施例 1 的半導體裝置 10，能夠防止模型封膠的剝落。也就是說，因為在舒張應力殘留的氮化膜 20 上形成有殘留壓縮應力的多晶矽 22，所以兩者的應力互相抵銷而減弱。而模型封膠 36 形成於應力弱的多晶矽 22 上。因此可以形成氮化膜 20 並同時防止模型封膠 36 的剝落。

如參照第 2 圖時的說明，多晶矽 22 形成於感測部與電極襯墊 32 之間，以及各電極襯墊 32 之間。因此根據本發明實施例 1 的半導體裝置 10，能夠防止感測部與電極襯墊 32 之間的模型封膠剝落。因此，能夠防止感測部與電極襯墊 32 之間短路。而能夠防止電極襯墊 32 之間的模型封膠剝離。

為了防止模型封膠的剝離，必須考量到模型封膠以及與其接觸的材料的線膨脹係數。本發明實施例 1 的半導體



裝置 10 中，模型封膠 36、多晶矽 22、氮化膜 20 的線膨脹係數分別為 $17[\text{ppm/K}]$ 、 $2.5[\text{ppm/K}]$ 、 $2.8[\text{ppm/K}]$ 左右。模型封膠 36 以及與其接觸的多晶矽 22 及氮化膜 20 的線膨脹係數為近似值，因此能夠防止因線膨脹係數的差異造成的模型封膠剝落。

多晶矽 22 為氟酸無法蝕刻的材料。因此，能在氟酸處理前形成多晶矽 22。藉此，能夠在氮化膜 20 形成後的表面幾乎平坦的狀態下形成多晶矽 22，使得要加工多晶矽 22 的圖案變得容易。

第 10 圖係表示本發明實施例 1 的半導體裝置的變形例平面圖。多晶矽 72 以包圍電極襯墊 32 的方式形成。因此能夠防止電極襯墊 32 周圍的模型封膠剝落。第 11 圖係表示本發明實施例 1 的半導體裝置的變形例平面圖。多晶矽 74 以包圍電極襯墊 32 及感測部的方式形成。因此，能夠防止電極襯墊 32 的周圍及感測器的周圍的模型封膠剝落。

半導體裝置 10 雖形成加速度感測器，但本發明並不限定於此。也就是說，本發明能夠廣泛地應用於在氮化膜上形成模型封膠的情形。而本發明實施例 1 的感測部可以是其他的元件，而沒有特別限定。

本發明實施例 1 的半導體裝置 10 中，使用多晶矽 22 來做為防止模型封膠 36 剝離的剝離防止膜，但本發明並不限定於此。剝離防止膜所需要的特性是有殘留的收縮應力、線膨脹係數與氮化膜及模型封膠的線膨脹係數近似、氟酸無法蝕刻。剝離防止膜只要具有這些特性，並沒有特

別限定於多晶矽。因此，例如也可以將非晶矽膜做為剝離防止膜。另外，不需要在氟酸處理前形成剝離防止膜的時
候，剝離防止膜也可以是氟酸能夠蝕刻的材料。

實施例 2

第 12 圖係本發明實施例 2 的半導體裝置的剖面圖。半導體裝置 76 與本發明實施例 1 的半導體裝置 10 有許多相似點，因此僅說明與半導體裝置 10 的差異點。半導體裝置 76 具備多晶矽 78。多晶矽 78 不只形成於感測部分與電極襯墊 32 之間，也形成在密封部 28 的正下方。藉此，密封部 28 與配線層 16 之間形成有氮化膜 20 與多晶矽 78。

根據本發明實施例 2 的半導體裝置，氮化膜 20 即使有孔洞等缺陷，之後形成的高阻抗多晶矽 78 會覆蓋這些孔洞。因此，即使在密封部 28 的正下方形成配線層 16，也能確實地防止兩者之間的短路。其中，半導體裝置 76 與本發明實施例 1 一樣可以有相同程度的變形。

【圖式簡單說明】

第 1 圖係本發明實施例 1 的半導體裝置的剖面圖。

第 2 圖係本發明實施例 1 的半導體裝置平面圖。

第 3 圖係表示本發明實施例 1 的半導體裝置的製造方法的流程圖。

第 4 圖係表示氮化膜上形成多晶矽的狀態圖。

第 5 圖係表示形成犧牲膜的狀態圖。

第 6 圖係表示形成可動部、支持部及密封部的狀態圖。

第 7 圖係表示形成電極襯墊的狀態圖。

第 8 圖係表示犧牲膜被氟酸蝕刻後的狀態圖。

第 9 圖係表示安裝玻璃蓋的狀態圖。

第 10 圖係表示本發明實施例 1 的半導體裝置的變形例平面圖。

第 11 圖係表示本發明實施例 1 的半導體裝置的變形例平面圖。

第 12 圖係本發明實施例 2 的半導體裝置的剖面圖。

【主要元件符號說明】

10～半導體裝置；

12～Si 板；

14～絕緣膜；

16～配線層；

18～基板；

20～氮化膜；

22～多晶矽；

24～可動部；

26～支持部；

28～密封部；

30～玻璃蓋；

32～電極襯墊；

34～空間；

36～模型封膠；

70～犧牲膜；

74～多晶矽；

76～半導體裝置；

78～多晶矽。

七、申請專利範圍：

1. 一種半導體裝置，包括
基板；
元件，形成於該基板上；
氮化膜，形成於該基板上；
剝離防止膜，形成於該氮化膜上；
模型封膠，以覆蓋該剝離防止膜與該元件的方式形成；以及
複數的電極襯墊，形成於該基板上並且被該模型封膠覆蓋，
其中該剝離防止膜殘留有收縮應力，
該剝離防止膜以包圍該複數的電極襯墊及該元件的方式形成。
2. 如申請專利範圍第 1 項所述之半導體裝置，更包括：
複數的電極襯墊，形成於該基板上並且被該模型封膠覆蓋，
其中該剝離防止膜形成於該元件與該複數的電極襯墊之間，以及各該複數的電極襯墊之間。
3. 如申請專利範圍第 1 或 2 項所述之半導體裝置，其中該元件為加速度感測器的感測部，
該基板內形成有配線層，
該感測部與該複數的電極襯墊透過該配線層電性連接，
該剝離防止膜為氟酸無法蝕刻的膜。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中該元件包括形成於該剝離防止膜上的導體，

在該基板中，該導體的正下方形成有配線層。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中該剝離防止膜是以多晶矽或非晶矽所形成。

6. 一種半導體裝置的製造方法，包括：

形成氮化膜於基板上的步驟；

形成多晶矽於該氮化膜上的步驟；

在該氮化膜上形成能夠以氟酸去除的犧牲膜的步驟；

利用該犧牲膜形成導體的步驟；

以氟酸除去該犧牲膜的步驟；以及

形成模型封膠於該多晶矽上的步驟。

7. 一種半導體裝置，包括

基板；

元件，形成於該基板上；

氮化膜，形成於該基板上；

剝離防止膜，形成於該氮化膜上；

模型封膠，以覆蓋該剝離防止膜與該元件的方式形成；

導體，形成於該剝離防止膜上；以及

配線層，形成在該基板中該導體的正下方，

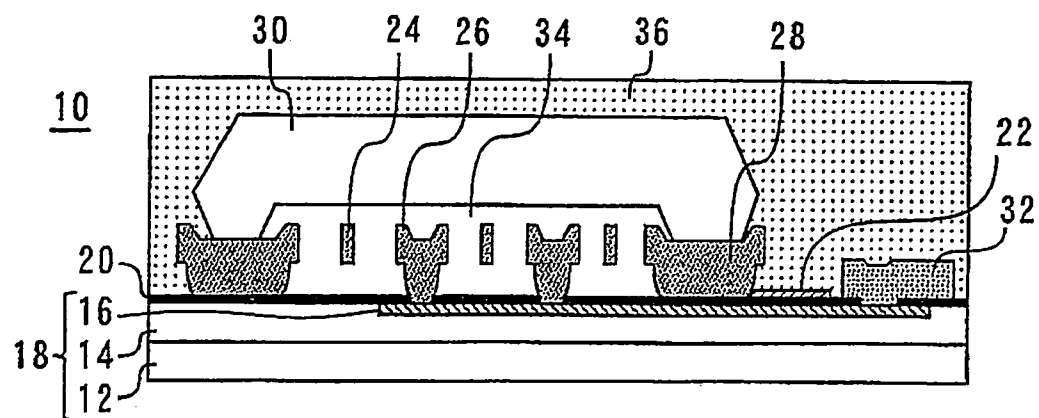
其中該剝離防止膜殘留有收縮應力。

-
:

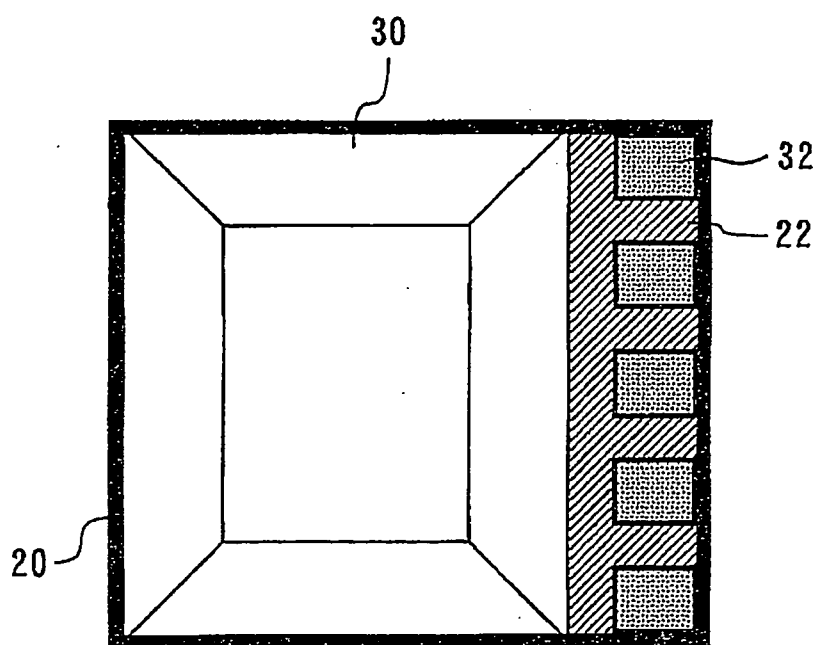
八、圖式：如後所示。

)

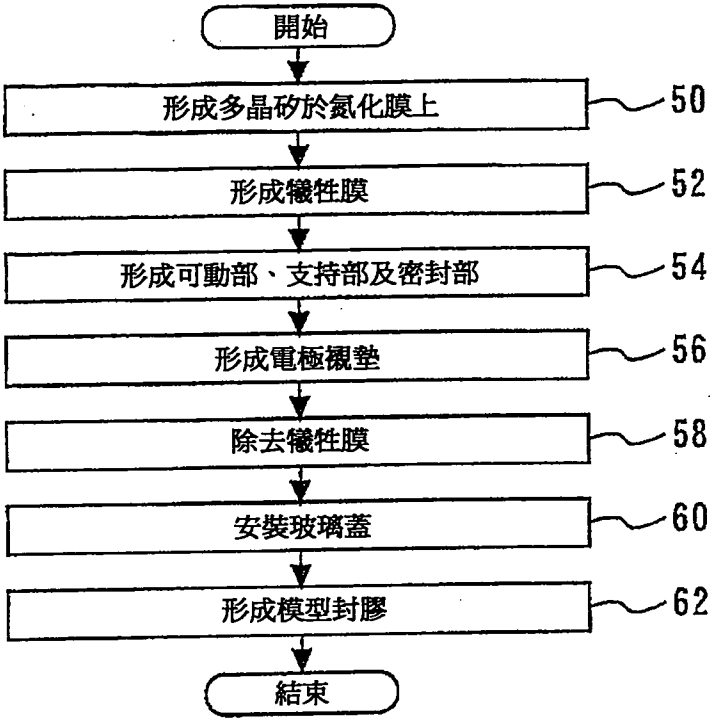
)



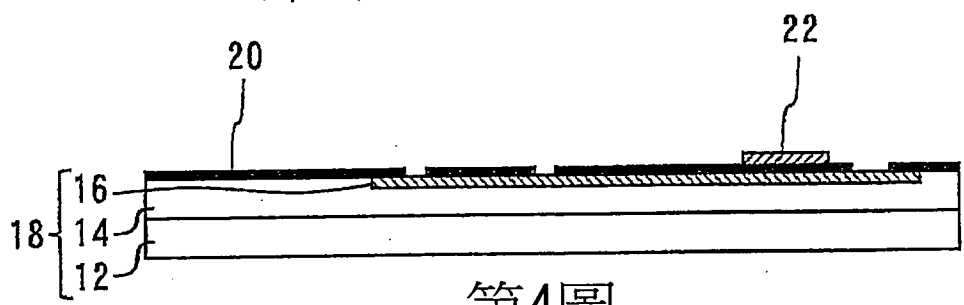
第1圖



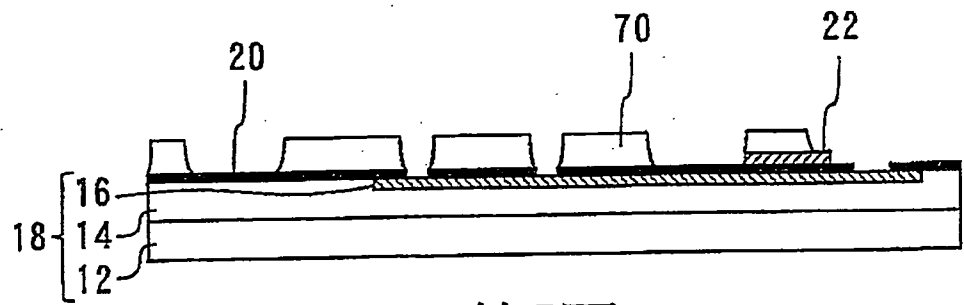
第2圖



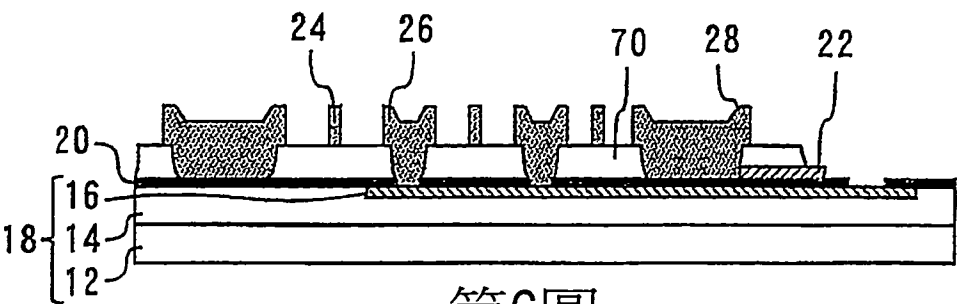
第3圖



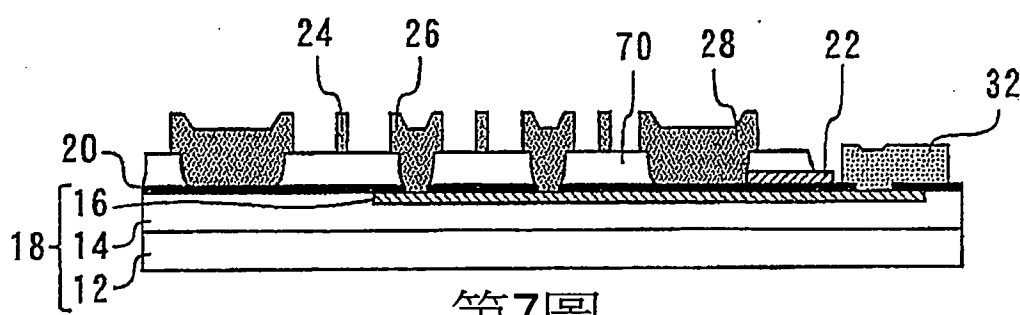
第4圖



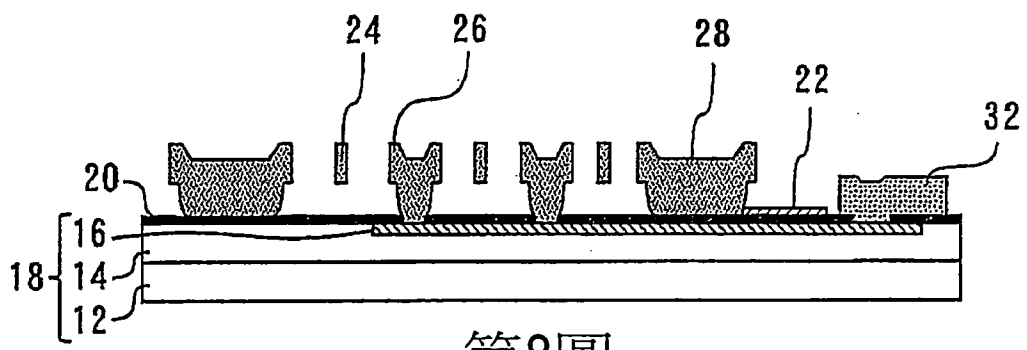
第5圖



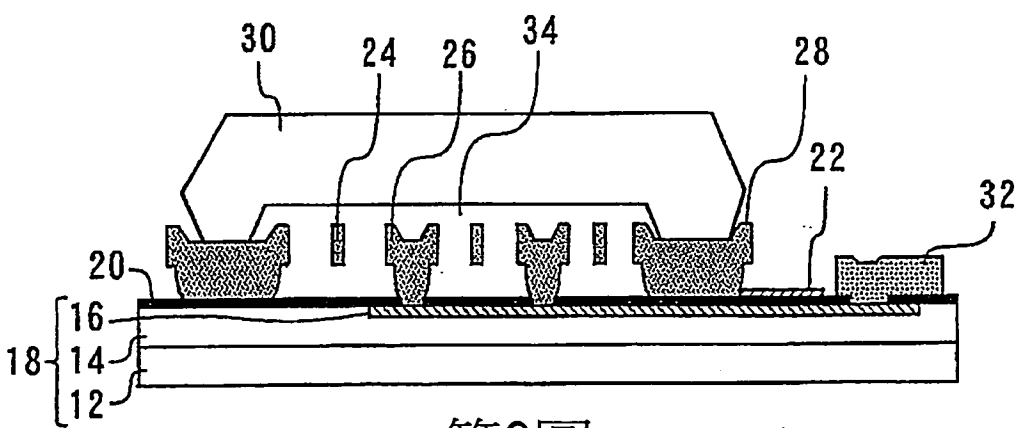
第6圖



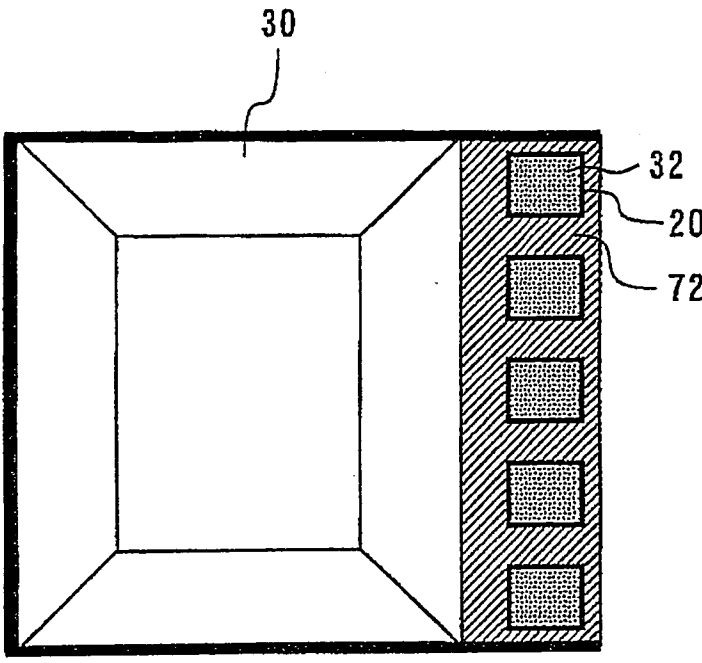
第7圖



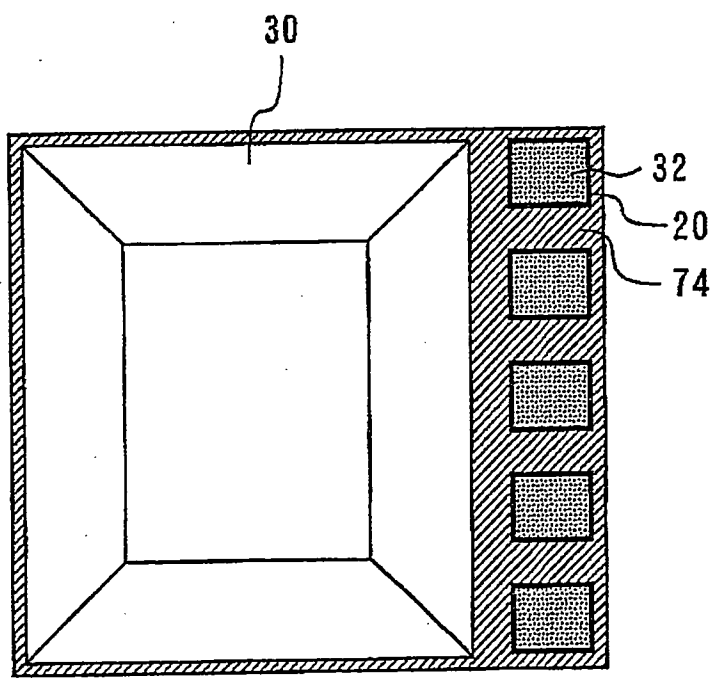
第8圖



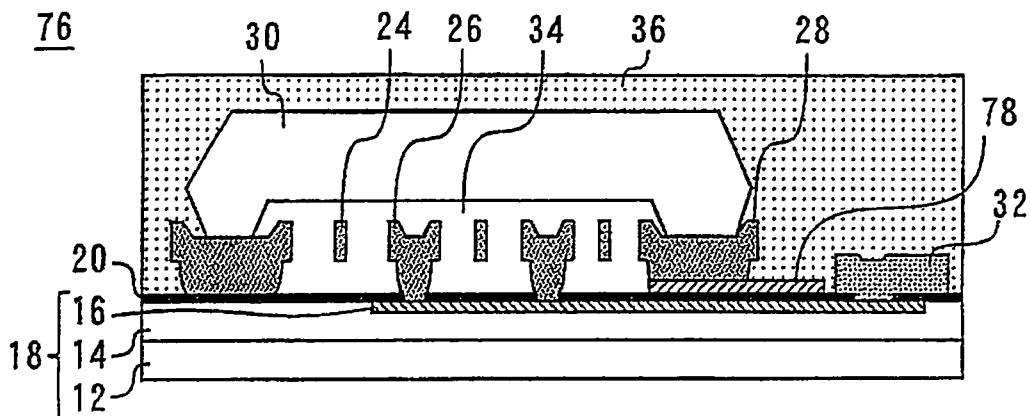
第9圖



第10圖



第11圖



第12圖