

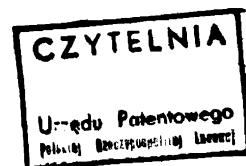
POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

115912



Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 27.03.79 (P. 214472)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 08.04.80

Opis patentowy opublikowano: 31.05.1982

Int. Cl.³.

H03K 23/26

Twórca wynalazku: Jacek Sowa

Uprawniony z patentu tymczasowego: Instytut Obróbki Skrawaniem, Kraków (Polska)

Dzielnik częstotliwości

Przedmiotem wynalazku jest dzielnik częstotliwości o częstotliwości wyjściowej regulowanej przy pomocy przełącznika kodującego w kodzie BCD, do ustawiania częstotliwości impulsów prostokątnych, w szczególności do dyskretnego ustawiania prędkości silników skokowych.

Znane dzielniki częstotliwości działają, bądź w oparciu o zasadę zmiany pojemności licznika za pomocą układu sprzężeń logicznych, bądź w oparciu o zasadę rozkładu pojemności na czynniki i łączenie członów o pojemnościach wynikających z tego rozkładu. Znany jest także z książki J. Pieńkosa „Układy scalone TTL serii UCY74 i ich zastosowanie”, WKŁ, Warszawa 1976, str.221, dzielnik częstotliwości oparty na rejestrach przesuwających zamkniętych w pętlę. W książce P. Misiurewicz, M. Grzybka: „Półprzewodnikowe układy logiczne”, WNT, Warszawa 1975, str. 173, rys. 3.127, przedstawiony jest dzielnik częstotliwości zbudowany przy użyciu licznika synchronicznego z wpisywaniem synchronicznym. W chwili pojawienia się sygnału przeniesienia Y świadczącego o tym, że licznik osiągnął stan 1111, następuje przełączenie licznika na wpisywanie równoległe. Wpisanie odbywa się przy podaniu kolejnego impulsu zegarowego i dlatego też na wejście równoległe licznika trzeba podać uzupełnienie dwójkowe liczby P, będącej współczynnikiem podziału, a w przypadku dzielnika dziesiętnego na wejście równoległe dekady trzeba podać uzupełnienie dziesiętkowe współczynnika podziału a więc 10-P.

W rozwiązaniu według wynalazku zastosowano układ składający się z licznika dziesiętnego, komparatora, przełącznika kodującego, przerzutnika J-K, bramki NAND, inwertera i drugiego przerzutnika J-K.

Istota rozwiązania polega na tym, że wyjście komparatora jest połączone z wejściem bramki NAND, a wyjście Y+ licznika dziesiętnego jest połączone z wejściem zegarowym C przerzutnika J-K, natomiast wyjście Q przerzutnika jest połączone z drugim wejściem bramki NAND, której wyjście jest połączone z wejściem inwertera, wejściem drugiego przerzutnika J-K oraz wejściem zerującym pierwszego przerzutnika J-K, a ponadto wyjście inwertera jest połączone z wejściem zerującym licznika dziesiętnego.

Układ dzielnika według wynalazku zapewnia uzyskanie na wyjściu impulsów symetrycznych o częstotliwości zależnej od stanu przełącznika kodującego według wzoru $f_{wy} = \frac{f_{we}}{2(10^m+n)}$, gdzie f_{we} – to częstotliwość wejściowa, m – liczba dekad liczników, n – liczba nastawiona przełącznikiem kodującym.

Rozwiązanie według wynalazku przedstawione jest w przykładzie wykonania na rysunku, który przedstawia schemat blokowy dzielnika częstotliwości.

Układ dzielnika częstotliwości składa się z licznika dziesiętnego 1, komparatora 2, przełącznika kodującego 3, przerzutnika J-K 4, bramki NAND 5, inwertera 6, przerzutnika J-K 7. Wyjście komparatora 2 połączone jest z wejściem bramki NAND 5, a wyjście Y+ licznika dziesiętnego 1 jest połączone z wejściem zegarowym C przerzutnika 4.

Wyjście Q przerzutnika 4 jest połączone z drugim wejściem bramki NAND 5, której wyjście jest połączone z wejściem inwertera 6, wejściem przerzutnika 7 oraz wejściem zerującym R przerzutnika 4. Wyjście inwertera 6 jest połączone z wejściem zerującym licznika dziesiętnego 1.

Do wejścia C licznika dziesiętnego 1 doprowadzone są impulsy z zewnętrznego generatora. Komparator 2 porównuje stan wyjść licznika 1 ze stanem przełącznika kodującego 3. Gdy stan wejść $A_0, A_1, A_2 \dots$ komparatora 2 jest równy stanowi wejść $B_0, B_1, B_2 \dots$, to na wyjściu $A = B$ komparatora 2 pojawia się impuls. Po dziesięciu impulsach na wyjściu Y+ licznika 1 pojawia się impuls, powodujący zmianę stanu przerzutnika 4 w stan $Q = 1$. Wówczas przy następnym zrównaniu się $A = B$ impuls na wyjściu komparatora 2, przechodząc przez bramkę NAND 5, powoduje zerowanie – ustawienie $Q = 0$ – przerzutnika 4 oraz przez inwerter 6 zerowanie licznika 1. Ten sam impuls jest także doprowadzony do przerzutnika 7 na jego wejście liczące C. Na wyjściu Q przerzutnika 7 otrzymuje się impulsy symetryczne o częstotliwości zależnej od stanu przełącznika kodującego 3 według

wzoru $f_{wy} = \frac{f_{we}}{2(10^m + n)}$, gdzie f_{we} to częstotliwość wejściowa, m – liczba dekad liczników, n – liczba nastawiona przełącznikiem kodującym 3.

Zastrzeżenie patentowe

Dzielnik częstotliwości do ustawiania częstotliwości impulsów prostokątnych, w szczególności do dyskretnego ustawiania prędkości silników skokowych, składający się z licznika dziesiętnego, komparatora, przełącznika kodującego, dwóch przerzutników J-K, bramki NAND i inwertera, z n a m i e n n y t y m, że wyjście komparatora (2) połączone jest z wyjściem bramki NAND (5), a wyjście (Y+) licznika dziesiętnego (1) połączone jest z wejściem zegarowym (C) przerzutnika (4), natomiast wyjście (Q) przerzutnika (4) jest połączone z drugim wejściem bramki NAND (5), której wyjście jest połączone z wejściem inwertera (6), wejściem przerzutnika (7) oraz wejściem zerującym przerzutnika (4), a ponadto wyjście inwertera (6) połączone jest z wejściem zerującym licznika dziesiętnego (1).

