

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 (43) 공개일자	10-2009-0049268 2009년05월18일
(51) Int. Cl.	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가1 고려대학교 내 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1	(72) 발명자 신동석 서울 서대문구 홍제4동 인왕산현대아파트 106동 201호 최영중 충북 음성군 감곡면 오향리 557-4 부강아파트 10 1동 502호 (뒷면에 계속)	(74) 대리인 김성남
(21) 출원번호	10-2007-0115463		
(22) 출원일자	2007년11월13일		
심사청구일자	2007년11월13일		

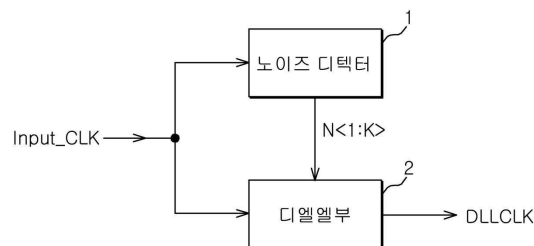
전체 청구항 수 : 총 10 항

(54) 반도체 집적 회로

(57) 요약

본 발명의 반도체 집적 회로는 공급 전압의 변동에 따라 다른 레벨의 노이즈 코드를 출력하는 노이즈 디텍터; 및 노이즈 코드에 따라 클럭의 지연시키는 정도를 달리하여 디엘엘 클럭을 출력하는 디엘엘부를 포함한다.

대표도 - 도1



(72) 발명자

김관언

경기 이천시 증포동 대우3차아파트 303동 1003호

김철우

서울 성북구 길음동 1283 김음뉴타운 605동 1301호

채현수

서울 동대문구 제기2동 167-39

특허청구의 범위

청구항 1

공급 전압의 변동에 따라 다른 레벨의 노이즈 코드를 출력하는 노이즈 디텍터; 및

상기 노이즈 코드에 따라 클럭의 지연시키는 정도를 달리하여 디엘엘 클럭을 출력하는 디엘엘부를 포함하는 반도체 집적 회로.

청구항 2

제 1 항에 있어서,

상기 노이즈 디텍터는,

상기 클럭을 입력받아 상기 공급 전압의 변동에 따라 제1 노이즈 코드를 출력하는 제1 비교부; 및

상기 클럭을 입력받아 상기 공급 전압의 변동에 따라 제2 노이즈 코드를 출력하는 제2 비교부를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제 2 항에 있어서,

상기 제1 비교부는,

상기 클럭을 입력받아 제1 지연 신호를 출력하며, 상기 공급 전압의 증가에 따라 제1 딜레이 감소량을 갖는 제1 지연부;

상기 클럭을 입력받아 제2 지연 신호를 출력하며, 상기 공급 전압의 증가에 따라 제2 딜레이 감소량을 갖는 제2 지연부; 및

상기 제1 지연 신호 및 상기 제2 지연 신호의 위상을 비교하여 제1 노이즈 코드를 출력하는 제1 위상 감지부를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

제 3 항에 있어서,

상기 제2 비교부는,

상기 제1 지연부;

상기 클럭을 입력받아 제3 지연 신호를 출력하며, 상기 공급 전압의 증가에 따라 제2 딜레이 감소량을 갖는 제3 지연부; 및

상기 제1 지연 신호 및 상기 제3 지연 신호의 위상을 비교하여 제2 노이즈 코드를 출력하는 제2 위상 감지부를 포함하며, 상기 제3 지연부는 상기 제2 지연부에 비해 오프셋 딜레이를 추가로 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 5

제 4 항에 있어서,

상기 제1 지연부는,

복수의 지연 셀로 구성되며, 각각의 지연 셀은,

상기 클럭을 입력받는 제1 인버터;

상기 제1 인버터의 출력과 접지 전압 사이에 연결된 제1 캐패시터부; 및

상기 제1 인버터의 출력을 입력받는 제2 인버터를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 6

제 5 항에 있어서,

상기 제1 캐패시터부는,

상기 공급 전압을 게이트에 입력받고, 드레인이 상기 제1 인버터의 출력에 연결되는 엔모스 트랜지스터; 및

상기 엔모스 트랜지스터의 소스와 접지 전압 사이에 연결된 모스 캐패시터를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 7

제 1 항에 있어서,

상기 디엘엘부는,

상기 노이즈 코드에 따라 상기 클럭의 지연시키는 시간을 가변시키는 코오스 딜레이라인부를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 8

제 7 항에 있어서,

상기 코오스 딜레이라인부는,

제어 신호 및 상기 클럭을 입력받아 입력부; 및

상기 입력부의 출력 및 상기 노이즈 코드에 따라 상기 입력부의 출력을 지연시키는 복수의 코오스 딜레이 셀로 구성된 것을 특징으로 하는 반도체 집적 회로.

청구항 9

제 8 항에 있어서,

상기 복수의 코오스 딜레이 셀은 각각의 코오스 딜레이 셀이 직렬 연결되고, 상기 노이즈 코드에 의해 상기 코오스 딜레이 셀에 의한 지연 시간이 달라지는 것을 특징으로 하는 반도체 집적 회로.

청구항 10

제 9 항에 있어서,

상기 복수의 코오스 딜레이셀은 제1 내지 제n 코오스 딜레이 셀(n 은 2이상의 자연수)로 구성되며,

제m 코오스 딜레이 셀(m 은 2보다 크고 n 보다 작은 자연수)은,

상기 제 $m-1$ 코오스 딜레이 셀의 출력 및 상기 입력부의 출력을 입력받는 낸드 게이트;

상기 낸드 게이트의 출력을 입력받아 반전시키는 복수의 인버터; 및

상기 낸드 게이트의 출력 또는 상기 복수의 인버터들의 출력들 중에 하나의 입력이 연결되고, 하나의 입력은 상기 노이즈 코드를 입력받는 낸드 게이트로 구성된 것을 특징으로 하는 반도체 집적 회로.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 집적 회로에 관한 것으로, 구체적으로는 공급 전압의 변화에도 안정적인 클럭을 출력하는 반도체 집적 회로에 관한 것이다.

배 경 기 술

<2> 마이크로 프로세서(micro processor)의 클럭 주파수가 올라감에 따라 디램의 동작 주파수도 기가 헤르

쓰(Giga-Hertz) 범위를 넘어서고 있다. 따라서, 고속 메모리의 경우 한 클럭 주기가 짧아짐에 따라 정확한 스큐(skew)를 제어해야 고속 동작에 적합한 메모리를 설계할 수 있게 된다. 따라서, 저전압 동작에 적합한 스큐를 제어하는 고속 디지털 디엘엘(DLL: Delayed Locked Loop) 회로의 설계가 요구된다.

발명의 내용

해결 하고자하는 과제

- <3> 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로 공급 전압의 변화 또는 노이즈에도 안정적인 클럭을 출력하는 반도체 집적 회로를 제공하는데 목적이 있다.

과제 해결수단

- <4> 상술한 기술적 과제를 달성하기 위한 본 발명의 반도체 집적 회로는 공급 전압의 변동에 따라 다른 레벨의 노이즈 코드를 출력하는 노이즈 디텍터; 및 상기 노이즈 코드에 따라 클럭의 지연시키는 정도를 달리하여 디엘엘 클럭을 출력하는 디엘엘부를 포함한다.

효 과

- <5> 본 발명에 따른 반도체 집적 회로는 공급 전압의 변화 또는 노이즈에도 안정된 클럭을 출력하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <6> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.
- <7> 도 1은 본 발명에 따른 반도체 집적 회로의 블록도이다.
- <8> 도 1에 도시한 반도체 집적 회로는 노이즈 디텍터(1) 및 디엘엘부(2)를 포함한다.
- <9> 상기 노이즈 디텍터(1)는 공급 전압의 변동에 따라 다른 레벨의 노이즈 코드(N<1:K>)를 출력한다. 상기 노이즈 디텍터(1)는 일반적인 전압 디텍터로 구현할 수도 있으나, 도 2에 도시한 것과 같이, 상기 공급 전압에 따른 지연 시간을 비교한 결과를 상기 노이즈 코드(N<1:K>)로 출력하는 회로로 구현할 수 있다.
- <10> 상기 디엘엘부(2)는 상기 노이즈 코드(N<1:K>)에 따라 클럭(Input CLK)의 지연시키는 정도를 달리하여 디엘엘 클럭(DLLCLK)을 출력한다. 즉, 상기 노이즈 코드(N<1:K>)에 따라 상기 디엘엘 클럭(DLLCLK)의 위상이 상기 클럭(Input CLK)에 비해 달라질 수 있다.
- <11> 본 발명은 특히, 디지털 딜레이 셀을 사용하는 디엘엘 회로의 경우, 상기 공급 전압이 낮아지고 주파수가 증가할수록 노이즈에 취약하므로, 이러한 문제점을 해결하기 위해, 노이즈 디텍터(1)에서 상기 공급 전압의 변동을 미리 예측하고, 그에 해당하는 노이즈 코드(N<1:K>)를 출력하면, 상기 디엘엘부(2)는 상기 공급 전압의 변동을 반영한 노이즈 코드(N<1:K>)에 따라, 입력되는 클럭(Input CLK)으로부터 지연되는 시간의 오차를 즉시 보상하는 것이다. 따라서, 본 발명은 상기 공급 전압의 변동에도 상기 입력 클럭(Input CLK)으로부터 일정한 시간에 출력되는 상기 디엘엘 클럭(DLLCLK)을 출력할 수 있다.
- <12> 도 2는 도 1에 도시한 상기 노이즈 디텍터(1)의 상세 블록도이다
- <13> 상기 노이즈 디텍터(1)는 제1 비교부(18) 내지 제K 비교부(20)(K는 2이상의 자연수)로 구성된다.
- <14> 제1 비교부(18)는 상기 클럭(Input CLK)을 입력받아 상기 공급 전압의 변화에 따라 제1 노이즈 코드(N<1>)를 출력한다. 상기 제1 비교부(18)는 상기 공급 전압의 크기에 따라 다른 레벨의 상기 제1 노이즈 코드(N<1>)를 출력한다.
- <15> 또한, 제2 비교부(19) 내지 제K 비교부(20)는 상기 클럭(Input CLK)을 입력받아 상기 공급 전압의 변화에 따라 각각 제2 노이즈 코드(N<2>) 내지 제K 노이즈 코드(N<K>)를 출력한다.
- <16> 상기 제2 비교부(19) 내지 상기 제K 비교부(20)도 마찬가지로 상기 공급 전압의 크기에 따라 각각 다른 레벨의 상기 제2 노이즈 코드(N<2>) 내지 제K 노이즈 코드(N<K>)를 출력한다.
- <17> 따라서, 상기 노이즈 디텍터(1)는 상기 노이즈 코드(N<1:K>)로서, 제1 노이즈 코드(N<1>) 내지 제K 노

이즈 코드($N < K$)를 출력한다.

- <18> 보다 상세히 설명하면, 상기 제1 비교부(18)는 제1 지연부(12), 제2 지연부(13) 및 제1 위상 감지부(9)를 포함한다.
- <19> 상기 제1 지연부(12)는 상기 클럭(Input CLK)을 입력받아 제1 지연 신호(D1)를 출력하며, 상기 공급 전압의 증가에 따라 제1 비율로 상기 제1 지연 신호(D1)의 딜레이가 감소한다. 상기 제1 지연부(12)는 복수의 제1 지연 셀(3)들을 직렬 연결하여 구성된다.
- <20> 상기 제2 지연부(13)는 상기 클럭(Input CLK)을 입력받아 제2 지연 신호(D2)를 출력하며, 상기 공급 전압의 증가에 따라 제2 비율로 상기 제2 지연 신호(D2)의 딜레이가 감소한다. 상기 제2 지연부(13)는 복수의 제2 지연 셀(4)들을 직렬 연결하여 구성된다.
- <21> 상기 제1 비율 및 상기 제2 비율은 상기 제1 지연 신호(D1) 및 상기 제2 지연 신호(D2)의 상기 공급 전압의 증가에 따른 딜레이 크기의 변화량을 나타내며, 도 3에 도시한 신호들의 기울기와 같다.
- <22> 상기 제1 위상 감지부(9)는 상기 제1 지연 신호(D1) 및 상기 제2 지연 신호(D2)의 위상을 비교하여 제1 노이즈 코드($N < 1$)를 출력한다.
- <23> 상기 제2 비교부(19)는 상기 제1 지연부(12), 제3 지연부(15) 및 제2 위상 감지부(10)를 포함한다.
- <24> 상기 제3 지연부(15)는 상기 클럭(Input CLK)을 입력받아 제3 지연 신호(D3)를 출력하며, 상기 공급 전압의 증가에 따라 상기 제2 비율로 상기 제3 지연 신호(D3)의 딜레이가 감소한다. 상기 제3 지연부(15)는 상기 제2 지연부(13)에 비해 상기 공급 전압에 무관한 제1 딜레이의 차이가 있다.
- <25> 상기 제2 위상 감지부(10)는 상기 제1 지연 신호(D1) 및 상기 제3 지연 신호(D3)의 위상을 비교하여 제2 노이즈 코드($N < 2$)를 출력한다.
- <26> 상기 제K 비교부(20)는 제1 지연부(12), 제K+1 지연부(17) 및 제K 위상 감지부(11)를 포함한다.
- <27> 상기 제K+1 지연부(17)는 상기 클럭(Input CLK)을 입력받아 제K+1 지연 신호(DK+1)를 출력한다.
- <28> 상기 제K 위상 감지부(11)는 상기 제1 지연 신호(D1) 및 상기 제K+1 지연 신호(DK+1)의 위상을 비교하여 제K 노이즈 코드($N < K$)를 출력한다.
- <29> 상기 제K+1 지연부(17)는 상기 공급 전압의 증가에 따라 상기 제2 비율(상기 제2 지연부와 같다)로 상기 K+1 지연 신호(DK+1)의 딜레이가 감소된다.
- <30> 도 3은 공급 전압의 변화에 따른 상기 노이즈 디텍터(1) 내의 제1 지연셀(3) 내지 제K+1 지연셀(8)의 출력의 시뮬레이션 결과를 나타낸 그래프이다.
- <31> 도 3에 도시한 상기 제1 지연셀의 출력(Cell1) 내지 제11 지연셀의 출력(Cell12-10)은 상기 비교부의 개수가 10개인 경우를 예로 든 것이고, 가로축은 상기 공급 전압의 크기이고, 세로축은 상기 제1 지연셀 내지 제11 지연셀의 출력인 딜레이의 크기를 나타낸다.
- <32> 도 3을 참조하면, 상기 제1 지연셀의 출력(cell1)의 상기 공급 전압에 따른 딜레이와 상기 제2 내지 제K+1 지연셀의 출력(Cell12-1~Cell12-K)의 상기 공급 전압에 따른 딜레이는 다른 성격을 갖고 있다. 즉, 상기 제1 지연셀의 출력(Cell1)의 기울기와 상기 제2 내지 제K+1 지연셀의 출력(Cell12-1~Cell12-K)의 기울기가 다를 수 있다. 또한, 상기 제1 내지 제K+1 지연셀의 출력(Cell1, Cell12-1~Cell12-K)은 모두 상기 공급 전압이 증가함에 따라 딜레이가 더 감소함을 알 수 있다.
- <33> 상기 제1 위상 감지부(9) 내지 상기 제K 위상 감지부(11)의 감지 정밀도를 고려하지 않는다면, 상기 제1 지연 셀의 출력(Cell1)과 상기 제2 지연 셀의 출력(Cell12-1)간의 위상의 감지 신호는 상기 제1 지연 신호(D1)와 상기 제2 지연 신호(D2)간의 위상의 감지 신호와 같다. 따라서, 상기 제1 지연 셀의 출력(Cell1)과 상기 제2 내지 제K+1 지연셀의 출력(Cell12-1~Cell12-K)간의 위상을 감지한 신호는 상기 제1 지연 신호(D1)와 상기 제2 내지 제K+1 지연 신호(D2~DK+1)간의 위상을 감지한 신호와 비례할 것이므로, 이하, 도 3에 도시된 그래프의 결과를 상기 제1 지연 신호 내지 제K+1 지연 신호(D1~DK+1)에 적용하겠다.
- <34> 상기 제1 위상 감지부(9) 내지 제K 위상 감지부(11)에서 상기 제1 지연 신호(D1)의 딜레이가 상기 제2 내지 제K+1 지연 신호(D2~DK+1)의 딜레이에 비해 큰 경우 각각 제1 내지 제K 노이즈 코드($N < 1:K$)가 '0'이고 그렇지 않을 경우 '1'로 감지하여 출력할 수 있다. 예로 들어, 상기 공급 전압이 1.62V시, 상기 제1 지연 신호

(D1)의 딜레이가 상기 제2 내지 제11 지연 신호(D2~DK+1)에 비해 크므로, 상기 노이즈 코드(N<1:K>)는 '0000000000' 또한, 상기 공급 전압이 1.944V시, 상기 제1 지연 신호(D1)의 딜레이가 상기 제2 내지 제 11 지연 신호(D2~DK+1)에 비해 작으므로, 상기 노이즈 코드(N<1:K>)는 '1111111111'이다. 즉, 상기 공급 전압에 따라 상기 노이즈 코드(N<1:K>)의 레벨이 달라짐을 알 수 있다.

- <35> 도 4는 도 2에 도시된 상기 제1 지연셀(3)의 일 실시예를 나타낸 상세 회로도이다.
- <36> 상기 제1 지연셀(3)을 예로 들어 도시한 것이며, 상기 제2 지연셀(4) 내지 상기 제K+1 지연셀(8)에도 적용할 수 있다. 상기 제1 지연셀(3)은 제1 인버터(IV1), 제1 캐패시터부(30) 및 제2 인버터(IV2)를 포함한다.
- <37> 상기 제1 인버터(IV1)는 상기 클럭(Input CLK)을 입력받아 반전시킨다.
- <38> 상기 제1 캐패시터부(30)는 상기 제1 인버터(IV1)의 출력과 접지 전압 사이에 연결된다.
- <39> 상기 제2 인버터(IV2)는 상기 제1 인버터(IV1)의 출력을 입력받아 반전시킨다.
- <40> 보다 상세히 설명하면, 상기 제1 캐패시터부(30)는 제1 엔모스 트랜지스터(NM1) 및 제1 모스 캐패시터(Cap1)로 구성된다.
- <41> 상기 제1 엔모스 트랜지스터(NM1)는 상기 공급 전압을 게이트에 입력받고, 드레인이 상기 제1 인버터(IV1)의 출력에 연결된다.
- <42> 상기 제1 모스 캐패시터(Cap1)는 상기 제1 엔모스 트랜지스터(NM1)의 소스와 접지 전압 사이에 연결된다. 상기 제1 지연셀은 상기 제1 모스 캐패시터(Cap1)의 크기에 따라 그 지연 시간이 달라진다. 상기 제1 모스 캐패시터의 면적(W)에 따라 상기 제1 모스 캐패시터(Cap1)의 캐패시턴스가 달라지기 때문이다.
- <43> 또한, 상기 제1 지연부(12)는 도 4에 도시한 바와 같이, 제2 캐패시터부(31)를 추가로 포함할 수 있다. 상기 제2 캐패시터부(31)는 제2 엔모스 트랜지스터(NM2) 및 제2 모스 캐패시터(Cap2)로 구성된다.
- <44> 도 5는 도 1에 도시된 디엘엘부(2)의 일 실시예를 나타낸 블록도이다.
- <45> 상기 디엘엘부(2)는 상기 노이즈 코드(N<1:K>)에 따라 상기 클럭(Input CLK)을 지연시키는 시간을 가변시키는 코오스 딜레이라인부(21)를 포함한다.
- <46> 상기 코오스 딜레이라인부(21)의 출력이 상기 디엘엘 클럭(DLLCLK)이 될 수 있다. 또는 도시하지 않았지만 상기 디엘엘부(2)는 상기 코오스 딜레이라인부(21) 및 파인 딜레이라인부를 포함하며, 상기 파인 딜레이라인부는 상기 코오스 딜레이라인부(21)의 출력을 입력받고, 상기 파인 딜레이라인부의 출력이 상기 디엘엘 클럭(DLLCLK)이 될 수 있다.
- <47> 도 6은 도 5에 도시된 코오스 딜레이라인부(21)의 일 실시예를 나타낸 상세 회로도이다.
- <48> 상기 코오스 딜레이 라인부(21)는 입력부(27) 및 복수의 코오스 딜레이 셀(22~26)로 구성된다.
- <49> 상기 입력부(27)는 제어 신호(S<1:n>) 및 상기 클럭(Input CLK)을 입력받는다. 상기 제어 신호(S<1:n>)는 상기 디엘엘 클럭(DLLCLK)을 피드백받아 상기 코오스 딜레이 라인부(21) 내의 지연량을 조절한다. 상기 제어 신호(S<1:n>)는 일반적인 디엘엘 클럭(DLLCLK) 생성 회로 내의 코오스 딜레이 라인에 입력되는 제어 신호를 예로 들 수 있다.
- <50> 상기 복수의 코오스 딜레이 셀(22~26)은 상기 입력부(27)의 출력 및 상기 노이즈 코드(N<1:K>)에 따라 상기 입력부(27)의 출력을 지연시킨다. 또한, 상기 복수의 코오스 딜레이 셀(22~26)은 각각의 코오스 딜레이 셀이 직렬 연결되고, 상기 노이즈 코드(N<1:K>)에 의해 상기 코오스 딜레이 셀에 의한 지연 시간이 달라진다.
- <51> 도 7은 도 6에 도시된 제n 코오스 딜레이 셀(26)의 일 실시예를 나타낸 상세 회로도이다.
- <52> 도 7에 도시한 코오스 딜레이 셀은 상기 복수의 코오스 딜레이 셀 중 하나를 도시한 것으로, 모든 복수의 코오스 딜레이 셀이 도 7과 같이 적용될 수 있다.
- <53> 제n 코오스 딜레이 셀(26)은 제7 낸드 게이트(ND7), 제3 인버터(IV3) 내지 제5 인버터(IV5) 및 상기 노이즈 코드(N<1:K>)를 입력받는 복수의 낸드 게이트(ND9, ND10, ..., ND11)를 포함한다. 도 7은 상기 복수의 낸드 게이트를 상기 제9 낸드 게이트(ND9), 상기 제10 낸드 게이트(ND10) 내지 상기 제11 낸드 게이트(ND11)만을 표시했으나, 상기 복수의 낸드 게이트의 개수는 상기 노이즈 코드(N<1:K>)의 수와 같다.

<54> 상기 제7 낸드 게이트(ND7)는 상기 제 n-1 코오스 딜레이 셀(25)의 출력(C_{n-1}) 및 상기 입력부(27)의 출력(IS_{n-1})을 입력받는다. 상기 제3 인버터(IV3) 내지 상기 제5 인버터(IV5)는 상기 제7 낸드 게이트(ND7)의 출력을 입력받아 반전시킨다. 상기 복수의 낸드 게이트(ND9,ND10,...,ND11)는 상기 제3 인버터(IV3)의 출력에 하나의 입력이 연결되고, 하나의 입력은 상기 노이즈 코드(N<1:K>)를 입력받는다.

<55> 도 1 내지 도 7을 참조하여 본 발명에 따른 반도체 집적 회로를 설명하면 다음과 같다.

<56> 예를 들면, 상기 공급 전압이 1.8V인 경우, 상기 노이즈 코드(N<1:K>)는 '0000111111'이며, 상기 디엘엘부(2)는 상기 노이즈 코드(N<1:K>)를 입력받아 제1 디엘엘 클럭(DLLCLK)을 출력한다. 그리고, 상기 공급 전압이 1.62V로 감소하면, 상기 노이즈 코드(N<1:K>)는 '0000000000'이 되고, 복수의 상기 코오스 딜레이 셀들은 상기 노이즈 코드(N<1:K>)를 입력받는다. 도 7을 참조하면, 상기 노이즈 코드(N<1:K>)가 10개의 비트로 구성되고, '0000000000'이므로 각각을 입력받은 10개의 낸드 게이트는 모두 오프되고(도 7에는 제9,제10,제11 낸드 게이트(ND9,ND10,ND11)만 도시됨), 상기 코오스 딜레이 셀의 지연 시간은 상기 공급 전압이 1.8V인 경우에 비해 감소한다. 따라서, 상기 공급 전압이 감소함으로 인해 길어진 지연 시간을 상기 낸드 게이트가 오프되므로 보상할 수 있게 된다.

<57> 또한, 상기 공급 전압이 1.994V로 증가하는 경우, 상기 노이즈 코드(N<1:K>)는 '1111111111'이 되고, 상기 코오스 딜레이 셀 내의 10개의 낸드 게이트는 모두 턴온된다. 따라서, 상기 공급 전압의 증가로 인해 지연 시간의 감소를 상기 코오스 딜레이 셀의 10개의 낸드 게이트가 턴온되므로 지연 시간을 길게 하여 보상할 수 있게 된다. 즉, 본 발명은 상기 공급 전압이 높아지거나 낮아짐에 따라, 상기 노이즈 코드를 입력받은 낸드 게이트들에 의한 딜레이 보상에 의해, 상기 공급 전압의 변동에도 일정한 상기 디엘엘 클럭(DLLCLK)을 출력한다.

<58> 따라서, 상기 공급 전압의 변동에 따른 상기 디엘엘부(2)의 딜레이 변화를 즉각적으로 보상함으로써 안정적인 상기 디엘엘 클럭(DLLCLK)을 출력한다.

<59> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

<60> 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

<61> 도 1은 본 발명에 따른 반도체 집적 회로의 블록도,

<62> 도 2는 도 1에 도시된 노이즈 디텍터의 상세 블록도,

<63> 도 3은 공급 전압의 변화에 따른 제1 내지 제K+1 지연셀의 출력의 시뮬레이션 결과를 나타낸 그래프,

<64> 도 4는 도 2에 도시된 제1 내지 제K 지연부의 상세 회로도,

<65> 도 5는 도 1에 도시된 디엘엘부의 일 실시예를 나타낸 상세 블록도,

<66> 도 6은 도 5에 도시된 코오스 딜레이라인부의 일 실시예를 나타낸 상세 회로도,

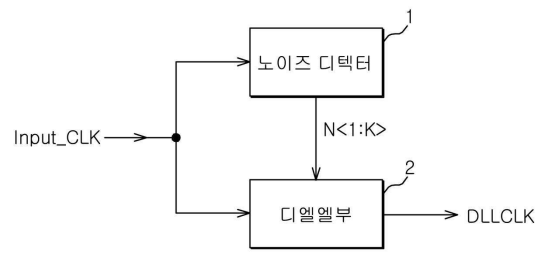
<67> 도 7은 도 6에 도시된 코오스 딜레이 셀의 일 실시예를 나타낸 상세 회로도이다.

<68> <도면의 주요 부분에 대한 부호 설명>

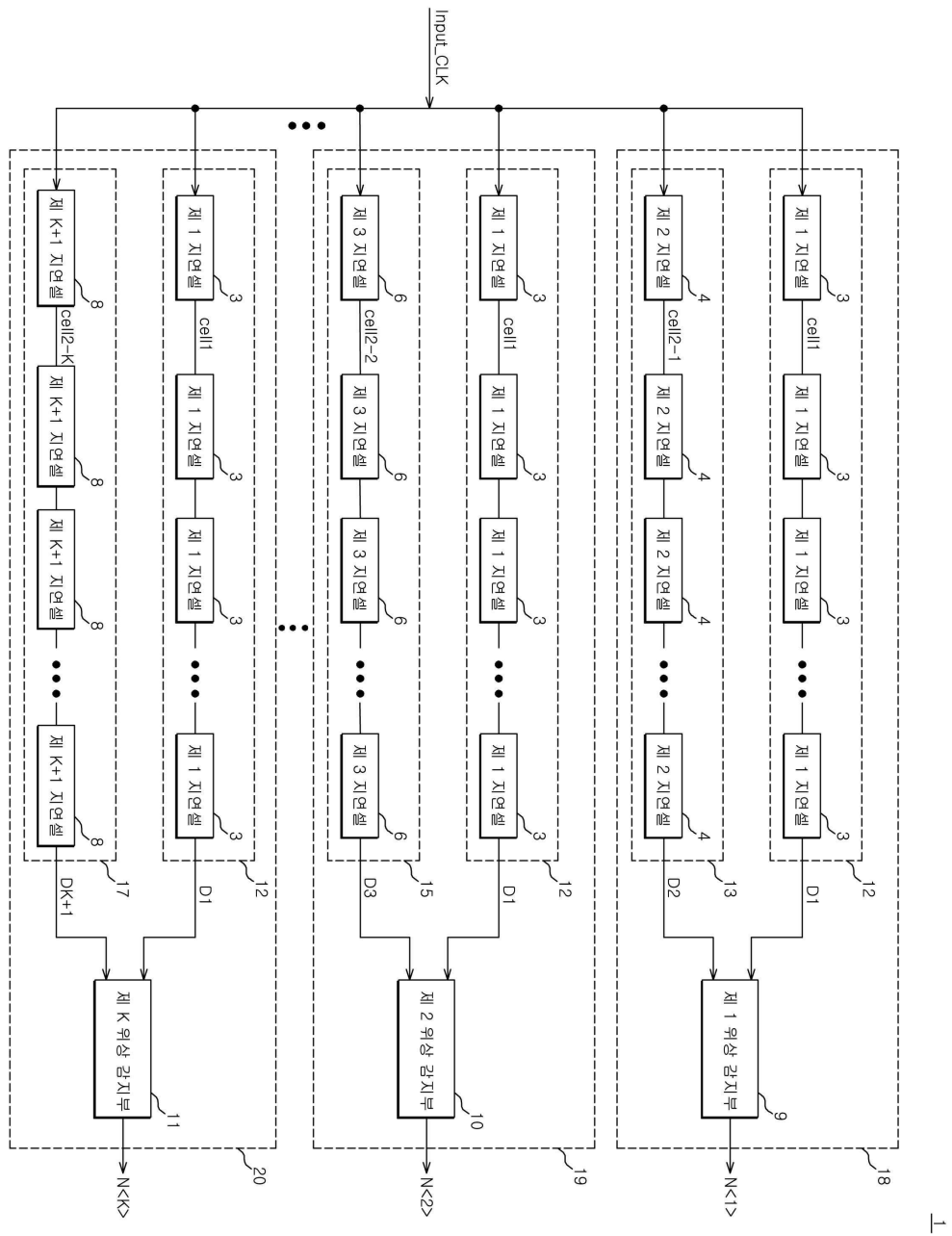
<69> 1 : 노이즈 디텍터	2 : 디엘엘부
<70> 3 : 제1 지연셀	4 : 제2 지연셀
<71> 6 : 제3 지연셀	8 : 제K+1 지연셀
<72> 9 : 제1 위상 감지부	10 : 제2 위상 감지부
<73> 11 : 제K 위상 감지부	12 : 제1 비교부
<74> 13 : 제2 비교부	15 : 제3 비교부

도면

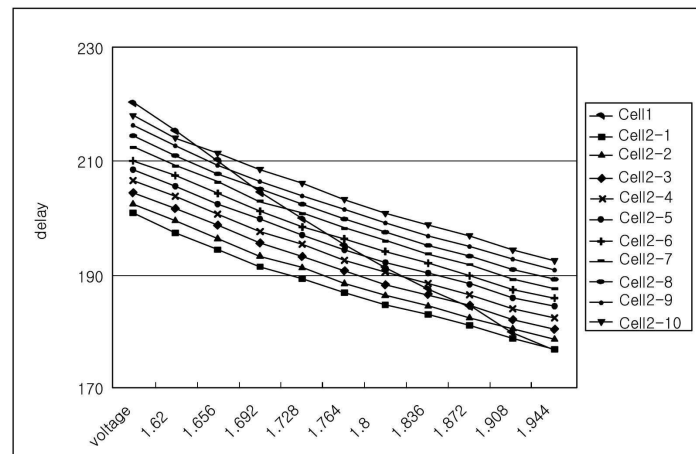
도면1



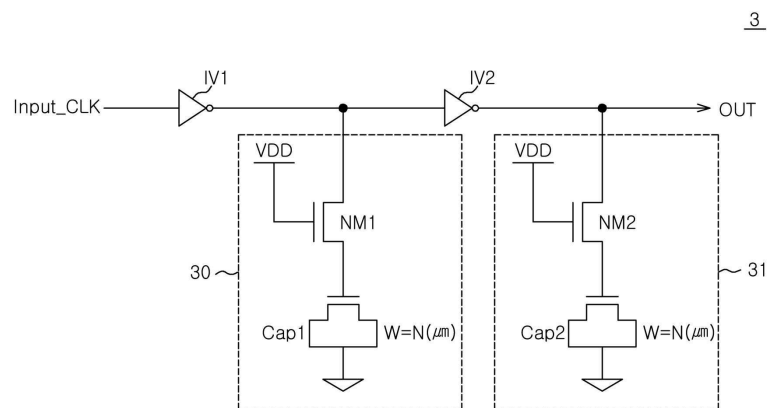
도면2



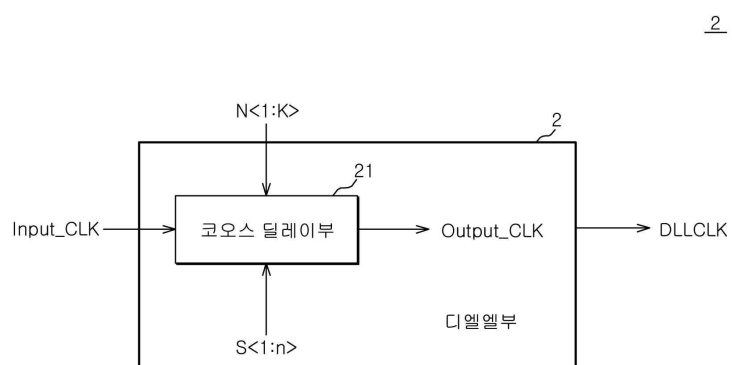
도면3



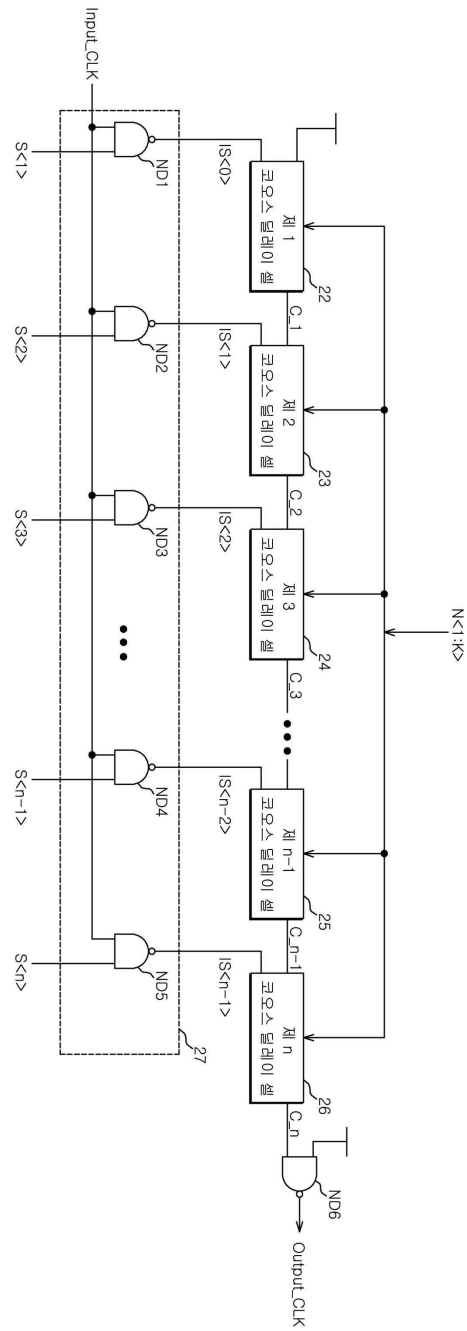
도면4



도면5

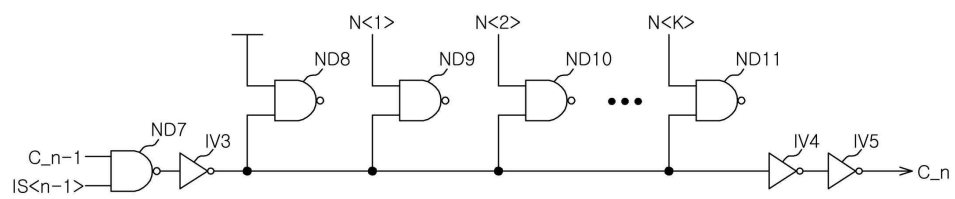


도면6



21

도면7



26