

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-123733

(P2009-123733A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.

**H01L 21/3205 (2006.01)**  
**H01L 23/52 (2006.01)**  
**H01L 21/301 (2006.01)**  
**H01L 21/768 (2006.01)**  
**H01L 23/522 (2006.01)**

F 1

H01L 21/88  
H01L 21/78  
H01L 21/90

S  
L  
N

テーマコード(参考)

5 F O 3 3

審査請求 未請求 請求項の数 28 O L (全 30 頁)

(21) 出願番号

特願2007-292894 (P2007-292894)

(22) 出願日

平成19年11月12日 (2007.11.12)

(71) 出願人 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 英二

(74) 代理人 100115059

弁理士 今江 克実

(74) 代理人 100115691

弁理士 藤田 篤史

最終頁に続く

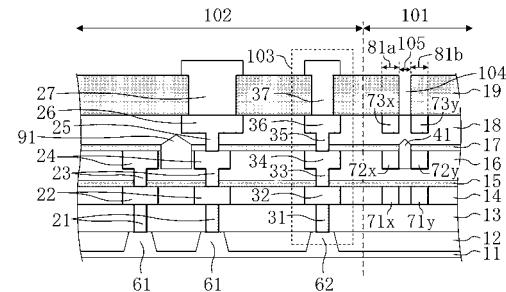
(54) 【発明の名称】半導体装置及びその製造方法

## (57) 【要約】

【課題】ダイシング時の応力やクラックがシールリング及びチップ領域に達して半導体装置の信頼性が低下するのを防ぐ。

【解決手段】半導体装置は、基板11に形成された素子と、基板11上に形成された絶縁膜13～18と、絶縁膜13～18中に、素子の形成された領域上を取り囲み且つ絶縁膜13～18を貫通するように形成されたシールリング103と、絶縁膜13～18中に素子から見てシールリング103よりも外側に形成され、応力吸収体71～73を含む応力吸収壁81aと、素子から見て応力吸収壁81aよりも外側に位置する部分の絶縁膜13～18に形成され、少なくとも1つの空隙41を含む空隙領域105とを備える。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

基板に形成された素子と、  
前記基板上に形成された絶縁膜と、  
前記絶縁膜中に、前記素子の形成された領域を取り囲み且つ前記絶縁膜を貫通するよう  
に形成されたシールリングと、  
前記素子から見て前記シールリングよりも外側に位置する部分の前記絶縁膜に形成され  
、少なくとも1つの応力吸収体を含む応力吸収壁と、  
前記素子から見て前記シールリングよりも外側に位置する部分の前記絶縁膜に形成され  
、少なくとも1つの空隙を含む空隙領域とを備えることを特徴とする半導体装置。  
10

**【請求項 2】**

請求項1において、  
前記絶縁膜は、複数の層間絶縁膜が積層された構造を有し、  
前記複数の層間絶縁膜のうちの少なくとも1つの層間絶縁膜に形成され且つ前記素子に  
電気的に接続されたビアと、  
前記複数の層間絶縁膜のうちの少なくとも1つの層間絶縁膜に形成され且つ前記素子に  
電気的に接続された配線とを備え、  
前記シールリングは、前記ビアが形成された前記層間絶縁膜に形成されたシールビアと  
、前記配線が形成された前記層間絶縁膜に形成されたシール配線とを含み、  
前記応力吸収壁は、少なくとも、前記複数の層間絶縁膜のうちの前記シール配線が形成  
されている層間絶縁膜に形成された応力吸収体を含み、  
前記空隙領域は、少なくとも、前記複数の層間絶縁膜のうちの前記シール配線が形成さ  
れている層間絶縁膜に形成された空隙を含むことを特徴とする半導体装置。  
20

**【請求項 3】**

請求項2において、  
前記配線と前記ビアとは、それぞれ前記複数の層間絶縁膜のうちの異なる層間絶縁膜中  
に形成されていることを特徴とする半導体装置。

**【請求項 4】**

請求項3において、  
前記複数の層間絶縁膜のうちの前記配線が形成されている層間絶縁膜は、前記複数の層  
間絶縁膜のうちの前記ビアが形成されている層間絶縁膜よりも誘電率が低い膜からなるこ  
とを特徴とする半導体装置。  
30

**【請求項 5】**

請求項2において、  
前記ビア及び前記配線が一体的に形成されたデュアルダマシン配線を含むことを特徴と  
する半導体装置。

**【請求項 6】**

請求項1～5のいずれか一つにおいて、  
前記絶縁膜の上に形成されたパッシベーション膜を更に備え、  
前記シールリングは、前記絶縁膜に加えて前記パッシベーション膜についても貫通する  
ように形成され、  
前記空隙領域は、前記素子から見て前記シールリングよりも外側に位置する部分の前記  
パッシベーション膜中に形成されているスリットを更に含むことを特徴とする半導体装置  
。  
40

**【請求項 7】**

請求項6において、  
前記パッシベーション膜は、複数の膜からなる積層構造を有することを特徴とする半導  
体装置。

**【請求項 8】**

請求項1～7のいずれか一つにおいて、  
50

前記応力吸収壁は、前記絶縁膜の厚さ方向に不連続に配置された複数の応力吸収体を含むことを特徴とする半導体装置。

【請求項 9】

請求項 1 ~ 7 のいずれか一つにおいて、

前記応力吸収壁は、前記絶縁膜の厚さ方向に隣接するように配置された複数の応力吸収体を含むことを特徴とする半導体装置。

【請求項 10】

請求項 1 ~ 9 のいずれか一つにおいて、

前記応力吸収壁は、前記素子から見て前記シールリングの外側を切れ目無く連続して取り囲むように形成された応力吸収体を含むことを特徴とする半導体装置。 10

【請求項 11】

請求項 1 ~ 9 のいずれか一つにおいて、

前記応力吸収壁は、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含むことを特徴とする半導体装置。

【請求項 12】

請求項 1 ~ 11 のいずれか一つにおいて、

前記素子から見て前記応力吸収壁の外側に、少なくとも 1 つの応力吸収体を含む少なくとも 1 つの他の応力吸収壁を更に備えることを特徴とする半導体装置。

【請求項 13】

請求項 12 において、

前記他の応力吸収壁は、前記素子から見て前記シールリングの外側を切れ目無く連続して取り囲むように形成された応力吸収体を含むことを特徴とする半導体装置。 20

【請求項 14】

請求項 12 において、

前記他の応力吸収壁は、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含むことを特徴とする半導体装置。

【請求項 15】

請求項 12 において、

前記応力吸収壁及び前記他の応力吸収壁は、それぞれ、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含み。 30

前記応力吸収壁における複数の応力吸収体同士の間の部分と、前記他の応力吸収壁における複数の応力吸収体の間の部分とは、前記シールリングの延びる方向に垂直な方向について互いに隣り合わないように配置されていることを特徴とする半導体装置。

【請求項 16】

請求項 11、14 又は 15 において、

前記シールリングを囲むように配置された複数の応力吸収体のうちの少なくとも 1 つの応力吸収体は、前記シールリングの延びる方向の寸法が他の応力吸収体とは異なるように形成されていることを特徴とする半導体装置。

【請求項 17】

請求項 1 ~ 16 のいずれか一つにおいて、

前記空隙領域は、前記絶縁膜の厚さ方向に不連続に配置された複数の空隙を含むことを特徴とする半導体装置。 40

【請求項 18】

請求項 1 ~ 16 のいずれか一つにおいて、

前記空隙領域は、前記絶縁膜の厚さ方向に隣接するように配置された複数の空隙を含むことを特徴とする半導体装置。

【請求項 19】

請求項 1 ~ 18 のいずれか一つにおいて、

前記空隙領域は、前記素子から見て前記シールリングの外側を切れ目無く連続して取り囲むように形成された空隙を含むことを特徴とする半導体装置。 50

**【請求項 2 0】**

請求項 1 ~ 18 のいずれか一つにおいて、

前記空隙領域は、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の空隙を含むことを特徴とする半導体装置。

**【請求項 2 1】**

請求項 1 ~ 20 のいずれか一つにおいて、

前記素子から見て前記空隙領域の外側に、少なくとも 1 つの空隙を含む少なくとも 1 つの他の空隙領域を更に備えることを特徴とする半導体装置。

**【請求項 2 2】**

請求項 2 1 において、

前記他の空隙領域は、前記素子から見て前記シールリングの外側を切れ目無く連続して取り囲むように形成された空隙を含むことを特徴とする半導体装置。

**【請求項 2 3】**

請求項 2 1 において、

前記他の空隙領域は、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の空隙を含むことを特徴とする半導体装置。

**【請求項 2 4】**

請求項 2 1 において、

前記空隙領域及び前記他の空隙領域は、それぞれ、前記素子から見て前記シールリングの外側を不連続に取り囲むように配置された複数の空隙を含み、

前記空隙領域における複数の空隙同士の間の部分と、前記他の空隙領域における複数の空隙の間の部分とは、前記シールリングの延びる方向に垂直な方向について互いに隣り合わないように配置されていることを特徴とする半導体装置。

**【請求項 2 5】**

請求項 2 0、2 3 又は 2 4 において、

前記シールリングを囲むように配置された複数の空隙のうちの少なくとも 1 つの空隙は、前記シールリングの延びる方向の寸法が他の空隙とは異なるように形成されていることを特徴とする半導体装置。

**【請求項 2 6】**

基板上に素子を形成する工程と、

前記素子を形成した前記基板上に、層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記素子に電気的に接続する配線及びビアの少なくとも一方を形成するための第 1 の凹部と、前記第 1 の凹部を取り囲み且つシールリングの少なくとも一部を形成するための第 2 の凹部と、前記素子から見て前記第 2 の凹部の外側に応力吸収体を形成するための第 3 の凹部と、前記素子から見て前記第 2 の凹部の外側に空隙を形成するための第 4 の凹部とを形成する工程と、

前記第 1 の凹部と前記第 2 の凹部と前記第 3 の凹部とに導電膜を埋め込むことにより、前記配線及び前記ビアの少なくとも一方と前記シールリングの少なくとも一部と前記応力吸収体を形成すると共に、前記第 4 の凹部を空隙として残す工程とを備えることを特徴とする半導体装置の製造方法。

**【請求項 2 7】**

請求項 2 6 において、

前記第 1 の凹部に、前記ビア及び前記配線を、デュアルダマシン法によって一体的に形成することを特徴とする半導体装置の製造方法。

**【請求項 2 8】**

基板上に素子を形成する工程と、

前記素子を形成した前記基板上に、層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記素子に電気的に接続する配線及びビアの少なくとも一方を形成するための第 1 の凹部と、前記第 1 の凹部を取り囲み且つシールリングの少なくとも一部を形成するための第 2 の凹部と、前記素子から見て前記第 2 の凹部の外側に応力吸収体を

10

20

30

40

50

形成するための少なくとも 2 つの第 3 の凹部とを形成する工程と、

前記第 1 の凹部と前記第 2 の凹部と前記第 3 の凹部とに導電膜を埋め込むことにより、前記配線及び前記ビアの少なくとも一方と前記シールリングの少なくとも一部と前記応力吸収体を形成する工程と、

前記応力吸収体に挟まれた部分において前記層間絶縁膜を除去することにより空隙を形成する工程とを備え、

前記少なくとも 2 つの第 3 の凹部は、前記素子から見て外側に向かう方向に並んでいることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップ領域の周囲を取り囲むように形成されたシールリングとそれを保護する機構とを有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

一般的に、半導体装置は、例えばシリコンなどの半導体ウェハ上に、複数の素子から構成され且つ所定の機能を有する多数の I C 回路をマトリックス状に配置することによって作られる。

【0003】

また、ウェハ上において多数配置されたチップ領域同士の間は、格子状に設けられたダイシング領域（スクリイブライン）によって隔てられている。半導体製造工程を経て 1 枚のウェハ上に多数のチップ領域を形成した後、該ウェハはダイシング領域に沿って個々のチップにダイシングされ、それによって半導体装置が形成される。

【0004】

ここで、ウェハをダイシングして個々のチップに分割する時、ダイシング領域周辺のチップ領域が機械的衝撃を受け、その結果、分離されたチップつまり半導体装置のダイシング断面に部分的にクラックや欠けが生じる場合がある。

【0005】

この問題に対して、一般的にチップ領域の周囲にリング状の防御壁であるシールリングを設けることにより、ダイシング時にチップ領域をクラックが伝播するのを防止する技術が提案されている。更に、シールリングはダイシング時のクラックの伝播を防止するだけでなく、チップ外部からの水分や可動イオンの侵入を防ぐ効果も有する。

【0006】

しかし、ダイシング時の衝撃によりシールリングの一部が破壊されると、チップ外部から水分や可動イオンが侵入し、チップの信頼性を確保できなくなることがある。

【0007】

この問題に対して、特許文献 1 ではダイシング時の応力がチップ最表面に形成されたパッシベーション膜を介してチップ領域に伝播することを防止するために、パッシベーション膜に開口部を設ける方法が提案されている。

【0008】

図 23 は、従来のシールリングを有する半導体装置（ウェハに作り込まれている状態）の断面構造を示している。

【0009】

図 23 に示すように、シリコンウェハよりなる半導体基板 111 上には、ダイシング領域 141 によって区画された、ダイシングにより半導体チップとなるチップ領域 142 が複数設けられている。半導体基板 111 上には、素子分離膜 112、複数（第 1 ~ 第 6）の層間絶縁膜 113 ~ 118 及びパッシベーション膜 119 の積層構造が形成されている。チップ領域 142 にはトランジスタ等の素子を構成する活性層 106 が設けられると共に、活性層 106 は素子分離膜 112 によって囲まれている。

【0010】

10

20

30

40

50

第1の層間絶縁膜113には活性層106と接続する第1のビア121が形成されている。第2の層間絶縁膜114には第1のビア121と接続する第1の配線122が形成されている。第3及び第4の層間絶縁膜115及び116には第1の配線122と接続する第2のビア123が形成されていると共に、第4の層間絶縁膜116には第2のビア123と接続する第2の配線124が形成されている。第5及び第6の層間絶縁膜117及び118には第2の配線124と接続する第3のビア125が形成されていると共に、第6の層間絶縁膜118には第3のビア125と接続する第3の配線126が形成されている。パッシベーション膜119には、第3の配線126と接続するパッド127が形成されている。

#### 【0011】

また、図23に示すように、チップ領域142の周縁部における複数の層間絶縁膜113～118の積層構造には、該積層構造を貫通し且つチップ領域142を連続的に取り囲むシールリング143が形成されている。シールリング143は、例えば、配線形成用マスクとビア形成用マスクとを交互に用いて形成される。

#### 【0012】

具体的には、シールリング143は、半導体基板111に形成された活性層107と、第1の層間絶縁膜113に形成され且つ活性層107と接続する第1のシールビア131と、第2の層間絶縁膜114に形成され且つ第1のシールビア131と接続する第1のシール配線132と、第3及び4の層間絶縁膜115及び116に形成され且つ第1のシール配線132と接続する第2のシールビア133と、第4の層間絶縁膜116に形成され且つ第2のシールビア133と接続する第2のシール配線134と、第5及び6の層間絶縁膜117及び118に形成され且つシール配線134と接続する第3のシールビア135と、第6の層間絶縁膜118に形成され且つ第3のシールビア135と接続する第6のシール配線136とから構成されている。尚、本願においては、シールリングのうち配線形成用マスクによって形成される部分をシール配線、シールリングのうちビア形成用マスクによって形成される部分をシールビアと称する。更に、特許文献1に示すように、パッシベーション膜119にはシールリング143よりもダイシング領域141側に、第6の層間絶縁膜118にまで到達する開口部144が形成されている。

#### 【特許文献1】特開2004-79596号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0013】

上記に説明した従来の半導体装置は、チップ最表面のパッシベーション膜に開口部が形成されているために、ウェハをダイシングする際に生じたクラックや衝撃がチップ領域へ伝播するのを防止できるという効果を有する。しかし、この効果はパッシベーション膜部のみに限定されている。つまり、パッシベーション膜の下に存在する層間絶縁膜においては、ウェハをダイシングする際に生じたクラックや衝撃が層間絶縁膜を伝播してシールリングに達してしまう。ダイシングの衝撃により、シールリングの一部分に欠損や割れが生じた場合、チップ領域に水分や可動イオン等が侵入することを十分に防止することはできない。

#### 【0014】

また、シールリングはチップ領域の周縁部に連続的に設けられているため、クラックや衝撃を吸収して破壊されたシールリングの一部が、ダイシングによって個片化された半導体装置（半導体チップ）の端部から飛び出した状態になる場合もある。このような状態の半導体装置に対してパッケージングを行なうと、前記のシールリングの残骸がボンディングワイヤに接触して製品不良となる。

#### 【0015】

ところで、半導体素子及びそれらと接続する配線の微細化に伴う配線間容量の増大、更にはその結果としての半導体装置の処理速度の低下を防ぐため、比誘電率の低い（低誘電率）シリコン酸化膜などの層間絶縁膜を用いて配線間容量の増大を防止する技術が開発さ

10

20

30

40

50

れている。

【0016】

しかし、一般的に低誘電率の層間絶縁膜は機械的強度が低いため、低誘電率の層間絶縁膜におけるダイシング時に生じる応力に対する耐性は、従来使用されてきた材料よりなる層間絶縁膜と比べて不十分である。その結果、低誘電率の層間絶縁膜はダイシング時により損傷を受けやすい。従って、ダイシング時におけるクラック等の伝播を防止する機能と、外部からチップ領域内への水分や可動イオン等の進入を防止する機能との両方を、従来のようにシールリングのみによって達成することはますます困難になってきている。

【0017】

前記に鑑み、本発明は、ダイシングによってウェハを個々のチップ（半導体装置）に分割する際に生じるチップ側面の欠けや割れ等がシールリングに到達してシールリングが破壊されるのを防止することによって、該欠けや割れ等が更にチップ領域内に伝播することを防止し、それにより半導体装置の耐湿性及び信頼性の低下を防止することを目的とする。

【課題を解決するための手段】

【0018】

前記の目的を達成するため、本発明に係る半導体装置は、基板に形成された素子と、基板上に形成された絶縁膜と、絶縁膜中に、素子の形成された領域を取り囲み且つ絶縁膜を貫通するように形成されたシールリングと、素子から見てシールリングよりも外側に位置する部分の絶縁膜に形成され、少なくとも1つの応力吸収体を含む応力吸収壁と、素子から見て応力吸収壁よりも外側に位置する部分の絶縁膜に形成され、少なくとも1つの空隙を含む空隙領域とを備える。

【0019】

本発明の半導体装置によると、素子から見てシールリングの外側に、少なくとも1つの空隙を含む空隙領域と、少なくとも1つの応力吸収体を含む応力吸収壁とが形成されている。このため、チップ領域を区画するダイシング領域においてウェハをダイシングして個々の半導体装置（半導体チップ）を得る際に、発生するクラックや応力等がシールリングに達するのを空隙領域及び応力吸収壁によって阻止することができる。このため、シールリングに欠損が生じたり、シールリングが破壊されたりするのを防ぐことができ、シールリングは、その本来の機能の一つであるチップ領域の内部を保護する機能を確実に果たすことができる。

【0020】

尚、絶縁膜は、複数の層間絶縁膜が積層された構造を有し、複数の層間絶縁膜のうちの少なくとも1つの層間絶縁膜に形成され且つ素子に電気的に接続されたビアと、複数の層間絶縁膜のうちの少なくとも1つの層間絶縁膜に形成され且つ素子に電気的に接続された配線とを備え、シールリングは、ビアが形成された層間絶縁膜に形成されたシールビアと、配線が形成された層間絶縁膜に形成されたシール配線とを含み、応力吸収壁は、少なくとも、複数の層間絶縁膜のうちのシール配線が形成されている層間絶縁膜に形成された応力吸収体を含み、空隙領域は、少なくとも、複数の層間絶縁膜のうちのシール配線が形成されている層間絶縁膜に形成された空隙を含むことが好ましい。

【0021】

シール配線が形成される層間絶縁膜としては、低誘電率絶縁膜を用いることある。一般に、低誘電率絶縁膜は機械的強度が低いため、シール配線が形成されている層間絶縁膜において空隙及び応力吸収体を形成すると、ダイシング時におけるシール配線の損傷及び破壊を防いでチップ領域の内部を保護する効果が顕著に得られる。

【0022】

また、ビア及び配線が一体的に形成されたデュアルダマシン配線を含んでいても良い。

【0023】

ビア及び配線の構成として、このようにすることができる。

【0024】

10

20

30

40

50

また、配線とピアとは、それぞれ複数の層間絶縁膜のうちの異なる層間絶縁膜中に形成されていても良い。

【0025】

また、複数の層間絶縁膜のうちの配線が形成されている層間絶縁膜は、複数の層間絶縁膜のうちのピアが形成されている層間絶縁膜よりも誘電率が低い膜からなることが好ましい。

【0026】

このようにすると、配線の形成された層間絶縁膜において配線間の容量を低減することができる。

【0027】

また、絶縁膜の上に形成されたパッシベーション膜を更に備え、シールリングは、絶縁膜に加えてパッシベーション膜についても貫通するように形成され、空隙領域は、素子から見てシールリングよりも外側に位置する部分のパッシベーション膜中に形成されているスリットを更に含むことが好ましい。

【0028】

このようにすると、パッシベーション膜を含む半導体装置において、パッシベーション膜内を伝わるダイシング時のクラックや応力についても空隙領域によってチップ領域内部方向への伝達を防止することができる。

【0029】

また、パッシベーション膜は、複数の膜からなる積層構造を有することが好ましい。このようにすると、パッシベーション膜による膜ストレスを緩和することができると共に、一部の膜を低誘電率の膜とすることによって容量を低減することができる。

【0030】

また、応力吸収壁は、絶縁膜の厚さ方向に不連続に配置された複数の応力吸収体を含むことが好ましい。このようにすると、より確実に応力又はクラック等を吸収することができる。

【0031】

また、応力吸収壁は、絶縁膜の厚さ方向に隣接するように配置された複数の応力吸収体を含むことも好ましい。このようにすると、一部の応力吸収体がダイシング時の応力により破壊されたとしても、応力等が伝わって隣の応力吸収体まで破壊されることがない。

【0032】

また、配線の形成される層間絶縁膜が誘電率の低い膜からなる場合、このような層間絶縁膜は一般に機械的強度が低いため、ダイシング時の応力やクラックが伝播して破壊されやすい。そこで、低誘電率膜からなる絶縁膜に応力吸収体を選択的に形成することにより、シールリング方向に応力やクラックが伝播するのを効果的に防ぐことができる。

【0033】

また、応力吸収壁は、素子から見てシールリングの外側を切れ目無く連続して取り囲むように形成された応力吸収体を含むことが好ましい。

【0034】

このようにすると、素子から見てどちらの方向からダイシング時のクラックや応力が伝播して来る場合にも、シールリングへの到達を応力吸収体によって防ぐことができる。

【0035】

また、応力吸収壁は、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含むことが好ましい。

【0036】

このようにすると、ダイシング時のクラック等によって不連続な個々の応力吸収体のいずれかがダメージを受けて破壊されたとしても、破壊がシールリングの延びる方向に沿って拡大することはない。

【0037】

また、素子から見て応力吸収壁の外側に、少なくとも1つの応力吸収体を含む少なくと

10

20

30

40

50

も1つの他の応力吸収壁を更に備えることが好ましい。

【0038】

言い換えると、応力吸収壁及び他の応力吸収壁を合わせて複数の応力吸収壁と呼ぶことになると、シールリングの外側に2つ以上設けられた応力吸収壁によって、シールリングを2重以上に取り囲んでいることが好ましい。

【0039】

このようにすると、クラックや応力がチップ領域の内部方向に侵入するのをより確実に防ぐことができる。つまり、シールリングの外側を2重以上に取り囲む複数の応力吸収壁のうち、ウェハダイシング部分（ダイシング領域のうち実際にダイシング装置のブレードによって切断するための領域）に最も近い位置にある応力吸収壁がダイシング時のクラックや衝撃等を吸収しきれない場合が考えられる。このような場合に、クラックや衝撃等がチップ領域の内部方向へ侵入したとしても、外側の応力吸収壁の内側に少なくとも1つの応力吸収壁が更に形成されている。よって、この内側の応力吸収壁がチップ領域の内部方向へのクラックや衝撃等のさらなる進行を防ぐことができる。

10

【0040】

また、他の応力吸収壁は、素子から見てシールリングの外側を切れ目無く連続して取り囲むように形成された応力吸収体を含むことが好ましい。また、他の応力吸収壁は、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含むことが好ましい。これらにより、それぞれ、応力吸収壁に関して説明したのと同様の効果が得られる。

20

【0041】

また、応力吸収壁及び他の応力吸収壁は、それぞれ、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の応力吸収体を含み、応力吸収壁における複数の応力吸収体同士の間の部分と、他の応力吸収壁における複数の応力吸収体の間の部分とは、シールリングの延びる方向に垂直な方向について互いに隣り合わないように配置されていることが好ましい。

20

【0042】

このようにすると、ダイシング時のクラックや応力等がチップ領域の内側方向に伝達されるのを、2重以上に配置されている複数の応力吸収壁によって確実に防止することができる。これは、外側の応力吸収壁における不連続部分（応力吸収体同士の間の部分）と内側の応力吸収体の不連続部分とがシールリングの延びる方向に対して垂直な方向において互いに隣り合っていないことによる。つまり、クラックや応力等が、ウェハダイシング部分に最も近く配置された応力吸収体によって阻止されず、応力吸収体の不連続部分を通り抜けてチップ領域の内部方向へ侵入したとしても、必ずその内側の他の応力吸収体によって阻止される。

30

【0043】

言い換えると、ウェハダイシング部分からチップ領域を見た場合には、2重以上にシールリングを取り囲む複数の応力吸収壁における応力吸収体が隙間なく配置されていることになるため、ウェハダイシング部分からチップ領域の内部方向へのクラックや衝撃等の進行を確実に防ぐことができる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらを阻止することができるので、シールリングが欠損したり又はシールリングが破壊されることはない。この結果、チップ領域の内部を確実に保護するというシールリングの機能が損なわれるのを防ぐことができる。

40

【0044】

また、シールリングを囲むように配置された複数の応力吸収体のうちの少なくとも1つの応力吸収体は、シールリングの延びる方向の寸法が他の応力吸収体とは異なるように形成されていることが好ましい。

【0045】

つまり、複数の応力吸収体のシールリングの延びる方向についての寸法が一様ではないように形成されているのがよい。

50

**【 0 0 4 6 】**

このようにすると、たとえば衝撃の集中しやすいところには長さの長い応力吸収体を配置し、その他の部分には短い応力吸収体を配置することにより、ダイシング時のクラックや衝撃等を細かく分散して吸収することができる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらの侵入を防止できるため、シールリングに欠損が生じたり又はシールリングが破壊されることがない。この結果として、チップ領域の内部を確実に保護するというシールリングの機能が損なわれることがない。

**【 0 0 4 7 】**

また、空隙領域は、絶縁膜の厚さ方向に不連続に配置された複数の空隙を含むことが好ましい。

10

**【 0 0 4 8 】**

このようにすると、空隙領域のために半導体装置に構造的強度が低下するのを抑制しながら、ダイシング時のクラックや応力等がシールリングに達するのを防ぐことができる。

**【 0 0 4 9 】**

また、空隙領域は、絶縁膜の厚さ方向に隣接するように配置された複数の空隙を含むことが好ましい。

**【 0 0 5 0 】**

このようにすると、絶縁間の厚さ方向について複数の空隙が隣接する範囲について、ダイシング時のクラックや応力等を確実に防ぐことができる。

20

**【 0 0 5 1 】**

また、空隙領域は、素子から見てシールリングの外側を切れ目無く連続して取り囲むように形成された空隙を含むことが好ましい。

**【 0 0 5 2 】**

このようにすると、素子から見てどちらの方向からダイシング時のクラックや応力が伝播して来る場合にも、シールリングへの到達を空隙領域によって防ぐことができる。

**【 0 0 5 3 】**

また、空隙領域は、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の空隙を含むことが好ましい。

**【 0 0 5 4 】**

このようにすると、耐衝撃性の低い箇所等について選択的に空隙を形成し、特にそのような箇所に関してクラックや応力の伝達を防ぐことができる。

30

**【 0 0 5 5 】**

また、素子から見て前記空隙領域の外側に、少なくとも1つの空隙を含む少なくとも1つの他の空隙領域を更に備えることが好ましい。

**【 0 0 5 6 】**

言い換えると、空隙領域及び他の空隙領域を合わせて複数の空隙領域と呼ぶことにすると、シールリングの外側に2つ以上設けられた空隙領域によって、シールリングを2重以上に取り囲んでいることが好ましい。これにより、応力吸収壁と他の応力吸収壁とを備える場合と同様の理由から、クラックや応力がチップ領域の内部方向に侵入するのをより確実に防ぐことができる。

40

**【 0 0 5 7 】**

また、他の空隙領域は、素子から見てシールリングの外側を切れ目無く連続して取り囲むように形成された空隙を含むことが好ましい。また、他の空隙領域は、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の空隙を含むことも好ましい。これらにより、それぞれ、空隙領域に関して説明したのと同様の効果が得られる。

**【 0 0 5 8 】**

また、空隙領域及び他の空隙領域は、それぞれ、素子から見てシールリングの外側を不連続に取り囲むように配置された複数の空隙を含み、空隙領域における複数の空隙同士の間の部分と、他の空隙領域における複数の空隙の間の部分とは、シールリングの延びる方向に垂直な方向について互いに隣り合わないように配置されていることが好ましい。

50

**【0059】**

また、シールリングを囲むように配置された複数の空隙のうちの少なくとも1つの空隙は、シールリングの延びる方向の寸法が他の空隙とは異なるように形成されていることが好ましい。

**【0060】**

これらのことにより、やはり応力吸収壁と他の応力吸収壁とを備える場合と同様の理由から、クラックや応力がチップ領域の内部方向に侵入するのをより確実に防ぐことができる。

**【0061】**

前記の目的を達成するため、本発明の第1の半導体装置の製造方法は、基板上に素子を形成する工程と、素子を形成した基板上に、層間絶縁膜を形成する工程と、層間絶縁膜に、素子に電気的に接続する配線及びビアの少なくとも一方を形成するための第1の凹部と、第1の凹部を取り囲み且つシールリングの少なくとも一部を形成するための第2の凹部と、素子から見て第2の凹部の外側に応力吸収体を形成するための第3の凹部と、素子から見て第2の凹部の外側に空隙を形成するための第4の凹部とを形成する工程と、第1の凹部と第2の凹部と第3の凹部とに導電膜を埋め込むことにより、配線及びビアの少なくとも一方とシールリングの少なくとも一部と応力吸収体を形成すると共に、第4の凹部を空隙として残す工程とを備える。

10

**【0062】**

第1の半導体装置の製造方法によると、半導体基板上に形成された素子に電気的に接続されたビア及び配線をシールリングが取り囲み、その外側に応力吸収体及び空隙が形成された半導体装置を製造することができる。これにより製造される半導体装置は、既に説明した本発明の半導体装置の効果を有する。

20

**【0063】**

尚、第1の凹部に、ビア及び前記配線を、デュアルダマシン法によって一体的に形成しても良い。

**【0064】**

前記の目的を達成するため、本発明の第2の半導体装置の製造方法は、基板上に素子を形成する工程と、素子を形成した基板上に、層間絶縁膜を形成する工程と、層間絶縁膜に、素子に電気的に接続する配線及びビアの少なくとも一方を形成するための第1の凹部と、第1の凹部を取り囲み且つシールリングの少なくとも一部を形成するための第2の凹部と、素子から見て第2の凹部の外側に応力吸収体を形成するための少なくとも2つの第3の凹部とを形成する工程と、第1の凹部と第2の凹部と第3の凹部とに導電膜を埋め込むことにより、配線及びビアの少なくとも一方とシールリングの少なくとも一部と応力吸収体を形成する工程と、応力吸収体に挟まれた部分において層間絶縁膜を除去することにより空隙を形成する工程とを備え、少なくとも2つの第3の凹部は、素子から見て外側に向かう方向に並んでいる。

30

**【0065】**

このような第2の製造方法によっても、本発明に係る半導体装置を製造することができる。

40

**【発明の効果】****【0066】**

以上に説明したように、本発明によると、半導体基板上に形成された素子と、該素子が形成されたチップ領域の周縁部に設けられ且つ素子や配線層等の周囲を囲むシールリングとを備えた半導体装置において、シールリングを取り囲むように、少なくとも1つの応力吸収体を含む応力吸収壁と少なくとも1つの空隙を含む空隙領域とが設けられている。また、このような応力吸収体、空隙は連続した構造あるいは不連続に形成されていてもよく、複数の空隙領域を設けてシールリングの外側を2重以上に取り囲む構造としてもよい。特に、2重以上で且つ不連続に形成される場合、それぞれにおける不連続部分は互いに隣り合わないことが好ましい。

50

**【0067】**

前述の本発明の特徴によって、ウェハから個々のチップ(半導体装置)を取り出す際のダイシングによって生じるウェハの欠けや割れ等がシールリングに至る前にそれらを1重又は2重以上の応力吸収体及び空隙によって阻止することができるため、シールリングの破壊、ひいては半導体装置となるチップ領域の破壊を防ぐことができ、それによって半導体チップの耐湿性及び信頼性の低下を防止することができる。

**【発明を実施するための最良の形態】****【0068】**

## (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。 10

**【0069】**

図1は、本発明の第1の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

**【0070】**

図1に示すように、例えばシリコン基板等に代表される半導体基板11となるウェハ上には、それぞれ半導体装置となる複数のチップ領域102が配置されている。各チップ領域102には、複数の素子からなり且つ所定の機能を有するIC(integrated circuit)回路が設けられている。尚、各チップ領域102は、格子状に設けられたダイシング領域101によって区画されている。 20

**【0071】**

ここで、1個の半導体装置(つまり、1個の半導体チップ)は、複数の素子からなり且つ所定の機能を有するIC回路が配置されているチップ領域102と、チップ領域102の周縁部に該チップ領域102を取り囲むように設けられているシールリング103と、シールリング103の外側にシールリング103を取り囲むように設けられている本発明の応力吸収壁81a及び81bと、空隙領域105とを含む構成である。このように複数の半導体装置が形成された半導体ウェハは、各チップの完成後、ダイシング領域101に沿ってダイシングされ、それによって個々の半導体装置に分離される。

**【0072】**

応力吸収壁81a及び81bと、空隙領域105とは、ダイシング時にシールリング103が受ける衝撃や応力等を軽減するために設けられている。このため、ダイシングを、シールリング103が存在する側から見て応力吸収壁81a及び81bと、空隙領域105とよりも外側で行われなければならないのは当然のことである。 30

**【0073】**

次に、図2は、図1のII-II'線による断面図である。つまり、チップ領域102の周縁部に位置するシールリング103、応力吸収壁81a、応力吸収壁81b及び空隙領域105を含む半導体装置端部(具体的には、チップ領域102の配線構造、シールリング103の構造、応力吸収壁81a、応力吸収壁81b及び空隙領域105)の断面図である。また、図3は、図1のII-II'線の近傍を拡大した平面図である。

**【0074】**

図2及び図3に示すように、ダイシング前の半導体装置はダイシング領域101とチップ領域102とを含む構成である。半導体基板11(以下、基板11と称する)上には、素子分離膜12、絶縁膜(第1～第6の層間絶縁膜13～18)及びパッシベーション膜19が形成されている。また、絶縁膜中に、チップ領域102におけるダイシング領域101との境界付近に、第1、第2及び第3のシールビア31、33及び35と、第1、第2及び第3のシール配線32、34及び36とを含むシールリング103が形成されている。これと共に、該シールリング103の外側(ダイシング領域101におけるチップ領域102との境界付近)に、第1、第2及び第3の応力吸収体71x、72x及び73xを含む応力吸収壁81aと、同様に第1、第2及び第3の応力吸収体71y、72y及び73yを含む応力吸収壁81bと、第1の空隙41を含む空隙領域105とが形成されて 40

いる。尚、2つの応力吸収壁81a及び応力吸収壁81bの間に空隙領域105が配置されている。

#### 【0075】

更に、チップ領域102のシールリング103よりも内側の部分には、第1、第2及び第3のビア21、23及び25と第1、第2及び第3の配線22、24及び26とを含む配線構造と、第1及び第2のビア、第1及び第2の配線を含む他の配線構造とが形成されている。配線構造及び他の配線構造における第2の配線同士の間には、配線間空隙91が設けられている。パッシバーション膜19中に、第3の配線26上にはパッド27、第3のシール配線36上にはキャップ37が形成されている。

10

以下、図2及び図3に示す構造を有する半導体装置の製造方法について、対応する図面を参照しながら説明する。尚、以下の説明では、図2に示す第1の応力吸収体71x及び71yをまとめて第1の応力吸収体71と呼ぶ。同様に、第2の応力吸収体72x及び72y、第3の応力吸収体73x及び73yをそれぞれまとめて第2の応力吸収体72、第3の応力吸収体73と呼ぶ。各図においてもこのように符号を付ける。

#### 【0076】

まず、図4(a)に示すように、半導体基板11上に素子分離膜12を形成し、チップ領域102に、トランジスタ等の素子を構成する活性層61を(図4(a)の例では2つ)形成すると共に、基板11におけるチップ領域102の周縁部(ダイシング領域101の近傍のシールリング形成領域)に、活性層と同様に構成された活性層62を形成する。

20

#### 【0077】

次に、基板11上に第1の層間絶縁膜13を堆積する。この後、リソグラフィー法及びドライエッティング法を用いて、チップ領域102の第1の層間絶縁膜13に、それぞれの活性層61上に第1のビア21を形成するためのビアホール21aを形成する。これと共に、シールリング形成領域の第1の層間絶縁膜13に、活性層62上に第1のシールビア31を形成するための第1のシールビアホール31aを形成する。ここで、シールビアとは、シールリングを構成するパートであって、チップ領域を連続的に取り囲む溝部に導電材料を埋め込むことによって形成される。つまり、シールビアは、チップ領域のビアと同程度の幅を有するライン状構造を有する。

30

#### 【0078】

尚、本実施形態において、チップ領域102の第1の層間絶縁膜13にビアホール21aを形成する際に、第1のシールビア31を形成するためのシールビアホール31aを同時に形成したが、ビアホール21aとシールビアホール31aを別々に形成してもよい。

#### 【0079】

次に、図4(b)に示す工程を行なう。まず、第1のビアホール21a及び第1のシールビアホール31aに、Ti又はTiN等のバリアメタルを形成する。この後、W等の金属を埋め込み、CMP(Chemical Mechanical Polishing)法を用いて余分なバリアメタル及び金属を除去し、それぞれ第1のビア21及び第1のシールビア31を形成する。

40

#### 【0080】

次に、第1の層間絶縁膜13上に第2の層間絶縁膜14を形成する。更に、リソグラフィー法を用いて、第2の層間絶縁膜14に配線溝を形成するための配線溝パターン22b、シール配線溝を形成するためのシール配線溝パターン32b及び第1の応力吸収体71を形成するための第1の応力吸収体形成用パターン71bを有するレジスト51を形成する。ここで、シール配線とは、シールリング103を構成するパートであって、チップ領域102を連続的に取り囲む溝部(第1のシール配線溝32a等)に導電材料を埋め込むことによって形成される。

#### 【0081】

次に、図4(c)に示すように、ドライエッティング法を用いて、チップ領域102の第2の層間絶縁膜14に、それぞれ第1のビア21と接続するように、第1の配線22を形成するための第1の配線溝22aを形成する。これと共に、シールリング形成領域の第2

50

の層間絶縁膜14に、第1のシールビア31と接続するように、第1のシール配線32を形成するための第1のシール配線溝32aを形成する。更に、ダイシング領域101の第2の層間絶縁膜14に、第1の応力吸収体71を形成するための第1の応力吸収体形成用溝71aを形成する。それぞれが応力吸収体を有する2つの応力吸収壁81a及び81bを設けるために、図4(c)においても2つの第1の応力吸収体形成用溝71aを設けることが示されている。

#### 【0083】

次に、図4(d)に示す工程を行なう。まず、第1の配線溝22a、第1のシール配線溝32a及び第1の応力吸収体形成用溝71aに、Ta、TaN等のバリアメタルをスパッタ法にて形成した後、Cuからなる金属膜をメッキ法にて形成し、更に、第1の配線溝22a、第1のシール配線溝32a及び第1の応力吸収体形成用溝71aからはみ出した部分のバリアメタル及びCuをCMP法にて除去する。これにより、チップ領域102の第2の層間絶縁膜14中に、第1の配線22及び第1のシール配線32が形成される。また、同時に、ダイシング領域101の第2の層間絶縁膜14中に、第1の応力吸収体71が形成される。

#### 【0084】

次に、図5(a)に示すように、第2の層間絶縁膜14上に第3の層間絶縁膜15及び第4の層間絶縁膜16を順に形成する。更に、リソグラフィー法を用いて、第4の層間絶縁膜16に第2のビアホール23aを形成するための第2のビアホールパターン23bと、第2のシールビアホール33aを形成するための第2のシールビアパターン33bとを有するビアパターン形成用レジスト52を形成する。

#### 【0085】

次に、図5(b)に示すように、ドライエッチング法を用いて、チップ領域102の第4の層間絶縁膜16に、第1の配線22と接続する第2のビア23を形成するための第2のビアホール23aを形成する。これと共に、シールリング形成領域の第4の層間絶縁膜16に、第1のシール配線32と接続する第2のシールビア33を形成するための第2のシールビアホール33aを形成する。この後、アッシング及び洗浄を行ない、ビアパターン形成用レジスト52を除去する。

#### 【0086】

次に、図5(c)に示すように、第4の層間絶縁膜16上に、レジスト53を形成する。レジスト53には、リソグラフィー法を用いて、第4の層間絶縁膜16に第2の配線溝24aを形成するための第2の配線溝パターン24b、第2のシール配線溝34aを形成するための第2のシール配線溝パターン34b及び第2の応力吸収体形成用溝72aを形成するための第2の応力吸収体形成用パターン72bを設ける。

#### 【0087】

次に、図6(a)に示す工程を行なう。ここでは、ドライエッチング法を用いて、チップ領域102の第4の層間絶縁膜16に、第2の配線24を形成するための第2の配線溝24aをビアホール23aと接続するように形成する。これと共に、シールリング形成領域の第4の層間絶縁膜16に、第2のシール配線34を形成するための第2のシール配線溝34aを第2のシールビア33と接続するように形成する。更に、ダイシング領域101の第4の層間絶縁膜16に、第2の応力吸収体72を形成するための第2の応力吸収体形成用溝72aを形成する。この後、アッシング及び洗浄を行ない、レジスト53を除去する。

#### 【0088】

次に、図6(b)に示すように、ドライエッチング法を用いて第1の配線22及び第1のシール配線32上の部分の第3の層間絶縁膜15を除去する。これにより、第2のビアホール23a及び第2のシールビアホール33a内に、それぞれ、第1の配線22及び第1のシール配線32の上部を露出させる。

#### 【0089】

次に、図6(c)の工程を行なう。ここでは、第2のビアホール23a及び第2の配線

10

20

30

40

50

溝 2 4 a と、第 2 のシールビアホール 3 3 a 及び第 2 のシール配線溝 3 4 a と、第 2 の応力吸収体形成用溝 7 2 a とに、T a、T a N 等からなるバリアメタルをスパッタ法にて形成した後、C u からなる金属膜をメッキ法にて形成する。その後、はみ出した部分のバリアメタル及び C u を C M P 法で除去して、チップ領域 1 0 2 の第 4 の層間絶縁膜 1 6 中に、第 2 のビア 2 3、第 2 の配線 2 4、第 2 のシールビア 3 3 及び第 2 のシール配線 3 4 を形成する。同時に、ダイシング領域 1 0 1 の第 4 の層間絶縁膜 1 6 中に、第 2 の応力吸収体 7 2 を形成する。尚、ここではビアホールと配線溝とを同時に金属によって埋め込むデュアルダマシン法を用いて、ビア、配線、シールビア及びシール配線を形成している。

#### 【0 0 9 0】

次に、図 7 ( a ) に示す工程を行う。まず、第 4 の層間絶縁膜 1 6 上に、第 2 の配線 2 4、第 2 のシール配線 3 4 及び第 2 の応力吸収体 7 2 上を覆うように、第 5 の層間絶縁膜 1 7 を形成する。更に、第 5 の層間絶縁膜上に、リソグラフィー法を用いて、レジスト 5 4 を形成する。このとき、レジスト 5 4 に、第 5 の層間絶縁膜 1 7 における第 2 の配線 2 4 同士の間に配線間空隙形成領域 9 1 a を形成するための配線間空隙形成用溝 9 1 b と、第 2 の応力吸収体 7 2 同士の間に第 1 の空隙形成用溝 4 1 a を形成するための空隙形成用溝 4 1 b とを設ける。10

#### 【0 0 9 1】

次に、図 7 ( b ) に示す工程を行う。ここでは、レジスト 5 4 をマスクとして第 4 の層間絶縁膜 1 6 及び第 5 の層間絶縁膜 1 7 に対してドライエッチングを行い、配線間空隙形成領域 9 1 a と第 1 の空隙形成用溝 4 1 a とをそれぞれの位置に設ける。この後、アッシング及び洗浄を行ってレジスト 5 4 を除去する。20

#### 【0 0 9 2】

次に、図 7 ( c ) に示すように、第 5 の層間絶縁膜 1 7 上に例えば C D V 法を用いて第 6 の層間絶縁膜 1 8 を形成する。この結果、配線間空隙形成領域 9 1 a 及び第 1 の空隙形成用溝 4 1 b には第 6 の層間絶縁膜 1 8 が入り込みます、配線間空隙 9 1 と第 1 の空隙 4 1 とが形成される。

#### 【0 0 9 3】

次に、図 8 ( a ) に示すように、第 6 の層間絶縁膜 1 8 の表面を平坦化する。

#### 【0 0 9 4】

次に、図 5 ( a ) ~ ( c )、図 6 ( a ) ~ ( c ) に示したのと同様の工程を繰り返すことにより、図 8 ( b ) の構造を得る。具体的には、チップ領域 1 0 2 において、第 2 の配線 2 4 のうちの一方に接続するように、第 5 及び第 6 の層間絶縁膜 1 7 及び 1 8 中に第 3 のビア 2 5、該第 3 のビア 2 5 に接続するように第 6 の層間絶縁膜 1 8 中に第 3 の配線を形成する。また、シールリング形成領域において、第 5 及び第 6 の層間絶縁膜 1 7 及び 1 8 中に第 3 のシールビア 3 5、第 6 の層間絶縁膜 1 8 中に第 3 のシール配線 3 6 を形成する。更に、ダイシング領域において、第 6 の層間絶縁膜 1 8 中に第 3 の応力吸収体 7 3 を形成する。30

#### 【0 0 9 5】

次に、図 8 ( c ) に示す工程を行なう。まず、本実施形態の例において最も上に位置する配線層となる第 6 の層間絶縁膜 1 8 上に、該配線層の保護膜となるパッシベーション膜 1 9 を形成する。続いて、リソグラフィー法を用い、パッシベーション膜 1 9 にパッド開口部 2 7 a を形成するためのパッド溝パターン 2 7 b、シールリング上部にキャップ溝 3 7 a を形成するためのキャップ溝形成パターン 3 7 b、及び、スリット 1 0 4 を形成するためのスリット形成パターン 1 0 4 a を有するパッシベーション膜加工用レジスト 5 5 を形成する。40

#### 【0 0 9 6】

次に、図 9 ( a ) に示すように、ドライエッチング法を用いて、チップ領域 1 0 2 のパッシベーション膜 1 9 に、第 3 の配線 2 6 と接続するパッド 2 7 を形成するためのパッド溝 2 7 a を形成する。これと共に、シールリング形成領域のパッシベーション膜 1 9 において、第 3 のシール配線 3 6 と接続するキャップ 3 7 を形成するためのキャップ溝 3 7 a 50

を形成する。更に、ダイシング領域 101 のパッシベーション膜 19 に、スリット 104 を形成する。この後、アッショング及び洗浄を行ない、レジスト 55 を除去する。

#### 【0097】

次に、図 9 (b) の工程を行なう。ここでは、パッド溝 27a と、キャップ溝 37a とに、Ti、TiN 等からなるバリアメタル及び Al 等の金属膜を順に形成した後、リソグライフィー法及びドライエッチング法によりバリアメタル及び金属膜をパターン化し、パッド 27 及びキャップ 37 を形成する。スリット 104 については、何も埋め込むことなく残す。

#### 【0098】

以上の工程により、基板 11 (ウェハ) 上における複数の半導体装置の形成が完了する。このようにして半導体装置の製造方法によると、チップ領域 102 の第 1、第 2 及び第 3 のビア 21、23 及び 25 と、第 1、第 2 及び第 3 の配線 22、24 及び 26 と、パッド 27 とをそれぞれ形成するのと同時に、順に、第 1、第 2 及び第 3 のシールビア 31、33 及び 35 と、第 1、第 2 及び第 3 のシール配線 32、34 及び 36 と、キャップ 37 とをそれぞれ形成し、シールリング 103 を構成することができる。更に、シールリング 103 の外側に、第 1、第 2 及び第 3 の応力吸収体 71、72 及び 73 をそれぞれ含む応力吸収壁 81a 及び 81b と、これらの間に位置し且つ第 1 の空隙 41 を含む空隙領域 105 を形成することができる。

#### 【0099】

本実施形態に係る半導体装置は、次のような効果を有する。

#### 【0100】

複数の半導体装置が形成されたウェハである基板 11 は、ダイシング領域 101 (図 1 を参照) に沿ってダイシングを行なうことにより、個々の半導体装置 (半導体チップ) に分離される。このとき、ダイシングされる部分から、衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域 102 方向へ伝播する。しかし、このような衝撃、応力、クラック等は、応力吸収壁 81a 及び 81b と、空隙領域 105 とによって吸収される。言い換えると、衝撃、応力又はクラック等のチップ領域 102 方向へのさらなる伝播が阻止される。これにより、シールリング 103 がダメージを受けることがなくなるので、シールリングの本来の機能の 1 つである、チップ領域 102 内に外部から水分や可動イオン等が侵入することを防ぐ機能が保たれる。そのため、信頼性の高い半導体装置となっている。

#### 【0101】

尚、絶縁膜中に設けた空隙は、半導体装置の構造的な強度を低下させる原因となりうる。しかし、本実施形態の半導体装置の場合、空隙 41 と並ぶように応力吸収体 72 を設けていることにより、空隙のみを設けている場合に比べて構造的な強度を向上させている。

#### 【0102】

また、チップ領域 102 の側から見て応力吸収壁 81a、空隙領域 105、応力吸収壁 81b と並んでおり、空隙 41 は 2 つの応力吸収体 72 の間に位置している。このため、ダイシングの際のクラックや応力が外側 (応力吸収壁 81b) の応力吸収体 72 を破壊したとしても、空隙 41 の部分において膜の連続性が途切れているためにクラックや応力の伝播が阻止される。このため、内側 (応力吸収壁 81a) の応力吸収体 72 は破壊されず、また、シールリング 103 を保護することができる。

#### 【0103】

これらの点は、後に説明する第 2 ~ 第 4 の実施形態の場合にも共通して言えることである。

#### 【0104】

但し、シールリングの外側に、空隙及び応力吸収体が間に層間絶縁膜を挟んで並んでいるような構造であってもよい。少なくとも 1 つずつの空隙及び応力吸収体を備える構造であれば、クラックや応力の伝播を阻止してシールリングの破壊を防ぐという本実施形態の半導体装置の効果は実現される。更に、チップ領域 102 の側から見て空隙及び応力吸収

体のどちらが内側に配置されているのであっても良い。

#### 【0105】

また、第1の実施形態に係る半導体装置において、配線(22、24、26)及びシール配線(32、34、36)を確実に保護するために、シール配線を囲むように応力吸収体(71、72、73)又は空隙41が形成されている。配線同士の誘電率を下げるために、配線が形成されている層には低誘電率絶縁膜が使用されることが多い。そのため、空隙領域105を設けることの効果を発揮するためには、配線が形成されているレベルに設けられているシール配線を確実に保護することが重要である。このことから、ピア(21、23、25)及びシールピア(31、33、35)が形成されているレベルにのみ応力吸収体又は空隙が形成されている場合と比較して、配線及びシール配線が形成されているレベルに応力吸収体又は空隙が形成されている場合の方が、ダイシング時の衝撃を吸収する点で望ましい。このことについても、後に説明する第2～第4の実施形態の場合にも共通して言えることである。尚、ここで言う「レベル」とは、ピア、シールピア、配線、シール配線のそれぞれにおける下面の高さから上面の高さまでの範囲に含まれる空間を指している。

10

#### 【0106】

また、本実施形態では、第2の応力吸収体72同士(図2においては72x及び72yと符号を付している)の間の部分の第4の層間絶縁膜16を除去することにより第1の空隙41を形成した(図7(a)～(c)等を参照)。しかし、このような方法には限られない。例えば、図6(a)に示す工程にて第2の応力吸収体形成用溝72aを形成する際に、加えて空隙を形成するための溝を形成しておき、該溝にはバリアメタル及び配線材料を埋め込まないようにすることにより空隙を設けても良い。このためには、例えば空隙形成用の溝を第2の応力吸収体形成用溝72aよりも狭くする。このようにすると、空隙形成用の溝にはバリアメタルが部分的にしか形成されないか、又は、その開口部が閉塞されるようになり、配線材料が埋め込まれなくなる。

20

#### 【0107】

##### (第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

30

#### 【0108】

図10は、本発明の第2の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。これは、第1の実施形態における図1と同様であるから、詳しい説明は省略する。

#### 【0109】

次に、図11は、図10のXI-XI'線による断面図である。つまり、チップ領域102の周縁部に位置するシールリング103、応力吸収壁81a、応力吸収壁81b及び空隙領域105を含む半導体装置端部(具体的には、チップ領域102の配線構造、シールリング103の構造、応力吸収壁81a、応力吸収壁81b及び空隙領域105)の断面図である。また図12は、図10のXI-XI'線の近傍を拡大した平面図である。

40

#### 【0110】

図10～図12に示すように、ダイシング前の半導体装置はダイシング領域101とチップ領域102とを含む構成である。チップ領域102におけるダイシング領域101との境界付近にシールリング103が形成されている。これと共に、該シールリング103の外側(ダイシング領域101におけるチップ領域102との境界付近)には、シールリング103と平行に不連続に配置された複数の空隙41を含む空隙領域105が形成されている。

#### 【0111】

以上に説明したように、第2の実施形態に係る半導体装置は、シールリング103の外側に、シールリング103と平行に形成されている空隙領域105に含まれる複数の空隙が長さ方向に不連続に配置されている外は、第1の実施形態に係る半導体装置と同じ構造

50

である。また、第2の実施形態に係る半導体装置の製造方法は、空隙形成用溝パターンを形成するためのリソグラフィー用マスクを変更するのみで、図4(a)～(d)、図5(a)～(c)、図6(a)～(c)、図7(a)～(c)、図8(a)～(c)、図9(a)及び(b)を用いて説明した第1の実施形態に係る半導体装置の製造方法と同じ方法を用いることができる。

#### 【0112】

本発明の第2の実施形態に係る半導体装置によると以下のような効果がある。つまり、半導体装置が形成されたウェハである基板11は、ダイシング領域101に沿ってダイシングを行なうことによって、個々の半導体装置(半導体チップ)に分離される。このとき、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域102方向へ伝播する。しかし、これらの衝撃、応力又はクラック等は不連続に配置された空隙によって細かく分散して吸収できる。また応力の集中しやすいところに選択的に空隙を配置すること、空隙の長さを変化させることもできる。その結果、ダイシング時に発生するクラックや応力を吸収したり、チップ方向への伝播を防止することができる。以上のように、シールリング103がダメージを受けることがなくなるので、シールリングの本来の機能の1つである、チップ領域102内に外部から水分や可動イオン等が侵入することを防ぐ機能が保たれ、それによって信頼性の高い半導体装置を製造することができる。

10

#### 【0113】

##### (第3の実施形態)

20

以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。

#### 【0114】

図13は、本発明の第3の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。これは、第1の実施形態における図1と同様である。但し、本実施形態の場合にはシールリング103の外側に3つの応力吸収壁81a、81b及び81cと、2つの空隙領域105a及び105bとを備えていることが示されている。尚、更多多くの応力吸収壁及び空隙領域を備えることも可能である。

#### 【0115】

次に図14は、図12のXIV-XIV'線における断面図であり、図15は、図13のXIV-XI V'線の近傍を拡大した平面図である。

30

#### 【0116】

図13～図15に示すように、ダイシング前の半導体装置はチップ領域102とダイシング領域101とから構成されており、チップ領域102におけるダイシング領域101との境界付近にシールリング103が形成されている。これと共に、該シールリング103の外側(ダイシング領域103におけるチップ領域102との境界付近)には、3つの応力吸収壁81a、81b及び81cが3重に取り囲むように形成されていると共に、これらの間に位置する2つの領域に、それぞれ空隙領域105a及び105bが形成されている。尚、空隙領域105aは空隙41aを含むと共に、空隙領域105bは空隙41bを含む。

40

#### 【0117】

第3の実施形態に係る半導体装置の製造方法は、使用されるフォトマスクにおける2重構造の空隙形成用マスクパターンのレイアウトを除いて、第1の実施形態に係る半導体装置の製造方法と同様である。

#### 【0118】

第3の実施形態に係る半導体装置の製造方法によると、チップ領域102の第1、第2及び第3のビア21、23、25及び第1、第2及び第3の配線22、24、26を形成すると同時に、第1、第2及び第3のシールビア31、33、35及び第1、第2及び第3のシール配線32、34、36からなるシールリング103を形成できる。さらに、シールリング103の外側に、3重構造を持つ応力吸収壁(81a、81b及び83c)と

50

2重構造を持つ空隙領域（空隙領域105a及び105b）とを形成することができる。

【0119】

第3の実施形態に係る半導体装置によると以下の効果がある。つまり、半導体装置が形成された基板11は、ダイシング領域101に沿ってダイシングを行なうことによって、個々の半導体装置（半導体チップ）に分離される。この際、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域102方向へ伝播する。これらの衝撃、応力又はクラック等によって外側の空隙41bが破壊され、衝撃等が更にチップ領域102の内部方向へ伝播したとしても、空隙41bの内側の空隙41a及び応力吸収体72によって衝撃、応力又はクラック等が吸収される。このため、衝撃等がチップ領域102の内部方向へさらに伝播することを防止できる。これにより、シールリング103がダメージを受けることを防止できることから、シールリング103の本来の機能である、外部からチップ領域102の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。

【0120】

（第4の実施形態）

以下、本発明の第4の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。

【0121】

図16は、本発明の第4の実施形態に係る半導体装置（シールリングの周りに、チップ領域を2重に且つ不連続に且つ不連続部分が互いに隣り合わないように配置された複数の空隙を含む空隙領域105a及び105bと、3重の応力吸収壁81a、81b及び81cとを有する半導体装置）が設けられているウェハの一部分を示す平面図である。

【0122】

空隙領域105a及び105bは、それぞれ不連続に配置された複数の空隙を含むと共に、空隙領域105aと空隙領域105bとにおける空隙の不連続部分が互いに隣り合わないように配置されている。つまり、第4の実施形態に係る半導体装置は、二つの空隙領域105a及び105bがいずれも不連続に配置された空隙を含み且つ空隙の不連続部分が互いに隣り合わないようになっている二重構造の空隙領域となっている点を除いて、第3の実施形態に係る半導体装置と同様の構造を有している。

【0123】

このことを、更に図17及び図18を用いて示す。図17は、図15のXVII-XVII'線における断面図である。つまり、チップ領域102の周縁部に位置するシールリング103を含む半導体装置端部（具体的には、チップ領域102の配線構造及びシールリング103の構造）の断面図である。また、図18は、図15のXVII-XVII'線の近傍を拡大した平面図である。尚、図17には、二重構造の空隙領域105a及び105bをそれぞれ構成する複数の空隙（41a、41b）が互いに隣り合う箇所（例えば、図18におけるA線）を含むような断面を示している。

【0124】

また、図16～図18に示す構造を有する第4の実施形態に係る半導体装置の製造方法は、使用されるフォトマスクにおける空隙形成用マスクパターンのレイアウトを除いて、基本的に、第1の実施形態に係る半導体装置の製造方法と同様である。

【0125】

以上に説明したように、第4の実施形態に係る半導体装置の製造方法によると、チップ領域102のビア21、23、25及び配線22、24、26を形成すると同時に、シールビア31、33、35及びシール配線32、34、36からなるシールリング103を形成できる。さらに、シールリング103の外側に、3重構造を持つ応力吸収壁（3つの応力吸収壁81a、81b及び81c）と、2重構造を持つ空隙領域（2つの空隙領域105a及び105b）とを形成できる。

【0126】

10

20

30

40

50

第4の実施形態に係る半導体装置によると、次のような効果がある。つまり、半導体装置が形成されたウェハである基板11は、ダイシング領域101に沿ってダイシングを行なうことによって、個々の半導体装置（半導体チップ）に分離される。

#### 【0127】

ダイシング時に発生するクラックや衝撃等がチップ領域102内に侵入すると、シールリング103又は更にその内側の部分に損傷を与える恐れがある。これを防ぐために本実施形態の半導体装置には空隙領域が設けられているが、それぞれの空隙領域105a及び105bはいずれも空隙が不連続に配置された構成を有するため、空隙の不連続部分をクラックや衝撃等が通り抜ける場合が考えられる。しかし、本実施形態の半導体装置において、外側の空隙領域105bに含まれる空隙の不連続部分と、内側の空隙領域105aに含まれる複空隙の不連続部分とは、シールリング103の伸びる方向に対して垂直な方向に関し、互いに隣り合わないようになっている。よって、外側の空隙領域105bにおける不連続部分を通過した（そのため空隙領域105bによって阻止されたなかった）クラックや衝撃は、必ず内側の空隙領域105aの空隙によって阻止される。

10

#### 【0128】

言い換えると、ダイシング領域101側からチップ領域102を見た場合には、多重の空隙領域を構成する複数の空隙が隙間なく配置されていることになるため、ウェハダイシング部分からチップ領域の内部方向へのクラックや衝撃等の進行を確実に防ぐことができる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらを阻止することができるので、シールリングが欠損したり又はシールリングが破壊されたりすることはない。このため、チップ領域の内部を確実に保護するというシールリングの機能が損なわれることがない。以上のように、シールリング103がダメージを受けることを防止できるので、シールリング103の本来の機能である、外部からチップ領域102の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。なお、不連続部分が互いに隣り合わない構造であれば、空隙領域105a及び105bに含まれる空隙（41a及び41b）の長さは任意でも良い。

20

#### 【0129】

シールリングと平行に伸びる連続した空隙を設けると、機械的強度が低下する原因となる。この点から、複数の空隙を不連続に配置する方が望ましい。このようにすると不連続部分をクラックや衝撃が通過することが考えられるが、不連続部分が隣り合わないように空隙を2重以上に配置することにより、内側の不連続部分を通過してクラックや衝撃がシールリングに到達するのを防ぐことができる。

30

#### 【0130】

また、本実施形態の半導体装置においては空隙41が不連続に形成されているが、これに代えて、応力吸収体を不連続に形成する構成を取ることも可能である。例えば、第1の実施形態において、応力吸収体72をシールリング103の伸びる方向に関して不連続に形成した場合について図19に示す。これは、図3を置き換える図と考えればよい。ここで、本実施形態における空隙41a及び空隙41bの配置と同様に、2つの応力吸収壁81a及び81bに含まれるそれぞれの応力吸収体72について、不連続部分が互いに隣り合わないように配置されている。このため、空隙について本実施形態にて説明したのと同様に、ダイシング領域101側からチップ領域102を見た場合には、多重の応力吸収壁を構成する複数の応力吸収体が隙間なく配置されている。結果として、チップ領域102の内部を確実に保護することができる。

40

#### 【0131】

尚、上記第1から第4の実施形態において、シールリング103としてシールビアと、シールビアよりも幅の広いシール配線とによる積層構造を用いた。しかし、シール配線の幅をシールビアの幅と同等にしてもなんら問題はない。また、シールリング103としてシールビアとシール配線の積層構造を用いたが、シールビア工程のみで形成しても何なんら問題はない。これら構造とすることにより、シールビアとシール配線との積層構造を用

50

いる場合と比べて、半導体装置内におけるシールリング 103 の幅方向（チップ領域 102 の周縁に沿ってシールリング 103 が延びる方向に対して垂直な方向）の占有領域を狭くできるので、半導体装置の小型化に有効である。

#### 【0132】

また、上記第 1 から第 4 の実施形態において、最下層の配線（第 1 のビア 21 と第 1 の配線 22）を除きデュアルダマシン方式により形成した。しかし、ビア（及びシールビア）又は配線（及びシール配線）の開口部、すなわちビアホール又は配線溝を形成した後、それぞれ独立して金属を埋め込むシングルダマシン法を用いても良い。

#### 【0133】

この場合の断面形状の例を図 20 に示す。ここでは、第 4 の層間絶縁膜 16 及び第 6 の層間絶縁膜 18 がいずれも 2 層の積層構造となっており、第 4 の層間絶縁膜 16 の下側の層（第 2 のビア 23 が形成されている層）にも応力吸収体 74 が形成されている。このため、図 20 の半導体装置は、積層された層間絶縁膜の厚さ方向について複数の応力吸収体（71、74 及び 72）が隣接して形成された構造を有している。

#### 【0134】

これに対し、応力吸収体形成をビア形成または配線形成のいずれか一方のマスクのみで行ってもよく、応力吸収体はシールリング 103 と平行に不連続に複数形成された構造となる。

#### 【0135】

また、図 21 に示す通り、空隙を層間絶縁膜の厚さ方向に隣接して形成しても良い。応力吸収体又は空隙を層間絶縁膜の厚さ方向に隣接して形成すると、ダイシングの際の応力やクラック等を確実に防ぐことができる。

#### 【0136】

また、上記第 1 から第 4 の実施形態において、応力吸収壁（81a、81b、81c）に含まれる応力吸収体と、空隙領域 105（105a 及び 105b）に含まれる空隙とは、少なくとも 1 つの層間絶縁膜に形成されれば良い。また、一般的に機械的強度の低い膜として知られる例えば炭素含有シリコン酸化膜からなる層間膜を用いた層にのみ選択的に形成しても良い。

#### 【0137】

また、上記第 1 から第 4 の実施形態において、応力吸収体及び空隙は、ダイシング領域 101 に形成した。しかし、応力吸収体及び空隙領域は、ウェハダイシング部分とシールリング 103 との間に設けられていれば良いのであり、各実施形態の形成位置に限られるものではない。例えば、応力吸収体及び空隙を、シールリング 103 の外側であって、チップ領域 102 内におけるダイシング領域 101 との境界付近に設けてもよい。

#### 【0138】

また、上記第 1 から第 4 の実施形態において、シールリング 103 を、チップ領域 102 におけるダイシング領域 101 との境界付近に設けたが、これに代えて、空隙領域 105 の内側であって、例えばダイシング領域 101 のうちダイシング後も半導体装置（半導体チップ）の端部として残る部分（つまりダイシング領域 101 におけるチップ領域 102 との境界付近）に設けてもよい。

#### 【0139】

また、上記第 1 から第 4 の実施形態において、6 層重ねられた層間絶縁膜に 3 層の配線及び 3 層のビアを形成したが、層間絶縁膜の層数は 6 層に限られるものではないし、また配線及びビアが 3 層に限られるものでもなく、チップ構造に応じてより少なくて多くても良い。

#### 【0140】

また、上記第 1 から第 4 の実施形態において、シールリング 103 として縦方向に一連のシールリング構造を示したが、一連のシールリング構造に限定されるものではない。例えば 2 連以上の構造を有しても良いし、また、シールリング構造は一部が枝分かれした構造を有してもよい。

10

20

30

40

50

## 【0141】

また、上記第1から第4の実施形態において、各配線及び各ビアと、シールリング103とを構成する導電材料としてCuを用いたが、これには限られず、W、Al及びCuのうちの少なくとも1つを用いて構成してもよい。このようにすると、半導体装置のチップ領域102に形成される配線及びビアと同じ材料からシールリング103を形成することができる。

## 【0142】

また、上記第1～第4の実施形態において、第1～第6の層間絶縁膜およびパッシベーション膜はそれぞれ単一の膜として使用していたが、少なくともいずれか1つの層間絶縁膜又はパッシベーション膜を2種類以上の膜からなる積層構造としてもよい。

10

## 【0143】

例えば、図22に示すように、第4の層間絶縁膜について、配線が形成される層とビアが形成される層とが互いに異なる比誘電率を有する炭素含有シリコン酸化膜によって形成されている構造としても良い。このとき、2種類の炭素含有シリコン酸化膜について、配線が形成される層間絶縁膜の比誘電率( $k_1$ )が、ビアが形成される層間絶縁膜の比誘電率( $k_2$ )に比べて低い( $k_1 < k_2$ )様な組み合わせであってもよい。つまり、配線が形成される層間絶縁膜の方が、ビアが形成される層間絶縁膜に比べて炭素濃度が高い又は空孔量が多い(それにより、比誘電率が低い)というような異なる層間絶縁膜の組み合わせとするということである。

## 【0144】

更に、配線層に用いる層間絶縁膜の比誘電率が、ビア層に用いる層間絶縁膜の比誘電率より低くなるような組み合わせとして、ビア層にはTEOS等のシリコン酸化膜又はフッ素含有シリコン酸化膜を用い、配線層にはフッ素含有シリコン酸化膜又は炭素含有シリコン酸化膜等を用いてもよい。

20

## 【0145】

上記のような膜構造とすることにより、配線が形成された層における配線間の容量を低減することが可能となる。比誘電率が低い絶縁膜は一般的に機械強度が低くダイシングによる損傷を受けやすいが、このような機械強度の低い膜を適用した層に対して選択的に本発明の空隙を形成することにより、ダイシング時の応力やクラックの伝播を防止しシールリングを保護することが可能となる。

30

## 【0146】

また、第3の層間絶縁膜には一般的にCuの拡散防止機能と、ビアパターン形成時のエッチストップ機能が求められる。そこで、第3の層間絶縁膜を例えば窒素含有の炭化シリコン膜と酸素含有の炭化シリコン膜の積層構造とすると、膜の比誘電率が低いため、上記Cu拡散防止機能とエッチストップ機能とを有しつつ、配線の配線間容量の増大を防止する効果がある。

## 【0147】

一般的に、SiNはNを含有することによりCu拡散防止能があることが知られており、比誘電率は約7である。SiCの比誘電率は約3.5であるが、Cu拡散防止能が低い。このため、Nを添加してSiCNにすることにより、低誘電率(約4.8)とCu拡散防止の機能を持たせることができる。また、SiCOはSiCNよりも低誘電率(約4.6)であるが、Oを含むためにCuが酸化してしまう。そのため、SiCNがCu側に来るよう積層して使用する。以上の説明から分かるように、低誘電率膜等の層間膜に対して、SiCN、SiCOともにエッチストップ機能を有している。

40

## 【0148】

更に、パッシベーションを2種類以上の膜からなる積層構造とすることの効果として、以下のような効果が考えられる。例えば、第6の層間絶縁膜と同層に形成されている配線の直上にはシリコン窒化膜に比べて比誘電率の低い酸素又は窒素含有の炭化シリコン膜を形成し、更にその表面にシリコン窒化膜を形成する構造とすることにより、配線の配線間容量の増大を防止することができる。

50

## 【0149】

また、単一のパッシベーション膜が有する膜ストレスを、積層構造とすることにより緩和する効果がある。つまり、膜ストレスにより反りが発生したとしても、積層構造であればそれぞれの膜厚は一層構造膜に比べ薄く、個々のストレス量も低くなる。また、積層構造には、界面が存在するために、歪が緩和される。そこで、パッシベーション膜を積層構造とすることにより、膜ストレスを緩和することができる。

## 【0150】

尚、上記第1～第4の実施形態において、配線構造及び他の配線構造における配線同士の間に配線間空隙91を形成している。このような配線間空隙91を設けることにより、配線同士の間の容量を低減させることができ、高速動作が可能となる。また、配線間空隙91を形成する際に、同時に第1の空隙41を形成することができ、製造工程を簡略化できる。但し、半導体装置に要求される特性によっては、配線間空隙91を必ずしも設けなくとも良い。

10

## 【産業上の利用可能性】

## 【0151】

以上に説明したように、本発明は、チップ領域の周囲を取り囲むように形成されたシールリングとそれを保護する機構とを有する半導体装置及びその製造方法に関し、ダイシング時に発生するクラックや応力等をシールリングの外側に形成した空隙領域によって阻止してチップ領域の内部を確実に保護するシールリングの機能を保持するという効果が得られ、非常に有用である。

20

## 【図面の簡単な説明】

## 【0152】

【図1】図1は、本発明の第1の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

【図2】図2は、図1のII-II'線における断面図である。

【図3】図3は、図1のII-II'線の近傍を拡大した平面図である。

【図4】図4(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

30

【図5】図5(a)～(c)は、図4(d)に続いて、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】図6(a)～(c)は、図5(c)に続いて、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】図7(a)～(c)は、図6(c)に続いて、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】図8(a)～(c)は、図7(c)に続いて、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】図9(a)及び(b)は、図8(c)に続いて、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図10】図10は、本発明の第2の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

40

【図11】図11は、図10のXI-XI'線における断面図である。

【図12】図12は、図10のXI-XI'線の近傍を拡大した平面図である。

【図13】図13は、本発明の第3の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

【図14】図14は、図13のXIV-XIV'線における断面図である。

【図15】図15は、図13のXIV-XIV'線の近傍を拡大した平面図である。

【図16】図16は、本発明の第4の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

【図17】図17は、図16のXVII-XVII'線における断面図である。

【図18】図18は、図16のXVII-XVII'線の近傍を拡大した平面図である。

50

【図19】図19は、第4の実施形態に係る半導体装置においては空隙が不連続であるのに対し、応力吸収体が不連続である場合を示す図である。

【図20】図20は、本発明の第1から第4の実施形態に係る半導体装置の1つのバリエーションを示す断面図である。

【図21】図21は、本発明の第1から第4の実施形態に係わる半導体装置の別の1つのバリエーションを示す断面図である。

【図22】図22は、本発明の第1から第4の実施形態に係わる半導体装置の更に別の1つのバリエーションを示す断面図である。

【図23】図23は、従来の半導体装置の断面図である。

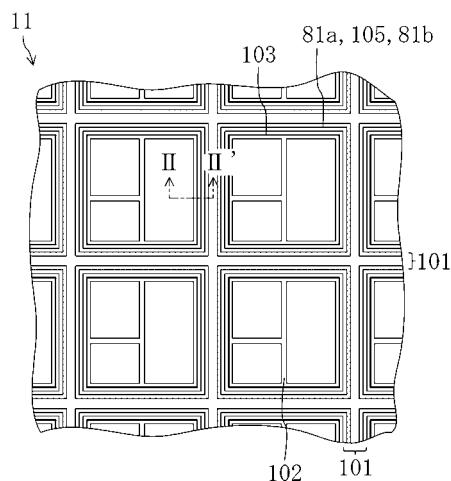
【符号の説明】

【0153】

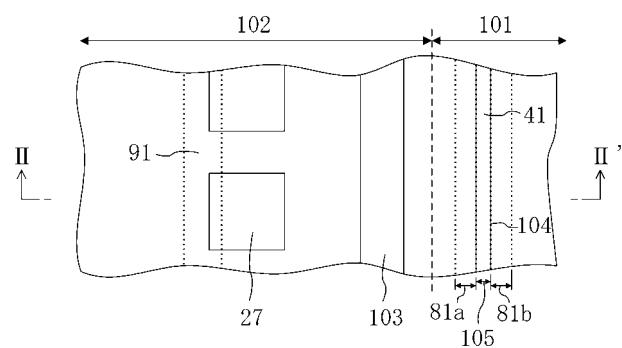
1 1	基板(半導体基板)	10
1 2	素子分離膜	
1 3	第1の層間絶縁膜	
1 4	第2の層間絶縁膜	
1 5	第3の層間絶縁膜	
1 6	第4の層間絶縁膜	
1 7	第5の層間絶縁膜	
1 8	第6の層間絶縁膜	
1 9	パッシベーション膜	20
2 1	第1のビア	
2 1 a	第1のビアホール	
2 2	第1の配線	
2 2 a	第1の配線溝	
2 2 b	配線溝パターン	
2 3	第2のビア	
2 3 a	第2のビアホール	
2 3 b	第2のビアホールパターン	
2 4	第2の配線	
2 4 a	第2の配線溝	30
2 4 b	第2の配線溝パターン	
2 5	第3のビア	
2 6	第3の配線	
2 7	パッド	
2 7 a	パッド開口部	
2 7 a	パッド溝	
2 7 b	パッド溝パターン	
3 1	第1のシールビア	
3 1 a	第1のシールビアホール	
3 2	第1のシール配線	40
3 2 a	第1のシール配線溝	
3 2 b	シール配線溝パターン	
3 3	第2のシールビア	
3 3 a	第2のシールビアホール	
3 3 b	第2のシールビアパターン	
3 4	第2のシール配線	
3 4 a	第2のシール配線溝	
3 4 b	第2のシール配線溝パターン	
3 5	第3のシールビア	
3 6	第3のシール配線	50

3 7	キヤップ	
3 7 a	キヤップ溝	
3 7 b	キヤップ溝形成パターン	
4 1	第1の空隙	
4 1 a	第1の空隙形成用溝	
4 1 b	第1の空隙形成用パターン	
5 1	レジスト	
5 2	ビアパターン形成用レジスト	
5 3	レジスト	
5 4	パッシベーション膜加工用レジスト	10
5 5	レジスト	
6 1	活性層	
6 2	活性層	
7 1	第1の応力吸收体	
7 1 a	第1の応力吸收体形成用溝	
7 1 b	第1の応力吸收体形成用パターン	
7 2	第2の応力吸收体	
7 2 a	第2の応力吸收体形成用溝	
7 2 b	第2の応力吸收体形成用パターン	
7 3	第3の応力吸收体	20
8 1 a、8 2 b、8 3 c	応力吸收壁	
9 1	配線間空隙	
9 1 a	配線間空隙形成領域	
9 1 b	配線間空隙形成用溝	
1 0 1	ダイシング領域	
1 0 2	チップ領域	
1 0 3	シールリング	
1 0 5、1 0 5 a、1 0 5 b	空隙領域	

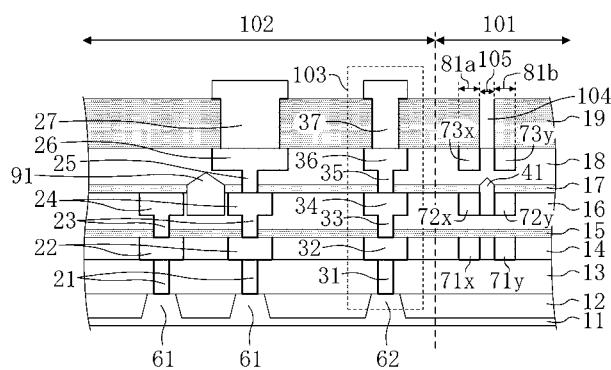
【図1】



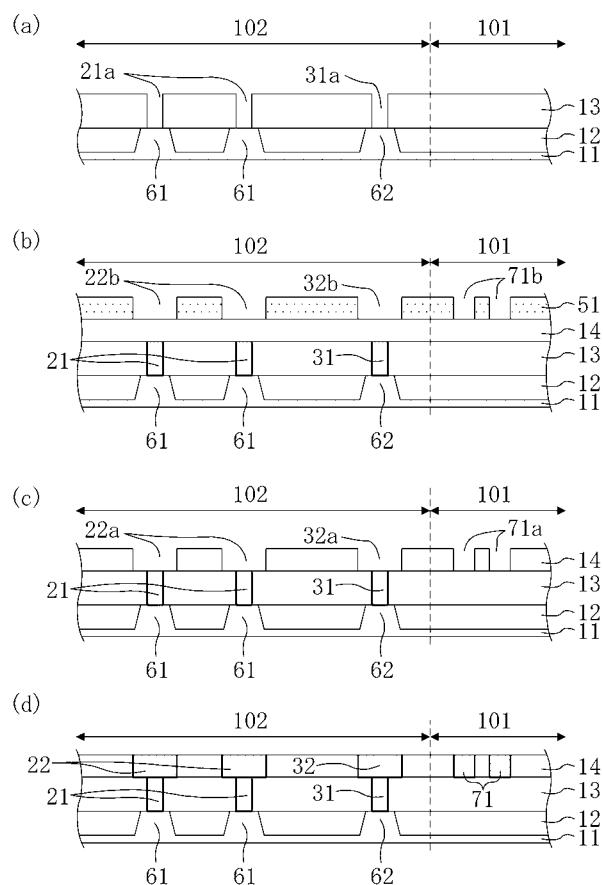
【図3】



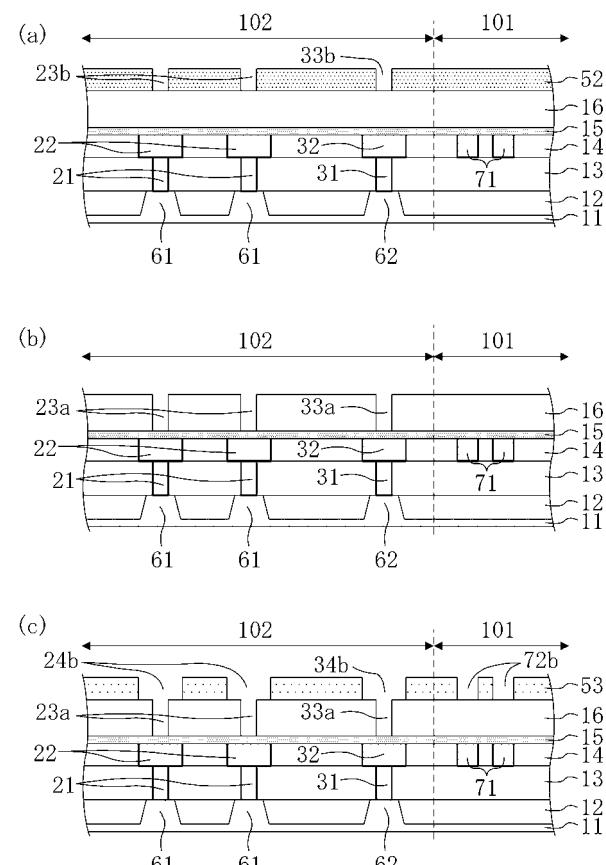
【図2】



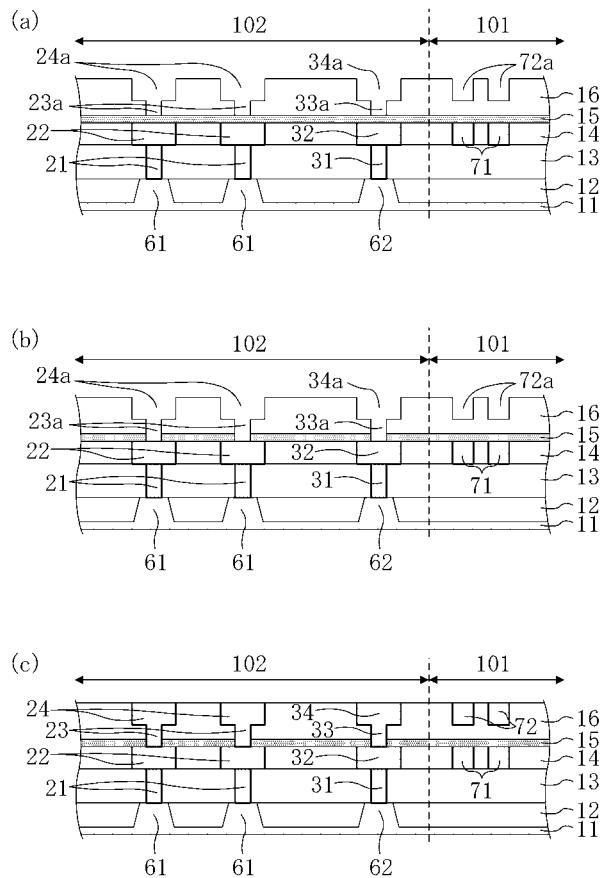
【図4】



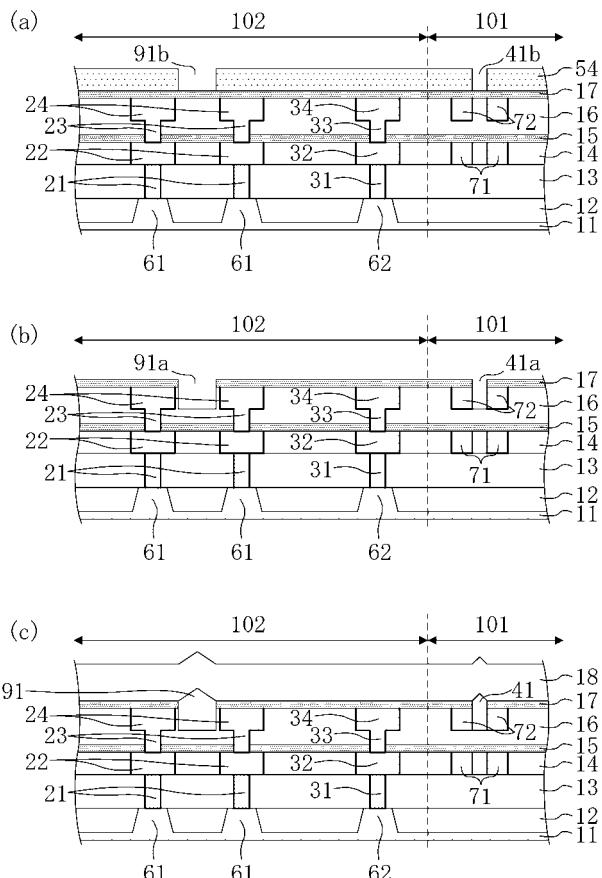
【図5】



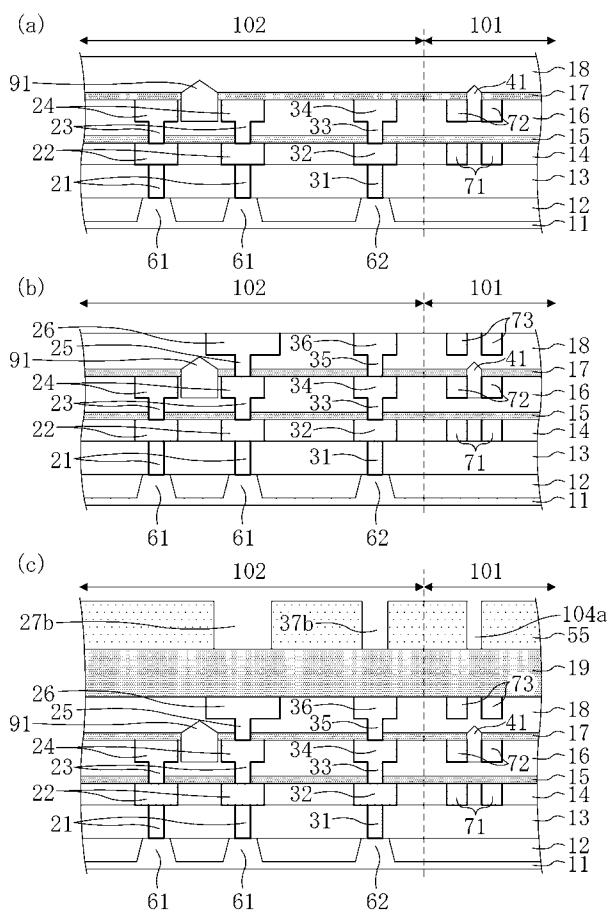
【図6】



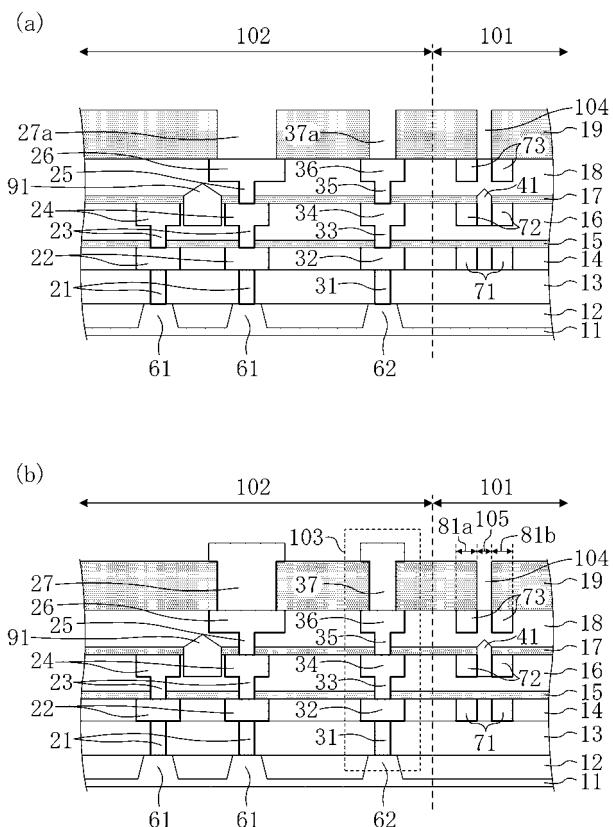
【図7】



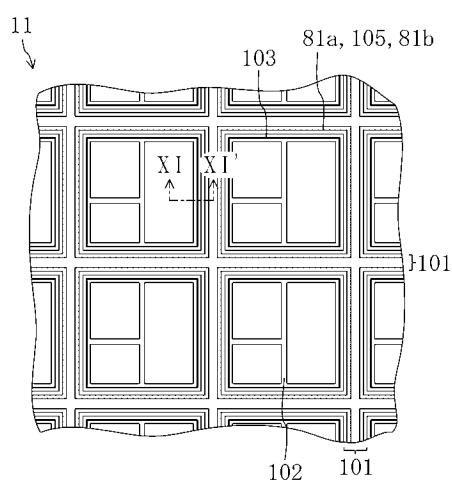
【図8】



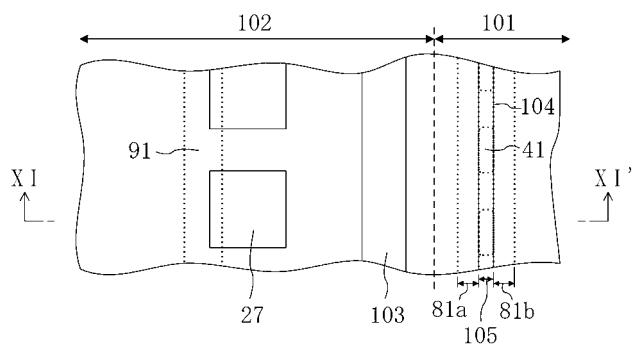
【図9】



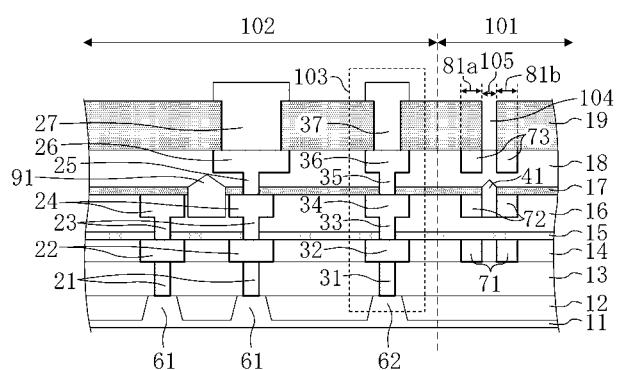
【図 1 0】



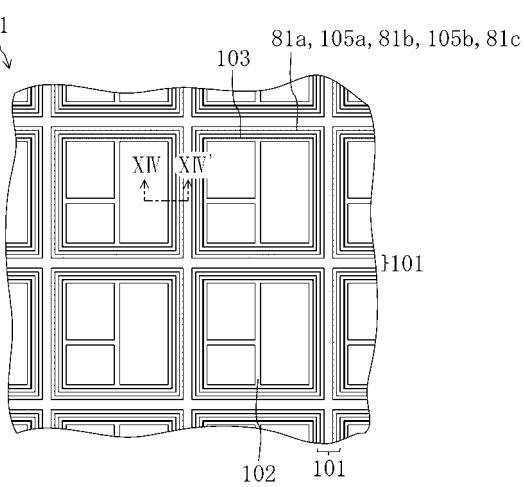
【図 1 2】



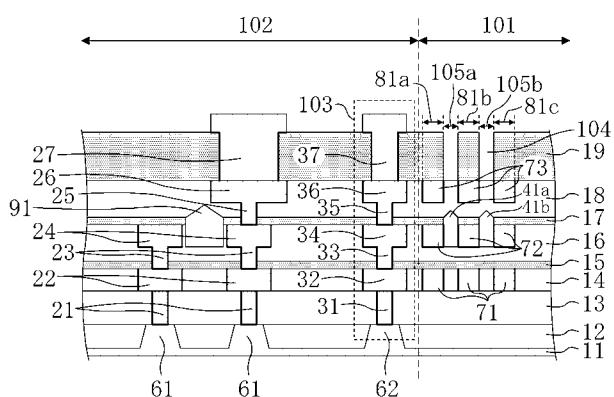
【図 1 1】



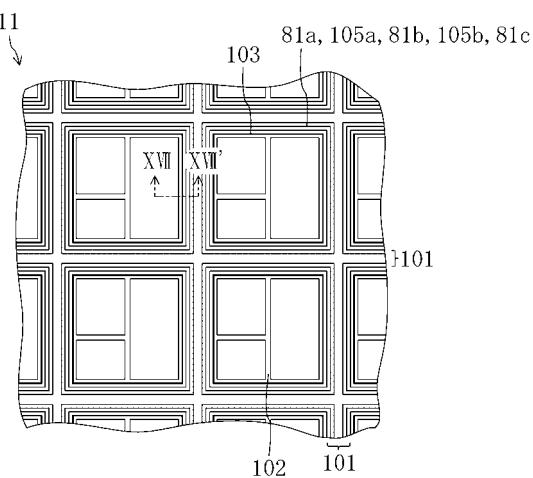
【図 1 3】



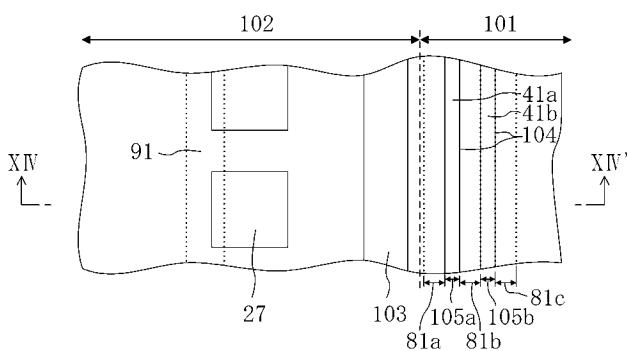
【図 1 4】



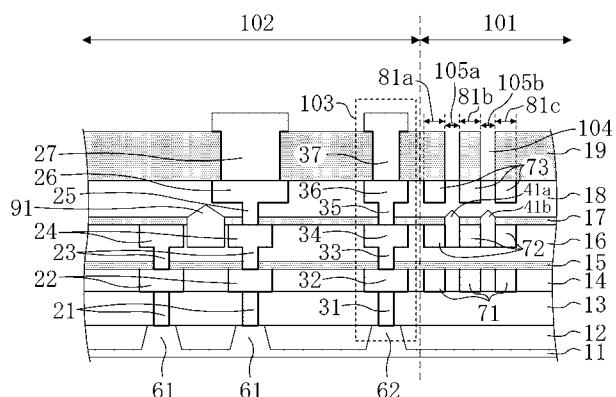
【図 1 6】



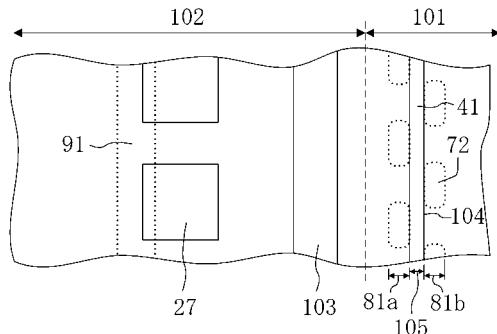
【図 1 5】



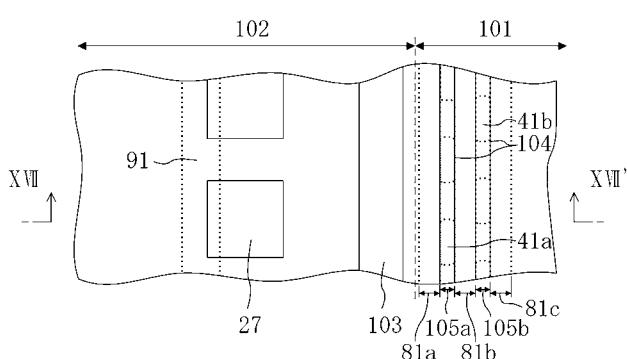
【図17】



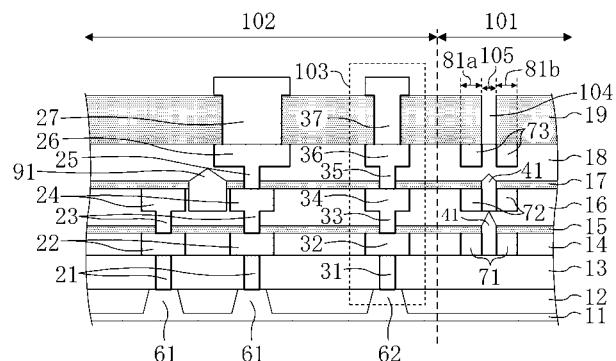
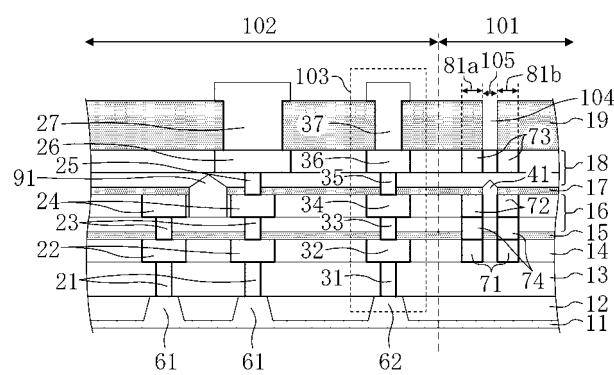
【図19】



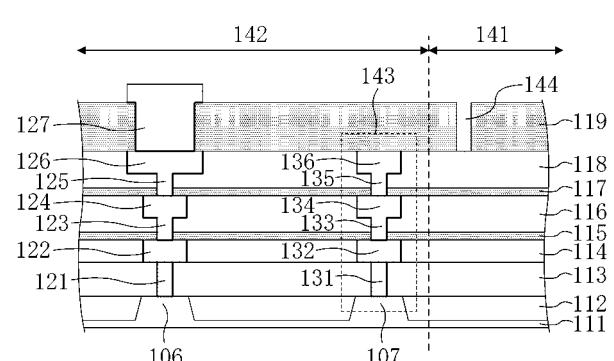
【図18】



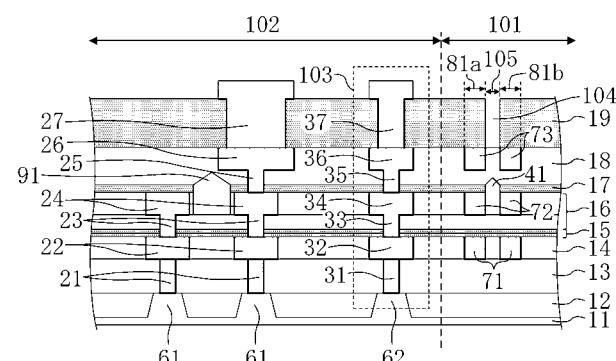
【図20】



【図23】



【図22】



---

フロントページの続き

(74)代理人 100117581  
弁理士 二宮 克也

(74)代理人 100117710  
弁理士 原田 智雄

(74)代理人 100121728  
弁理士 井関 勝守

(74)代理人 100124671  
弁理士 関 啓

(74)代理人 100131060  
弁理士 杉浦 靖也

(72)発明者 筒江 誠  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

F ターム(参考) 5F033 HH08 HH11 HH18 HH21 HH32 HH33 JJ08 JJ11 JJ18 JJ19  
JJ21 JJ32 JJ33 KK01 KK11 KK21 KK32 MM01 MM02 MM08  
MM12 MM13 NN06 NN07 NN37 PP15 PP27 PP28 QQ09 QQ11  
QQ37 QQ48 RR01 RR04 RR06 RR11 RR20 RR29 RR30 SS04  
SS11 TT01 TT02 VV01 XX17 XX18 XX19