

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 12 月 2 日 (02.12.2021)



(10) 国际公布号
WO 2021/237505 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2020/092573
- (22) 国际申请日: 2020 年 5 月 27 日 (27.05.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(**CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。
- (72) 发明人: 赵爽(**ZHAO, Shuang**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
陈祯祐(**CHEN, Chenyu**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。

杨中流(**YANG, Zhongliu**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
陈文波(**CHEN, Wenbo**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
徐卓(**XU, Zhuo**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。杨静
(**YANG, Jing**); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。卢红婷(**LU,
Hongting**); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(**LIU, SHEN &
ASSOCIATES**); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** ARRAY SUBSTRATE, DISPLAY PANEL, AND DRIVE METHOD FOR ARRAY SUBSTRATE

(54) 发明名称: 阵列基板、显示面板以及阵列基板的驱动方法

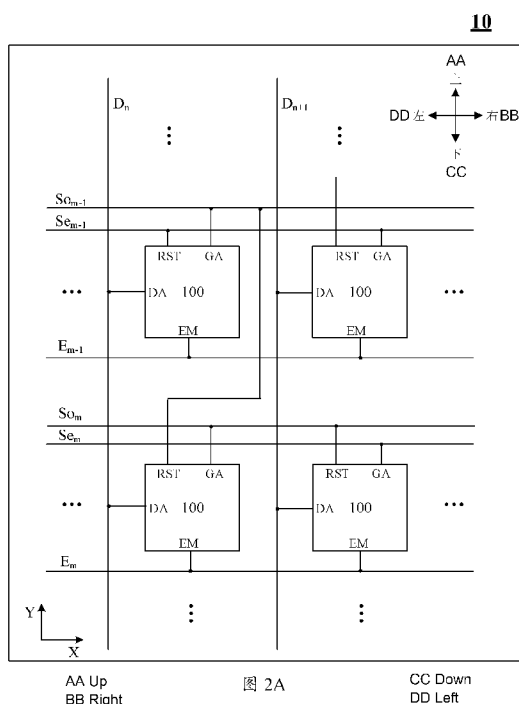


图 2A

(57) **Abstract:** An array substrate, a display panel, and a drive method for an array substrate. The array substrate comprises: multiple pairs of gate lines (S), wherein each pair of gate lines (S) comprises a first gate line (So) and a second gate line (Se); multiple data lines (D); and a pixel array, which comprises multiple pixel units (110) arranged in multiple rows and multiple columns, wherein a scanning signal end (GA) of an n-th column of pixel units (110) in an m-th row of pixel units is connected to a first gate line (Se_m) in an m-th pair of gate lines (S_m), so as to receive a first scanning signal, and m and n are positive integers; a scanning signal end (GA) of an (n+1)th column of pixel units (110) in the m-th row of pixel units is connected to a second gate line (So_m) in the m-th pair of gate lines (S_m), so as to receive a second scanning signal; a reset signal end (RST) of the (n+1)th column of pixel units (110) in the m-th row of pixel units is connected to the first gate line (Se_m) in the m-th pair of gate lines (S_m), so as to receive the first scanning signal, and take same as a first reset signal; and a data signal end (DA) of each column of pixel units (110) is connected to a corresponding data line (D), so as to receive a data signal.

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板、显示面板以及阵列基板的驱动方法。阵列基板包括: 多对栅线(S), 多对栅线(S)中的每对包括第一栅线(So)和第二栅线(Se); 多条数据线(D); 像素阵列, 包括排布为多行多列的多个像素单元(110)。第m行像素单元中的第n列像素单元(110)的扫描信号端(GA)连接到第m对栅线(Sm)中的第一栅线(Se_m)以接收第一扫描信号, m和n均为正整数; 第m行像素单元中的第n+1列像素单元(110)的扫描信号端(GA)连接到第m对栅线(Sm)中的第二栅线(So_m)以接收第二扫描信号; 第m行像素单元中的第n+1列像素单元(110)的复位信号端(RST)连接到第m对栅线(Sm)中的第一栅线(Se_m)以接收第一扫描信号作为第一复位信号; 每列像素单元(110)的数据信号端(DA)连接到对应的一条数据线(D)以接收数据信号。

阵列基板、显示面板以及阵列基板的驱动方法

技术领域

5 本公开的实施例涉及一种阵列基板、显示面板以及阵列基板的驱动方法。

背景技术

10 随着显示技术的发展,各种显示面板得到了越来越广泛的应用。显示面板主要包括液晶显示(Liquid Crystal Display, LCD)面板和有机发光二极管(Organic Light-Emitting Diode, OLED)显示面板。例如,在OLED显示面板中,包括阵列排布的多个像素单元,同一行的像素单元连接到同一条栅线,同一列的像素单元连接到同一条数据线,每个像素单元在栅线提供的扫描信号和数据线提供的数据信号的驱动下进行显示。

15

发明内容

本公开至少一实施例提供一种阵列基板,包括:多对栅线,多对栅线中的每对包括第一栅线 and 第二栅线;多条数据线;像素阵列,包括排布为多行多列的多个像素单元。其中,所述多个像素单元中的每个包括扫描信号端、数据信号端和复位信号端,多行像素单元与所述多对栅线
20 与一一对应,每列像素单元对应于所述多条数据线中的一条数据线;第m行像素单元中的第n列像素单元的扫描信号端连接到第m对栅线中的第一栅线以接收第一扫描信号,m和n均为正整数;所述第m行像素单元中的第n+1列像素单元的扫描信号端连接到所述第m对栅线中的第二栅线以接收第二扫描信号;所述第m行像素单元中的第n+1列
25 像素单元的复位信号端连接到所述第m对栅线中的第一栅线以接收所述第一扫描信号作为第一复位信号;所述每列像素单元的数据信号端连接到对应的一条数据线以接收数据信号。

例如,在本公开的实施例提供的阵列基板中,所述第m行像素单元中的第n列像素单元的复位信号端连接到第m-1对栅线中的第一栅线,以接收所述第m-1对栅线中的第一栅线提供的第一扫描信号作为第二复位信号;或者所述第m行像素单元中的第n列像素单元的复位信号端连接到所述第m-1对栅线中的第二栅线,以接收所述第m-1对栅线中的第二栅线提供的第二扫描信号作为所述第二复位信号,m为大于
30 1的整数。

35

例如，本公开的实施例提供的阵列基板还包括多条复位信号线，其中，所述多条复位信号线与所述多行像素单元一一对应；所述第 m 行像素单元中的第 n 列像素单元的复位信号端连接到第 m 条复位信号线以接收第二复位信号。

5 例如，本公开的实施例提供的阵列基板还包括第一扫描驱动电路，其中，所述第一扫描驱动电路连接至所述多条复位信号线，且被配置为产生所述第二复位信号。

例如，本公开的实施例提供的阵列基板还包括多条发光控制信号线，其中，所述多条发光控制信号线与所述多行像素单元一一对应；所述多个像素单元每个还包括发光控制信号端，所述第 m 行像素单元的发光控制信号端连接到第 m 条发光控制信号线以接收发光控制信号。

例如，本公开的实施例提供的阵列基板还包括第二扫描驱动电路，其中，所述第二扫描驱动电路连接至所述多条发光控制信号线，且配置为产生所述发光控制信号。

15 例如，在本公开的实施例提供的阵列基板中，每相邻的两列像素单元对应于同一条数据线，所述第 n 列像素单元和所述第 $n+1$ 列像素单元的数据信号端连接到同一条数据线。

例如，本公开的实施例提供的阵列基板还包括第三扫描驱动电路，所述第三扫描驱动电路连接到所述多对栅线，且被配置为产生所述第一扫描信号和所述第二扫描信号。

例如，在本公开的实施例提供的阵列基板中，所述第三扫描驱动电路包括第一扫描驱动子电路和第二扫描驱动子电路，所述第一扫描驱动子电路连接到每对栅线中的第一栅线，且被配置为产生所述第一扫描信号；所述第二扫描驱动子电路连接到每对栅线中的第二栅线，且被配置为产生所述第二扫描信号。

例如，在本公开的实施例提供的阵列基板中，所述第一扫描驱动子电路和所述第二扫描驱动子电路分别设置在所述像素阵列的彼此相对的两侧。

例如，在本公开的实施例提供的阵列基板中，所述每个像素单元包括像素电路，所述像素电路包括：复位电路、数据写入与补偿电路、驱动电路和发光控制电路。所述复位电路包括所述复位信号端，并且连接至复位电压源、所述驱动电路和发光元件，被配置为将复位电压施加至所述驱动电路和所述发光元件以对所述驱动电路和所述发光元件进行复位；所述数据写入与补偿电路包括所述扫描信号端和所述数据信号端，并且连接至所述驱动电路，被配置为将所述数据信号写入所述驱动

电路并对所述驱动电路进行补偿；所述驱动电路被配置为产生驱动所述发光元件发光的驱动电流；所述发光控制电路包括发光控制信号端，并且连接至第一电压源、所述驱动电路和所述发光元件，被配置为将第一电压施加至所述驱动电路，且将所述驱动电路产生的驱动电流施加至所述发光元件。

例如，在本公开的实施例提供的阵列基板中，所述复位电路包括第一复位晶体管和第二复位晶体管；所述数据写入与补偿电路包括数据写入晶体管、补偿晶体管和存储电容；所述驱动电路包括驱动晶体管；所述发光控制电路包括第一发光控制晶体管和第二发光控制晶体管；所述第一复位晶体管的栅极连接至所述复位信号端，所述第一复位晶体管的第一极连接至所述复位电压源，所述第一复位晶体管的第二极连接至所述驱动晶体管的栅极；所述第二复位晶体管的栅极连接至所述复位信号端，所述第二复位晶体管的第一极连接至所述复位电压源，所述第二复位晶体管的第二极连接至所述发光元件的第一端；所述数据写入晶体管的栅极连接至所述扫描信号端，所述数据写入晶体管的第一极连接至所述数据信号端，所述数据写入晶体管的第二极连接至所述驱动晶体管的第一极；所述补偿晶体管的栅极连接至所述扫描信号端，所述补偿晶体管的第一极连接至所述驱动晶体管的第二极，所述补偿晶体管的第二极连接至所述驱动晶体管的栅极；所述存储电容的第一端连接至所述第一电压源，所述存储电容的第二端连接至所述驱动晶体管的栅极；所述第一发光控制晶体管的栅极连接至所述发光控制信号端，所述第一发光控制晶体管的第一极连接至所述第一电压源，所述第一发光控制晶体管的第二极连接至所述驱动晶体管的第一极；所述第二发光控制晶体管的栅极连接至所述发光控制信号端，所述第二发光控制晶体管的第一极连接至所述驱动晶体管的第二极，所述第二发光控制晶体管的第二极连接至所述发光元件的第一端。

本公开至少一实施例还提供一种显示面板，包括前述任一实施例中的阵列基板。

本公开至少一实施例还提供一种应用于前述任一实施例中的阵列基板的驱动方法，包括：对所述第 m 行像素单元中的第 n 列像素单元进行复位；对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位；对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿；使所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

例如，在本公开的实施例提供的驱动方法中，对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位，包括：通过所述第 m 对栅线中的第一栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第一扫描信号，并通过与所述第 n 列像素单元相对应的一条数据线向所述第 m 行像素单元中的第 n 列像素单元提供所述数据信号，以对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时通过所述第 m 对栅线中的第一栅线向第 m 行像素单元中的第 $n+1$ 列像素单元提供所述第一扫描信号作为所述第一复位信号，以对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。

例如，在本公开的实施例提供的驱动方法中，对所述第 m 行像素单元中的第 n 列像素单元进行复位，包括：通过第 $m-1$ 对栅线中的第一栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第一扫描信号作为第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位；或者，通过所述第 $m-1$ 对栅线中的第二栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第二扫描信号作为所述第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位。

例如，在本公开的实施例提供的驱动方法中，对所述第 m 行像素单元中的第 n 列像素单元进行复位，包括：通过第 m 条复位信号线向所述第 m 行像素单元中的第 n 列像素单元提供第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位。

例如，在本公开的实施例提供的驱动方法中，对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿，包括：通过所述第 m 对栅线中的第二栅线向所述第 m 行像素单元中的第 $n+1$ 列像素单元提供所述第二扫描信号并通过与所述第 $n+1$ 列像素单元对应的一条数据线向第 m 行像素单元中的第 $n+1$ 列像素单元提供所述数据信号，以对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿。

例如，在本公开的实施例提供的驱动方法中，使所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示，包括：通过第 m 条发光控制信号线向所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元提供发光控制信号，以使所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附

图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 为一种阵列基板的结构示意图；

图 2A 为本公开的实施例提供的一种阵列基板的结构示意图；

5 图 2B 为本公开的实施例提供的另一种阵列基板的结构示意图；

图 3A 是本公开的实施例提供的又一种阵列基板的结构示意图；

图 3B 是本公开的实施例提供的又一种阵列基板的结构示意图；

图 4A 为本公开的实施例提供的又一种阵列基板的结构示意图；

图 4B 为本公开的实施例提供的又一种阵列基板的结构示意图；

10 图 5 为本公开的实施例提供的阵列基板中的像素单元的结构示意图；

图 6 为图 5 中的像素电路中的各个电路的结构示意图；

图 7 为驱动图 6 中的像素电路的信号时序图；

图 8A 为图 6 所示的像素电路在复位阶段的等效电路图；

15 图 8B 为图 6 所示的像素电路在数据写入与补偿阶段的等效电路图；

图 8C 为图 6 所示的像素电路在发光阶段的等效电路图；

图 9A 是本公开的实施例提供的阵列基板在包括图 6 中的像素电路时的一种结构示意图；

20 图 9B 是本公开的实施例提供的阵列基板在包括图 6 中的像素电路时的另一种结构示意图；

图 10 是驱动本公开的实施例提供的阵列基板的信号的时序图；

图 11 为本公开一实施例提供的显示面板的结构示意图；以及

图 12 为本公开的实施例提供的阵列基板的驱动方法的流程图。

25

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实

30 施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，

35 而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似

的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

图 1 为一种阵列基板的结构示意图。如图 1 所示，该阵列基板包括衬底基板以及设置在衬底基板上的多条栅线 S、多条数据线 D 和像素阵列。像素阵列包括排布为多行多列的多个像素单元 P，第 M 行像素单元连接到第 M 条栅线 S_M 以接收扫描信号，第 N 列像素单元连接到第 N 条数据线 D_N 以接收数据信号。像素阵列的每个像素单元可以在接收到的扫描信号的控制下基于接收到的数据信号进行工作，以发出需要的灰度的光，由此实现图像显示。

在图 1 所示的阵列基板中，由于同一行像素单元中的多列像素单元连接到同一条栅线，因此同一行像素单元中的多列像素单元会在由同一条栅线提供的扫描信号的驱动下同时打开，同一行像素单元中的多列像素单元的打开时间一致；此外，由于同一行像素单元中的多列像素单元连接到多条不同的数据线，因此同一行像素单元中的多列像素单元会先后写入由多条不同的数据线提供的数据信号。在这种情况下，就会导致同一行像素单元中的多列像素单元具有不同的充电方式，诸如先充电后放电和边充电边放电，这进而会导致同一行像素单元中的多列像素单元的显示亮度不均匀，影响显示质量。

本公开至少一实施例提供一种阵列基板，该阵列基板包括：多对栅线，多对栅线中的每对包括第一栅线和第二栅线；多条数据线；以及，像素阵列，包括排布为多行多列的多个像素单元。多个像素单元中的每个包括扫描信号端、数据信号端和复位信号端，多行像素单元与多对栅线一一一对，每列像素单元对应于多条数据线中的一条数据线；第 m 行像素单元中的第 n 列像素单元的扫描信号端连接到第 m 对栅线中的第一栅线以接收第一扫描信号，m 和 n 均为正整数；第 m 行像素单元中的第 n+1 列像素单元的扫描信号端连接到第 m 对栅线中的第二栅线以接收第二扫描信号；第 m 行像素单元中的第 n+1 列像素单元的复位信号端连接到所述第 m 对栅线中的第一栅线以接收第一扫描信号作为第一复位信号；每列像素单元的数据信号端连接到对应的一条数据线以接收数据信号。

在本公开的实施例提供的阵列基板中，第 m 行像素单元中的第 n

列像素单元的扫描信号端可以连接到第 m 对栅线中的第一栅线以接收第一扫描信号，第 m 行像素单元中的第 $n+1$ 列像素单元的扫描信号端可以连接到第 m 对栅线中的第二栅线以接收第二扫描信号，从而第 m 行像素单元中的第 n 列像素单元会在第 m 对栅线中的第一栅线提供的第一扫描信号的驱动下先打开，第 $n+1$ 列像素单元会在第 m 对栅线中的第二栅线提供的第二扫描信号的驱动下后打开，并且可使得第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的打开时间长短一致。在这种情况下，第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的充电方式相同，避免同一行像素单元中的多列像素单元的显示亮度不均匀的问题，进而可以改善显示质量。

此外，在本公开的至少一实施例提供的阵列基板中，第 m 行像素单元中的第 n 列像素单元的扫描信号端可以连接到第 m 对栅线中的第一栅线，并且第 m 行像素单元中的第 $n+1$ 列像素单元的复位信号端也可以连接到第 m 对栅线中的第一栅线，从而可以将第 m 对栅线中的第一栅线提供给第 m 行像素单元中的第 n 列像素单元的第一扫描信号作为第一复位信号施加到第 m 行像素单元中的第 $n+1$ 列像素单元，以对第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。在这种情况下，还可以减少集成在阵列基板上的栅极驱动器（gate driver on array, GOA）的数量，有利于采用该阵列基板的显示装置实现窄边框设计。

下面结合附图对本公开实施例提供的阵列基板进行非限制性的说明，如下面所描述的，在不相互抵触的情况下这些具体实施例中的不同特征可以相互组合，从而得到新的实施例，这些新的实施例也都属于本公开保护的范围。

图 2A 为本公开的实施例提供的一种阵列基板的结构示意图。图 2B 为本公开的实施例提供的另一种阵列基板的结构示意图。

如图 2A 和图 2B 所示，阵列基板 10 包括衬底基板以及设置在衬底基板上的多对栅线 S、多条数据线 D 和像素阵列。该衬底基板可以为玻璃基板、塑料基板等，本公开的实施例对此不作限制。多对栅线 S 可以沿第一方向设置在衬底基板上，多对栅线 S 中的每对包括第一栅线 S_0 和第二栅线 S_e ；多条数据线 D 可以沿第二方向设置在衬底基板上；像素阵列包括排布为多行多列的多个像素单元 110，例如，多个像素单元 110 位于由多对栅线 S 和多条数据线 D 交叉限定出的像素区域中，每个像素单元 110 包括扫描信号端 GA、数据信号端 DA 和复位信号端 RST，以分别接收用于该像素单元 110 的扫描信号（例如，第一扫描信号或第二扫描信号）、数据信号和复位信号（例如，第一复位信号或第二复位

信号)。

例如,第一方向可以与第二方向垂直,第一方向可以是像素阵列的行方向(例如,图2A和图2B中的X方向),第二方向可以是像素阵列的列方向(例如,图2A和图2B中的Y方向)。

5 如图2和图2B所示,多行像素单元可以与多对栅线S一一对应,每行像素单元可以连接到与其对应的一对栅线S,例如,第m行像素单元可以对应于第m对栅线 S_m ,第m行像素单元中的第n列像素单元可以对应于第m对栅线 S_m 中的第一栅线 Se_m ,第m行像素单元中的第n+1列像素单元可以对应于第m对栅线 S_m 中的第二栅线 So_m ,第m行像素单元中的第n列像素单元的扫描信号端GA可以连接到第m对栅线 S_m 中的第一栅线 Se_m 以接收第一扫描信号,第m行像素单元中的第n+1列像素单元的扫描信号端GA可以连接到第m对栅线 S_m 中的第二栅线 So_m 以接收第二扫描信号,m和n均为正整数。

需要说明的是,尽管在图2A和图2B中示出第m对栅线 S_m 中的第一栅线 Se_m 和第二栅线 So_m 设置在第m行像素单元的同一侧,但是本公开的实施例显然不限于此。例如,第m对栅线 S_m 中的第一栅线 Se_m 和第二栅线 So_m 可以设置在第m行像素单元的彼此相对的两侧,例如,第m对栅线 S_m 中的第一栅线 Se_m 可以设置在第m行像素单元的上侧,第m对栅线 S_m 中的第一栅线 Se_m 可以设置在第m行像素单元的下侧。

20 如图2A和图2B所示,多列像素单元可以与多条数据线D一一对应,每列像素单元可以连接到与其对应的一条数据线D,例如,第n列像素单元可以对应于第n条数据线 D_n ,第n列像素单元的数据信号端DA可以连接到第n条数据线 D_n 以接收数据信号。

需要说明的是,尽管在图2A和图2B中示出多列像素单元与多条数据线D一一对应,但是本公开的实施例显然不限于此。例如,每列像素单元对应于多条数据线D中的一条数据线D,且每相邻的两列像素单元对应于同一条数据线D,例如,第n列像素单元和第n+1列像素单元可以对应于同一条数据线,第n+2列像素单元(未示出)和第n+3列像素单元(未示出)可以对应于同一条数据线,……,以此类推。第n列像素单元的数据信号端DA和第n+1列像素单元的数据信号端DA可以连接到同一条数据线以接收数据信号,第n+2列像素单元的数据信号端DA和第n+3列像素单元的数据信号端DA可以连接到同一条数据线以接收数据信号,……,以此类推。

需要说明的是,尽管在图2A和图2B中示出第n条数据线 D_n 设置35 在第n列像素单元的左侧,两条数据线D之间设置有一列像素单元,

但是本公开的实施例显然不限于此。例如，第 n 条数据线 D_n 可以设置
在第 n 列像素单元的右侧。此外，在相邻的两列像素单元对应于同一条
数据线 D 的情况下，一条数据线 D 可以设置在与对应的相邻的两列
像素单元之间，也就是说，两条数据线 D 之间可以设置有两列像素单
元。

如图 2A 和图 2B 所示，第 m 行像素单元中的第 $n+1$ 列像素单元的
复位信号端 RST 可以连接到第 m 对栅线 S_m 中的第一栅线 So_m 以接收第
一扫描信号。在这种情况下，第 m 对栅线 S_m 中的第一栅线 So_m 提供给
第 m 行像素单元中的第 n 列像素单元的第一扫描信号可以作为第一复
位信号施加到第 m 行像素单元中的第 $n+1$ 列像素单元，以对第 m 行像
素单元中的第 $n+1$ 列像素单元进行复位。

在本公开的一些实施例提供的阵列基板中，第 m 行像素单元中的
第 n 列像素单元的复位信号端连接到第 $m-1$ 对栅线中的第一栅线，以接
收第 $m-1$ 对栅线中的第一栅线提供的第一扫描信号作为第二复位信号，
以对第 m 行像素单元中的第 n 列像素单元进行复位，此时， m 为大于 1
的整数。

如图 2A 所示，第 m 行像素单元中的第 n 列像素单元的复位信号端
RST 可以连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 。在这种情况下，
第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 提供给第 $m-1$ 行像素单元中的第
 n 列像素单元的第一扫描信号可以作为第二复位信号施加到第 m 行像
素单元中的第 n 列像素单元，以对第 m 行像素单元中的第 n 列像素单
元进行复位。

此外，如图 2A 所示，在第 m 行像素单元中的第 n 列像素单元的复
位信号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 的情况下，
第 $m-1$ 行像素单元中的第 n 列像素单元的复位信号端 RST 连接到第 $m-1$
对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 。在这种情况下，第 $m-1$ 对栅线 S_{m-1} 中
的第二栅线 Se_{m-1} 提供给第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的第
二扫描信号可以作为第二复位信号施加到第 $m-1$ 行像素单元中的第 n
列像素单元，以对第 $m-1$ 行像素单元中的第 n 列像素单元进行复位。

参考图 2A 可知，在第 m 行像素单元中的第 n 列像素单元的复位信
号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 的情况下，第
 $m-1$ 行像素单元中的第 n 列像素单元的复位信号端 RST 连接到第 $m-1$
对栅线 S_{m-1} 中的第二栅线 Se_{m-1} ，第 m 行像素单元中的第 $n+1$ 列像素单
元的复位信号端 RST 连接到第 m 对栅线 S_m 中的第一栅线 So_m 。在这种
情况下，第 $m-1$ 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元

的复位方式与第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式是不同的。具体地,就第 $m-1$ 行像素单元和第 m 行像素单元各自的工作周期而言,在第 $m-1$ 行像素单元中,第 n 列像素单元利用是利用提供给第 $n+1$ 列像素单元的第二扫描信号作为第二复位信号进行复位;在第 m 行像素单元中,第 $n+1$ 列像素单元是利用提供给第 n 列像素单元的第一扫描信号作为第一复位信号进行复位。

在本公开的另一些实施例提供的阵列基板中,第 m 行像素单元中的第 n 列像素单元的复位信号端连接到第 $m-1$ 对栅线中的第二栅线,以接收第 $m-1$ 对栅线中的第二栅线提供的第二扫描信号作为第二复位信号,以对第 m 行像素单元中的第 n 列像素单元进行复位,此时 m 为大于 1 的整数。

如图 2B 所示,第 m 行像素单元中的第 n 列像素单元的复位信号端 RST 可以连接到第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 。在这种情况下,第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 提供给第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的第二扫描信号可以作为第二复位信号施加到第 m 行像素单元中的第 n 列像素单元,以对第 m 行像素单元中的第 n 列像素单元进行复位。

此外,如图 2B 所示,在第 m 行像素单元中的第 n 列像素单元的复位信号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 的情况下,第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 。在这种情况下,第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 提供给第 $m-1$ 行像素单元中的第 n 列像素单元的第一扫描信号可以作为第一复位信号施加到第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元,以对第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元进行复位。

参考图 2B 可知,在第 m 行像素单元中的第 n 列像素单元的复位信号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 的情况下,第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} ,第 m 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 连接到第 m 对栅线 S_m 中的第一栅线 So_m 。在这种情况下,第 $m-1$ 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式与第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式是相同的。具体地,就第 $m-1$ 行像素单元和第 m 行像素单元各自的工作周期而言,在第 $m-1$ 行像素单元和第 m 行像素单元中,第 $n+1$ 列像素单元都是利用提供给第 n 列像素单元的第一扫描信号作为第一复位信号进行复位。

需要说明的是，在本公开中，第一复位信号和第二复位信号是针对同一行像素单元中的不同列（例如，第 n 列和第 $n+1$ 列）中的像素单元而言的，仅仅用于在描述中进行区分，而非表示时间上的先后等限制。例如，第一复位信号可以指对第 $n+1$ 列像素单元进行复位的信号，第二复位信号可以指对第 n 列像素单元进行复位的信号。例如，在这种情况下，如图 2A 所示，在第 m 行像素单元中，第 n 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 接收第一扫描信号作为第二复位信号，第 $n+1$ 列像素单元从第 m 对栅线 S_m 中的第一栅线 So_m 接收第一扫描信号作为第一复位信号；在第 $m-1$ 行像素单元中，第 n 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 接收第二扫描信号作为第二复位信号。如图 2B 所示，在第 m 行像素单元中，第 n 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 接收第二扫描信号作为第二复位信号，第 $n+1$ 列像素单元从第 m 对栅线 S_m 中的第一栅线 So_m 接收第一扫描信号作为第一复位信号；在第 $m-1$ 行像素单元中，第 $n+1$ 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 接收第一扫描信号作为第一复位信号。在本公开的至少一实施例提供的阵列基板中，多个像素单元中的每个像素单元还包括发光控制信号端，以接收用于该像素单元的发光控制信号。相应地，该实施例提供的阵列基板还可以包括设置在衬底基板上的多条发光控制信号线，多条发光控制信号线与多行像素单元一一对应，第 m 行像素单元的发光控制信号端连接到第 m 条发光控制信号线以接收发光控制信号。

如图 2A 和图 2B 所示，每个像素单元 110 还包括发光控制信号端 EM。阵列基板 10 还包括设置在衬底基板上的多条发光控制信号线 E，例如，多条发光控制信号线 E 可以沿第一方向设置在衬底基板上。多条发光控制信号线 E 可以与多行像素单元一一对应，每行像素单元可以连接到与其对应的一条发光控制信号线 E。例如，第 m 行像素单元对应于第 m 条发光控制信号线 E_m ，第 m 行像素单元的发光控制信号端 EM 可以连接到第 m 条发光控制信号线 E_m 以接收发光控制信号。

需要说明的是，尽管在图 2A 和图 2B 中示出第 m 条发光控制信号线 E_m 设置在第 m 行像素单元的下侧，但是本公开的实施例显然不限于此。例如，第 m 条发光控制信号线 E_m 可以设置在第 m 行像素单元的上侧。

本公开的一些实施例中，阵列基板还可以包括设置在衬底基板上的多条复位信号线，多条复位信号线与多行像素单元一一对应，第 m 行像素单元中的第 n 列像素单元的复位信号端连接到第 m 条复位信号线

以接收第二复位信号，以对第 m 行像素单元中的第 n 列像素单元进行复位。

图 3A 是本公开的实施例提供的又一种阵列基板的结构示意图。图 3B 是本公开的实施例提供的又一种阵列基板的结构示意图。

如图 3A 和图 3B 所示，阵列基板 10 还包括设置在衬底基板上的多条复位信号线 R ，例如，多条复位信号线 R 可以沿第一方向设置在衬底基板上。在图 3A 和图 3B 所示的阵列基板 10 中，第 m 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 可以连接到第 m 对栅线 S_m 中的第一栅线 So_m 以接收第一扫描信号作为第一复位信号，以对第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。

如图 3A 和图 3B 所示，多条复位信号线 R 可以与多行像素单元一一对应，每行像素单元可以连接到与其对应的一条复位信号线 R 。例如，第 m 行像素单元可以对应于第 m 条复位信号线 R_m ，第 m 行像素单元中的第 n 列像素单元的复位信号端 RST 可以连接到第 m 条复位信号线 R_m 以接收第二复位信号，以对第 m 行像素单元中的第 n 列像素单元进行复位。

需要说明的是，尽管在图 3A 和图 3B 中示出第 m 条复位信号线 R_m 与第 m 对栅线 S_m 中的第一栅线 Se_m 和第二栅线 So_m 设置在第 m 行像素单元的同一侧，但是本公开的实施例显然不限于此。例如，第 m 条复位信号线 R_m 与第 m 对栅线 S_m 中的第一栅线 Se_m 和第二栅线 So_m 可以设置在第 m 行像素单元的彼此相对的两侧，例如，第 m 条复位信号线 R_m 可以设置在第 m 行像素单元的上侧，第 m 对栅线 S_m 中的第一栅线 Se_m 和第二栅线 So_m 可以设置在第 m 行像素单元的下侧。

如图 3A 所示，第 $m-1$ 行像素单元中的第 n 列像素单元的复位信号端 RST 可以连接到第 $m-1$ 条复位信号线 R_{m-1} 以接收第二复位信号，以对第 $m-1$ 行像素单元中的第 n 列像素单元进行复位， m 为大于 1 的整数。在这种情况下，第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 可以连接到第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 以接收第一扫描信号作为第一复位信号，以对第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元进行复位。

参考图 3A 可知，第 $m-1$ 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式与第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式可以是相同的。具体地，就第 $m-1$ 行像素单元和第 m 行像素单元各自的工作周期而言，在 $m-1$ 行像素单元和第 m 行像素单元中，第 n 列像素单元是利用单独提供的第二复位信号进行复位，

第 $n+1$ 列像素单元是利用提供给第 n 列像素单元的第一扫描信号作为第二复位信号进行复位。

如图 3B 所示, 第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元的复位信号端 RST 可以连接到第 $m-1$ 条复位信号线 R_{m-1} 以接收第一复位信号, 以对第 $m-1$ 行像素单元中的第 $n+1$ 列像素单元进行复位。在这种情况下, 第 $m-1$ 行像素单元中的第 n 列像素单元的复位信号端 RST 可以连接到第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 以接收第二扫描信号作为第二复位信号, 以对第 $m-1$ 行像素单元中的第 n 列像素单元进行复位。

参考图 3B 可知, 第 $m-1$ 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式与第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的复位方式可以是不同的。具体地, 就第 $m-1$ 行像素单元和第 m 行像素单元各自的工作周期而言, 在 $m-1$ 行像素单元中, 第 n 列像素单元是利用提供给第 $n+1$ 列像素单元的第二扫描信号作为第二复位信号进行复位, 第 $n+1$ 列像素单元是利用单独提供的第一复位信号进行复位; 在第 m 行像素单元中, 第 n 列像素单元是利用单独提供的第二复位信号进行复位, 第 $n+1$ 列像素单元是利用提供给第 n 列像素单元的第一扫描信号作为第一复位信号进行复位。

需要说明的是, 在本公开的实施例中, 为了进行区分, 将对第 $n+1$ 列像素单元进行复位的信号称做第一复位信号, 并将对第 n 列像素单元进行复位的信号称做第二复位信号。例如, 在这种情况下, 如图 3A 和 3B 所示, 在第 m 行像素单元中, 第 n 列像素单元从第 m 条复位信号线 R_m 接收第二复位信号, 第 $n+1$ 列像素单元从第 m 对栅线 S_m 中的第一栅线 So_m 接收第一扫描信号作为第一复位信号; 如图 3A 所示, 在第 $m-1$ 行像素单元中, 第 n 列像素单元从第 $m-1$ 条复位信号线 R_{m-1} 接收第二复位信号, 第 $n+1$ 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 接收第一扫描信号作为第一复位信号; 如图 3B 所示, 在第 $m-1$ 行像素单元中, 第 n 列像素单元从第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 接收第二扫描信号作为第二复位信号, 第 $n+1$ 列像素单元从第 $m-1$ 条复位信号线 R_{m-1} 接收第一复位信号。

为了简便起见, 这里仅对图 3A 和图 3B 中的多条复位信号线 R 进行了详细描述, 关于图 3A 和图 3B 中的多对栅线 S 、多条数据线 D 、多条发光控制信号线 E 和多个像素单元 110 的描述, 可以参考上面对图 2A 和图 2B 中的多对栅线 S 、多条数据线 D 、多条发光控制信号线 E 和多个像素单元 100 的相关描述, 这里不再赘述。

需要说明的是, 尽管在图 2A、图 2B、图 3A 和图 3B 中, 以从上

到下的顺序对多对栅线 S、多条复位信号线 R、多条发光控制信号线 E 进行了编号，并以从左到右的顺序对多条数据线 D 进行了编号，但是这仅仅是为了方便描述，而非限定各条信号线的绝对位置关系，本公开的实施例显然也不限于此。例如，可以以从下到上的顺序对多对栅线 S、
5 多条复位信号线 R、多条发光控制信号线 E 进行编号，和/或以从右到左的顺序对多条数据线 D 进行编号。

本公开的至少一实施例提供的阵列基板还可以包括设置在衬底基板上的第一扫描驱动电路，第一扫描驱动电路连接至多条复位信号线，且被配置为产生第二复位信号。

10 本公开的至少一实施例提供的阵列基板还可以包括设置在衬底基板上的第二扫描驱动电路，第二扫描驱动电路连接至多条发光控制信号线，且配置为产生发光控制信号。

本公开的至少一实施例提供的阵列基板还可以包括设置在衬底基板上的第三扫描驱动电路，第三扫描驱动电路连接到多对栅线，且被配置为产生第一扫描信号和第二扫描信号。
15

图 4A 为本公开的实施例提供的又一种阵列基板的结构示意图。

如图 4A 所示，阵列基板 10 还包括设置在衬底基板上的第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230。

如图 4A 所示，第一扫描驱动电路 210 可以连接到多条复位信号线 R，且被配置为产生第二复位信号。例如，第一扫描驱动电路 210 可以通过第 m 条复位信号线 R_m 向第 m 行像素单元中的第 n 列像素单元提供第二复位信号。
20

如图 4A 所示，第二扫描驱动电路 220 可以连接到多条发光控制信号线 E，且被配置为产生发光控制信号。例如，第二扫描驱动电路 220 可以通过第 m 条发光控制信号线 E_m 向第 m 行像素单元中的第 n 列像素单元和第 n+1 列像素单元提供发光控制信号。
25

如图 4A 所示，第三扫描驱动电路 230 可以连接到多对栅线 S，且配置为产生第一扫描信号和第二扫描信号。例如，第三扫描驱动电路 230 可以通过第 m 对栅线 S_m 中的第一栅线 So_m 向第 m 行像素单元中的第 n 列像素单元提供第一扫描信号，并且可以通过第 m 对栅线 S_m 中的第二栅线 Se_m 向第 m 行像素单元中的第 n+1 列像素单元提供第二扫描信号。
30

需要说明的是，尽管图 4A 示出第二复位信号、发光控制信号以及第一扫描信号和第二扫描信号分别由第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 提供，但是本公开的实施例显然
35

不限于此。例如，第二复位信号、发光控制信号以及第一扫描信号和第二扫描信号可以由同一个更大的扫描驱动电路提供。

需要说明的是，尽管图 4A 中示出第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 均设置在像素阵列的左侧，但是本公开的实施例显然不限于此。例如，第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 可以均设置在像素阵列的右侧、上侧或下侧，或者第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 可以分别设置在像素阵列的不同侧。

例如，图 4A 中示出的第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 可以是栅极驱动集成电路（芯片），从而可以通过绑定方式设置在衬底基板上，或者可以通过半导体工艺直接制备在衬底基板上，即采用 GOA 形式。此外，尽管图 4A 示出第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 是单独提供的，但是第一扫描驱动电路 210、第二扫描驱动电路 220 和第三扫描驱动电路 230 可以以组合的方式提供，例如，由同一个栅极驱动集成电路提供，或者制备在衬底基板上的同一个区域中。在本公开的另一实施例提供的阵列基板中，第三扫描驱动电路包括第一扫描驱动子电路和第二扫描驱动子电路。第一扫描驱动子电路连接到每对栅线中的第一栅线，且被配置为产生第一扫描信号；第二扫描驱动子电路连接到每对栅线中的第二栅线，且被配置为产生第二扫描信号。

图 4B 为本公开的实施例提供的又一种阵列基板的结构示意图。

如图 4B 所示，第三扫描驱动电路 230 包括第一扫描驱动子电路 231 和第二扫描驱动子电路 232。

如图 4B 所示，第一扫描驱动子电路 231 可以连接到每对栅线 S 中的第一栅线 S_o ，并被配置为产生第一扫描信号。例如，第一扫描驱动子电路 231 可以通过第 m 对栅线 S_m 中的第一栅线 S_{om} 向第 m 行像素单元中的第 n 列像素单元提供第一扫描信号。

如图 4B 所示，第二扫描驱动子电路 232 可以连接到每对栅线 S 中的第二栅线 S_e ，并被配置为产生第二扫描信号。例如，第二扫描驱动子电路 232 可以通过第 m 对栅线 S_m 中的第二栅线 S_{em} 向第 m 行像素单元中的第 n+1 列像素单元提供第二扫描信号。

为了简便起见，这里仅对图 4B 中的第一扫描驱动子电路 231 和第二扫描驱动子电路 232 进行了详细描述，关于 4B 中的第一扫描驱动电路 210、第二扫描驱动电路 220 的描述，可以参考上面对图 4A 中的第一扫描驱动电路 210、第二扫描驱动电路 220 的相关描述，这里不再赘

述。

需要说明的是，尽管图 4B 中示出第一扫描驱动子电路 231 和第二扫描驱动子电路 232 分别设置在像素阵列的彼此相对的两侧（左侧和右侧），但是本公开的实施例显然不限于此。例如，第一扫描驱动子电路 231 和第二扫描驱动子电路 232 可以设置在像素阵列的同一侧，例如，第一扫描驱动子电路 231 和第二扫描驱动子电路 232 可以均设置在像素阵列的左侧、右侧、上侧或下侧。

需要说明的是，尽管图 4A 和图 4B 中的阵列基板 10 中的各条连接线（例如，多对栅线 S、多条数据线 D、多条复位信号线 R 和多条发光控制线 E）与像素阵列的连接方式与图 3A 中的阵列基板 10 中的连接方式相同，但是图 4A 和图 4B 中的阵列基板 10 中的各条连接线与像素阵列的连接方式也可以采用图 3B 中的阵列基板 10 中的连接方式。此外，图 4A 和图 4B 中的阵列基板 10 中的各条连接线与像素阵列的连接方式也可以采用图 2A 或图 2B 中的阵列基板 10 中的连接方式，在这种情况下，图 4A 和图 4B 中的阵列基板 10 可以不包括多条复位信号线 R，相应地也不包括第一扫描驱动电路 210。

在上述图 2A-图 4B 所示的实施例中，多列像素单元与多条数据线一一对应，但是本公开的实施例显然不限于此。例如，在图 2A-图 4B 所示的实施例的变形中还可以至少两列像素单元对应于一条数据线，例如，相邻的两列像素单元对应于同一条数据线，相邻两列像素单元的数据信号端可以连接到同一条数据线以接收同一个数据信号（参见后面图 9B 所示的实施例），由此实现数据线的共享，减少数据线的数量以及数据驱动电路的数量，从而降低制造成本。

在本公开的实施例提供的阵列基板中，每个像素单元包括像素电路和发光元件，像素电路包括复位电路、数据写入与补偿电路、驱动电路和发光控制电路。复位电路包括复位信号端，并且连接至复位电压源、驱动电路和发光元件，被配置为将复位电压施加至驱动电路和发光元件以对驱动电路和发光元件进行复位；数据写入与补偿电路包括扫描信号端和数据信号端，并且连接至驱动电路，被配置为将数据信号写入驱动电路并对驱动电路进行补偿；驱动电路被配置为产生驱动发光元件发光的驱动电流；发光控制电路包括发光控制信号端，并且连接至第一电压源、驱动电路和发光元件，被配置为将第一电压施加至驱动电路，且将驱动电路产生的驱动电流施加至发光元件。

图 5 为本公开的实施例提供的阵列基板中的像素单元的结构示意图。如图 5 所示，像素单元 100 包括像素电路 110 和发光元件 120。像

素电路 110 包括复位电路 111、数据写入与补偿电路 112、驱动电路 113 和发光控制电路 114。

如图 5 所示，复位电路 111 包括复位信号端 RST，连接到复位电压源 VINT、驱动电路 113 和发光元件 120，并且被配置为在复位信号的控制下将从复位电压源 VINT 接收到的复位电压施加到驱动电路 113 和发光元件 120，以对驱动电路 113 和发光元件 120 进行复位。例如，这里的复位信号可以是前面的实施例中所述的第一复位信号或第二复位信号，后续的实施例中提到的复位信号具有与此类似的含义，因此将不再赘述。

如图 5 所示，数据写入与补偿电路 112 包括扫描信号端 GA 和数据信号端 DA，连接到驱动电路 113，并且被配置为在扫描信号的控制下将数据信号写入到驱动电路 113 中，并对驱动电路 113 进行补偿。例如，这里的扫描信号可以是前面的实施例中所述的第一扫描信号或第二扫描信号，后续的实施例中提到的扫描信号具有与此类似的含义，因此将不再赘述。

如图 5 所示，驱动电路 130 连接至复位电路 111、数据写入与补偿电路 112 和发光控制电路 114，并且被配置为产生驱动发光元件 120 发光的驱动电流。

如图 5 所示，发光控制电路 114 包括发光控制信号端 EM，连接到第一电压源 VDD、驱动电路 113 和发光元件 120，并且被配置为在发光控制信号的控制下将从第一电压源 VDD 接收到的第一电压施加至驱动电路 113，并将驱动电路 120 产生的驱动电流施加至发光元件 120。

如图 5 所示，发光元件 120 连接至第二电压源 VSS、复位电路 111 和发光控制电路 114，并且被配置为在驱动电路 113 产生的驱动电流的驱动下发光。

例如，发光元件 120 可以为发光二极管等。发光二极管可以为有机发光二极管（OLED）或量子点发光二极管（QLED）等。

在本公开的至少一实施例提供的阵列基板中，复位电路包括第一复位晶体管和第二复位晶体管，数据写入与补偿电路包括数据写入晶体管、补偿晶体管和存储电容，驱动电路包括驱动晶体管，发光控制电路包括第一发光控制晶体管和第二发光控制晶体管。数据写入晶体管的栅极连接至扫描信号端，数据写入晶体管的第一极连接至数据信号端，数据写入晶体管的第二极连接至所述驱动晶体管的第一极；补偿晶体管的栅极连接至扫描信号端，补偿晶体管的第一极连接至驱动晶体管的第二极，补偿晶体管的第二极连接至驱动晶体管的栅极；存储电容的第一端

连接至第一电压源，存储电容的第二端连接至驱动晶体管的栅极；第一复位晶体管的栅极连接至复位信号端，第一复位晶体管的第一极连接至复位电压源，第一复位晶体管的第二极连接至驱动晶体管的栅极；第二复位晶体管的栅极连接至复位信号端，第二复位晶体管的第一极连接至复位电压源，第二复位晶体管的第二极连接至发光元件的第一端；第一发光控制晶体管的栅极连接至发光控制信号端，第一发光控制晶体管的第一极连接至第一电压源，第一发光控制晶体管的第二极连接至驱动晶体管的第一极；第二发光控制晶体管的栅极连接至发光控制信号端，第二发光控制晶体管的第一极连接至驱动晶体管的第二极，第二发光控制晶体管的第二极连接至发光元件的第一端。

图6为图5中的像素电路中的各个电路的结构示意图。如图6所示，复位电路111包括第一复位晶体管T1和第二复位晶体管T2；数据写入与补偿电路112包括数据写入晶体管T3、补偿晶体管T4和存储电容Cst；驱动电路113包括驱动晶体管Td；发光控制电路114包括第一发光控制晶体管T5和第二发光控制晶体管T6。

如图6所示，第一复位晶体管T1的栅极连接至复位信号端RST以接收复位信号，第一复位晶体管T1的第一极连接至第一电压源VINT以接收第一电压，第一复位晶体管T1的第二极连接至驱动晶体管Td的栅极。

如图6所示，第二复位晶体管T2的栅极连接至复位信号端RST以接收复位信号，第二复位晶体管T2的第一极连接至第一电压源VINT以接收第一电压，第二复位晶体管T2的第二极连接至发光元件120的第一端。

如图6所示，数据写入晶体管T3的栅极连接至扫描信号端GA以接收扫描信号，数据写入晶体管T3的第一极连接至数据信号端以接收数据信号，数据写入晶体管T3的第二极连接至驱动晶体管Td的第一极。

如图6所示，补偿晶体管T4的栅极连接至扫描信号端GA以接收扫描信号，补偿晶体管T4的第一极连接至驱动晶体管Td的第二极，补偿晶体管T4的第二极连接至驱动晶体管Td的栅极。

如图6所示，存储电容Cst的第一端连接到第一电压源，存储电容Cst的第二端连接到驱动晶体管Td的栅极。

如图6所示，第一发光控制晶体管T5的栅极连接至发光控制信号端EM以接收发光控制信号，第一发光控制晶体管T5的第一极连接至第一电压源VDD以接收第一电压，第一发光控制晶体管T5的第二极

连接至驱动晶体管 T5 的第一极。

如图 6 所示, 第二发光控制晶体管 T6 的栅极连接至发光控制信号端 EM 以接收发光控制信号, 第二发光控制晶体管 T6 的第一极连接至驱动晶体管 Td 的第二极, 第二发光晶体管 T6 的第二极连接至发光元件 120 的第一端。

如图 6 所示, 发光元件 120 的第二端连接至第二电压源 Vss 以接收第二电压。例如, 如图 6 所示, 发光元件 120 是有机发光二极管(OLED), OLED 的阳极作为发光元件 120 的第一端, OLED 的阴极为发光元件 120 的第二端。

需要说明的是, 本公开实施例均是以复位电压源 VINT 输入低电压, 第一电压源 VDD 输入高电压, 第二电压源 VSS 输入低电压, 或将发光元件 120 的第二端接地为例进行的说明, 并且这里的高、低仅表示输入的电压之间的相对大小关系。

需要说明的是, 本公开的实施例中采用的晶体管均可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件, 本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的, 所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中, 为了区分晶体管除栅极之外的两极, 直接描述了其中一极为第一极, 另一极为第二极。

此外, 需要说明的是, 本公开的实施例中采用的晶体管均可以为 P 型晶体管或 N 型晶体管, 只需将选定类型的晶体管的各极参照本公开的实施例中的相应晶体管的各极相应连接, 并且使相应的电压端提供对应的高电压或低电压即可。例如, 对于 N 型晶体管, 其输入端为漏极而输出端为源极, 其控制端为栅极; 对于 P 型晶体管, 其输入端为源极而输出端为漏极, 其控制端为栅极。对于不同类型的晶体管, 其控制端的控制信号的电平也不相同。例如, 对于 N 型晶体管, 在控制信号为高电平时, 该 N 型晶体管处于导通状态; 而在控制信号为低电平时, N 型晶体管处于截止状态。对于 P 型晶体管时, 在控制信号为低电平时, 该 P 型晶体管处于导通状态; 而在控制信号为高电平时, P 型晶体管处于截止状态。当采用 N 型晶体管时, 可以采用氧化物半导体, 例如氧化铟镓锌 (Indium Gallium Zinc Oxide, IGZO), 作为薄膜晶体管的有源层, 相对于采用低温多晶硅 (Low Temperature Poly Silicon, LTPS) 或非晶硅 (例如氢化非晶硅) 作为薄膜晶体管的有源层, 可以有效减小晶体管的尺寸以及防止漏电流。低温多晶硅通常指由非晶硅结晶得到多晶硅的结晶温度低于 600 摄氏度的情形。

图 7 为驱动图 6 中的像素电路的信号时序图。如图 7 所示，像素电路 110 的工作过程包括三个阶段，分别为复位阶段 P1、数据写入和补偿阶段 P2 以及发光阶段 P3。

图 8A 为图 6 所示的像素电路在复位阶段的等效电路图。图 8B 为图 6 所示的像素电路在数据写入与补偿阶段的等效电路图。图 8C 为图 6 所示的像素电路在发光阶段的等效电路图。

在图 7 以及图 8A、图 8B 和图 8C 中，VDD、VSS 和 VINT 既用于表示相应的电压源，也用于表示相应的电压；RST、GA、DA、和 EM 既用于表示相应的信号端，也用于表示相应的信号。此外，在图 8A、图 8B 和图 8C 中用“×”标识的晶体管均表示该晶体管在对应阶段内处于截止状态。

下面以第一复位晶体管 T1、第二复位晶体管 T2、数据写入晶体管 T3、补偿晶体管 T4、驱动晶体管 Td、第一发光控制晶体管 T5 和第二发光控制晶体管 T6 均采用 P 型晶体管为例，结合图 7 以及图 8A、图 8B 和图 8C 对图 6 中的像素电路的工作过程进行说明。

如图 7 所示，在复位阶段 P1，输入低电平的复位信号 RST，高电平的扫描信号 GA、高电平的发光控制信号 EM 和低电平的数据信号 DA。

在复位阶段 P1，如图 8A 所示，第一复位晶体管 T1 的栅极接收到低电平的复位信号 RST，第一复位晶体管 T1 导通，从而将复位电压 VINT 施加至驱动晶体管 Td 的栅极以对驱动晶体管 Td 的栅极进行复位，使得驱动晶体管 Td 以导通状态进入数据写入与补偿阶段 P2。

在复位阶段 P1，如图 8A 所示，第二复位晶体管 T2 的栅极接收低电平的复位信号 RST，第二复位晶体管 T2 导通，从而将复位电压 VINT 施加至 OLED 的阳极以对 OLED 的阳极进行复位，使得 OLED 在发光阶段 P3 之前不发光。

此外，在复位阶段 P1，如图 8A 所示，数据写入晶体管 T3 的栅极接收到高电平的扫描信号 GA，数据写入晶体管 T3 截止；补偿晶体管 T4 的栅极接收到高电平的扫描信号 GA，补偿晶体管 T4 截止；第一发光控制晶体管 T5 的栅极接收到高电平的发光控制信号 EM，第一发光控制晶体管 T5 截止；第二发光控制晶体管 T6 的栅极接收到高电平的发光控制信号 EM，第二发光控制晶体管 T6 截止。

如图 7 所示，在数据写入与补偿阶段 P2，输入高电平的复位信号 RST，低电平的扫描信号 GA、高电平的发光控制信号 EM 和高电平的数据信号 DA。

在数据写入与补偿阶段 P2，如图 8B 所示，数据写入晶体管 T3 的栅极接收到低电平的扫描信号 GA，数据写入晶体管 T3 导通，从而将数据信号写入第一节点 N1（即，驱动晶体管 Td 的第一极）。补偿晶体管 T4 的栅极接收到低电平的扫描信号 GA，补偿晶体管 T3 导通。由于数据写入晶体管 T3、驱动晶体管 Td 和补偿晶体管 T4 均导通，所以数据信号 DA 经过数据写入晶体管 T3、驱动晶体管 Td 和补偿晶体管 T4 对存储电容 Cst 进行充电，也就是对第二节点 N2（即，驱动晶体管 Td 的栅极）进行充电，第三节点 N3 的电压逐渐升高。

容易理解，在数据写入与补偿阶段 P2，由于数据写入晶体管 T3 导通，第一节点 N1 的电压保持为 Vda。同时，根据驱动晶体管 Td 自身的特性，当第二节点 N2 的电压升高至 $Vda+V_{th}$ 时，驱动晶体管 Td 截止，充电过程结束。这里，Vda 表示数据信号 DA 的电压，Vth 表示驱动晶体管 Td 的阈值电压，由于在本实施例中，驱动晶体管 T1 是以 P 型晶体管为例进行说明的，所以此处阈值电压 Vth 可以是负值。

经过数据写入和补偿阶段 2 后，第二节点 N2 的电压为 $Vdata+V_{th}$ ，也就是说数据信号 DA 和阈值电压 Vth 的电压信息被存储在存储电容 Cst 中，以用于后续在发光阶段 P3 时，对驱动晶体管 Td 的阈值电压进行补偿。

此外，在数据写入与补偿阶段 P2，如图 8B 所示，第一复位晶体管 T1 的栅极接收到高电平的复位信号 RST，第一复位晶体管 T1 截止；第二复位晶体管 T2 的栅极接收到高电平的复位信号，第二复位晶体管 T2 截止；第一发光控制晶体管 T5 的栅极接收到高电平的发光控制信号 EM，第一发光控制晶体管 T5 截止；第二发光控制晶体管 T6 的栅极接收到高电平的发光控制信号 EM，第二发光控制晶体管 T6 截止。

如图 7 所示，在发光阶段 P3，输入高电平的复位信号 RST，高电平的扫描信号 GA、低电平的发光控制信号 EM 和低电平的数据信号 DA。

在发光阶段 P3，如图 8C 所示，第一发光控制晶体管 T5 的栅极接收到低电平的发光控制信号 EM，第一发光控制晶体管 T5 导通，从而将第一电压 VDD 施加至第一节点 N1（即，驱动晶体管 Td 的第一极）。第二发光控制晶体管 T6 的栅极接收到低电平的发光控制信号 EM，第二发光控制晶体管 T6 导通，从而将驱动晶体管 Td 产生的驱动电流施加至 OLED。

此外，在发光阶段 P3，如图 8C 所示，第一复位晶体管 T1 的栅极接收到高电平的复位信号 RST，第一复位晶体管 T1 截止；第二复位晶

晶体管 T2 的栅极接收到高电平的复位信号，第二复位晶体管 T2 截止；数据写入晶体管 T3 的栅极接收到高电平的扫描信号 GA，数据写入晶体管 T3 截止；补偿晶体管 T4 的栅极接收到高电平的扫描信号 GA，补偿晶体管 T4 截止。

5 容易理解，在发光阶段 P3，由于第一发光控制晶体管 T5 导通，第一节点 N1 的电压为 VDD，而第二节点 N2 的电压为 Vdata+Vth，所以驱动晶体管 Td 也导通。

在发光阶段 P3，如图 8C 所示，OLED 的阳极和阴极分别接入了第一电压 VDD（高电压）和第二电压 VSS（低电压），从而在驱动晶体管 Td 产生的驱动电流的驱动下发光。

基于驱动晶体管 Td 的饱和电流公式，驱动 OLED 发光的驱动电流 I_D 可以根据下式得出：

$$\begin{aligned} I_D &= K (V_{GS} - V_{th})^2 \\ &= K [(V_{da} + V_{th} - VDD) - V_{th}]^2 \\ 15 \quad &= K (V_{da} - VDD)^2 \end{aligned}$$

在上述公式中， V_{th} 表示驱动晶体管 Td 的阈值电压， V_{GS} 表示驱动晶体管 Td 的栅极和源极之间的电压，K 为常数。从上式可以看出，流经 OLED 的驱动电流 I_{D1} 不再与驱动晶体管 Td 的阈值电压 V_{th} 有关，而只与数据信号 DA 的电压 V_{da} 有关，由此可以实现对驱动晶体管 Td 的阈值电压 V_{th} 的补偿，解决了驱动晶体管 Td 由于工艺制程及长时间的操作造成阈值电压漂移的问题，消除其对驱动电流 I_D 的影响，从而可以改善显示效果。

例如，上述公式中 K 可以表示为：

$$K = 0.5 \mu_n C_{ox} (W/L),$$

其中， μ_n 为驱动晶体管 Td 的电子迁移率， C_{ox} 为驱动晶体管 Td 的栅极单位电容量，W 为驱动晶体管 Td 的沟道宽，L 为驱动晶体管 Td 的沟道长。

图 9A 是本公开的实施例提供的阵列基板在包括图 6 中的像素电路时的一种结构示意图。

如图 9A 所示，在第 m-1 行像素单元中的第 n 列像素单元中，第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 条复位信号线 R_{m-1} 以接收第二复位信号，数据写入晶体管 T3 的栅极和补偿晶体管 T4 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 以接收第一扫描信号，数据写入晶体管 T3 的第一极连接到第 n 条数据线 D_n 以接收数据信号，第一发光控制晶体管 T5 的栅极和第二发光控制晶体管 T6 的栅极连接到第 m-1 条发光控制信号线 E_{m-1} 以接收发光控制信号。

35 如图 9A 所示，在第 m-1 行像素单元中的第 n+1 列像素单元中，第一复

位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 对栅线 S_m 中的第一栅线 So_{m-1} 以接收第一扫描信号作为第一复位信号, 数据写入晶体管 T3 的栅极和补偿晶体管 T4 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 以接收第二扫描信号, 数据写入晶体管 T3 的第一极连接到第 n+1 条数据线 D_{n+1} 以接收数据信号, 第一发光控制晶体管 T5 的栅极和第二发光控制晶体管 T6 的栅极连接到第 m-1 条发光控制信号线 E_{m-1} 以接收发光控制信号。

如图 9A 所示, 在第 m 行像素单元中的第 n 列像素单元中, 第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m 条复位信号线 R_m 以接收第二复位信号, 数据写入晶体管 T3 的栅极和补偿晶体管 T4 的栅极连接到第 m 对栅线 S_m 中的第一栅线 So_m 以接收第一扫描信号, 数据写入晶体管 T3 的第一极连接到第 n 条数据线 D_n 以接收数据信号, 第一发光控制晶体管 T5 的栅极和第二发光控制晶体管 T6 的栅极连接到第 m 条发光控制信号线 E_m 以接收发光控制信号。

如图 9A 所示, 在第 m 行像素单元中的第 n+1 列像素单元中, 第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m 对栅线 S_m 中的第一栅线 So_m 以接收第一扫描信号作为第一复位信号, 数据写入晶体管 T3 的栅极和补偿晶体管 T4 的栅极连接到第 m 对栅线 S_m 中的第二栅线 Se_m 以接收第二扫描信号, 数据写入晶体管 T3 的第一极连接到第 n+1 条数据线 D_{n+1} 以接收数据信号, 第一发光控制晶体管 T5 的栅极和第二发光控制晶体管 T6 的栅极连接到第 m 条发光控制信号线 E_m 以接收发光控制信号。

需要说明的是, 尽管图 9A 示出的包括图 6 中的像素电路的阵列基板 10 采用了图 3A 中所示的阵列基板 10 的结构, 但是本公开的实施例显然不限于此。图 9A 示出的阵列基板 10 可以采用图 2A、图 2B 或图 3B 中的阵列基板 10 的结构。

例如, 在包括图 6 中的像素电路的阵列基板采用图 2A 中的阵列基板 10 的结构的情况下, 阵列基板可以不包括复位信号线 R; 在第 m-1 行像素单元中的第 n 列像素单元中, 第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 以接收第二扫描信号作为第二复位信号; 在第 m 行像素单元中的第 n 列像素单元中, 第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 以接收第一扫描信号作为第二复位信号。在这种情况下, 关于第 m-1 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式以及第 m 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式, 可以参考上面对图 9A 的阵列基板 10 (即, 采用图 3A 中的阵列基板 10 的结构) 所做的描述, 这里不再赘述。

例如，在包括图 6 中的像素电路的阵列基板采用图 2B 中的阵列基板 10 的结构的情况下，阵列基板可以不包括复位信号线 R；在第 m 行像素单元中的第 n 列像素单元中，第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 以接收第二扫描信号作为第二复位信号。在这种情况下，关于第 m-1 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式以及第 m 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式，可以参考上面对图 9A 的阵列基板 10（即，采用图 3A 中的阵列基板 10 的结构）所做的描述，这里不再赘述。

例如，在包括图 6 中的像素电路的阵列基板采用图 3B 中的阵列基板 10 的结构的情况下，在第 m-1 行像素单元中的第 n 列像素单元中，第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 以接收第二扫描信号作为第二复位信号；在第 m-1 行像素单元中的第 n+1 列像素单元中，第一复位晶体管 T1 的栅极和第二复位晶体管 T2 的栅极连接到第 m-1 条复位信号线 R_{m-1} 。在这种情况下，关于第 m-1 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式以及第 m 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中的其他晶体管的连接方式，可以参考上面对图 9A 的阵列基板 10（即，采用图 3A 中的阵列基板 10 的结构）所做的描述，这里不再赘述。

图 9B 是本公开的实施例提供的阵列基板在包括图 6 中的像素电路时的另一种结构示意图。

如图 9B 所示，在第 m-1 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中，数据写入晶体管 T3 的第一极连接到第 i 条数据线 D_i 以接收数据信号；在第 m 行像素单元中的第 n 列像素单元和第 n+1 列像素单元中，数据写入晶体管 T3 的第一极连接到第 i 条数据线 D_i 以接收数据信号。对比图 9A 和图 9B 可知，在图 9A 所示的阵列基板 10 中，第 n 列像素单元和第 n+1 列像素单元连接到不同的数据线 D，第 n 列像素单元连接到第 n 条数据线 D_n ，第 n+1 列像素单元连接到第 n+1 条数据线 D_{n+1} ；然而，在图 9B 所示的阵列基板 10 中，第 n 列像素单元和第 n+1 列像素单元连接到同一条数据线 D，第 n 列像素单元和第 n+1 列像素单元均连接到第 i 条数据线 D_i 。

为了简便起见，这里仅对图 9B 中的阵列基板中的数据写入晶体管 T3 与数据线的连接方式进行了详细描述，关于图 9B 中的阵列基板中的其他晶体管的连接方式的描述，可以参考上面对图 9A 中的阵列基板所做的相关描述，这里不再赘述。

图 10 是驱动本公开的实施例提供的阵列基板的信号的时序图。

下面参考图 10, 对本公开的实施例提供的阵列基板中的第 m 行像素单元的工作过程进行说明。

如图 10 所示, 第 m 行像素单元中的第 n 列像素单元的工作过程分为三个阶段, 分别是第一复位阶段 $P1_n$ 、第一数据写入与补偿阶段 $P2_n$ 和第一发光阶段 $P3_n$; 第 m 行像素单元中的第 n 列像素单元的工作过程也分为三个阶段, 分别是第二复位阶段 $P1_{n+1}$ 、第二数据写入与补偿阶段 $P2_{n+1}$ 和第三发光阶段 $P3_{n+1}$ 。

如图 10 所示, 在第一复位阶段 $P1_n$ 向第 m 行像素单元中的第 n 列像素单元提供低电平的复位信号 RST_n , 以对第 m 行像素单元中的第 n 列像素单元进行复位。

例如, 在阵列基板采用图 2A 中的阵列基板 10 的结构时, 复位信号 RST_n 可以指第 $m-1$ 对栅线 S_{m-1} 中的第一栅线 So_{m-1} 提供的第一扫描信号充当的第二复位信号; 在阵列基板采用图 2B 中的阵列基板 10 的结构时, 复位信号 RST_n 可以指第 $m-1$ 对栅线 S_{m-1} 中的第二栅线 Se_{m-1} 提供的第二扫描信号充当的第二复位信号; 在阵列基板采用图 3A 或图 3B 中的阵列基板 10 的结构时, 复位信号 RST_n 可以指第 m 条复位信号线 R_m 提供的第二复位信号。

如图 10 所示, 在第一数据写入与补偿阶段 $P2_n$ 向第 m 行像素单元中的第 n 列像素单元提供低电平的扫描信号 GA_n 和高电平的数据信号 DA_n , 以对第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿。

例如, 扫描信号 GA_n 指的是第 m 对栅线 S_m 中的第一栅线 So_m 提供的第一扫描信号。

例如, 数据信号 DA_n 指的是与第 n 列像素单元对应的一条数据线提供的的数据信号。例如, 在多条数据线与多列像素单元一一对应的情况下, 数据信号 DA_n 指第 n 条数据信号线 D_n 提供的的数据信号。

如图 10 所示, 在第一发光阶段 $P3_n$ 向第 m 行像素单元中的第 n 列像素单元提供低电平的发光控制信号 EM_n , 以使第 m 行像素单元中的第 n 列像素单元进行显示。

例如, 发光控制信号 EM_n 指的是第 m 条发光控制信号线 E_m 提供的发光控制信号。

如图 10 所示, 在第二复位阶段 $P1_{n+1}$ 向第 m 行像素单元中的第 $n+1$ 列像素单元提供低电平的复位信号 RST_{n+1} , 以对第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。

例如, 复位信号 RST_{n+1} 指的是第 m 对栅线 S_m 中的第一栅线 So_m 提供的第一扫描信号, 也就是扫描信号 GA_n 。

如图 10 所示, 在第二数据写入与补偿阶段 $P2_{n+1}$ 向第 m 行像素单元中的

第 $n+1$ 列像素单元提供低电平的扫描信号 GA_{n+1} 和高电平的数据信号 DA_{n+1} ，以对第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿。

例如，扫描信号 GA_{n+1} 指的是第 m 对栅线 S_m 中的第二栅线 Se_m 提供的第一扫描信号。

5 例如，数据信号 DA_{n+1} 指的是与第 $n+1$ 列像素单元对应的一条数据线提供的的数据信号。例如，在多条数据线与多列像素单元一一对应的情况下，数据信号 DA_{n+1} 指第 $n+1$ 条数据信号线 D_{n+1} 提供的的数据信号。

10 如图 10 所示，在第二发光阶段 $P3_{n+1}$ 向第 m 行像素单元中的第 $n+1$ 列像素单元提供低电平的发光控制信号 EM_{n+1} ，以使第 m 行像素单元中的第 $n+1$ 列像素单元进行显示。

例如，发光控制信号 EM_{n+1} 指的是第 m 条发光控制信号线 E_m 提供的发光控制信号。

15 参考图 10 可知，在第 m 行像素单元中，第 n 列像素单元的扫描信号 GA_n 可以充当第 $n+1$ 列像素单元的复位信号 RST_{n+1} 。在这种情况下，在对第 n 列像素单元进行数据写入与补偿的同时，可以对第 $n+1$ 列像素单元进行复位，也就是说，第一数据写入与补偿阶段 $P2_n$ 与第二复位阶段 $P1_{n+1}$ 在时间上可以是同步的。

20 参考图 10 可知，在第 m 行像素单元中，第 n 列像素单元的发光控制信号 EM_n 与第 $n+1$ 列像素单元的发光控制信号 EM_{n+1} 是同一个发光控制信号，也就是说，第一发光阶段 $P3_n$ 与第二发光阶段 $P3_{n+1}$ 在时间上可以是同步的。

25 此外，参考图 10 可知，在第 m 行像素单元中，是先对第 n 列像素单元进行复位，在同时对第 n 列像素单元进行数据写入与补偿并对第 $n+1$ 列像素单元进行复位，然后在第 $n+1$ 列像素单元进行数据写入与补偿，最后同时使第 n 列像素单元和第 $n+1$ 列像素单元进行显示。在这种情况下，第一复位阶段 $P1_n$ 、第一数据写入与补偿阶段 $P2_n$ 、第一发光阶段 $P3_n$ 、第二复位阶段 $P1_{n+1}$ 、第二数据写入与补偿阶段 $P2_{n+1}$ 和第三发光阶段 $P3_{n+1}$ 在时间上的顺序为： $P1_n \rightarrow P2_n \& P1_{n+1} \rightarrow P2_{n+1} \rightarrow P3_n \& P3_{n+1}$ 。由此可知，在第 m 行像素单元中，第 n 列像素单元和第 $n+1$ 列像素单元的充电过程（第一数据写入与补偿阶段 $P2_n$ 和第二数据写入与补偿阶段 $P2_{n+1}$ ）分开进行且充电时长相同，并且
30 第 n 列像素单元和第 $n+1$ 列像素单元的发光过程（第一发光阶段 $P3_n$ 和第三发光阶段 $P3_{n+1}$ ）同步且发光时长相同，这可以使得第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的发光亮度均匀，改善显示质量。

35 需要说明的是，尽管在图 10 中示出第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元接收不同的数据信号（第 n 列像素单元接收数据信号 D_n ，第 $n+1$ 列像素单元接收数据信号 D_{n+1} ），但是由于第 m 行像素单元中的

第 n 列像素单元和第 $n+1$ 列像素单元的充电过程（第一数据写入与补偿阶段 $P2_n$ 和第二数据写入与补偿阶段 $P2_{n+1}$ ）是分开进行的，所以第 n 列像素单元和第 $n+1$ 列像素单元可以连接到同一条数据线以接收同一个数据信号，这个数据信号在第一数据写入与补偿阶段 $P2_n$ 和第二数据写入与补偿阶段 $P2_{n+1}$ 均处于高电平状态。由于在第一数据写入与补偿阶段 $P2_n$ 第 n 列像素单元打开而第 $n+1$ 列像素单元关闭（扫描信号 GAn 处于低电平，扫描信号 $GAn+1$ 处于高电平），且在第二数据写入与补偿阶段 $P2_{n+1}$ 第 n 列像素单元关闭而第 $n+1$ 列像素单元打开（扫描信号 GAn 处于高电平，扫描信号 $GAn+1$ 处于低电平），所以通过同一条数据线可以在第一数据写入与补偿阶段 $P2_n$ 向第 n 列像素单元提供高电平的数据信号，并且在第二数据写入与补偿阶段 $P2_{n+1}$ 向第 $n+1$ 列像素单元提供高电平的数据信号。需要说明的是，尽管仅结合图 10 对本公开的实施例提供的阵列基板中的第 m 行像素单元的工作过程进行了说明，但是本公开的实施例提供的阵列基板中的其他行的像素单元（例如，第 $m-1$ 行像素单元）的工作过程与第 m 行像素单元的工作过程是类似的，因此可以参考上面结合图 10 对第 m 行像素单元的工作过程所做的描述，这里不再赘述。

本公开至少一实施例还提供一种显示面板，该显示面板包括本公开任一实施例提供的阵列基板。

图 11 为本公开一实施例提供的显示面板的结构示意图。如图 11 所示，显示面板 1 可以包括数据驱动电路 20 和本公开任一实施例提供的阵列基板 10。

如图 11 所示，数据驱动电路 20 连接至多条数据线 D ，并且被配置为产生数据信号。例如，数据驱动电路 20 可以通过第 n 条数据线 D_n 向阵列基板 10 中的第 n 列像素单元提供数据信号。

例如，显示面板 1 还可以包括其他部件，例如时序控制器、信号解码电路、电压转换电路等，这些部件例如可以采用已有的常规部件，这里不再详述。

例如，显示面板 1 可以为矩形面板、圆形面板、椭圆形面板或多边形面板等。另外，显示面板 1 不仅可以为平面面板，也可以为曲面面板，甚至球面面板。例如，显示面板 1 还可以具备触控功能，即显示面板 1 可以为触控显示面板。

例如，显示面板 1 可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开实施例提供的显示面板具有与本公开前述实施例提供的阵列基板相同或相似的有益效果，由于阵列基板在前述实施例中已经进行

了详细说明，此处不再赘述。

本公开至少一实施例还提供一种应用于本公开任一实施例提供的阵列基板的驱动方法。

图 12 为本公开的实施例提供的阵列基板的驱动方法的流程图。如

5 图 12 所示，该驱动方法可以包括：

步骤 S10：对第 m 行像素单元中的第 n 列像素单元进行复位；

步骤 S20：对第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时对第 m 行像素单元中的第 $n+1$ 列像素单元进行复位；

10 步骤 S30：对第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿；以及

步骤 S40：使第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

例如，当在第 m 行像素单元中的第 n 列像素单元的扫描信号端连接至第 m 对栅线中的第一栅线，第 m 行像素单元中的第 n 列像素单元的数据信号端连接至与第 n 列像素单元对应的一条数据线，且第 m 行像素单元中的第 $n+1$ 列像素单元的复位信号端连接至第 m 对栅线中的第一栅线时，步骤 S20 可以包括：通过第 m 对栅线中的第一栅线向第 m 行像素单元中的第 n 列像素单元提供第一扫描信号，并通过与第 n 列像素单元相对应的一条数据线向第 m 行像素单元中的第 n 列像素单元提供数据信号，以对第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时通过第 m 对栅线中的第一栅线向第 m 行像素单元中的第 $n+1$ 列像素单元提供第一扫描信号作为第一复位信号，以对第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。

25 例如，当第 m 行像素单元中的第 n 列像素单元的复位信号端连接至第 $m-1$ 对栅线中的第一栅线时，步骤 S10 可以包括：通过第 $m-1$ 对栅线中的第一栅线向第 m 行像素单元中的第 n 列像素单元提供第一扫描信号作为第二复位信号，以对第 m 行像素单元中的第 n 列像素单元进行复位。

30 例如，当第 m 行像素单元中的第 n 列像素单元的复位信号端连接至第 $m-1$ 对栅线中的第二栅线时，步骤 S10 可以包括：通过第 $m-1$ 对栅线中的第二栅线向第 m 行像素单元中的第 n 列像素单元提供第二扫描信号作为第二复位信号，以对第 m 行像素单元中的第 n 列像素单元进行复位。

35 例如，在阵列基板包括多条复位信号线的情况下，当第 m 行像素单元中的第 n 列像素单元的复位信号端连接至第 m 条复位信号线时，

步骤 S10 可以包括：通过第 m 条复位信号线向第 m 行像素单元中的第 n 列像素单元提供第二复位信号，以对第 m 行像素单元中的第 n 列像素单元进行复位。

例如，当第 m 行像素单元中的第 $n+1$ 列像素单元的扫描信号端连接至第 m 对栅线中的第二栅线，且第 m 行像素单元中的第 $n+1$ 列像素单元的数据信号端连接到与第 $n+1$ 列像素单元相对应的一条数据线时，步骤 S30 可以包括：通过第 m 对栅线中的第二栅线向第 m 行像素单元中的第 $n+1$ 列像素单元提供第二扫描信号并通过与第 $n+1$ 列像素单元对应的一条数据线向第 m 行像素单元中的第 $n+1$ 列像素单元提供数据信号，以对第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿。

例如，在阵列基板包括多条发光控制信号线的情况下，当第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的发光控制信号端连接至第 m 条发光控制信号线时，步骤 S40 可以包括：通过第 m 条发光控制信号线向第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元提供发光控制信号，以使第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

本公开的实施例提供的阵列基板的驱动方法可以先对第 m 行像素单元中的第 n 列像素单元进行充电，再对第 m 行像素单元中的第 $n+1$ 列像素单元进行充电，最后使第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示，由此可使得第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元的充电方式一致，且使得第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元显示亮度均匀。

对于本公开，还有以下几点需要说明：

(1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

(2) 在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括：

多对栅线，多对栅线中的每对包括第一栅线 and 第二栅线；

5 多条数据线；和

像素阵列，包括排布为多行多列的多个像素单元，

其中，所述多个像素单元中的每个包括扫描信号端、数据信号端和复位信号端，多行像素单元与所述多对栅线一一对应，每列像素单元对应于所述多条数据线中的一条数据线；

10 第 m 行像素单元中的第 n 列像素单元的扫描信号端连接到第 m 对栅线中的第一栅线以接收第一扫描信号， m 和 n 均为正整数；

所述第 m 行像素单元中的第 $n+1$ 列像素单元的扫描信号端连接到所述第 m 对栅线中的第二栅线以接收第二扫描信号；

15 所述第 m 行像素单元中的第 $n+1$ 列像素单元的复位信号端连接到所述第 m 对栅线中的第一栅线以接收所述第一扫描信号作为第一复位信号；

所述每列像素单元的数据信号端连接到对应的一条数据线以接收数据信号。

2、根据权利要求 1 所述的阵列基板，其中，

20 所述第 m 行像素单元中的第 n 列像素单元的复位信号端连接到第 $m-1$ 对栅线中的第一栅线，以接收所述第 $m-1$ 对栅线中的第一栅线提供的第一扫描信号作为第二复位信号，或者

25 所述第 m 行像素单元中的第 n 列像素单元的复位信号端连接到所述第 $m-1$ 对栅线中的第二栅线，以接收所述第 $m-1$ 对栅线中的第二栅线提供的第二扫描信号作为所述第二复位信号，

m 为大于 1 的整数。

3、根据权利要求 1 所述的阵列基板，还包括多条复位信号线，

其中，所述多条复位信号线与所述多行像素单元一一对应；

30 所述第 m 行像素单元中的第 n 列像素单元的复位信号端连接到第 m 条复位信号线以接收第二复位信号。

4、根据权利要求 3 所述的阵列基板，还包括第一扫描驱动电路，

其中，所述第一扫描驱动电路连接至所述多条复位信号线，且被配置为产生所述第二复位信号。

35 5、根据权利要求 1-4 中任一项所述的阵列基板，还包括多条发光控制信号线，

其中，所述多条发光控制信号线与所述多行像素单元一一对应；

所述多个像素单元每个还包括发光控制信号端，所述第 m 行像素单元的发光控制信号端连接到第 m 条发光控制信号线以接收发光控制信号。

5 6、根据权利要求 5 所述的阵列基板，还包括第二扫描驱动电路，

其中，所述第二扫描驱动电路连接至所述多条发光控制信号线，且配置为产生所述发光控制信号。

7、根据权利要求 1-6 中任一项所述的阵列基板，其中，每相邻的两列像素单元对应于同一条数据线，

10 所述第 n 列像素单元和所述第 $n+1$ 列像素单元的数据信号端连接到同一条数据线。

8、根据权利要求 1-7 中任一项所述的阵列基板，还包括第三扫描驱动电路，

15 所述第三扫描驱动电路连接到所述多对栅线，且被配置为产生所述第一扫描信号和所述第二扫描信号。

9、根据权利要求 8 所述的阵列基板，其中，所述第三扫描驱动电路包括第一扫描驱动子电路和第二扫描驱动子电路，

所述第一扫描驱动子电路连接到每对栅线中的第一栅线，且被配置为产生所述第一扫描信号；

20 所述第二扫描驱动子电路连接到每对栅线中的第二栅线，且被配置为产生所述第二扫描信号。

10、根据权利要求 9 所述的阵列基板，其中，所述第一扫描驱动子电路和所述第二扫描驱动子电路分别设置在所述像素阵列的彼此相对的两侧。

25 11、根据权利要求 1-10 中任一项所述的阵列基板，其中，所述每个像素单元包括像素电路，所述像素电路包括：复位电路、数据写入与补偿电路、驱动电路和发光控制电路，

30 所述复位电路包括所述复位信号端，并且连接至复位电压源、所述驱动电路和发光元件，被配置为将复位电压施加至所述驱动电路和所述发光元件以对所述驱动电路和所述发光元件进行复位；

所述数据写入与补偿电路包括所述扫描信号端和所述数据信号端，并且连接至所述驱动电路，被配置为将所述数据信号写入所述驱动电路并对所述驱动电路进行补偿；

所述驱动电路被配置为产生驱动所述发光元件发光的驱动电流；

35 所述发光控制电路包括发光控制信号端，并且连接至第一电压源、

所述驱动电路和所述发光元件，被配置为将第一电压施加至所述驱动电路，且将所述驱动电路产生的驱动电流施加至所述发光元件。

12、根据权利要求 11 所述的阵列基板，其中，所述复位电路包括第一复位晶体管和第二复位晶体管；

5 所述数据写入与补偿电路包括数据写入晶体管、补偿晶体管和存储电容；

所述驱动电路包括驱动晶体管；

所述发光控制电路包括第一发光控制晶体管和第二发光控制晶体管；

10 所述第一复位晶体管的栅极连接至所述复位信号端，所述第一复位晶体管的第一极连接至所述复位电压源，所述第一复位晶体管的第二极连接至所述驱动晶体管的栅极；

所述第二复位晶体管的栅极连接至所述复位信号端，所述第二复位晶体管的第一极连接至所述复位电压源，所述第二复位晶体管的第二极
15 连接至所述发光元件的第一端；

所述数据写入晶体管的栅极连接至所述扫描信号端，所述数据写入晶体管的第一极连接至所述数据信号端，所述数据写入晶体管的第二极连接至所述驱动晶体管的第一极；

所述补偿晶体管的栅极连接至所述扫描信号端，所述补偿晶体管的第一极连接至所述驱动晶体管的第二极，所述补偿晶体管的第二极连接
20 至所述驱动晶体管的栅极；

所述存储电容的第一端连接至所述第一电压源，所述存储电容的第二端连接至所述驱动晶体管的栅极；

所述第一发光控制晶体管的栅极连接至所述发光控制信号端，所述
25 第一发光控制晶体管的第一极连接至所述第一电压源，所述第一发光控制晶体管的第二极连接至所述驱动晶体管的第一极；

所述第二发光控制晶体管的栅极连接至所述发光控制信号端，所述第二发光控制晶体管的第一极连接至所述驱动晶体管的第二极，所述第二发光控制晶体管的第二极连接至所述发光元件的第一端。

30 13、一种显示面板，包括权利要求 1-12 中任一所述的阵列基板。

14、一种如权利要求 1 所述的阵列基板的驱动方法，包括：

对所述第 m 行像素单元中的第 n 列像素单元进行复位；

对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位；

35 对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿；

使所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

15、根据权利要求 14 所述的驱动方法，其中，对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位，包括：

通过所述第 m 对栅线中的第一栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第一扫描信号，并通过与所述第 n 列像素单元相对应的一条数据线向所述第 m 行像素单元中的第 n 列像素单元提供所述数据信号，以对所述第 m 行像素单元中的第 n 列像素单元进行数据写入和补偿，同时通过所述第 m 对栅线中的第一栅线向第 m 行像素单元中的第 $n+1$ 列像素单元提供所述第一扫描信号作为所述第一复位信号，以对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行复位。

16、根据权利要求 15 所述的驱动方法，其中，对所述第 m 行像素单元中的第 n 列像素单元进行复位，包括：

15 通过第 $m-1$ 对栅线中的第一栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第一扫描信号作为第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位；或者

通过所述第 $m-1$ 对栅线中的第二栅线向所述第 m 行像素单元中的第 n 列像素单元提供所述第二扫描信号作为所述第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位。

17、根据权利要求 16 所述的驱动方法，其中，所述阵列基板还包括多条发光复位信号线，

对所述第 m 行像素单元中的第 n 列像素单元进行复位，包括：

25 通过第 m 条复位信号线向所述第 m 行像素单元中的第 n 列像素单元提供第二复位信号，以对所述第 m 行像素单元中的第 n 列像素单元进行复位。

18、根据权利要求 14-17 中任一项所述的驱动方法，其中，对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿，包括：

30 通过所述第 m 对栅线中的第二栅线向所述第 m 行像素单元中的第 $n+1$ 列像素单元提供所述第二扫描信号并通过与所述第 $n+1$ 列像素单元对应的一条数据线向第 m 行像素单元中的第 $n+1$ 列像素单元提供所述数据信号，以对所述第 m 行像素单元中的第 $n+1$ 列像素单元进行数据写入和补偿。

19、根据权利要求 14-18 中任一项所述的驱动方法，其中，所述阵列基板还包括多条发光控制信号线，

使所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示, 包括:

通过第 m 条发光控制信号线向所述第 m 行像素单元中的第 n 列像素单元和第 $n+1$ 列像素单元提供发光控制信号, 以使所述第 m 行像素单元
5 中的第 n 列像素单元和第 $n+1$ 列像素单元进行显示。

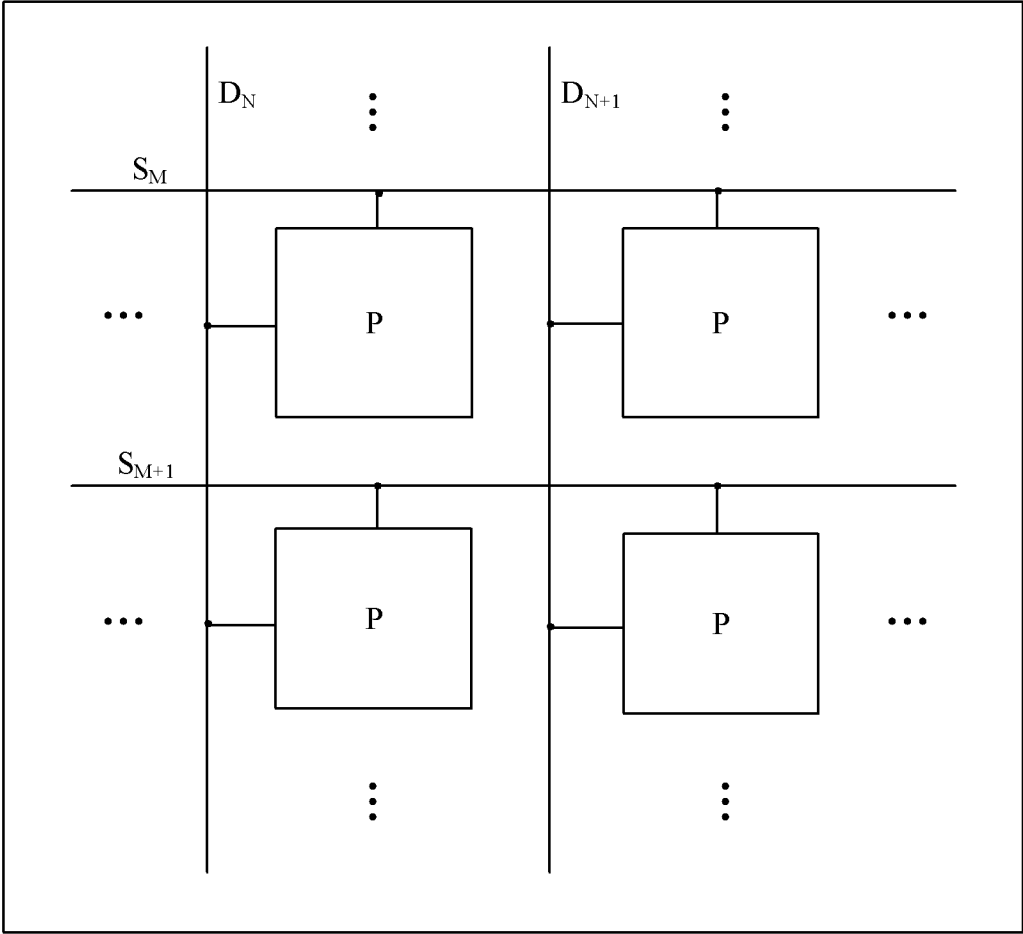


图 1

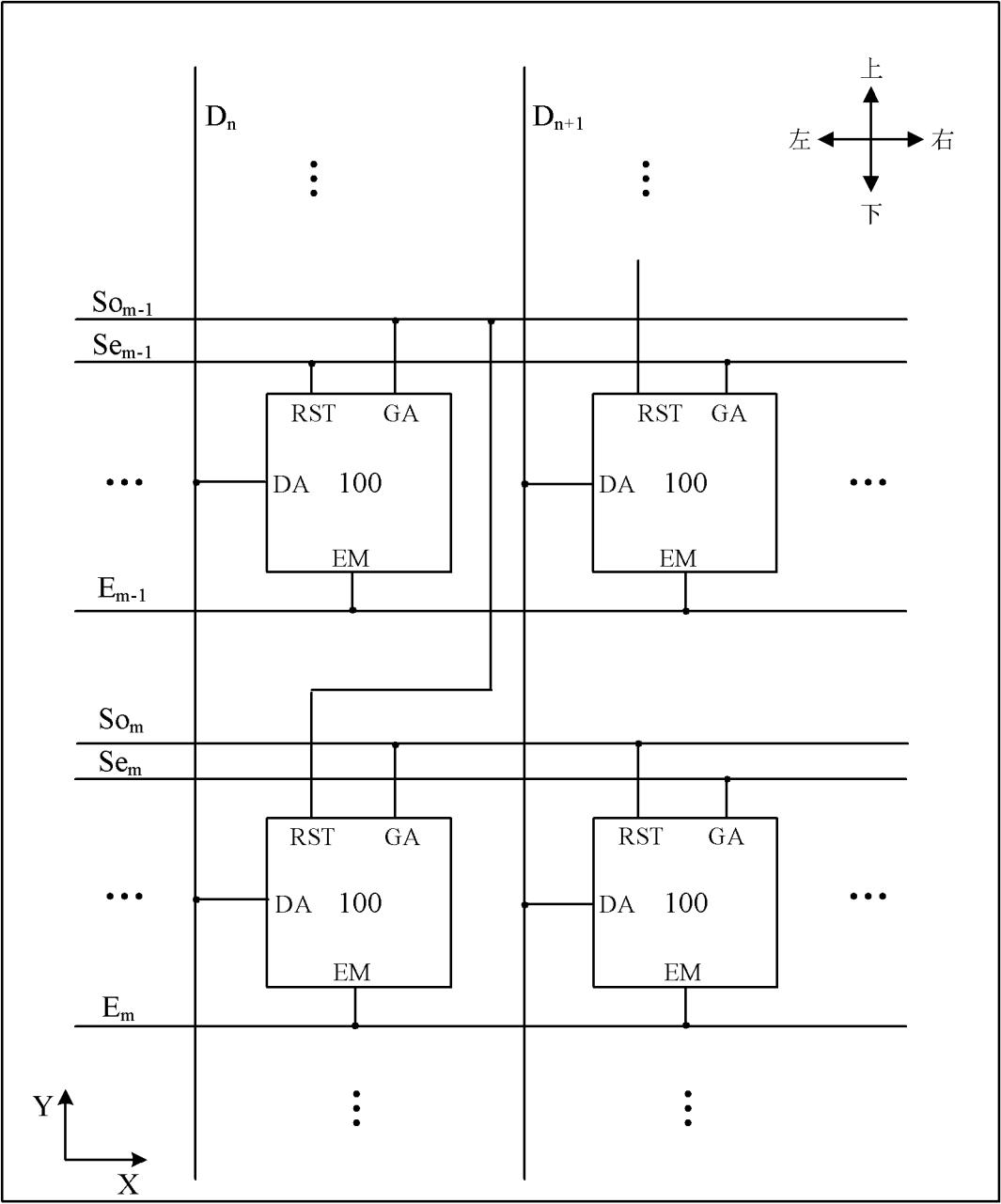


图 2A

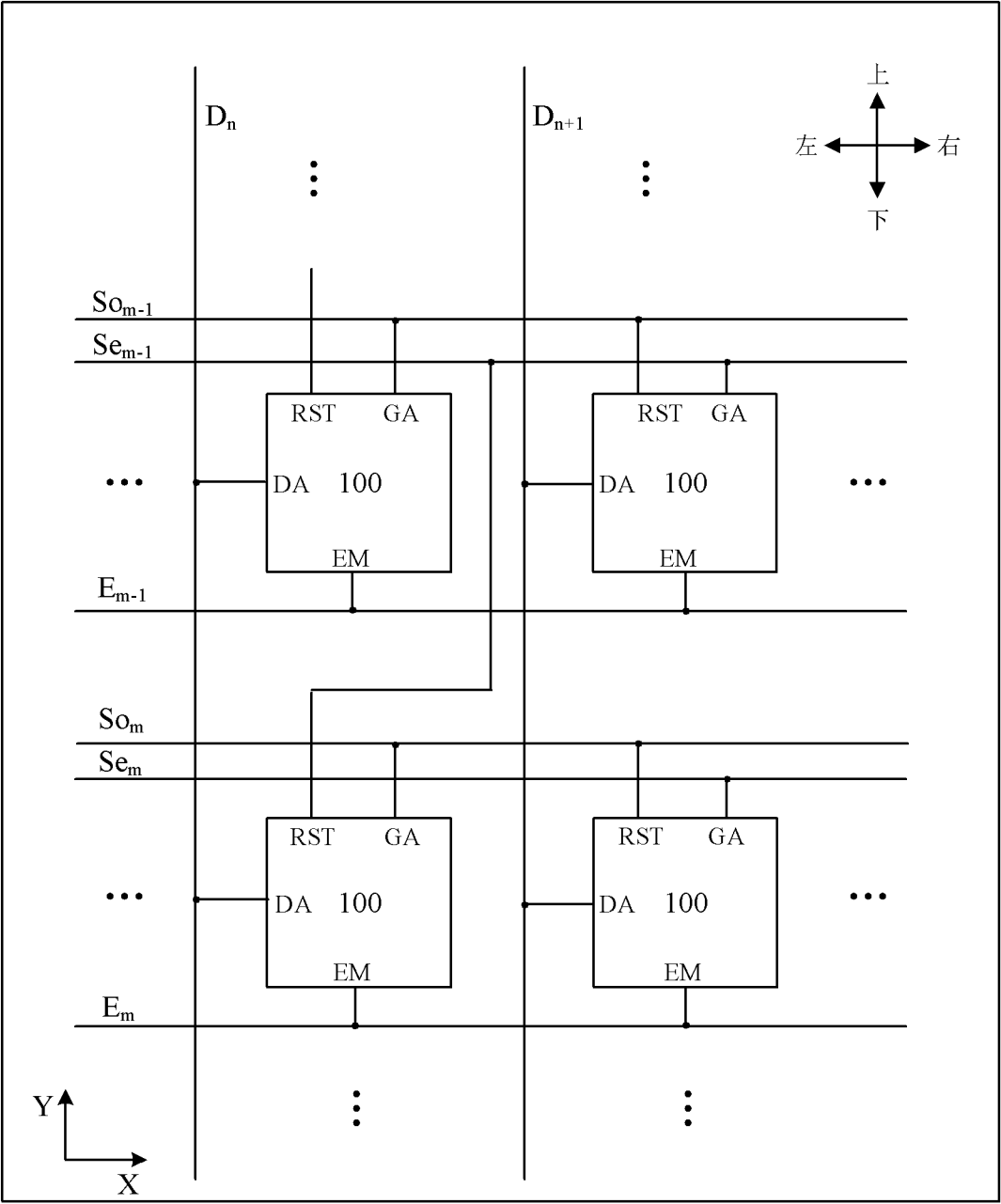


图 2B

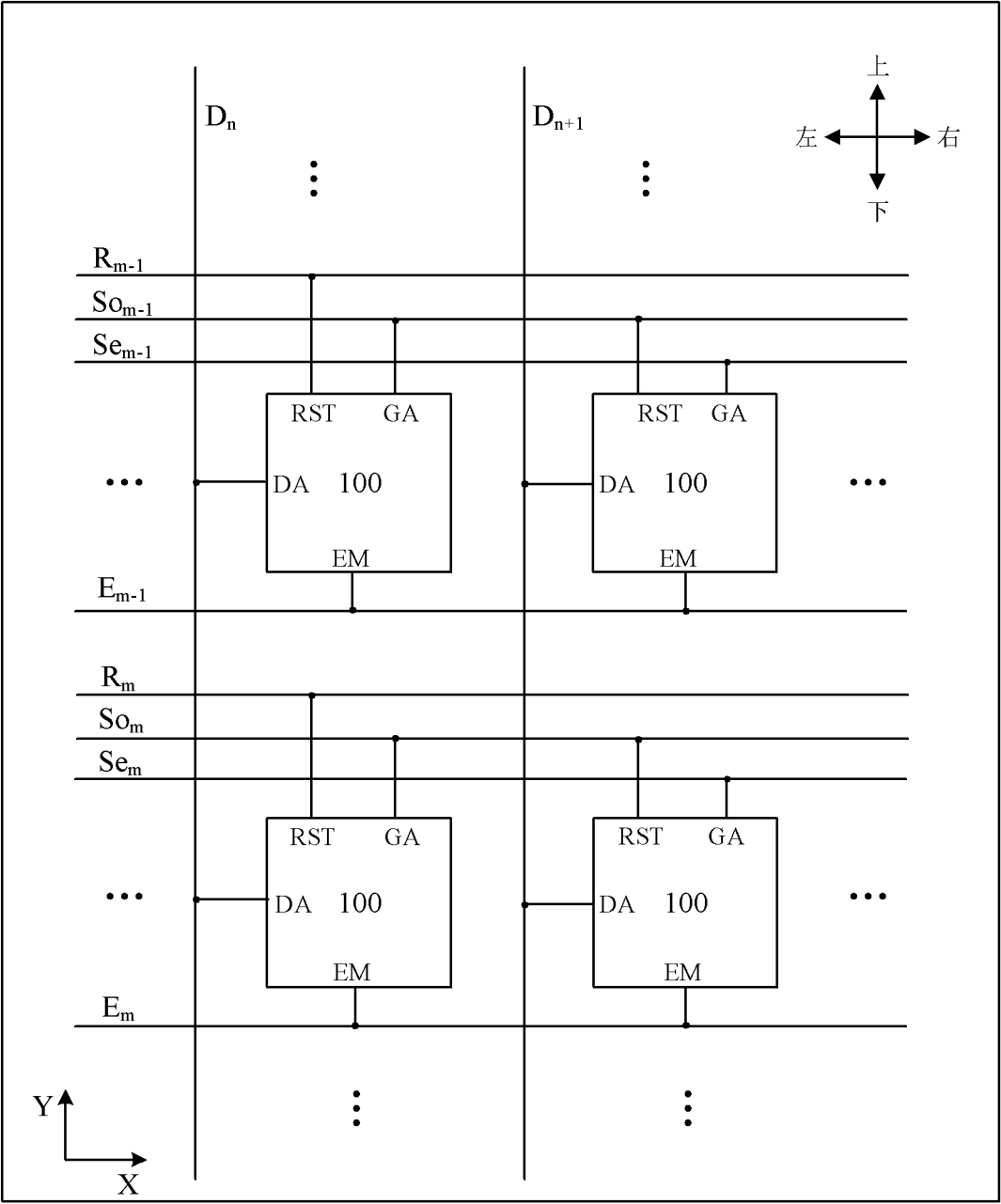


图 3A

10

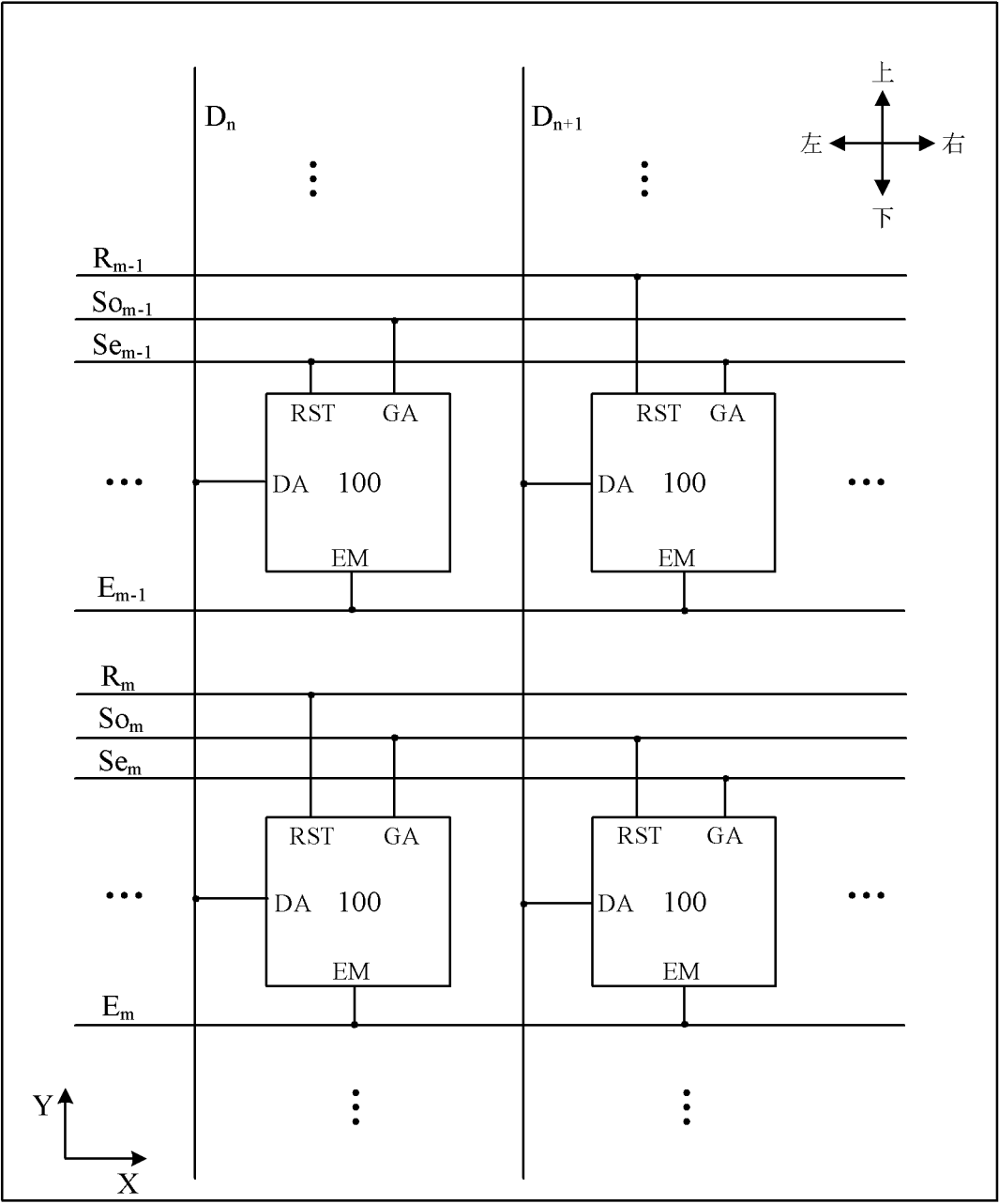


图 3B

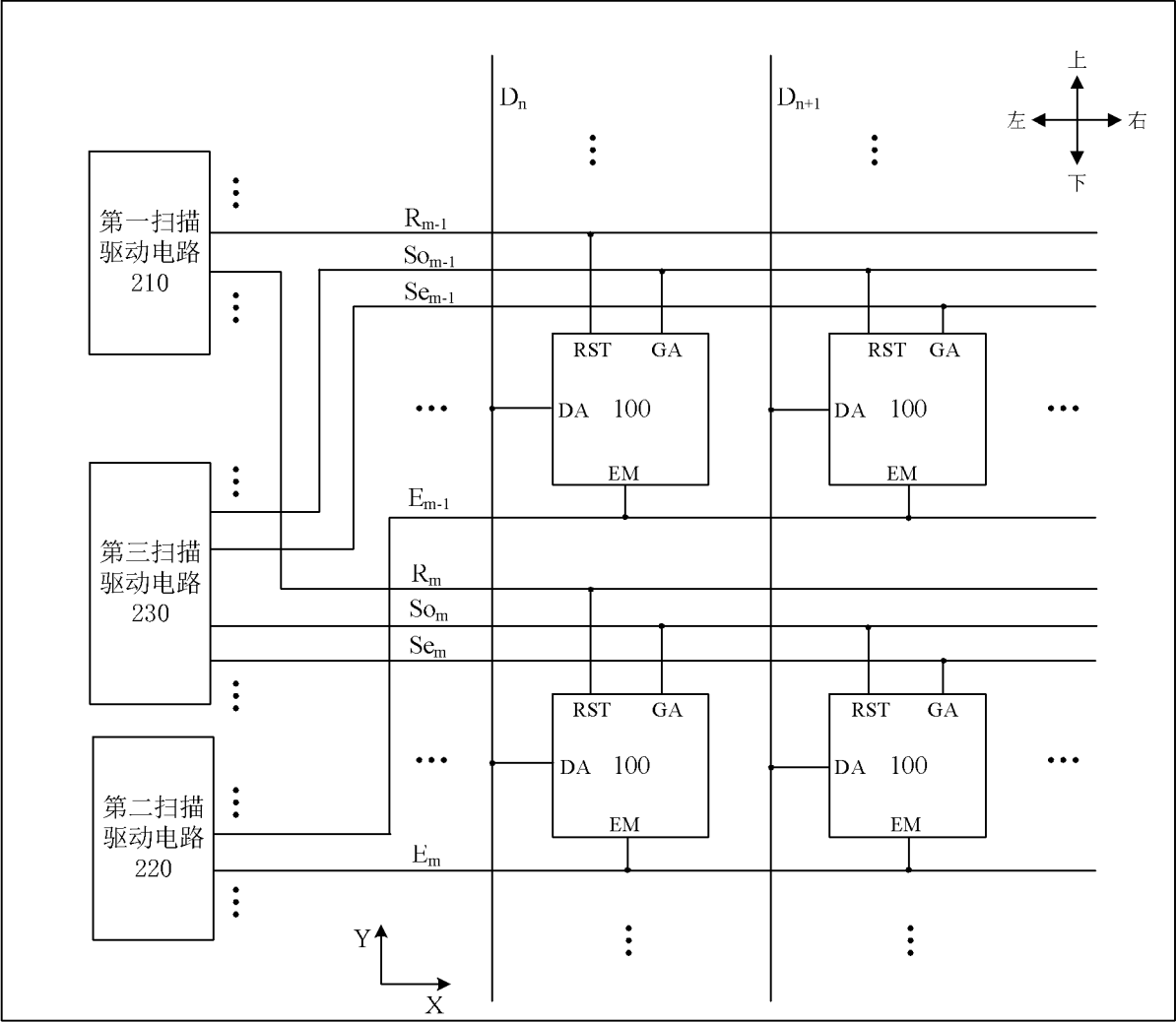


图 4A

10

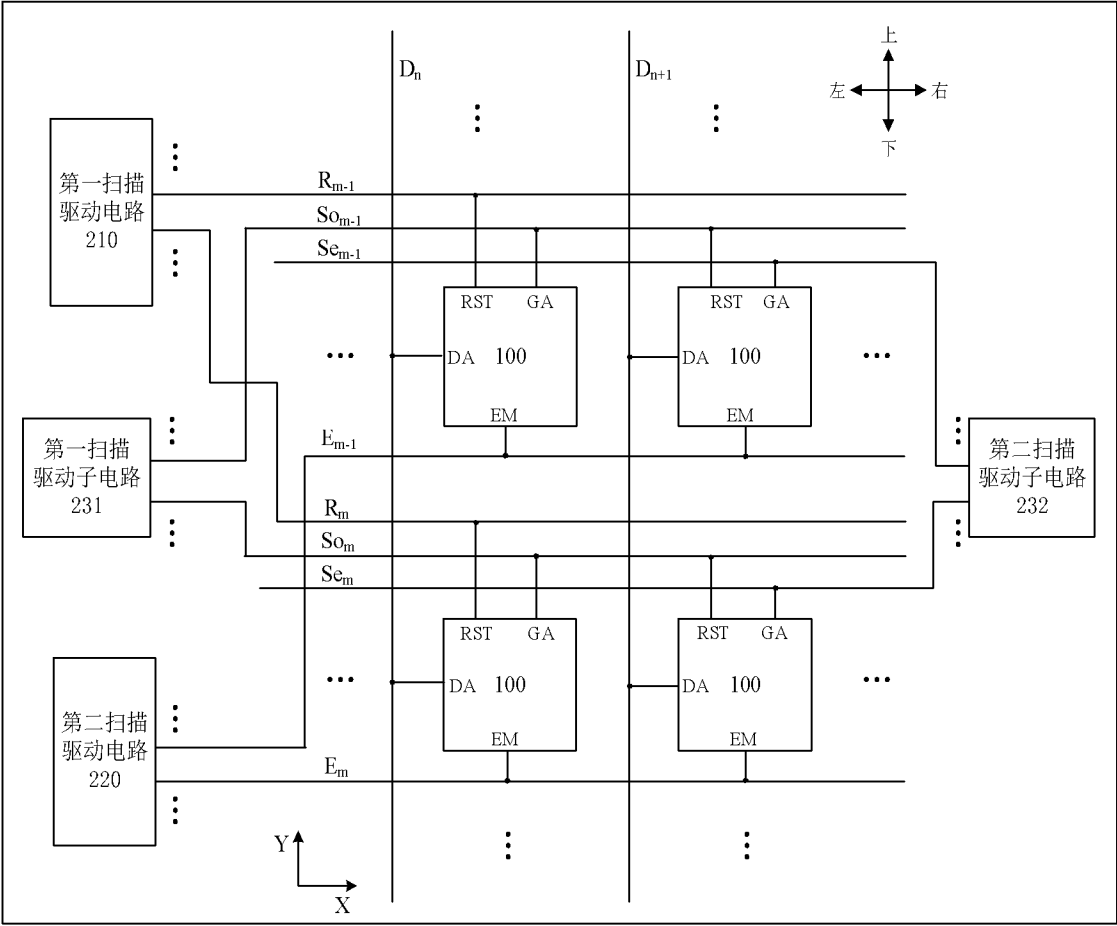


图 4B

100

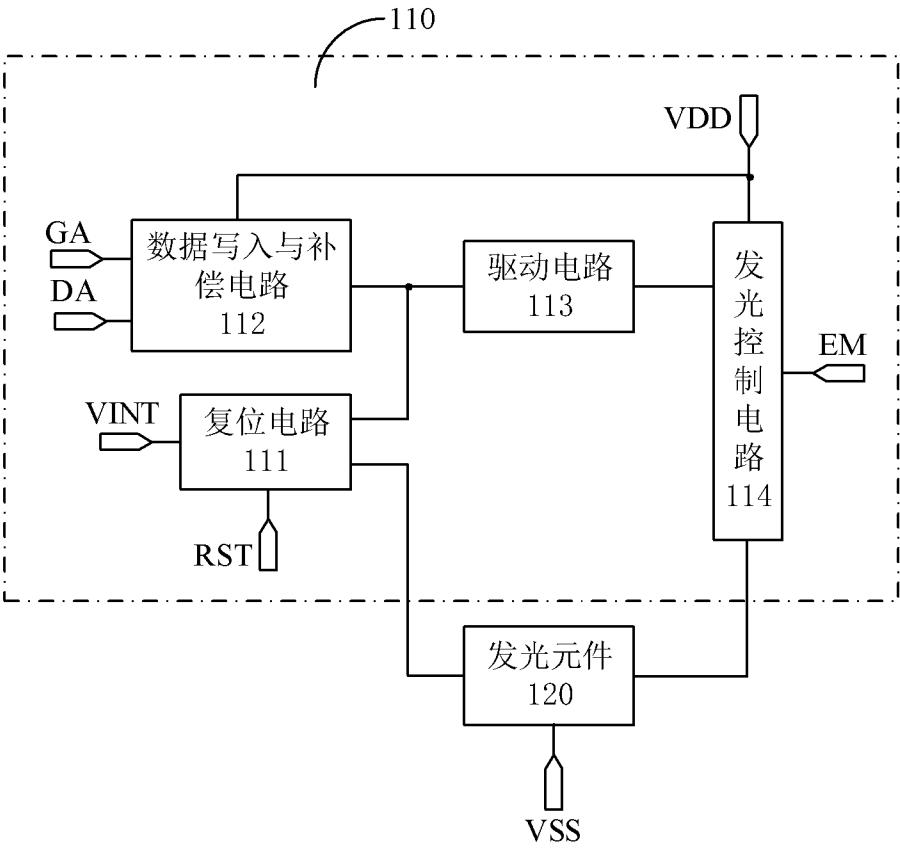


图 5

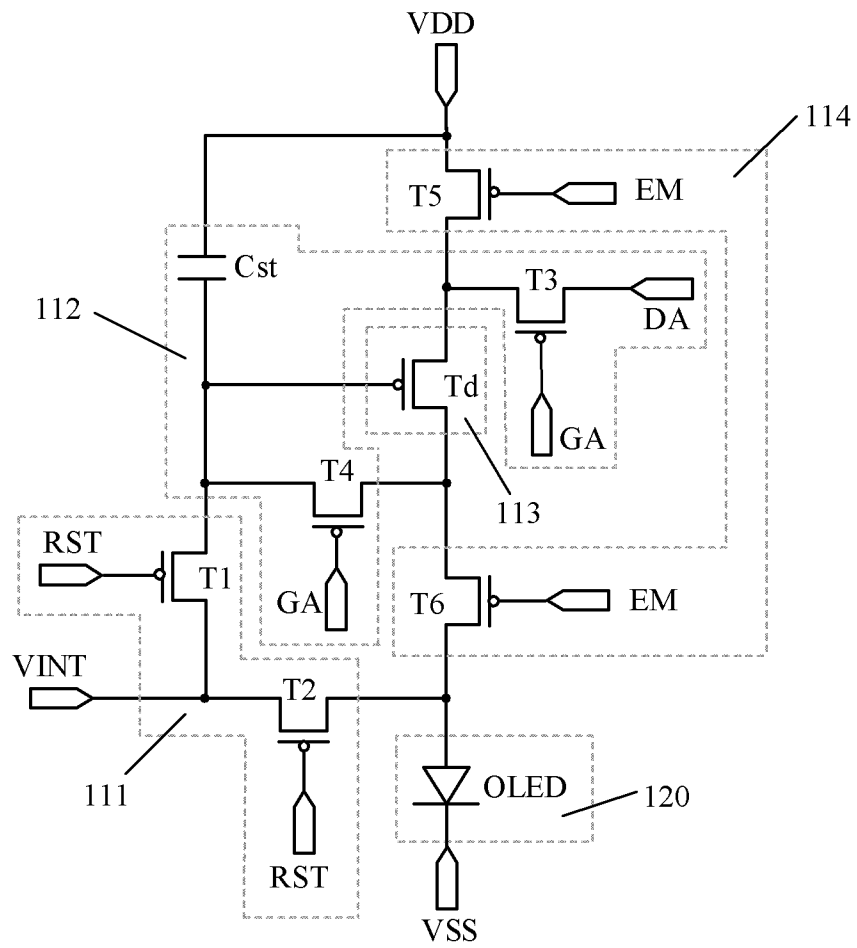


图 6

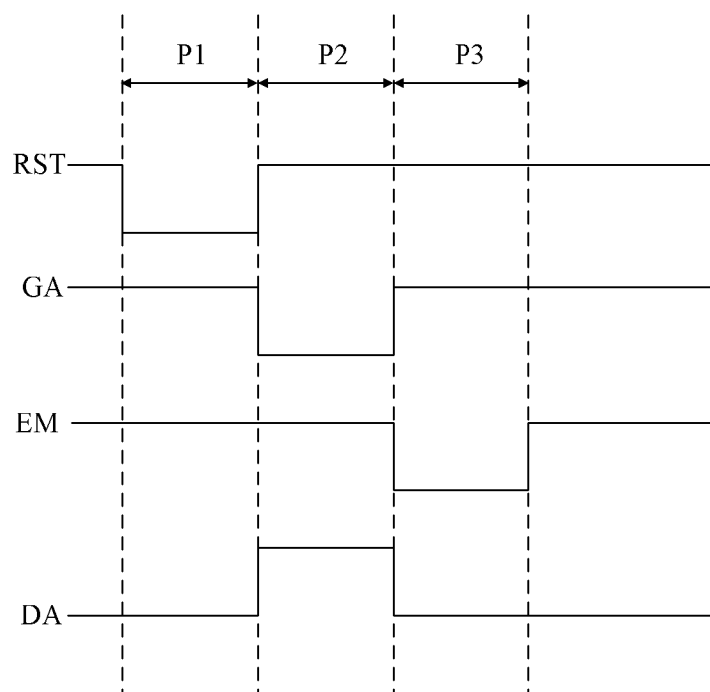


图 7

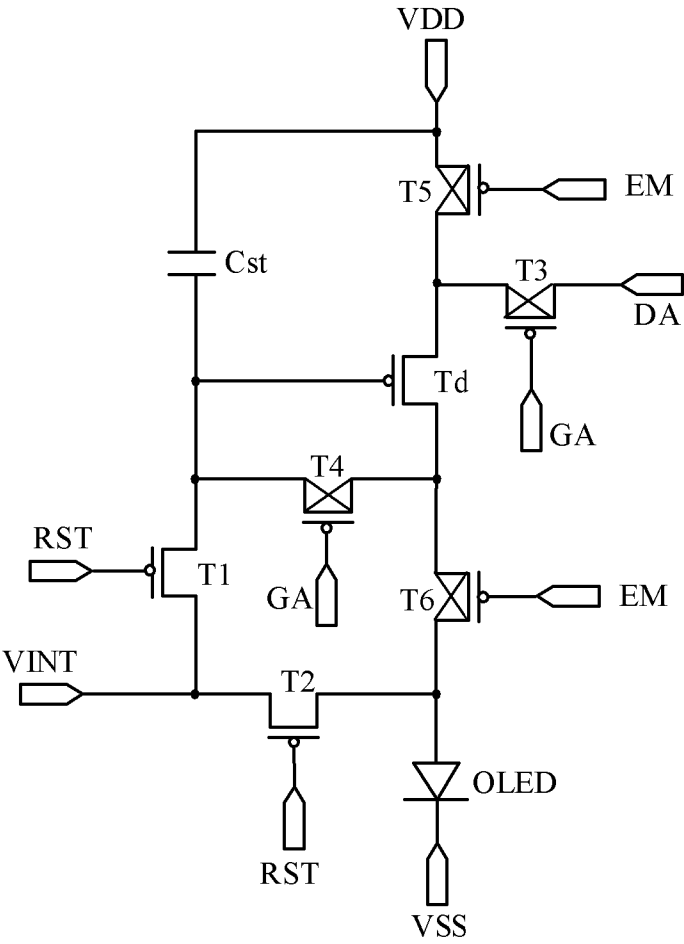


图 8A

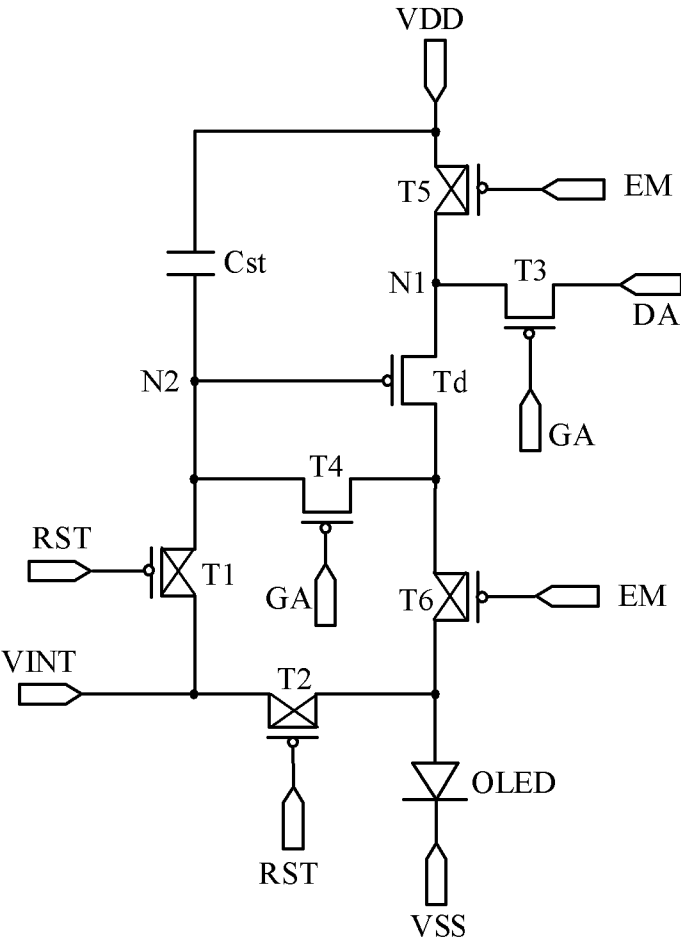


图 8B

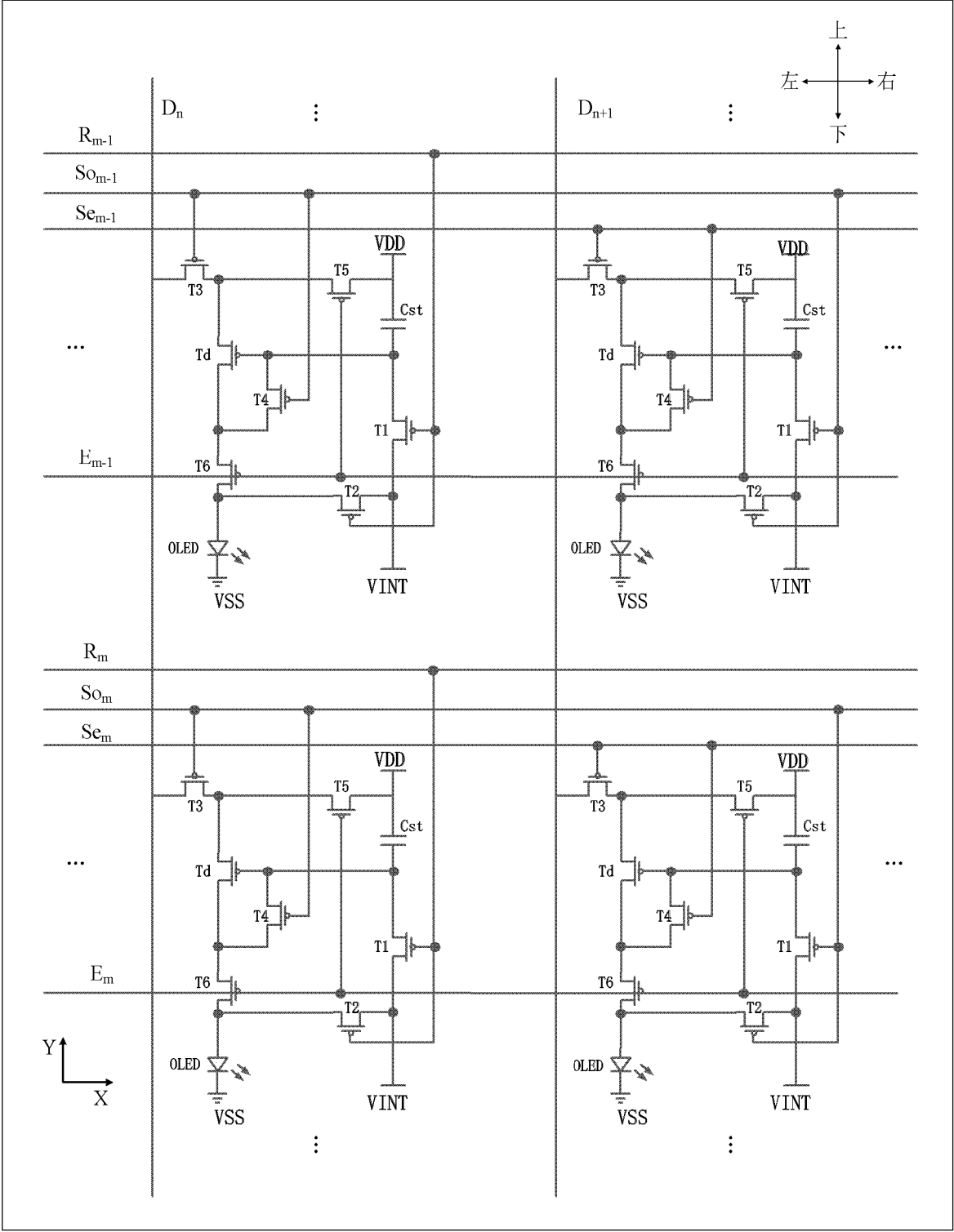


图 9A

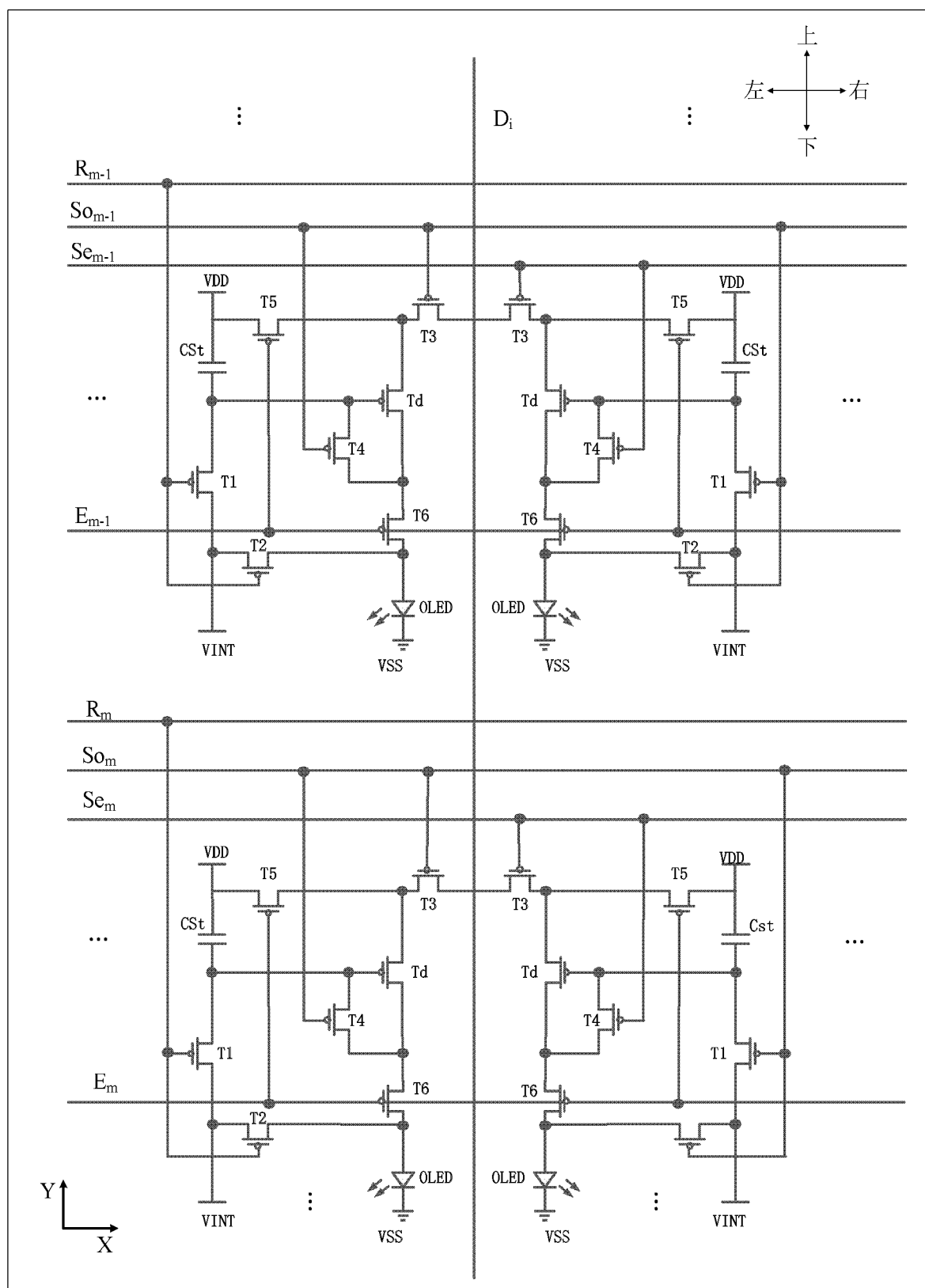


图 9B

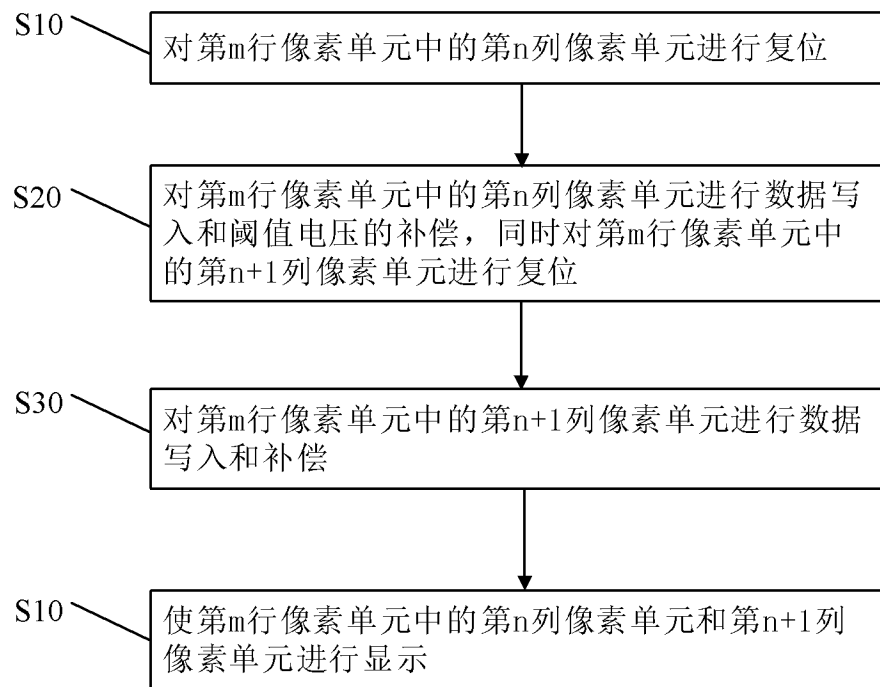


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/092573

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G,G02F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, VEN, CNXTX: 复位, 栅线, 第一, 第二, 扫描, 对, 数据, 像素, 象素, reset, first, second, gate, line?, scan+, pixel+, data+,		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 205507290 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 August 2016 (2016-08-24) description, paragraphs 55-161, figures 1-7	1-19
A	CN 110599971 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 December 2019 (2019-12-20) entire document	1-19
A	US 9269428 B2 (WINBOND ELECTRONICS CORP. et al.) 23 February 2016 (2016-02-23) entire document	1-19
A	CN 103390392 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 13 November 2013 (2013-11-13) entire document	1-19
A	CN 110969989 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 April 2020 (2020-04-07) entire document	1-19
A	CN 109389937 A (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED) 26 February 2019 (2019-02-26) entire document	1-19
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 25 February 2021		Date of mailing of the international search report 04 March 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/092573**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 210627878 U (BOE TECHNOLOGY GROUP CO., LTD.) 26 May 2020 (2020-05-26) entire document	1-19
A	CN 203325406 U (BOE TECHNOLOGY GROUP CO., LTD.) 04 December 2013 (2013-12-04) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/092573

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	205507290	U	24 August 2016	None			
CN	110599971	A	20 December 2019	None			
US	9269428	B2	23 February 2016	US	2015364186	A1	17 December 2015
CN	103390392	A	13 November 2013	US	2016125823	A1	05 May 2016
				US	2015221265	A1	06 August 2015
				WO	2015007052	A1	22 January 2015
				CN	103390392	B	24 February 2016
				US	9626922	B2	18 April 2017
				US	9269313	B2	23 February 2016
CN	110969989	A	07 April 2020	None			
CN	109389937	A	26 February 2019	CN	109389937	B	31 March 2020
CN	210627878	U	26 May 2020	None			
CN	203325406	U	04 December 2013	None			

国际检索报告

国际申请号

PCT/CN2020/092573

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G, G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, VEN, CNXTX: 复位, 栅线, 第一, 第二, 扫描, 对, 数据, 像素, 象素, reset, first, second, gate, line?, scan+, pixel+, data+,		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 205507290 U (京东方科技集团股份有限公司 等) 2016年 8月 24日 (2016 - 08 - 24) 说明书第55-161段, 附图1-7	1-19
A	CN 110599971 A (京东方科技集团股份有限公司 等) 2019年 12月 20日 (2019 - 12 - 20) 全文	1-19
A	US 9269428 B2 (WINBOND ELECTRONICS CORP等) 2016年 2月 23日 (2016 - 02 - 23) 全文	1-19
A	CN 103390392 A (合肥京东方光电科技有限公司 等) 2013年 11月 13日 (2013 - 11 - 13) 全文	1-19
A	CN 110969989 A (京东方科技集团股份有限公司 等) 2020年 4月 7日 (2020 - 04 - 07) 全文	1-19
A	CN 109389937 A (上海和辉光电有限公司) 2019年 2月 26日 (2019 - 02 - 26) 全文	1-19
A	CN 210627878 U (京东方科技集团股份有限公司) 2020年 5月 26日 (2020 - 05 - 26) 全文	1-19
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2021年 2月 25日		国际检索报告邮寄日期 2021年 3月 4日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 席万花 电话号码 (86-10)62089511

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 203325406 U (京东方科技集团股份有限公司) 2013年 12月 4日 (2013 - 12 - 04) 全文	1-19

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/092573

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	205507290	U	2016年 8月 24日	无			
CN	110599971	A	2019年 12月 20日	无			
US	9269428	B2	2016年 2月 23日	US	2015364186	A1	2015年 12月 17日
CN	103390392	A	2013年 11月 13日	US	2016125823	A1	2016年 5月 5日
				US	2015221265	A1	2015年 8月 6日
				WO	2015007052	A1	2015年 1月 22日
				CN	103390392	B	2016年 2月 24日
				US	9626922	B2	2017年 4月 18日
				US	9269313	B2	2016年 2月 23日
CN	110969989	A	2020年 4月 7日	无			
CN	109389937	A	2019年 2月 26日	CN	109389937	B	2020年 3月 31日
CN	210627878	U	2020年 5月 26日	无			
CN	203325406	U	2013年 12月 4日	无			