

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年6月30日(2005.6.30)

【公開番号】特開2002-73415(P2002-73415A)

【公開日】平成14年3月12日(2002.3.12)

【出願番号】特願2001-211630(P2001-211630)

【国際特許分類第7版】

G 06 F 12/08

G 06 F 15/16

G 06 F 15/177

【F I】

G 06 F 12/08 5 3 1 Z

G 06 F 12/08 5 0 7 H

G 06 F 12/08 5 0 9 B

G 06 F 12/08 5 0 9 C

G 06 F 12/08 5 3 1 B

G 06 F 15/16 6 4 5

G 06 F 15/177 6 8 2 J

【手続補正書】

【提出日】平成16年10月15日(2004.10.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のキャッシュ(104、106、108、110)と、

キャッシュ階層内で、前記第1のキャッシュに対して、より下位のレベルにある第2のキャッシュ(114、116)と、

前記第2のキャッシュに関係付けられ、前記第1のキャッシュから追い出された項目のアドレスを含むメモリ(120、122)と

を含むキャッシュシステム。

【請求項2】

データ記憶システムの一貫性を維持する方法であって、

エントリが上位レベルのキャッシュから追い出されたことを、第1のキャッシュ(114、116)により検出するステップ(300)と、

前記上位レベルのキャッシュから追い出されたエントリのアドレスを、前記第1のキャッシュにより記憶するステップ(302)と、

バス(112、113)がアイドルであることを、前記第1のキャッシュにより検出するステップ(304)と、

前記上位レベルのキャッシュに前記アドレスを無効化するように命令するトランザクションを、前記第1のキャッシュにより開始するステップ(308)と

を含む方法。

【請求項3】

前記トランザクションを開始した後、前記第1のキャッシュにより、前記アドレスを記憶装置から除去すること(310)をさらに含む

請求項2記載の方法。

【請求項 4】

前記トランザクションを開始した後、前記第1のキャッシュにより、前記アドレスに対応する前記第1のキャッシュ内のエントリの第1の状態(200、202)を、前記エントリが、より上位レベルのキャッシュにキャッシュされていないこと示す第2の状態(208)に切り替えること(312)をさらに含む

請求項2記載の方法。