

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2002-73415 (P2002-73415A)

【公開日】平成 14 年 3 月 12 日 (2002.3.12)

【出願番号】特願 2001-211630 (P2001-211630)

【国際特許分類第 7 版】

G 0 6 F 12/08

G 0 6 F 15/16

G 0 6 F 15/177

【F I】

G 0 6 F 12/08 5 3 1 Z

G 0 6 F 12/08 5 0 7 H

G 0 6 F 12/08 5 0 9 B

G 0 6 F 12/08 5 0 9 C

G 0 6 F 12/08 5 3 1 B

G 0 6 F 15/16 6 4 5

G 0 6 F 15/177 6 8 2 J

【手続補正書】

【提出日】平成 16 年 10 月 15 日 (2004.10.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のキャッシュ (1 0 4 、 1 0 6 、 1 0 8 、 1 1 0) と、
キャッシュ階層内で、前記第 1 のキャッシュに対して、より下位のレベルにある第 2 の
 キャッシュ (1 1 4 、 1 1 6) と、
前記第 2 のキャッシュに関係付けられ、前記第 1 のキャッシュから追い出された項目の
アドレスを含むメモリ (1 2 0 、 1 2 2) と
を含むキャッシュシステム。

【請求項 2】

データ記憶システムの一貫性を維持する方法であって、
エントリが上位レベルのキャッシュから追い出されたことを、第 1 のキャッシュ (1 1
4 、 1 1 6) により検出するステップ (3 0 0) と、
前記上位レベルのキャッシュから追い出されたエントリのアドレスを、前記第 1 のキャ
ッシュにより記憶するステップ (3 0 2) と、
バス (1 1 2 、 1 1 3) がアイドルであることを、前記第 1 のキャッシュにより検出す
るステップ (3 0 4) と、
前記上位レベルのキャッシュに前記アドレスを無効化するように命令するトランザクシ
ョンを、前記第 1 のキャッシュにより開始するステップ (3 0 8) と
を含む方法。

【請求項 3】

前記トランザクションを開始した後、前記第 1 のキャッシュにより、前記アドレスを記
憶装置から除去すること (3 1 0) をさらに含む
 請求項 2 記載の方法。

【請求項 4】

前記トランザクションを開始した後、前記第 1 のキャッシュにより、前記アドレスに対応する前記第 1 のキャッシュ内のエントリの第 1 の状態（200、202）を、前記エントリが、より上位レベルのキャッシュにキャッシュされていないこと示す第 2 の状態（208）に切り替えること（312）をさらに含む

請求項 2 記載の方法。