



(12) 发明专利

(10) 授权公告号 CN 109643262 B

(45) 授权公告日 2023. 08. 08

(21) 申请号 201780051527.9

(22) 申请日 2017.08.22

(65) 同一申请的已公布的文献号
申请公布号 CN 109643262 A

(43) 申请公布日 2019.04.16

(30) 优先权数据
15/244,739 2016.08.23 US

(85) PCT国际申请进入国家阶段日
2019.02.22

(86) PCT国际申请的申请数据
PCT/US2017/047890 2017.08.22

(87) PCT国际申请的公布数据
W02018/039156 EN 2018.03.01

(73) 专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72) 发明人 S·贾兰 I·珀若撒盼
A·G·卡基斯瓦尔

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245
专利代理师 徐东升 赵蓉民

(51) Int.Cl.
G06F 11/16 (2006.01)
G11C 29/42 (2006.01)
B60W 30/00 (2006.01)

(56) 对比文件
CN 101042938 A, 2007.09.26
CN 1409492 A, 2003.04.09
US 2011225475 A1, 2011.09.15
US 8560927 B1, 2013.10.15
CN 103959250 A, 2014.07.30
CN 106463179 A, 2017.02.22
CN 102246155 A, 2011.11.16
龚锐等.FT51:一种容软错误高可靠微控制器.《计算机学报》.2007,(第10期),

审查员 徐灿

权利要求书4页 说明书5页 附图5页

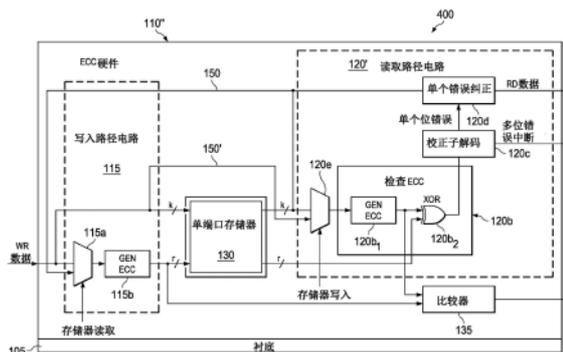
(54) 发明名称

具有故障检测的纠错硬件

(57) 摘要

在所描述的示例中,纠错码(ECC)硬件包括写入生成(Gen)ECC逻辑(115b)和耦合到存储器电路(130)的ECC输出的检查ECC块(120b),检查ECC块(120b)具有耦合到XOR电路(120b₂)的读取Gen ECC逻辑(120b₁),XOR电路(120b₂)将校正子信号输出到校正子解码块(120c),校正子解码块(120c)耦合到单个位纠错块(120d)。第一MUX(115a)接收写入数据并与写入Gen ECC逻辑(115b)的输入串联,或者第二MUX(120e)从存储器电路(130)接收读取数据并与读取Gen ECC逻辑(120b₁)的输入串联。交叉耦合连接器(150、150')将来自存储器电路(130)的读取数据耦合到第一MUX(115a)的第二输入,或者将写入数据耦合到第二MUX(120e)的第二输入。ECC位比较器(135)将写入Gen ECC逻辑(115b)的输出与读取

Gen ECC逻辑输出(120b₁)进行比较。



1. 一种用于单端口存储器电路的纠错码硬件即ECC硬件,包括:

写入路径电路,其包括写入生成ECC逻辑即写入Gen ECC逻辑,所述写入Gen ECC逻辑用于从写入数据生成第一ECC位并且用于将所述第一ECC位和所述写入数据写入所述存储器电路;

读取路径电路,其包括检查ECC块,所述检查ECC块用于耦合来自所述存储器电路的读取数据,所述检查ECC块包括耦合到XOR电路的读取Gen ECC逻辑,所述读取Gen ECC逻辑具有用于耦合到所述存储器电路的ECC输出的输入,其中所述XOR电路的输出将校正子信号提供到校正子解码块,所述校正子解码块耦合到单个位纠错块即SEC块并且用于生成多位错误检测中断信号即MED中断信号;

第一多路复用器即第一MUX或第二MUX,所述第一MUX具有用于接收所述写入数据的第一输入并与所述写入ECC生成逻辑的输入串联,所述第二MUX具有用于从所述存储器电路接收所述读取数据的第一输入并与所述读取Gen ECC逻辑的输入串联;

交叉耦合连接器,其用于将来自所述存储器电路的所述读取数据耦合到所述第一MUX的第二输入,或者交叉耦合连接器,其用于将所述写入数据耦合到所述第二MUX的第二输入,以及

ECC位比较器,其用于将所述写入Gen ECC逻辑的输出与所述读取Gen ECC逻辑的输出进行比较。

2. 根据权利要求1所述的ECC硬件,其中所述比较器的输出经耦合作为所述校正子解码块的使能输入并且作为所述SEC块的使能输入。

3. 根据权利要求1所述的ECC硬件,其中所述ECC硬件和所述单端口存储器电路形成在至少具有半导体表面的公共衬底上。

4. 根据权利要求1所述的ECC硬件,其中所述ECC硬件包括所述第一MUX和所述第二MUX。

5. 一种用于单端口存储器电路的纠错码硬件即ECC硬件,包括:

写入路径电路,其包括写入生成ECC逻辑即写入Gen ECC逻辑,所述写入Gen ECC逻辑用于从写入数据生成第一ECC位并且用于将所述第一ECC位和所述写入数据写入所述存储器电路;

读取路径电路,其包括检查ECC块,所述检查ECC块用于耦合来自所述存储器电路的读取数据,所述检查ECC块包括耦合到XOR电路的读取Gen ECC逻辑,所述读取Gen ECC逻辑具有用于耦合到所述存储器电路的ECC输出的输入,其中所述XOR电路的输出将校正子信号提供到校正子解码块,所述校正子解码块耦合到单个位纠错块即SEC块并且用于生成多位错误检测中断信号即MED中断信号;

第一多路复用器即第一MUX和第二MUX,所述第一MUX具有用于接收所述写入数据的第一输入并与所述写入ECC生成逻辑的输入串联,所述第二MUX具有用于从所述存储器电路接收所述读取数据的第一输入并与所述读取Gen ECC逻辑的输入串联;

交叉耦合连接器,其用于将来自所述存储器电路的所述读取数据耦合到所述第一MUX的第二输入,以及交叉耦合连接器,其用于将所述写入数据耦合到所述第二MUX的第二输入;

ECC位比较器,其用于将接收的所述写入Gen ECC逻辑的输出与所述读取Gen ECC逻辑的输出进行比较。

6. 根据权利要求5所述的ECC硬件,其中所述比较器的输出经耦合作为所述校正子解码块的使能输入并且作为所述SEC块的使能输入。

7. 根据权利要求5所述的ECC硬件,其中所述ECC硬件和所述单端口存储器电路形成在至少具有半导体表面的公共衬底上。

8. 一种用于单端口存储器电路的纠错码硬件即ECC硬件的故障检测方法,所述ECC硬件在写入路径电路中具有写入生成ECC逻辑即写入Gen ECC逻辑,并且在读取路径电路中具有包括读取Gen ECC逻辑的检查ECC逻辑,所述方法包括:

将所述读取Gen ECC逻辑的输出与所述写入Gen ECC逻辑的输出进行比较;

当来自所述比较的比较输出确定所述写入Gen ECC逻辑的所述输出的值不等于所述读取Gen ECC逻辑的所述输出的值时,检测到所述写入Gen ECC逻辑或所述读取Gen ECC逻辑中的故障,并且

其中当所述故障是单个位错误时,纠正所述单个位错误,并且当所述故障是多位错误时,发送多位错误中断信号。

9. 根据权利要求8所述的方法,其中所述读取路径电路进一步包括耦合到所述读取Gen ECC逻辑的输出的XOR电路,所述读取Gen ECC逻辑具有耦合到所述存储器电路的ECC输出的另一输入,并且其中所述XOR电路的输出将校正子输出提供到校正子解码块,所述校正子解码块耦合到单个位纠错块即SEC块和多位错误生成电路,

所述方法进一步包括将所述比较输出耦合作为多位错误检测电路即MED电路的使能输入并且作为SEC块的使能输入。

10. 根据权利要求8所述的方法,其中对于每个时钟周期连续地执行所述比较和所述检测。

11. 根据权利要求8所述的方法,其中所述单端口存储器电路包括静态随机存取存储器即SRAM、只读存储器即ROM或快闪存储器。

12. 根据权利要求8所述的方法,其中所述单端口存储器电路是用于高级驾驶员辅助系统即ADAS的存储器的存储器。

13. 一种高级驾驶员辅助系统即ADAS系统,包括:

图像传感器,其用于从场景生成图像数据;

图像识别系统,其经耦合以从所述图像传感器接收所述图像数据,所述图像识别系统包括视频识别处理器和收发器;

处理器块,其包括耦合到所述图像识别系统的处理器核心,所述处理器核心经耦合以使用至少一个ECC存储器电路,所述ECC存储器电路包括ECC存储器硬件和单端口处理器存储器;

所述ECC存储器硬件包括:

写入路径电路,其包括写入生成ECC逻辑即写入Gen ECC逻辑,所述写入Gen ECC逻辑用于从写入数据生成第一ECC位并且用于将所述第一ECC位和所述写入数据写入所述处理器存储器;

读取路径电路,其包括检查ECC块,所述检查ECC块用于耦合来自所述处理器存储器的读取数据,所述检查ECC块包括耦合到XOR电路的读取Gen ECC逻辑,所述读取Gen ECC逻辑具有用于耦合到所述处理器存储器的ECC输出的输入,其中所述XOR电路的输出将校正子信

号提供到校正子解码块,所述校正子解码块耦合到单个位纠错块即SEC块并且用于生成多位错误检测中断信号即MED中断信号;

第一多路复用器即第一MUX或第二MUX,所述第一MUX具有用于接收所述写入数据的第一输入并与所述写入ECC生成逻辑的输入串联,所述第二MUX具有用于从所述处理器存储器接收所述读取数据的第一输入并与所述读取Gen ECC逻辑的输入串联;

交叉耦合连接器,其用于将来自所述存储器电路的所述读取数据耦合到所述第一MUX的第二输入,或者交叉耦合连接器,其用于将所述写入数据耦合到所述第二MUX的第二输入;以及

ECC位比较器,其用于将所述写入Gen ECC逻辑的输出与所述读取Gen ECC逻辑的输出进行比较。

14. 根据权利要求13所述的ADAS系统,其中所述比较器的输出经耦合作为所述校正子解码块的使能输入并且作为所述SEC块的使能输入。

15. 根据权利要求13所述的ADAS系统,其中所述ECC存储器硬件和所述处理器存储器形成在至少具有半导体表面的公共衬底上。

16. 根据权利要求13所述的ADAS系统,其中所述ECC存储器硬件包括所述第一MUX和所述第二MUX。

17. 根据权利要求13所述的ADAS系统,其中所述处理器存储器包括静态随机存取存储器即SRAM、只读存储器即ROM或快闪存储器。

18. 根据权利要求13所述的ADAS系统,其中所述ECC存储器硬件和所述处理器存储器形成在至少具有半导体表面的公共衬底上。

19. 根据权利要求18所述的ADAS系统,其中公共衬底和所述半导体表面都包括硅。

20. 根据权利要求13所述的ADAS系统,其中所述图像传感器包括彩色相机。

21. 一种用于纠错码硬件即ECC硬件的故障检测方法,其包括:

将单端口存储器电路的读取Gen ECC逻辑的输出与写入Gen ECC逻辑的输出进行比较,所述单端口存储器电路在写入路径电路中具有写入生成ECC逻辑即写入Gen ECC逻辑,并且在读取路径电路中具有包括读取Gen ECC逻辑的检查ECC逻辑;

当来自所述比较的比较输出确定所述写入Gen ECC逻辑的所述输出的值不等于所述读取Gen ECC逻辑的所述输出的值时,检测到所述写入Gen ECC逻辑或所述读取Gen ECC逻辑中的故障,并且

其中当所述故障是单个位错误时,纠正所述单个位错误,并且当所述故障是多位错误时,发送多位错误中断信号。

22. 根据权利要求21所述的方法,其中所述读取路径电路进一步包括耦合到所述读取Gen ECC逻辑的输出的XOR电路,所述读取Gen ECC逻辑具有耦合到所述存储器电路的ECC输出的另一输入,并且其中所述XOR电路的输出将校正子输出提供到校正子解码块,所述校正子解码块耦合到单个位纠错块即SEC块和多位错误生成电路,

所述方法进一步包括将所述比较输出耦合作为多位错误检测电路即MED电路的使能输入并且作为SEC块的使能输入。

23. 根据权利要求21所述的方法,其中对于每个时钟周期连续地执行所述比较和所述检测。

24. 根据权利要求21所述的方法,其中所述单端口存储器电路包括静态随机存取存储器即SRAM、只读存储器即ROM或快闪存储器。

25. 根据权利要求21所述的方法,其中所述单端口存储器电路是用于高级驾驶员辅助系统即ADAS的处理器的存储器。

具有故障检测的纠错硬件

技术领域

[0001] 本申请总体涉及纠错码(ECC),并且更具体地涉及用于ECC逻辑电路的故障检测的硬件。

背景技术

[0002] 纠错码(ECC)存储器是一种计算机数据存储设备,其可以检测和纠正大多数传统类型的内部数据损坏。ECC存储器电路可以用在通常不能容忍数据损坏的计算机中,例如用于科学或需要符合功能安全要求的安全关键高级驾驶员辅助系统(ADAS)的汽车存储器。

[0003] 在存储器(例如,静态随机存取存储器(SRAM)、只读存储器(ROM)或快闪存储器)上实现ECC是在安全关键应用中使用的标准安全机制,以确保存储器内的数据完整性。传统上,ECC冗余位(例如,在汉明(Hamming)码中)通过写入路径ECC逻辑电路被添加到存储器数据内容,并且以相同的周期一起写入存储器,以便当存储器由读取路径ECC逻辑电路读出时提供在存储器中存储的数据的检查。本文使用的ECC通常使用汉明码中的冗余位用于单个位错误的单个位纠错和用于多位错误(例如,双位错误)的多位错误检测。

[0004] 传统上,在写入路径和读取路径中提供生成ECC硬件单元,其中在写入路径中具有生成ECC单元,并且在读取路径中具有包括另一生成ECC单元的检查ECC块。写入路径电路和读取路径电路没有交叉耦合连接,并且因此彼此独立地操作。在存储器读取操作期间,ECC由检查ECC块重新计算,该ECC通过XOR电路与存储的ECC进行比较。该XOR电路的结果(输出)称为校正子。如果校正子为零,则没有发生错误。如果校正子为非零,则可以将其用于将表索引到“校正子解码”以在单个位纠错(SEC)的情况下确定哪些位出错,或者在双位错误检测(DED)的情况下确定该错误是不可纠正的。因此,传统的ECC存储器通常可以有效地保持存储器系统免于大多数位错误。

发明内容

[0005] 在所描述的示例中,锁步ECC电路硬件包括纠错电路,该纠错电路使用写入路径电路和读取路径电路之间的交叉耦合连接,这使得能够在存储器电路的一侧重新使用ECC生成逻辑以在另一侧检查错误,从而降低了ECC逻辑要求并节省了大量半导体芯片面积。所描述的示例包括一种用于存储器电路的ECC电路的故障检测方法,该存储器电路在写入路径电路中具有写入生成(Gen)ECC逻辑并且在读取路径电路中具有包括读取Gen ECC逻辑的检查ECC逻辑。通过数字比较器比较读取Gen ECC逻辑的输出和写入Gen ECC逻辑的输出,以检查相应位串是否匹配。当位串不匹配时,检测到写入Gen ECC逻辑或读取Gen ECC逻辑中的故障。在写入操作期间发生锁步错误(比较器输出不匹配)的情况下,可以重复写入操作。在读取操作期间发生锁步错误的情况下,则可以纠正单个位错误,并且可以发送多位错误中断信号。

附图说明

[0006] 图1是根据一个示例实施例的示例ECC存储器电路的框图,该ECC存储器电路具有所描述的用于在读取侧ECC逻辑中进行故障检测的锁步ECC电路硬件,该锁步ECC电路硬件具有多路复用器,该多路复用器具有用于接收写入数据的第一输入并与ECC生成逻辑的输入串联。在正常写入操作期间选择写入数据,并且在读取操作期间选择读取数据。

[0007] 图2是根据一个示例实施例的另一示例ECC存储器电路的框图,该ECC存储器电路具有所描述的用于在写入侧ECC逻辑中进行故障检测的锁步ECC电路硬件,该锁步ECC电路硬件具有多路复用器,该多路复用器具有用于从存储器电路接收读取数据的第一输入并与用于在ECC逻辑中进行故障检测的Gen ECC逻辑的输入串联。

[0008] 图3是示出根据一个示例实施例的用于ECC电路的故障检测的示例方法中的步骤的流程图。

[0009] 图4是根据一个示例实施例的示例ECC存储器电路,其包括所描述的用于在其读取路径和写入路径中进行故障检测的ECC硬件,该ECC硬件基本上组合了上文相对于图1和图2描述的读取侧和写入侧错误检查实施例。

[0010] 图5是根据一个示例实施例的示例ADAS系统的系统图,其包括作为处理器存储器的图4中所示的所描述的ECC存储器电路的两个实例,该处理器存储器具有所描述的用于在其读取路径和写入路径中的ECC逻辑中进行故障检测的锁步ECC电路硬件。

具体实施方式

[0011] 附图不一定按比例绘制。在附图中,相同的附图标记表示相似或等同的元件。一些示出的动作或事件可以以不同的顺序发生和/或与其他动作或事件同时发生。此外,一些示出的动作或事件对于实现根据本说明书的方法是可选的。

[0012] 如本文所使用的,在没有进一步限定的情况下,术语“耦合到”或“与...耦合”(等)描述间接或直接电连接。因此,如果第一设备“耦合”到第二设备,则该连接可以通过在路径中仅有寄生的直接电连接,或者通过经由包括其他设备和连接的中间项的间接电连接。对于间接耦合,中间项通常不修改信号的信息,但可以调整其电流电平、电压电平和/或功率电平。

[0013] 在ECC存储器电路的ECC逻辑硬件中,写入侧可能存在瞬时或永久错误,这可能导致在写入操作期间将错误的ECC位写入存储器。ECC存储器电路的读取侧中的ECC逻辑硬件中的瞬时或永久错误可能导致存储器读取数据的损坏或者导致在读取数据实际上未被损坏时将存储器读取数据错误标记为损坏的。如果写入路径电路和读取路径电路独立操作,则可以检测ECC存储器电路的ECC逻辑中的瞬时/永久错误,但是这种检测的实现将需要大量的附加逻辑,包括在ECC存储器电路的两侧的额外ECC生成逻辑。

[0014] 图1示出了ECC存储器电路100,其包括存储器电路130(例如,SRAM、ROM或快闪存储器芯片)和所描述的“锁步”ECC硬件110,“锁步”ECC硬件110在其被配置用于验证读取路径电路120中的读取路径Gen ECC $120b_1$ 的位输出的ECC逻辑电路中具有故障检测。存储器电路130包括单端口存储器,其中对于给定的时钟脉冲仅可以执行一个操作(读取或写入)。该单端口存储器特征使得来自ECC GEN逻辑之一(在特定时间/时钟处未激活的一侧,如图1所示的写入未激活,以及如图2所示读取未激活)的位输出能够用作启用所描述的锁步错误检

测的参考。

[0015] 存储器电路130包括至少具有半导体表面的公共衬底105。例如,衬底105可以包括体硅衬底或体硅衬底上的外延层。

[0016] 存储器电路130具有单独的数据输出和单独的ECC输出。示出为k位的数据与示出为r位的ECC位一起被存储。例如,如果非ECC存储器存储64位数据,则ECC存储器将存储相同64位数据以及额外8位ECC。因此,写入64+8位并且读出64+8位。ECC 8位用于验证64个数据位,并转到检查ECC中的XOR逻辑。

[0017] 写入路径电路115包括写入生成 (Gen) ECC逻辑115b,并且校验ECC逻辑120b包括读取路径电路120中的读取Gen ECC逻辑120b₁。当在写入模式下操作(写入模式在下文描述的图2中激活)时,数据位(示出为WR数据,例如64位)和来自写入ECC Gen逻辑115b的对应的计算的ECC位(例如8位)各自以相同的时钟周期写入存储器电路100。在图1和图2中,存储器电路130的数据宽度在一个示例中可以是72位(72位宽存储器),包括64位(数据)+8位(ECC),其可以实现为宽度64和宽度8的两个单独的存储器,或者是单个72位宽的存储器。

[0018] 如上文所描述的,64个信息/数据位和8个ECC位仅是示例。ECC位的实际数量可以基于数据(信息)的对应位宽度,例如以下示例中给出的:

信息位的数量k	SEC-DED的r位
1	3
2-4	4
5-11	5
12-26	6
27-57	7
58-120	8
121-247	9
248-502	10

[0020] 在写入GEN ECC逻辑115b的输入处提供多路复用器(Mux) 115a,以在来自存储器电路130的由交叉耦合连接150提供的示出为k位的交叉耦合的读取数据以及通常来自处理器的写入(wr)数据中复用。处理器可以包括微处理器、数字信号处理器(DSP)或微控制器单元(MCU)。Mux 115a被示出具有选择线,该选择线被示出为基于存储器电路130处于自处理器的读取模式而用于选择包括在一条线上的来自存储器的rd数据和在另一条线上的wr数据的输入线中的哪个被发送到Mux 115a的输出。当处于读取模式时,Mux 115a选择rd数据,而当处于写入模式时,选择wr数据。

[0021] 数字比较器135经耦合以在一个输入处接收来自写入Gen ECC逻辑115b的输出(作为其在读取期间未激活时的参考)并且在其另一输出处接收读取路径Gen ECC 120b₁的输出。因此,数字比较器135重新使用来自写入Gen ECC逻辑115b的输出用于验证读取路径Gen ECC 120b₁的位输出,两者都仅作为示例示出为8位。读取Gen ECC 120b₁和XOR电路120b₂一起构成检查ECC块120b。XOR电路120b₂的输出将“校正子”信号提供到校正子解码块120c。如果校正子为零,则没有发生错误。如果校正子为非零,则校正子解码块120c确定哪些位出错(SEC),或者错误是不可纠正的(例如,错误是双位错误)。将单个位错误提供到SEC块120d,SEC块120d输出示出为rd数据的纠正的读取数据。

[0022] 对于ECC硬件110,数字比较器135的输出被连接为对多位(2位或更多位)错误中断生成的使能,并且被连接为对SEC块120d的使能。因此,当且仅当写入路径中的ECC计算和读取路径中的ECC计算彼此匹配(在图1中示为相同的r位)时,由SEC块120d进行的存储器读取数据的SEC和使用由校正子解码120c提供的校正子计算进行的多位错误标记两者均由来自数字比较器135的使能信号启用。如果写入路径中的ECC计算和读取路径中的ECC计算彼此不匹配使得在读取操作期间存在锁步错误,并且可以纠正单个位错误,并且在多位错误(例如双位错误)的情况下,可以发送位错误中断(禁用)信号。

[0023] 图2示出了示例ECC存储器电路200,其包括所描述的用于在其写入路径中进行故障检测的ECC硬件110',写入路径包括写入Gen ECC逻辑115b,其中MUX 120e被添加在读取路径电路120'中,并且交叉耦合连接150'从写入路径电路115'被添加到读取路径电路120'中的MUX 120e,以将写入数据复用到从存储器电路130读取的数据。这里,所描述的在其ECC逻辑电路中具有故障检测的锁步ECC硬件110被配置用于在写入模式激活时验证写入Gen ECC逻辑115b的位输出。示出为“存储器写入”的控制输入是控制MUX 120e的输入选择节点的控制信号。当处于写入模式时,MUX 120e选择wr数据,而当处于读取模式时,选择rd数据。

[0024] 由读取Gen ECC逻辑120b₁输出的ECC位用于通过数字比较器135验证写入Gen ECC逻辑115b的操作,数字比较器135比较由相应的Gen ECC逻辑115b和120b₁生成的ECC位。生成的数字比较器135的输出用作到处理器(例如,微处理器、数字信号处理器(DSP)或微控制器单元(MCU))的中断,以重复写入事务。在写入操作期间由数字比较器135标记错误的情况下,可以重复写入操作以确保写入存储器电路130的数据不出错。如果错误是瞬时故障,则重复写入通常将修复硬件错误问题。在永久故障的情况下,数字比较器135将再次保持生成错误,在这种情况下,处理器可以采取适当的动作,例如向应用软件指示系统中发生了永久故障。在读取操作的情况下,该同样的故障响应也是如此。

[0025] 图3是示出根据一个示例实施例的用于与单端口存储器电路相关联的ECC电路的故障检测的示例方法300中的步骤的流程图。步骤301包括将读取Gen ECC逻辑(图1和图2中的120b₁)的输出与写入Gen ECC逻辑(图1和图2中的115b)的输出进行比较。步骤302包括当来自比较的比较输出确定写入Gen ECC逻辑的输出的值不等于读取Gen ECC逻辑120b₁的输出的值时,检测到写入Gen ECC逻辑或读取Gen ECC逻辑中的故障。

[0026] 步骤103包括当在读取操作期间故障是单个位错误时,纠正单个位错误,并且当在读取操作期间故障是多位错误时,发送多位错误中断信号。当在写入操作期间故障是错误时,重复写入。如上文针对图1的在读取侧实现故障检测的存储器电路100所描述的,将单个位错误提供到SEC块120d,SEC块120d输出示出为rd数据的纠正的读取数据。如上文针对图2的在写入侧实现故障检测的存储器电路200所描述的,可以重复写入操作以确保写入存储器芯片的数据不出错。

[0027] 上文关于图1(写入侧错误检查)和图2(读取侧错误检查)描述的实施例可以独立地实现(有一个而没有另一个)以检测存储器电路130的一侧上的错误。替代性地,上文关于图1和图2描述的读取侧和写入侧错误检查实施例可以组合在一起以在存储器电路130的两侧上实现错误检查。

[0028] 图4是示例ECC存储器电路400,其包括所描述的ECC硬件110”以用于在其读取路径和写入路径两者中进行故障检测,ECC硬件110”基本上组合了上文关于图1和图2描述的读

取侧和写入侧错误检查实施例。除了Mux 115a, ECC存储器电路400还包括第二Mux 120e和交叉耦合连接150', 该第二Mux 120e具有用于从存储器电路400接收读取数据的第一输入并与读取Gen ECC逻辑120b₁的输入串联, 该交叉耦合连接150' 用于将写入数据耦合到第二MUX 120e的第二输入。这里, 数字比较器135参与读取侧错误检查和写入侧错误检查两者。

[0029] 与本文描述的ECC存储器电路相反, 传统ECC逻辑仅用于检测和纠正内部存储器(例如, RAM) 错误。对于具有本文所描述的ECC逻辑的ECC存储器电路, 除了检测和纠正内部存储器错误之外, 还实现ECC逻辑中的故障检测, 其中还检测ECC计算和生成逻辑中的任何瞬时/永久错误, 这使得能够采取纠正动作。如上文所描述的, 在读取Gen ECC 120b₁(参见图1) 的锁步错误的情况下, 可以纠正单个位错误并且可以生成多位错误中断信号。在写入Gen ECC逻辑115b(参见图2) 中的锁步逻辑出错的情况下, 重复写入操作。此外, 所描述的锁步ECC电路硬件是非侵入式的, 并且可以连续地(在每个时钟周期, 在运行中) 操作以用于检查存储器ECC逻辑, 其中在附加的Mux和比较器方面仅具有有限的面积损失。

[0030] 通过以下示例进一步说明所描述的实施例。图5是包括示出为400₁和400₂的图4中所示的所描述的ECC存储器电路的两个实例的示例ADAS系统500的系统图, ECC存储器电路包括处理器存储器130₁(示出为处理器存储器1) 和130₂(示出为处理器存储器N)。ECC存储器电路具有所描述的锁步ECC电路硬件, 该锁步ECC电路硬件被示出为ECC逻辑110₁和110₂, 用于在处理器存储器的读取路径和写入路径中进行故障检测。图像传感器505(例如, CMOS彩色相机) 从场景(例如, 从汽车的后视方向) 生成图像数据。图像数据通过相机接口510耦合到图像识别系统515。图像识别系统515被示出为包括视频识别处理器515a、快闪存储器515b、外部DDR存储器515c和控制器局域网(CAN) 总线Tx/Rx(收发器) 515d。

[0031] 图像识别系统515通过CAN总线520耦合到处理器块530, 处理器块530包括处理器核心530a。处理器核心530a被示为通过总线接口535耦合以使用ECC存储器电路400₁和400₂的处理器存储器130₁和130₂。如上文所描述的, 在ADAS系统500的操作期间, ECC存储器电路400₁和400₂使用所描述的锁步ECC电路硬件, 其在写入路径电路和读取路径电路之间具有交叉耦合连接, 这使得能够在处理器存储器的一侧重新使用ECC生成逻辑来检查另一侧的错误, 并且降低ECC逻辑要求并节省大量半导体芯片面积。

[0032] 在所描述的实施例中, 修改是可能的, 并且在权利要求的范围内, 其他实施例也是可能的。

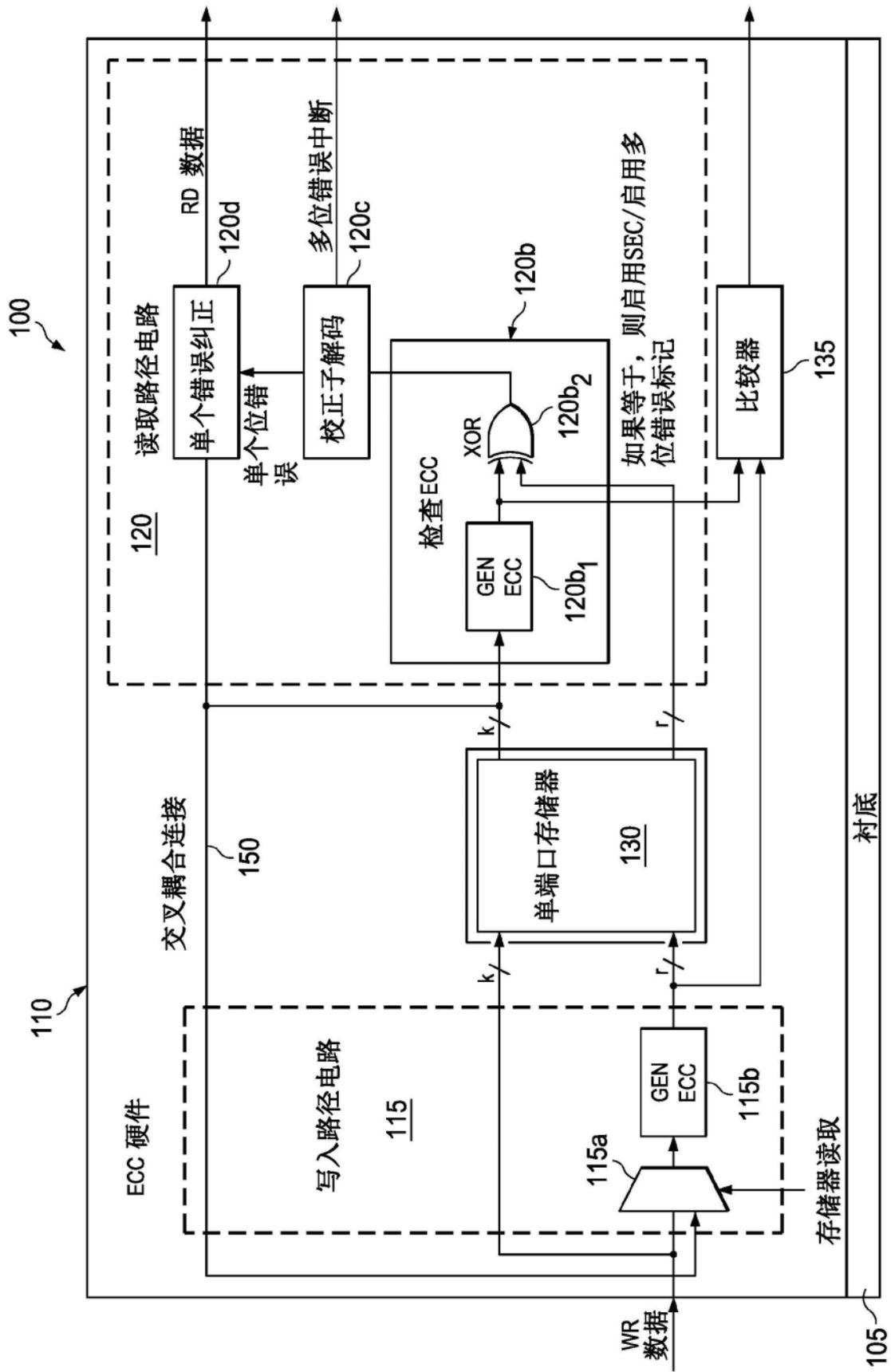


图1

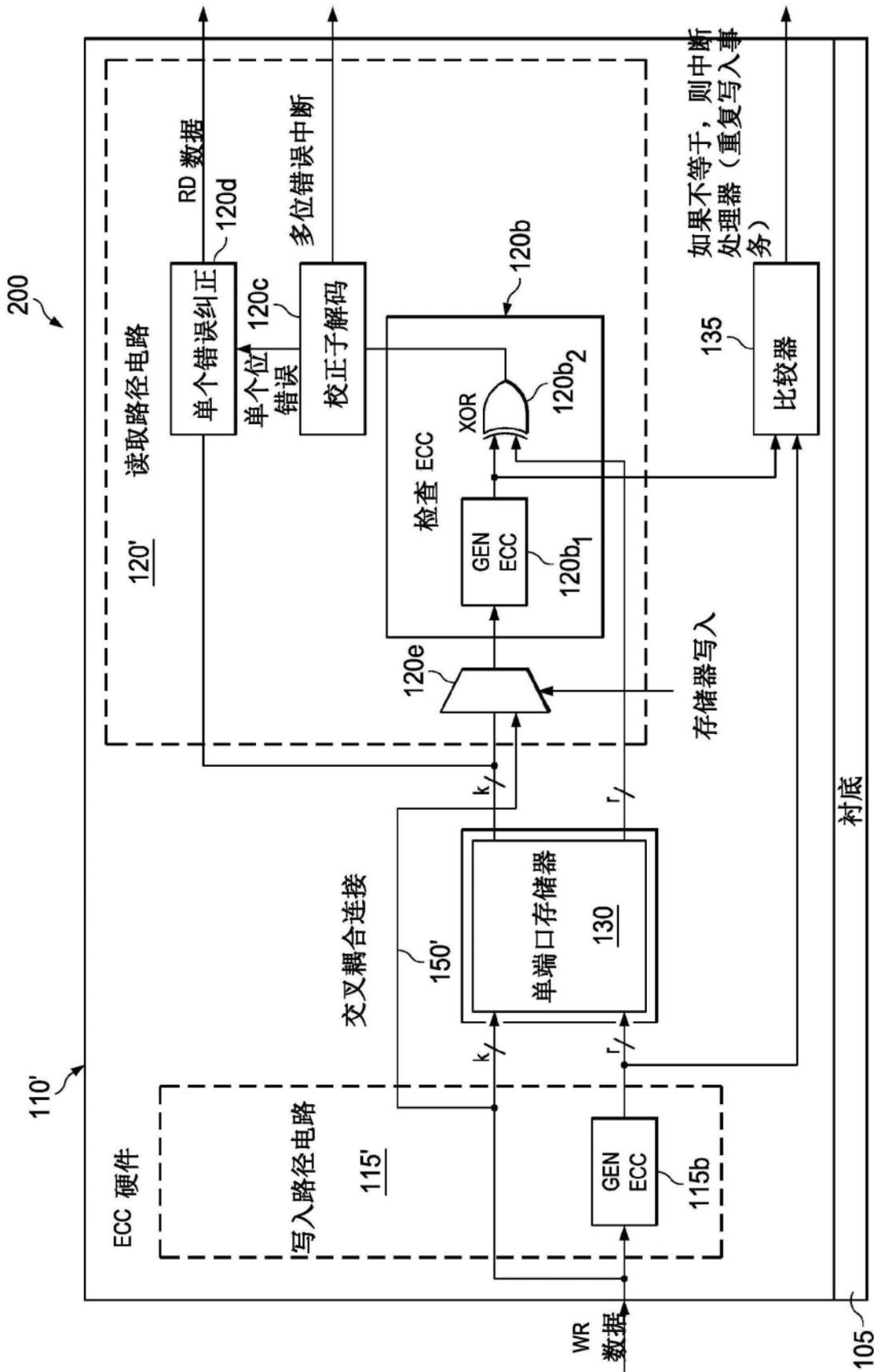


图2

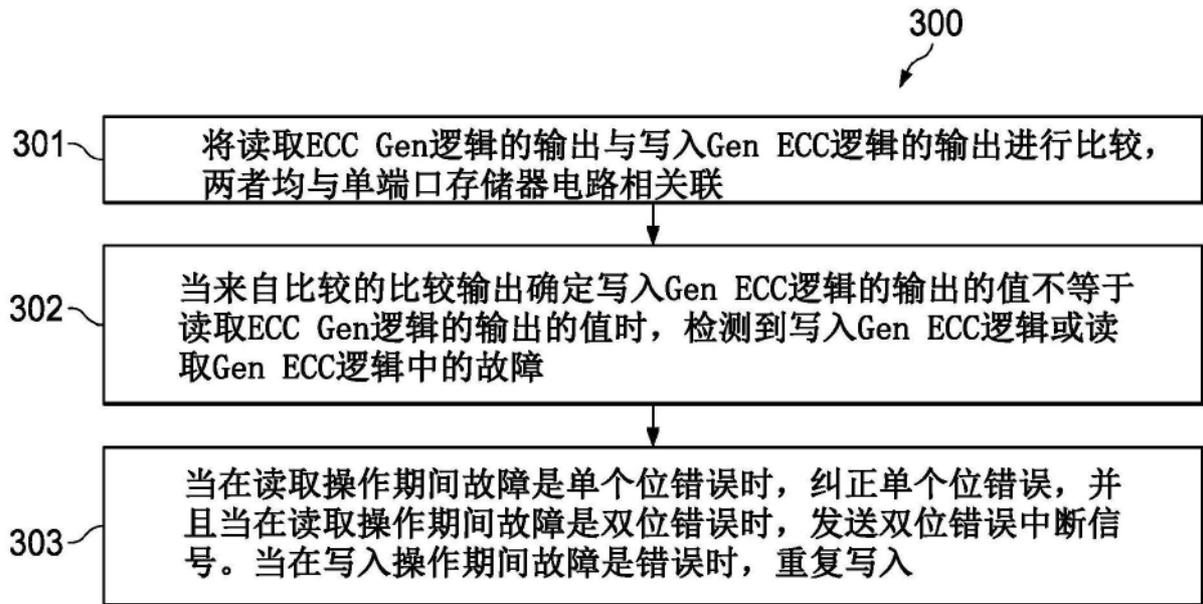


图3

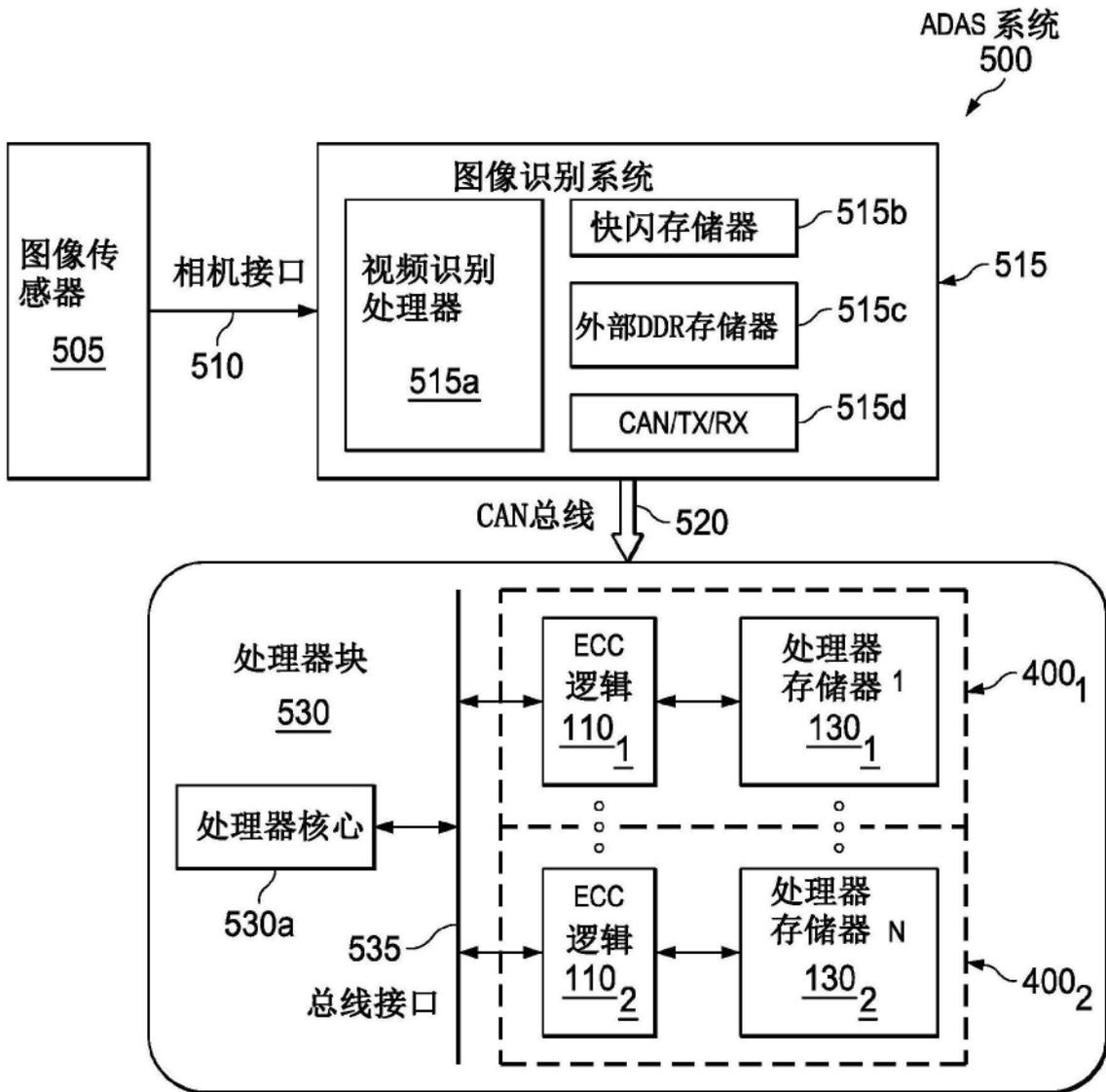


图5

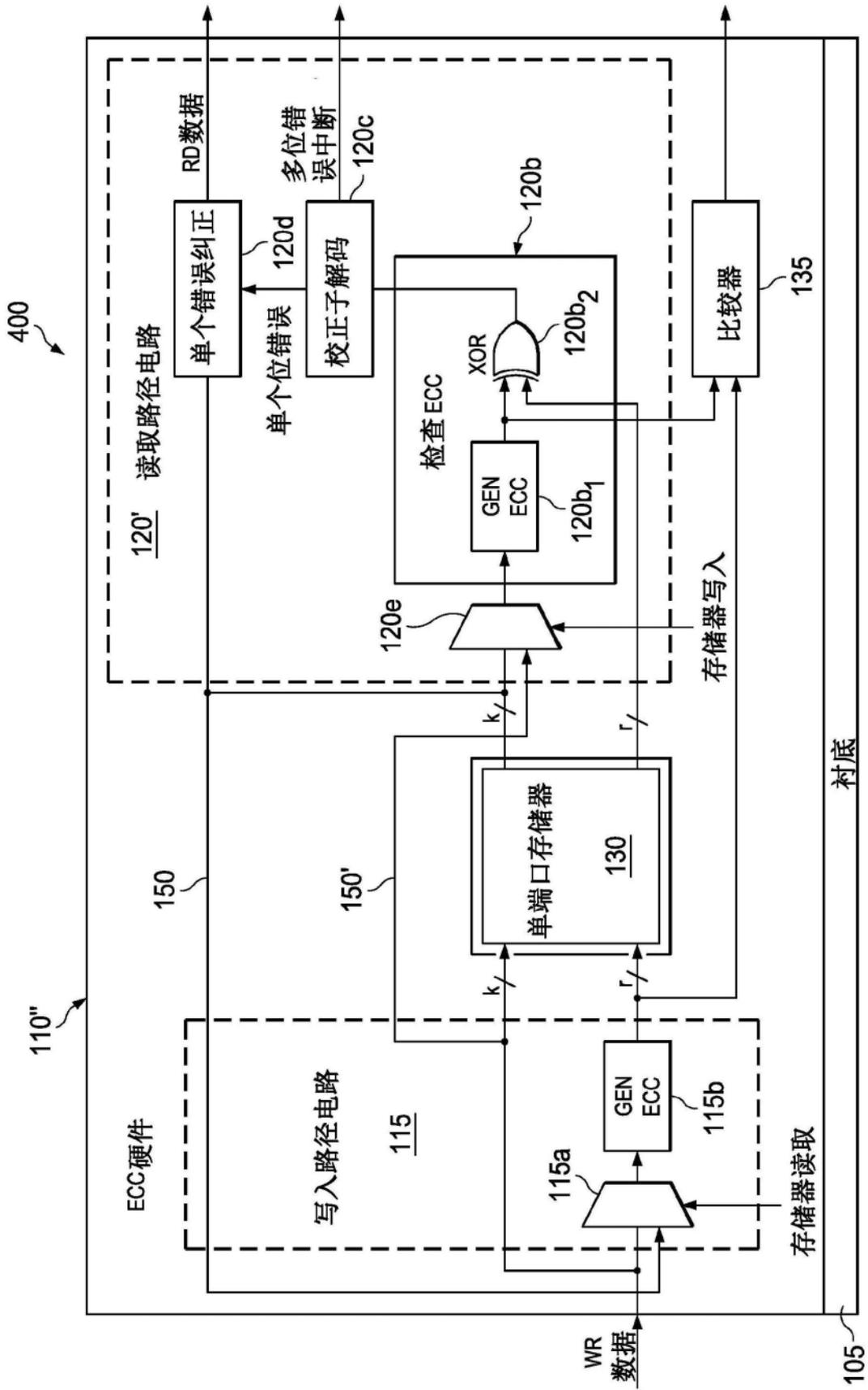


图4