

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4172654号  
(P4172654)

(45) 発行日 平成20年10月29日(2008.10.29)

(24) 登録日 平成20年8月22日(2008.8.22)

(51) Int.Cl. F I  
H O 1 L 23/12 (2006.01) H O 1 L 23/12 L

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2006-41226 (P2006-41226)	(73) 特許権者	000003067
(22) 出願日	平成18年2月17日(2006.2.17)		T D K株式会社
(65) 公開番号	特開2007-220984 (P2007-220984A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成19年8月30日(2007.8.30)	(74) 代理人	100107559
審査請求日	平成18年10月4日(2006.10.4)		弁理士 星宮 勝美
		(72) 発明者	桑島 一
			東京都中央区日本橋一丁目13番1号 T D K株式会社内
		(72) 発明者	伊東 正弘
			東京都中央区日本橋一丁目13番1号 T D K株式会社内
		(72) 発明者	宮崎 雅弘
			東京都中央区日本橋一丁目13番1号 T D K株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜デバイス

(57) 【特許請求の範囲】

【請求項1】

互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有する下地層と、

前記下地層の上面の上に配置された導体層と、

前記導体層に接続された端子電極とを備えた薄膜デバイスであって、

前記導体層は、前記下地層の側面から側方に突出する突出部を有し、

前記端子電極は、前記突出部の少なくとも一部を収容して、これに接触する凹部を有し、且つ前記下地層の側面に接触していることを特徴とする薄膜デバイス。

【請求項2】

前記下地層は、絶縁材料によって構成されていることを特徴とする請求項1記載の薄膜デバイス。

【請求項3】

更に、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有する被覆層を備え、

前記導体層のうちの前記突出部以外の部分における少なくとも一部は、前記下地層の上面と前記被覆層の下面との間に配置され、

前記突出部は、前記下地層の側面および前記被覆層の側面から側方に突出し、

前記端子電極は、更に、前記被覆層の側面に接触していることを特徴とする請求項1または2記載の薄膜デバイス。

## 【請求項 4】

前記被覆層は、絶縁材料によって構成されていることを特徴とする請求項 3 記載の薄膜デバイス。

## 【請求項 5】

前記突出部を前記下地層の上面に直交する仮想の平面で切断したときの前記突出部の断面の輪郭の少なくとも一部は、凸状の曲線であることを特徴とする請求項 1 ないし 4 のいずれかに記載の薄膜デバイス。

## 【請求項 6】

前記突出部における最大の厚みは、前記導体層における前記突出部以外の部分の厚みよりも大きいことを特徴とする請求項 1 ないし 5 のいずれかに記載の薄膜デバイス。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、導体層と、この導体層に接続された端子電極とを備えた薄膜デバイスに関する。

## 【背景技術】

## 【0002】

近年、携帯電話機等の高周波電子機器の小型化・薄型化の要求に伴い、高周波電子機器に搭載される電子部品の小型化、低背化が求められている。電子部品には、基板の上に、薄膜形成技術を用いて絶縁層や導体層等を形成して構成されたものがある。このように薄膜形成技術を用いて形成された電子部品を、本出願では薄膜デバイスと呼ぶ。

20

## 【0003】

薄膜デバイスでは、導体層を外部回路に接続するための端子電極が設けられる。ここで、薄膜デバイスのうち、端子電極以外の部分をデバイス本体と呼ぶ。端子電極に接続される導体層は、例えば、配線部分を含み、この配線部分の端面がデバイス本体の側面において露出するように形成される。この場合、端子電極は、配線部分の端面に接続されるように、例えば、デバイス本体の側面に配置される。

## 【0004】

以下、デバイス本体の側面に端子電極が配置された薄膜デバイスの製造方法の一例について説明する。この製造方法では、まず、1枚のウェハ（基板）上に複数個の薄膜デバイスに対応する導体層等を形成することによって、薄膜デバイス用基礎構造物を作製する。この基礎構造物は、それぞれデバイス本体となる複数のデバイス本体予定部を含んでいる。また、基礎構造物には、隣接するデバイス本体予定部の間に除去予定部が設けられる。次に、除去予定部の位置において基礎構造物を切断することによって、複数のデバイス本体予定部を分離して、複数のデバイス本体を作製する。このように基礎構造物を切断することによって、デバイス本体の側面が形成されると共に、この側面において、端子電極に接続される配線部分の端面が露出する。次に、デバイス本体の側面に端子電極を形成する。

30

## 【0005】

ところで、薄膜デバイスの小型化、低背化のためには、導体層等の層を薄くすることが有効である。しかしながら、上記の製造方法では、導体層を薄くすると、端子電極に接続される配線部分の端面の面積が減少する。その結果、導体層と端子電極とが接触する領域の面積が減少し、導体層と端子電極との接続信頼性を確保することが難しくなるという問題が発生する。

40

## 【0006】

上記の問題を回避するために、配線部分の幅を大きくすることによって、配線部分の端面の面積を大きくすることが考えられる。しかし、この場合には、薄膜デバイスにおいて、配線部分の密度が低下して薄膜デバイスの小型化が難しくなったり、配線部分のインピーダンスが所望の値からずれて薄膜デバイスの特性が劣化したりするという問題が発生する。

50

## 【 0 0 0 7 】

特許文献 1 には、基板上に内部導体膜が配置され、内部導体膜の端面に外部端子電極が接続されたチップ型電子部品において、内部導体膜の端面を基板の切断面に対して傾斜させる技術が記載されている。

## 【 0 0 0 8 】

また、特許文献 2 には、基板上に電極が配置され、電極の端面に外部端子が接続された電子部品において、基板の上の電極の端面を、基板の切断端面に対して傾斜させる技術が記載されている。

## 【 0 0 0 9 】

【特許文献 1】特開平 10 - 163002 号公報

10

【特許文献 2】特開平 11 - 3833 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 0 】

以下の説明では、特許文献 1 における外部端子電極と、特許文献 2 における外部端子を、いずれも端子電極と呼ぶ。

## 【 0 0 1 1 】

前述のように、デバイス本体の側面に端子電極が配置された薄膜デバイスでは、導体層を薄くすると、端子電極に接続される配線部分の端面の面積が減少し、その結果、導体層と端子電極とが接触する領域の面積が減少し、導体層と端子電極との接続信頼性を確保することが難しくなるという問題点があった。

20

## 【 0 0 1 2 】

特許文献 1 または 2 に記載された技術によれば、導体層と端子電極とが接触する領域の面積を増加させることができるが、その面積の増加量はわずかである。そのため、特許文献 1 または 2 に記載された技術では、導体層と端子電極との接続信頼性を十分に確保することは難しい。

## 【 0 0 1 3 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、導体層と、この導体層に接続された端子電極とを備えた薄膜デバイスであって、導体層と端子電極との接続信頼性を高めることができるようにした薄膜デバイスを提供することにある。

30

【課題を解決するための手段】

## 【 0 0 1 4 】

本発明の薄膜デバイスは、下地層と導体層と端子電極とを備えている。下地層は、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有している。導体層は、下地層の上面の上に配置されている。端子電極は導体層に接続されている。また、導体層は、下地層の側面から側方に突出する突出部を有している。端子電極は、突出部の少なくとも一部を収容して、これに接触する凹部を有し、且つ下地層の側面に接触している。

## 【 0 0 1 5 】

本発明の薄膜デバイスでは、端子電極の凹部が導体層の突出部に接触することによって、端子電極が導体層に接続される。

40

## 【 0 0 1 6 】

本発明の薄膜デバイスにおいて、下地層は絶縁材料によって構成されていてもよい。

## 【 0 0 1 7 】

また、本発明の薄膜デバイスは、更に、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有する被覆層を備え、導体層のうちの突出部以外の部分における少なくとも一部は、下地層の上面と被覆層の下面との間に配置され、突出部は、下地層の側面および被覆層の側面から側方に突出していてもよい。そして、端子電極は、更に、被覆層の側面に接触していてもよい。被覆層は絶縁材料によって構成されていてもよい。

50

## 【 0 0 1 8 】

また、本発明の薄膜デバイスにおいて、突出部を下地層の上面に直交する仮定の平面で切断したときの突出部の断面の輪郭の少なくとも一部は、凸状の曲線であってもよい。

## 【 0 0 1 9 】

また、本発明の薄膜デバイスにおいて、突出部における最大の厚みは、導体層における突出部以外の部分の厚みよりも大きくてもよい。

## 【 発明の効果 】

## 【 0 0 2 0 】

本発明の薄膜デバイスでは、端子電極の凹部が導体層の突出部に接触することによって、端子電極が導体層に接続される。これにより、本発明によれば、導体層と端子電極とが接触する領域の面積を大きくすることができ、その結果、導体層と端子電極との接続信頼性を高めることができるという効果を奏する。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 1 】

## [ 第 1 の実施の形態 ]

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 6 を参照して、本発明の第 1 の実施の形態に係る薄膜デバイスの回路構成について説明する。図 6 は、本実施の形態に係る薄膜デバイスの回路構成を示す回路図である。

## 【 0 0 2 2 】

図 6 に示したように、本実施の形態に係る薄膜デバイス 1 は、信号の入出力が行われる 2 つの入出力端子 1 0 1 , 1 0 2 と、3 つのインダクタ 1 1 1 , 1 1 2 , 1 1 3 とを備えている。

## 【 0 0 2 3 】

薄膜デバイス 1 は、更に、インダクタ 1 1 1 の一端とグラウンドとの間に設けられたキャパシタ 1 2 1 と、インダクタ 1 1 2 の一端とグラウンドとの間に設けられたキャパシタ 1 2 2 と、インダクタ 1 1 3 の一端とグラウンドとの間に設けられたキャパシタ 1 2 3 と、インダクタ 1 1 1 の一端とインダクタ 1 1 2 の一端との間に設けられたキャパシタ 1 2 4 と、インダクタ 1 1 2 の一端とインダクタ 1 1 3 の一端との間に設けられたキャパシタ 1 2 5 と、インダクタ 1 1 1 の一端とインダクタ 1 1 3 の一端との間に設けられたキャパシタ 1 2 6 とを備えている。

## 【 0 0 2 4 】

入出力端子 1 0 1 は、インダクタ 1 1 1 の一端に接続されている。入出力端子 1 0 2 は、インダクタ 1 1 3 の一端に接続されている。インダクタ 1 1 1 , 1 1 2 , 1 1 3 の各他端はグラウンドに接続されている。

## 【 0 0 2 5 】

次に、本実施の形態に係る薄膜デバイス 1 の作用について説明する。本実施の形態に係る薄膜デバイス 1 は、バンドパスフィルタの機能を有している。薄膜デバイス 1 の入出力端子 1 0 1 に信号が入力された場合には、この信号のうち、所定の周波数帯域内の周波数の信号が選択的に入出力端子 1 0 2 から出力される。逆に、入出力端子 1 0 2 に信号が入力された場合には、この信号のうち、所定の周波数帯域内の周波数の信号が選択的に入出力端子 1 0 1 から出力される。

## 【 0 0 2 6 】

次に、図 1 ないし図 5 を参照して、本実施の形態に係る薄膜デバイス 1 の構造について説明する。図 1 は、薄膜デバイス 1 の平面図である。図 2 は、薄膜デバイス 1 に含まれる上部導体層を示す平面図である。図 3 は、薄膜デバイス 1 に含まれる下部導体層を示す平面図である。図 4 および図 5 は、それぞれ薄膜デバイス 1 の断面図である。図 4 は、図 1 ないし図 3 において A - A 線で示される断面を表している。図 5 は、図 1 ないし図 3 における B - B 線で示される断面を表している。

## 【 0 0 2 7 】

図 4 および図 5 に示したように、薄膜デバイス 1 は、基板 2 と、この基板 2 の上に配置

10

20

30

40

50

された絶縁層 3 とを備えている。図 3 に示したように、薄膜デバイス 1 は、更に、絶縁層 3 の上に配置された下部導体層 4 1 ~ 4 3 を備えている。

【 0 0 2 8 】

図 4 および図 5 に示したように、薄膜デバイス 1 は、更に、絶縁層 3 および下部導体層 4 1 ~ 4 3 の大部分を覆うように配置された誘電体膜 5 と、この誘電体膜 5 の上に配置された絶縁層 6 とを備えている。図 2 に示したように、薄膜デバイス 1 は、更に、大部分が絶縁層 6 の上に配置された上部導体層 7 2 , 7 4 ~ 7 6 を備えている。

【 0 0 2 9 】

図 4 および図 5 に示したように、薄膜デバイス 1 は、更に、絶縁層 6 および上部導体層 7 2 , 7 4 ~ 7 6 の大部分を覆うように配置された保護膜 8 を備えている。図 1 に示したように、薄膜デバイス 1 は、更に、4 つの端子電極 1 1 ~ 1 4 を備えている。端子電極 1 1 は、図 6 における入出力端子 1 0 1 を構成する。端子電極 1 2 は、図 6 における入出力端子 1 0 2 を構成する。端子電極 1 3 , 1 4 は、グランドに接続されるようになっている。

【 0 0 3 0 】

ここで、薄膜デバイス 1 のうち、端子電極 1 1 ~ 1 4 以外の部分をデバイス本体 1 B と呼ぶ。デバイス本体 1 B は、ほぼ直方体形状をなし、上面（保護膜 8 の上面）1 a と、底面（基板 2 の下面）1 b と、これら上面 1 a と底面 1 b とを連結する 4 つの側面 1 c ~ 1 f とを有している。端子電極 1 1 ~ 1 4 は、それぞれ側面 1 c ~ 1 f の一部に接触するように配置されている。

【 0 0 3 1 】

基板 2 は、例えば絶縁材料（誘電体材料）によって構成されている。基板 2 を構成する絶縁材料は、無機材料でもよいし有機材料でもよい。基板 2 を構成する絶縁材料としては、例えば  $Al_2O_3$  を用いることができる。また、基板 2 は、半導体材料によって構成されていてもよい。

【 0 0 3 2 】

絶縁層 3 は、絶縁材料によって構成されている。絶縁層 3 を構成する絶縁材料は、無機材料でもよいし有機材料でもよい。絶縁層 3 を構成する無機材料としては、例えば  $Al_2O_3$  を用いることができる。絶縁層 3 を構成する有機材料としては、例えば樹脂を用いることができる。この場合、樹脂は、熱可塑性樹脂と熱硬化性樹脂のいずれでもよい。絶縁層 3 の上面の表面粗さは、基板 2 の上面の表面粗さよりも小さい。従って、絶縁層 3 は、下部導体層 4 1 ~ 4 3 の下地の表面粗さを小さくする機能を有している。絶縁層 3 には、基板 2 の上面の凹凸を吸収して、絶縁層 3 の上面が平坦になることが求められる。そのためには、絶縁層 3 の厚みは、 $0.1 \sim 10 \mu m$  の範囲内であることが好ましい。基板 2 が絶縁材料によって構成され、且つその上面の表面粗さが十分に小さい場合には、絶縁層 3 を設けずに、基板 2 の上に直接、下部導体層 4 1 ~ 4 3 を配置してもよい。

【 0 0 3 3 】

下部導体層 4 1 ~ 4 3 と、上部導体層 7 2 , 7 4 ~ 7 6 と、端子電極 1 1 ~ 1 4 は、導電材料によって構成されている。下部導体層 4 1 ~ 4 3 の厚みは、 $5 \sim 10 \mu m$  の範囲内であることが好ましい。上部導体層 7 2 , 7 4 ~ 7 6 の厚みは、 $5 \sim 10 \mu m$  の範囲内であることが好ましい。コーナー部や段差で端子電極 1 1 ~ 1 4 の断線が生じないように配慮して、端子電極 1 1 ~ 1 4 の厚みは、 $0.5 \sim 10 \mu m$  の範囲内であることが好ましい。

【 0 0 3 4 】

誘電体膜 5 は誘電体材料（絶縁材料）によって構成されている。誘電体膜 5 を構成する誘電体材料は、無機材料であることが好ましい。誘電体膜 5 を構成する誘電体材料としては、例えば、 $Al_2O_3$ 、 $Si_3N_4$  または  $SiO_2$  を用いることができる。誘電体膜 5 の厚みは、 $0.02 \sim 1 \mu m$  の範囲内であることが好ましく、 $0.05 \sim 0.5 \mu m$  の範囲内であることがより好ましい。

【 0 0 3 5 】

10

20

30

40

50

絶縁層 6 と保護膜 8 は、いずれも絶縁材料によって構成されている。絶縁層 6 と保護膜 8 を構成する各絶縁材料は、無機材料でもよいし有機材料でもよい。絶縁層 6 と保護膜 8 を構成する無機材料としては、例えば  $Al_2O_3$  を用いることができる。絶縁層 6 と保護膜 8 を構成する有機材料としては、例えば樹脂を用いることができる。この場合、樹脂は、熱可塑性樹脂と熱硬化性樹脂のいずれでもよい。樹脂としては、例えば、ポリイミド系樹脂、アクリル系樹脂、エポキシ系樹脂、四ふつ化エチレン樹脂、変性ポリフェニレンエーテル、液晶ポリマ、変性ポリイミドを用いることができる。また、樹脂は、感光性樹脂であってもよい。絶縁層 6 の厚みは、上部導体層と下部導体層との絶縁信頼性を良好にすると共に、浮遊容量等の不要成分の発生を抑えて高周波特性を良好にするために、 $0.1 \sim 10 \mu m$  の範囲内であることが好ましい。保護膜 8 の厚みは、保護膜 8 によって製品内部を保護するために、 $1 \sim 50 \mu m$  の範囲内であることが好ましい。

10

## 【0036】

基板 2 は、互いに反対側を向く第 1 の面 ( 上面 ) 2 a および第 2 の面 ( 下面 ) 2 b と、第 1 の面 2 a と第 2 の面 2 b とを連結する 4 つの側面 2 c ~ 2 f とを有している。側面 2 c , 2 d は、図 4 および図 5 に示されている。しかし、側面 2 e , 2 f は、図 4 および図 5 には現れない。そこで、便宜上、図 1 において側面 2 c ~ 2 f の位置を示している。

## 【0037】

基板 2 のうち第 1 の面 2 a と第 2 の面 2 b との間の所定の高さから上側の部分では、第 1 の面 2 a に近づくに従って徐々に、第 1 の面 2 a に平行な断面の大きさが小さくなっている。また、基板 2 の側面 2 c ~ 2 f のうち上記の所定の高さの位置から上側の部分は傾斜面になっている。

20

## 【0038】

絶縁層 3 は、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有している。絶縁層 3 は、下部導体層 4 1 , 4 3 から見て、本発明における下地層に対応する。絶縁層 3 を設けない場合は、下部導体層 4 1 , 4 3 から見て、基板 2 が本発明における下地層に対応する。

## 【0039】

誘電体膜 5 は、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有している。誘電体膜 5 は、下部導体層 4 1 , 4 3 から見て、本発明における被覆層に対応する。

30

## 【0040】

絶縁層 6 は、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有している。絶縁層 6 は、上部導体層 7 4 , 7 2 から見て、本発明における下地層に対応する。

## 【0041】

保護膜 8 は、互いに反対側を向く下面および上面と、これら下面と上面とを連結する側面とを有している。保護膜 8 は、上部導体層 7 4 , 7 2 から見て、本発明における被覆層に対応する。

## 【0042】

ここで、図 3 を参照して、下部導体層 4 1 ~ 4 3 について詳しく説明する。下部導体層 4 1 は、配線部 4 1 a と、この配線部 4 1 a に接続されたインダクタ構成部 4 1 b およびキャパシタ構成部 4 1 c とを有している。下部導体層 4 1 は、更に、配線部 4 1 a に接続された突出部 4 1 p を有している。突出部 4 1 p は、デバイス本体 1 B の側面 1 c に配置された絶縁層 3 の側面および誘電体膜 5 の側面から側方に突出している。下部導体層 4 2 は、配線部 4 2 a と、この配線部 4 2 a に接続されたインダクタ構成部 4 2 b およびキャパシタ構成部 4 2 c とを有している。下部導体層 4 3 は、配線部 4 3 a と、この配線部 4 3 a に接続されたインダクタ構成部 4 3 b およびキャパシタ構成部 4 3 c とを有している。下部導体層 4 3 は、更に、配線部 4 3 a に接続された突出部 4 3 p を有している。突出部 4 3 p は、デバイス本体 1 B の側面 1 d に配置された絶縁層 3 の側面および誘電体膜 5 の側面から側方に突出している。

40

50

## 【 0 0 4 3 】

図 4 に示したように、突出部 4 1 p , 4 3 p を絶縁層 3 の上面に直交する仮定の平面で切断したときの突出部 4 1 p , 4 3 p の断面の輪郭の少なくとも一部は、凸状の曲線になっている。また、突出部 4 1 p , 4 3 p における最大の厚みは、下部導体層 4 1 , 4 3 における突出部 4 1 p , 4 3 p 以外の部分の厚みよりも大きい。

## 【 0 0 4 4 】

次に、図 2 を参照して、上部導体層 7 2 , 7 4 ~ 7 6 について詳しく説明する。上部導体層 7 2 は、配線部 7 2 a と、この配線部 7 2 a に接続された 3 つのインダクタ構成部 7 2 b , 7 2 c , 7 2 d および 3 つのキャパシタ構成部 7 2 e , 7 2 f , 7 2 g と有している。上部導体層 7 2 を上方から見たときに、インダクタ構成部 7 2 b の一部はインダクタ構成部 4 1 b の一部に重なる位置に配置され、インダクタ構成部 7 2 c の一部はインダクタ構成部 4 2 b の一部に重なる位置に配置され、インダクタ構成部 7 2 d の一部はインダクタ構成部 4 3 b の一部に重なる位置に配置されている。また、上部導体層 7 2 を上方から見たときに、キャパシタ構成部 7 2 e の一部はキャパシタ構成部 4 1 c の一部に重なる位置に配置され、キャパシタ構成部 7 2 f の一部はキャパシタ構成部 4 2 c の一部に重なる位置に配置され、キャパシタ構成部 7 2 g の一部はキャパシタ構成部 4 3 c の一部に重なる位置に配置されている。上部導体層 7 2 は、更に、配線部 7 2 a に接続された突出部 7 2 p を有している。突出部 7 2 p は、デバイス本体 1 B の側面 1 f に配置された絶縁層 6 の側面および保護膜 8 の側面から側方に突出している。

## 【 0 0 4 5 】

上部導体層 7 4 を上方から見たときに、上部導体層 7 4 は、基板 2 の第 1 の面 2 a と側面 2 e との間の稜線の近傍に配置されている。上部導体層 7 4 は、デバイス本体 1 B の側面 1 e に配置された絶縁層 6 の側面および保護膜 8 の側面から側方に突出する突出部 7 4 p を有している。

## 【 0 0 4 6 】

突出部 7 4 p , 7 2 p を絶縁層 6 の上面に直交する仮定の平面で切断したときの突出部 7 4 p , 7 2 p の断面の輪郭の少なくとも一部は、凸状の曲線になっている。また、突出部 7 4 p , 7 2 p における最大の厚みは、上部導体層 7 4 , 7 2 における突出部 7 4 p , 7 2 p 以外の部分の厚みよりも大きい。

## 【 0 0 4 7 】

上部導体層 7 5 を上方から見たときに、上部導体層 7 5 は、配線部 4 1 a , 4 3 a のそれぞれにおける一部と配線部 4 2 a とに重なる位置に配置されている。上部導体層 7 6 を上方から見たときに、上部導体層 7 6 は、配線部 4 1 a , 4 3 a のそれぞれにおける他の一部に重なる位置に配置されている。

## 【 0 0 4 8 】

次に、図 2 および図 3 を参照して、誘電体膜 5 と絶縁層 6 のそれぞれに形成された複数の開口部について説明する。図 2 および図 3 において、これらの開口部の位置を破線で表している。誘電体膜 5 には、開口部 5 5 ~ 5 9 が形成されている。絶縁層 6 には、開口部 6 5 ~ 6 9 と開口部 6 C 1 ~ 6 C 6 が形成されている。開口部 6 5 ~ 6 9 は、それぞれ開口部 5 5 ~ 5 9 に連通している。

## 【 0 0 4 9 】

上部導体層 7 5 は、開口部 5 5 , 6 5 を通して下部導体層 4 2 の配線部 4 2 a に接続されている。上部導体層 7 6 は、開口部 5 6 , 6 6 を通して下部導体層 4 3 の配線部 4 3 a に接続されている。

## 【 0 0 5 0 】

上部導体層 7 2 のインダクタ構成部 7 2 b は、開口部 5 7 , 6 7 を通して下部導体層 4 1 のインダクタ構成部 4 1 b に接続されている。インダクタ構成部 7 2 b , 4 1 b は、図 6 におけるインダクタ 1 1 1 を構成する。

## 【 0 0 5 1 】

上部導体層 7 2 のインダクタ構成部 7 2 c は、開口部 5 8 , 6 8 を通して下部導体層 4

10

20

30

40

50

2のインダクタ構成部42bに接続されている。インダクタ構成部72c, 42bは、図6におけるインダクタ112を構成する。

【0052】

上部導体層72のインダクタ構成部72dは、開口部59, 69を通して下部導体層43のインダクタ構成部43bに接続されている。インダクタ構成部72d, 43bは、図6におけるインダクタ113を構成する。

【0053】

上部導体層72のキャパシタ構成部72eの一部は、開口部6C1内に配置され、誘電体膜5を介して下部導体層41のキャパシタ構成部41cの一部に対向している。これらキャパシタ構成部72e, 41cの各一部と誘電体膜5は、図6におけるキャパシタ121を構成する。

10

【0054】

上部導体層72のキャパシタ構成部72fの一部は、開口部6C2内に配置され、誘電体膜5を介して下部導体層42のキャパシタ構成部42cの一部に対向している。これらキャパシタ構成部72f, 42cの各一部と誘電体膜5は、図6におけるキャパシタ122を構成する。

【0055】

上部導体層72のキャパシタ構成部72gの一部は、開口部6C3内に配置され、誘電体膜5を介して下部導体層43のキャパシタ構成部43cの一部に対向している。これらキャパシタ構成部72g, 43cの各一部と誘電体膜5は、図6におけるキャパシタ123を構成する。

20

【0056】

上部導体層75の一部は、開口部6C4内に配置され、誘電体膜5を介して下部導体層41の配線部41aの一部に対向している。これら上部導体層75と配線部41aの各一部と誘電体膜5は、図6におけるキャパシタ124を構成する。

【0057】

上部導体層75の他の一部は、開口部6C5内に配置され、誘電体膜5を介して下部導体層43の配線部43aの一部に対向している。これら上部導体層75と配線部43aの各一部と誘電体膜5は、図6におけるキャパシタ125を構成する。

【0058】

30

上部導体層76の一部は、開口部6C6内に配置され、誘電体膜5を介して下部導体層41の配線部41aの他の一部に対向している。これら上部導体層76と配線部41aの各一部と誘電体膜5は、図6におけるキャパシタ126を構成する。

【0059】

次に、図1、図4および図5を参照して、端子電極11~14について詳しく説明する。端子電極11は、基板2の側面2cの一部と、デバイス本体1Bの側面1cに配置された絶縁層3の側面の一部、誘電体膜5の側面の一部、絶縁層6の側面の一部および保護膜8の側面の一部とに接触するように配置されている。また、端子電極11は、突出部41pの少なくとも一部を収容して、これに接触する凹部11cを有している。このようにして、端子電極11は、下部導体層41に接続されている。端子電極11の幅は、側面1cの幅よりも小さい。

40

【0060】

端子電極12は、基板2の側面2dの一部と、デバイス本体1Bの側面1dに配置された絶縁層3の側面の一部、誘電体膜5の側面の一部、絶縁層6の側面の一部および保護膜8の側面の一部とに接触するように配置されている。また、端子電極12は、突出部43pの少なくとも一部を収容して、これに接触する凹部12cを有している。このようにして、端子電極12は、下部導体層43に接続されている。端子電極12の幅は、側面1dの幅よりも小さい。

【0061】

端子電極13は、基板2の側面2eの一部と、デバイス本体1Bの側面1eに配置され

50



た絶縁層 3 の側面の一部、誘電体膜 5 の側面の一部、絶縁層 6 の側面の一部および保護膜 8 の側面の一部とに接触するように配置されている。また、端子電極 1 3 は、突出部 7 4 p の少なくとも一部を収容して、これに接触する凹部を有している。このようにして、端子電極 1 3 は、上部導体層 7 4 に接続されている。端子電極 1 3 の幅は、側面 1 e の幅よりも小さい。

【 0 0 6 2 】

端子電極 1 4 は、基板 2 の側面 2 f の一部と、デバイス本体 1 B の側面 1 f に配置された絶縁層 3 の側面の一部、誘電体膜 5 の側面の一部、絶縁層 6 の側面の一部および保護膜 8 の側面の一部とに接触するように配置されている。また、端子電極 1 4 は、突出部 7 2 p の少なくとも一部を収容して、これに接触する凹部を有している。このようにして、端子電極 1 4 は、上部導体層 7 2 に接続されている。端子電極 1 4 の幅は、側面 1 f の幅よりも小さい。

【 0 0 6 3 】

次に、図 5 および図 7 ないし図 1 3 を参照して、本実施の形態に係る薄膜デバイス 1 の製造方法について説明する。図 7 ないし図 1 3 は、薄膜デバイス 1 の製造方法を説明するための断面図である。図 7 ないし図 1 3 は、いずれも図 5 に対応する断面を表している。なお、以下の説明では、各層の材料と厚みの一例を挙げているが、本実施の形態における薄膜デバイス 1 の製造方法は、それらに限定されるわけではない。

【 0 0 6 4 】

図 7 は、薄膜デバイス 1 の製造方法における一工程を示している。この工程では、まず、ウェハ 2 W を用意する。ウェハ 2 W は、複数列に配列された基板予定部 2 P と、隣接する基板予定部 2 P の間に設けられた除去予定部 2 R とを含んでいる。基板予定部 2 P は、後に基板 2 となる部分である。除去予定部 2 R は、後にウェハ 2 W を切断することによって除去される部分である。

【 0 0 6 5 】

次に、ウェハ 2 W の上に絶縁層 3 を形成する。次に、絶縁層 3 の上面を、研磨することによって平坦化する。その場合の研磨方法としては、例えば化学機械研磨（以下、CMP と記す。）が用いられる。研磨後の絶縁層 3 の厚みは、例えば 2  $\mu\text{m}$  になるようにする。なお、絶縁層 3 の上面を平坦化しなくても、絶縁層 3 の上面の表面粗さが十分に小さい場合には、絶縁層 3 の上面を研磨によって平坦化しなくてもよい。

【 0 0 6 6 】

次に、絶縁層 3 の上に、下部導体層 4 1 ~ 4 3 を形成する。下部導体層 4 1 , 4 3 については、除去予定部 2 R の上方の領域を介して隣接する 2 つの下部導体層が、除去予定部 2 R の上方の領域内で連結されるように形成する。

【 0 0 6 7 】

下部導体層 4 1 ~ 4 3 は、例えば以下のようにして形成される。まず、例えばスパッタ法によって、絶縁層 3 の上に電極膜を成膜する。この電極膜は、後に電気めっき法によってめっき膜を形成する際における電極として用いられると共に、下部導体層 4 1 ~ 4 3 の一部を構成するものである。電極膜は、例えば 30 nm の厚みの Ti 膜と 100 nm の厚みの Cu 膜との積層膜とする。次に、電極膜の上に、例えば 8  $\mu\text{m}$  の厚みのフォトレジスト層を形成する。次に、フォトリソグラフィによってフォトレジスト層をパターニングして、フレームを形成する。このフレームは、形成すべき下部導体層 4 1 ~ 4 3 の形状に対応した形状の溝部を有している。次に、電極膜を電極として用いて、電気めっき法によって、フレームの溝部にめっき膜を形成する。めっき膜の材料としては、例えば Cu が用いられる。めっき膜の厚みは、例えば 9 ~ 10  $\mu\text{m}$  とする。次に、めっき膜の上面を、研磨することによって平坦化する。その場合の研磨方法としては、例えば CMP が用いられる。研磨後のめっき膜の厚みは、例えば 8  $\mu\text{m}$  になるようにする。次に、フレームを剥離する。次に、ドライエッチングまたはウェットエッチングによって、電極膜のうち、めっき膜の下に存在している部分以外の部分を除去する。これにより、残った電極膜およびめっき膜によって下部導体層 4 1 ~ 4 3 が形成される。

10

20

30

40

50

## 【 0 0 6 8 】

なお、下部導体層 4 1 ~ 4 3 は、上記の方法の代わりに、電極膜の上面全体の上に、パターン化されていないめっき膜を形成し、その後、このめっき膜および電極膜を部分的にエッチングすることによって形成してもよい。あるいは、絶縁層 3 の上に、スパッタ、蒸着等の物理気相成長法を用いて、パターン化されていない導体膜を形成し、この導体膜を部分的にエッチングすることによって、下部導体層 4 1 ~ 4 3 を形成してもよい。

## 【 0 0 6 9 】

図 8 は、次の工程を示す。この工程では、まず、例えばスパッタ法によって、絶縁層 3 および下部導体層 4 1 ~ 4 3 を覆うように誘電体膜 5 を成膜する。誘電体膜 5 の厚みは、例えば 0 . 1  $\mu\text{m}$  とする。次に、誘電体膜 5 の上にフォトレジスト層を形成する。次に、  
10 フトリソグラフィによってフォトレジスト層をパターンングして、フォトレジスト層に複数の開口部を形成する。この開口部は、誘電体膜 5 に形成すべき開口部 5 5 ~ 5 9 に対応する位置に形成される。次に、アッシングまたはエッチングによって、誘電体膜 5 のうち、フォトレジスト層の複数の開口部に対応する部分を除去する。これにより、誘電体膜 5 に開口部 5 5 ~ 5 9 が形成される。次に、フォトレジスト層を除去する。

## 【 0 0 7 0 】

次に、図 9 に示したように、誘電体膜 5 の上に絶縁層 6 を形成する。絶縁層 6 は、開口部 6 5 ~ 6 9 , 6 C 1 ~ 6 C 6 を有している。絶縁層 6 の材料として感光性樹脂を用いた場合には、絶縁層 6 はフトリソグラフィによってパターンングされる。絶縁層 6 の材料として感光性樹脂以外の材料を用いた場合には、絶縁層 6 は、例えば、選択的なエッチングによってパターンングされる。  
20

## 【 0 0 7 1 】

図 1 0 は、次の工程を示す。この工程では、上部導体層 7 2 , 7 4 ~ 7 6 を形成する。なお、図 1 0 には、上部導体層 7 2 , 7 4 , 7 6 は現れていない。上部導体層 7 2 , 7 4 については、除去予定部 2 R の上方の領域を介して隣接する 2 つの上部導体層が、除去予定部 2 R の上方の領域内で連結されるように形成する。上部導体層 7 2 , 7 4 ~ 7 6 の形成方法は、下部導体層 4 1 ~ 4 3 の形成方法と同様である。

## 【 0 0 7 2 】

次に、図 1 1 に示したように、絶縁層 6 および上部導体層 7 2 , 7 4 ~ 7 6 を覆うように保護膜 8 を成膜する。  
30

## 【 0 0 7 3 】

ここで、これまでの工程によって作製されたウェハ 2 W ないし保護膜 8 からなる積層体を薄膜デバイス用基礎構造物と呼ぶ。この基礎構造物は、それぞれデバイス本体 1 B となる複数のデバイス本体予定部 1 P と、隣接するデバイス本体予定部 1 P の間に配置された除去予定部 1 R とを含んでいる。デバイス本体予定部 1 P は、基礎構造物のうち、基板予定部 2 P とその上方の部分からなる。除去予定部 1 R は、基礎構造物のうち、除去予定部 2 R とその上方の部分からなる。

## 【 0 0 7 4 】

次に、図 1 2 に示したように、除去予定部 1 R の位置において、薄膜デバイス用基礎構造物に対して浅溝加工を施す。この浅溝加工では、除去予定部 1 R の幅よりも広い領域において、保護膜 8 、上部導体層 7 4 , 7 2 、絶縁層 6 、誘電体膜 5 、下部導体層 4 1 , 4 3 および絶縁層 3 を除去すると共に、ウェハ 2 W に後に傾斜面となる面が形成されるようにウェハ 2 W のうちの所定の高さの位置から上側の部分の一部を除去して、基礎構造物に対して浅溝 9 を形成する。浅溝加工は、例えば、レーザー加工によって行うことができる。このとき、上部導体層 7 4 , 7 2 のうち、除去予定部 2 R の上方の領域で連結された部分が溶断され、その断面が丸みを帯びることによって、前述の形状の突出部 7 4 p , 7 2 p が形成される。同様に、下部導体層 4 1 , 4 3 のうち、除去予定部 2 R の上方の領域内で連結された部分が溶断され、その断面が丸みを帯びることによって、前述の形状の突出部 4 1 p , 4 3 p が形成される。  
40

## 【 0 0 7 5 】

次に、図 1 3 に示したように、例えばダイシングソーによって、除去予定部 1 R の位置で基礎構造物を切断する。これにより、基礎構造物のうち、除去予定部 1 R が除去され、複数のデバイス本体予定部 1 P が分離される。このとき、基板 2 における、傾斜面を含む側面 2 c ~ 2 f が形成される。分離されたデバイス本体予定部 1 P はデバイス本体 1 B となる。なお、図 1 3 において、符号 1 0 は、ダイシングソーのブレードを示している。

#### 【 0 0 7 6 】

次に、図 5 に示したように、デバイス本体 1 B の所定の位置に端子電極 1 1 ~ 1 4 を形成する。端子電極 1 1 ~ 1 4 は、例えば以下のようにして形成される。まず、デバイス本体 1 B の所定の位置に下地電極膜を形成する。この下地電極膜は、例えば、スクリーン印刷または転写によって導電性樹脂または導電性ペーストをデバイス本体 1 B の所定の位置に塗布し、これを乾燥および硬化させることによって形成される。あるいは、デバイス本体 1 B に対して、所定の位置に開口部を有するマスクを形成した後、例えばスパッタ法によって、マスク上および開口部内に導電膜を成膜し、その後、マスクを除去することによって、導電膜よりなる下地電極膜を形成してもよい。この場合の導電膜としては、例えば、Cr 膜と Cu 膜との積層膜や、Ti 膜と Cu 膜との積層膜や、Ni 膜と Cu 膜との積層膜を用いることができる。次に、例えばバレルめっき法によって、下地電極膜の上にめっき膜を形成する。めっき膜としては、例えば、Ni または Ti よりなる第 1 膜と Sn または Au よりなる第 2 膜とによって構成された積層膜や、Cu よりなる第 1 膜と Ni または Ti よりなる第 2 膜と Sn または Au よりなる第 3 膜とによって構成された積層膜を用いることができる。

#### 【 0 0 7 7 】

なお、端子電極 1 1 ~ 1 4 の形成方法は、上記の方法に限らない。例えば、スクリーン印刷または転写によって導電性樹脂または導電性ペーストをデバイス本体 1 B の所定の位置に塗布し、これを乾燥および硬化させることによって、端子電極 1 1 ~ 1 4 を形成してもよい。

#### 【 0 0 7 8 】

次に、本実施の形態に係る薄膜デバイス 1 による効果について説明する。本実施の形態に係る薄膜デバイス 1 では、下部導体層 4 1 , 4 3 は、それぞれ、絶縁層 3 の側面および誘電体膜 5 の側面から側方に突出する突出部 4 1 p , 4 3 p を有している。端子電極 1 1 は、凹部 1 1 c が突出部 4 1 p の少なくとも一部を収容し、これに接触することによって、下部導体層 4 1 に接続されている。また、端子電極 1 2 は、凹部 1 2 c が突出部 4 3 p の少なくとも一部を収容し、これに接触することによって、下部導体層 4 3 に接続されている。同様に、上部導体層 7 4 , 7 2 は、それぞれ、絶縁層 6 の側面および保護膜 8 の側面から側方に突出する突出部 7 4 p , 7 2 p を有している。端子電極 1 3 は、その凹部が突出部 7 4 p の少なくとも一部を収容し、これに接触することによって、上部導体層 7 4 に接続されている。また、端子電極 1 4 は、その凹部が突出部 7 2 p の少なくとも一部を収容し、これに接触することによって、上部導体層 7 2 に接続されている。このような構成により、本実施の形態によれば、端子電極が導体層の端面にのみ接触して導体層に接続される場合に比べて、導体層 4 1 , 4 3 , 7 4 , 7 2 と端子電極 1 1 ~ 1 4 とが接触する領域の面積を大きくすることができ、その結果、導体層 4 1 , 4 3 , 7 4 , 7 2 と端子電極 1 1 ~ 1 4 との接続信頼性を高めることができる。

#### 【 0 0 7 9 】

また、本実施の形態では、突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p を下地層（絶縁層 3 または絶縁層 6）の上面に直交する仮想の平面で切断したときの突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p の断面の輪郭の少なくとも一部は、凸状の曲線になっている。これにより、本実施の形態によれば、突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p と端子電極 1 1 ~ 1 4 との密着性が良好になり、導体層 4 1 , 4 3 , 7 4 , 7 2 と端子電極 1 1 ~ 1 4 との接続信頼性をより高めることができる。

#### 【 0 0 8 0 】

また、本実施の形態では、突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p における最大の厚み

10

20

30

40

50

は、導体層 4 1 , 4 3 , 7 4 , 7 2 における突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p 以外の部分の厚みよりも大きい。これにより、本実施の形態によれば、導体層 4 1 , 4 3 , 7 4 , 7 2 と端子電極 1 1 ~ 1 4 とが接触する領域の面積をより大きくすることができ、その結果、導体層 4 1 , 4 3 , 7 4 , 7 2 と端子電極 1 1 ~ 1 4 との接続信頼性をより高めることができる。

【 0 0 8 1 】

[ 第 2 の実施の形態 ]

次に、本発明の第 2 の実施の形態に係る薄膜デバイスについて説明する。本実施の形態に係る薄膜デバイスの回路構成は、第 1 の実施の形態と同様である。

【 0 0 8 2 】

図 1 4 は、本実施の形態に係る薄膜デバイスの断面図である。また、図 1 4 は図 5 に対応する断面を表している。本実施の形態に係る薄膜デバイス 1 では、突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p の断面の輪郭は、矩形になっている。また、本実施の形態では、突出部 4 1 p , 4 3 p における最大の厚みは、下部導体層 4 1 , 4 3 における突出部 4 1 p , 4 3 p 以外の部分の厚みと等しく、突出部 7 4 p , 7 2 p における最大の厚みは、上部導体層 7 4 , 7 2 における突出部 7 4 p , 7 2 p 以外の部分の厚みと等しい。また、本実施の形態では、基板 2 は、直方体形状をなしている。本実施の形態に係る薄膜デバイス 1 のその他の構成は、第 1 の実施の形態と同様である。

【 0 0 8 3 】

次に、図 1 5 および図 1 6 を参照して、本実施の形態に係る薄膜デバイス 1 の製造方法について説明する。図 1 5 および図 1 6 は、本実施の形態に係る薄膜デバイス 1 の製造方法を説明するための断面図である。図 1 5 および図 1 6 は、図 1 4 に対応する断面を表している。なお、以下の説明では、各層の材料と厚みの一例を挙げているが、本実施の形態における薄膜デバイス 1 の製造方法は、それらに限定されるわけではない。

【 0 0 8 4 】

図 1 5 は、薄膜デバイス 1 の製造方法における一工程を示している。この工程では、まず、ウェハ 2 W の上に絶縁層 3 およびフォトリソグレイム層 9 1 を形成する。本実施の形態では、絶縁層 3 は、予め、薄膜デバイス 1 における最終的な形状になるようにパターニングされる。フォトリソグレイム層 9 1 は、ウェハ 2 W の上面のうち、絶縁層 3 が配置されていない領域の上に配置される。この領域は、除去予定部 2 R の幅よりもやや広い領域である。なお、絶縁層 3 とフォトリソグレイム層 9 1 は、どちらを先に形成してもよい。例えば、ウェハ 2 W の上面の全面に絶縁層 3 を形成し、この絶縁層 3 をパターニングした後に、フォトリソグレイム層 9 1 を形成してもよいし、フォトリソグラフィによってパターニングされたフォトリソグレイム層 9 1 を形成した後、このフォトリソグレイム層 9 1 をマスクとして、パターニングされた絶縁層 3 を形成してもよい。次に、絶縁層 3 およびフォトリソグレイム層 9 1 の上面を、研磨することによって平坦化する。研磨後の絶縁層 3 およびフォトリソグレイム層 9 1 の厚みは、例えば 2 μ m になるようにする。なお、絶縁層 3 およびフォトリソグレイム層 9 1 の上面を平坦化しなくても、絶縁層 3 およびフォトリソグレイム層 9 1 の上面の表面粗さが十分に小さい場合には、絶縁層 3 およびフォトリソグレイム層 9 1 の上面を研磨によって平坦化しなくてもよい。

【 0 0 8 5 】

次に、絶縁層 3 およびフォトリソグレイム層 9 1 の上に、下部導体層 4 1 ~ 4 3 を形成する。下部導体層 4 1 ~ 4 3 の形成方法は、第 1 の実施の形態と同様である。本実施の形態では、下部導体層 4 1 , 4 3 は、予め、突出部 4 1 p , 4 3 p が形成されるようにパターニングされる。あるいは、後にウェハ 2 W を切断したときに突出部 4 1 p , 4 3 p が形成されるように、下部導体層 4 1 , 4 3 を、除去予定部 2 R の上方の領域にはみ出すように形成してもよい。

【 0 0 8 6 】

次に、例えばスパッタ法によって、絶縁層 3 および下部導体層 4 1 ~ 4 3 を覆うように誘電体膜 5 を成膜する。誘電体膜 5 の厚みは、例えば 0 . 1 μ m とする。次に、第 1 の実

10

20

30

40

50

施の形態と同様の方法により、誘電体膜 5 に開口部 5 5 ~ 5 9 を形成する。本実施の形態では、このとき、誘電体膜 5 を、予め、薄膜デバイス 1 における最終的な形状になるようにパターニングする。

【 0 0 8 7 】

次に、第 1 の実施の形態と同様の方法により、誘電体膜 5 の上に絶縁層 6 を形成する。絶縁層 6 は、開口部 6 5 ~ 6 9 , 6 C 1 ~ 6 C 6 を有している。本実施の形態では、絶縁層 6 は、予め、薄膜デバイス 1 における最終的な形状になるようにパターニングしておく。

【 0 0 8 8 】

次に、フォトレジスト層 9 1 の上方の領域において、フォトレジスト層 9 1 および下部 10  
 導体層 4 1 , 4 3 の一部の上に、フォトレジスト層 9 2 を形成する。

【 0 0 8 9 】

次に、絶縁層 6 およびフォトレジスト層 9 2 の上に、上部導体層 7 2 , 7 4 ~ 7 6 を形成する。上部導体層 7 2 , 7 4 ~ 7 6 の形成方法は、第 1 の実施の形態と同様である。本実施の形態では、上部導体層 7 4 , 7 2 は、予め、突出部 7 4 p , 7 2 p が形成されるようにパターニングされる。あるいは、後にウェハ 2 W を切断したときに 7 4 p , 7 2 p が形成されるように、上部導体層 7 4 , 7 2 を、除去予定部 2 R の上方の領域にはみ出すように形成してもよい。なお、図 1 5 には、上部導体層 7 2 , 7 4 , 7 6 は現れていない。次に、絶縁層 6 および上部導体層 7 2 , 7 4 ~ 7 6 を覆うように保護膜 8 を成膜すると共に、フォトレジスト層 9 1 の上方の領域において、フォトレジスト層 9 2 および上部導体 20  
 層 7 4 , 7 2 の一部の上に、フォトレジスト層 9 3 を形成する。本実施の形態では、保護膜 8 は、予め、薄膜デバイス 1 における最終的な形状になるようにパターニングされる。なお、保護膜 8 とフォトレジスト層 9 3 は、どちらを先に形成してもよい。例えば、パターニングされた保護膜 8 を形成した後に、フォトレジスト層 9 3 を形成してもよいし、フォトリソグラフィによってパターニングされたフォトレジスト層 9 3 を形成した後、このフォトレジスト層 9 3 をマスクとして、パターニングされた保護膜 8 を形成してもよい。

【 0 0 9 0 】

次に、図 1 6 に示したように、除去予定部 1 R の位置で基礎構造物を切断する。これにより、複数のデバイス本体予定部 1 P が分離される。分離されたデバイス本体予定部 1 P はデバイス本体 1 B となる。この時点では、デバイス本体 1 B には、フォトレジスト層 9 1 ~ 9 3 が付着している。なお、図 1 6 において、符号 1 0 は、ダイシングソーのブレードを示している。 30

【 0 0 9 1 】

次に、例えば、アッシングまたはエッチングにより、あるいは溶剤を用いて、デバイス本体 1 B からフォトレジスト層 9 1 ~ 9 3 を除去する。これにより、導体層 4 1 , 4 3 , 7 4 , 7 2 における突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p が露出する。その後、図 1 4 に示したように、端子電極 1 1 ~ 1 4 を形成する。

【 0 0 9 2 】

なお、図 1 6 に示した工程では、除去予定部 1 R の位置で基礎構造物を切断した後に、フォトレジスト層 9 1 ~ 9 3 を除去している。このような方法の代わりに、フォトレジスト層 9 1 ~ 9 3 を除去した後に、除去予定部 1 R の位置で基礎構造物を切断してもよい。なお、本実施の形態において、フォトレジスト層 9 3 は形成しなくてもよい。 40

【 0 0 9 3 】

本実施の形態におけるその他の作用および効果は、第 1 の実施の形態における突出部 4 1 p , 4 3 p , 7 4 p , 7 2 p の形状に起因するものを除いて、第 1 の実施の形態と同様である。

【 0 0 9 4 】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、本発明の薄膜デバイスは、導体層の他に半導体層や磁性体層を含んでいてもよい。また、本発明の薄膜デバイスにおいて、端子電極の数は、4 つに限らず任意である。また、本発 50

明の薄膜デバイスにおいて、端子電極は、デバイス本体の側面の一部の他に、この側面に続くデバイス本体の上面または底面の一部にも接触していてもよい。

【0095】

また、本発明は、実施の形態に示したバンドパスフィルタの機能を有する薄膜デバイスに限らず、導体層と、この導体層に接続された端子電極とを備えた薄膜デバイス全般に適用することができる。本発明が適用される薄膜デバイスの機能としては、例えば、キャパシタ、インダクタ等の受動素子や、トランジスタ等の能動素子や、複数の素子を含む回路がある。回路としては、具体的には、例えば、LC回路部品や、ローパスフィルタ、ハイパスフィルタ、バンドパスフィルタ等の各種のフィルタや、ダイプレクサや、デュプレクサがある。

10

【0096】

また、本発明の薄膜デバイスは、例えば、携帯電話機等の移動体通信機器や、無線LAN（ローカルエリアネットワーク）用の通信装置において利用される。

【図面の簡単な説明】

【0097】

【図1】本発明の第1の実施の形態に係る薄膜デバイスの平面図である。

【図2】本発明の第1の実施の形態に係る薄膜デバイスに含まれる上部導体層を示す平面図である。

【図3】本発明の第1の実施の形態に係る薄膜デバイスに含まれる下部導体層を示す平面図である。

20

【図4】図1ないし図3においてA-A線で示される薄膜デバイスの断面図である。

【図5】図1ないし図3においてB-B線で示される薄膜デバイスの断面図である。

【図6】本発明の第1の実施の形態に係る薄膜デバイスの回路構成を示す回路図である。

【図7】本発明の第1の実施の形態に係る薄膜デバイスの製造方法における一工程を示す断面図である。

【図8】図7に示した工程に続く工程を示す断面図である。

【図9】図8に示した工程に続く工程を示す断面図である。

【図10】図9に示した工程に続く工程を示す断面図である。

【図11】図10に示した工程に続く工程を示す断面図である。

【図12】図11に示した工程に続く工程を示す断面図である。

30

【図13】図12に示した工程に続く工程を示す断面図である。

【図14】本発明の第2の実施の形態に係る薄膜デバイスの断面図である。

【図15】本発明の第2の実施の形態に係る薄膜デバイスの製造方法における一工程を示す断面図である。

【図16】図15に示した工程に続く工程を示す断面図である。

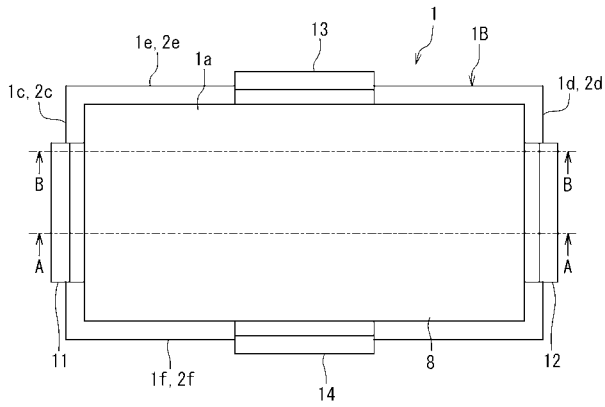
【符号の説明】

【0098】

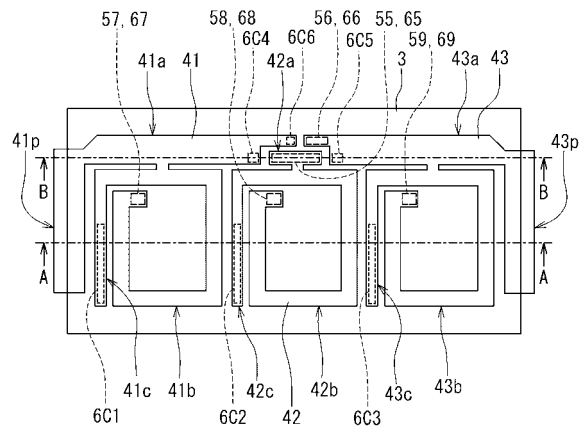
1...薄膜デバイス、2...基板、3...絶縁層、5...誘電体膜、6...絶縁層、8...保護膜、11~14...端子電極、11c, 12c...凹部、41~43...下部導体層、72, 74~76...上部導体層、41p, 43p, 72p, 74p...突出部。

40

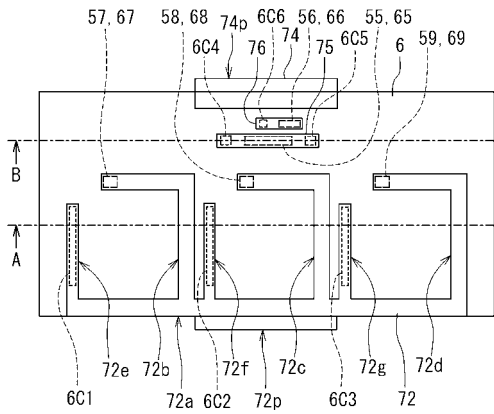
【図1】



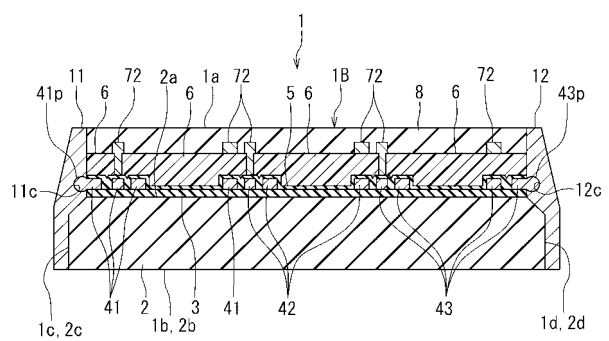
【図3】



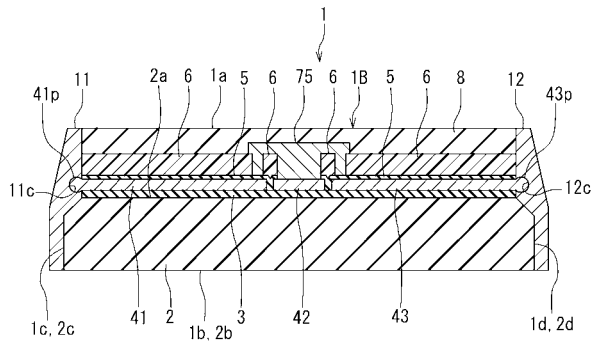
【図2】



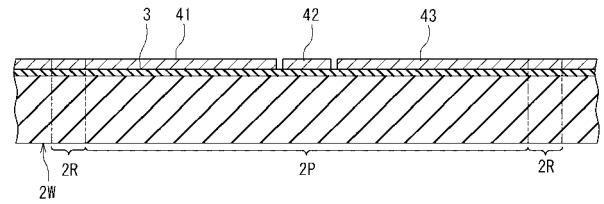
【図4】



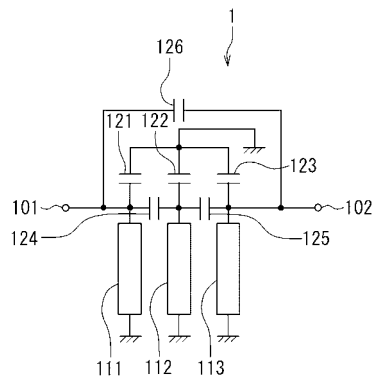
【図5】



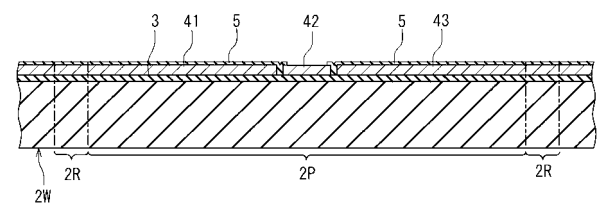
【図7】



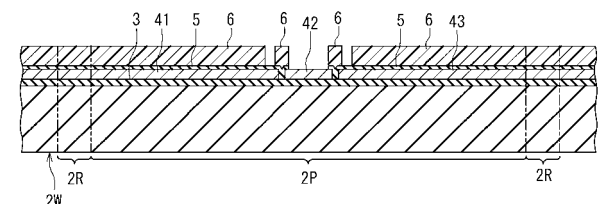
【図6】



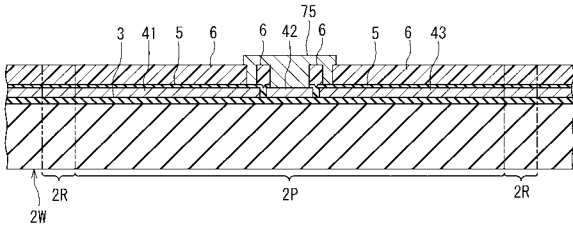
【図8】



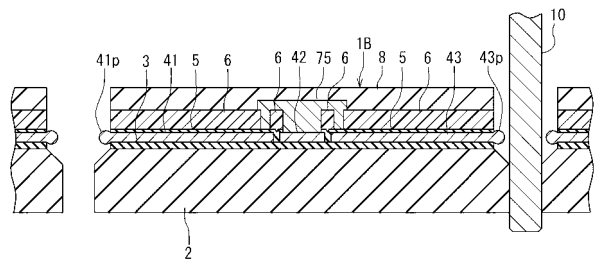
【図9】



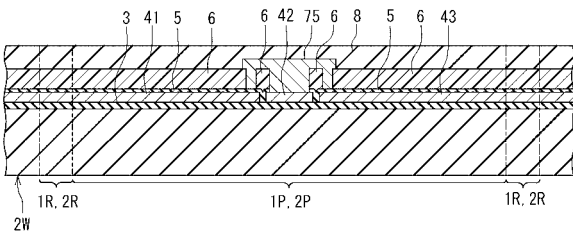
【図 10】



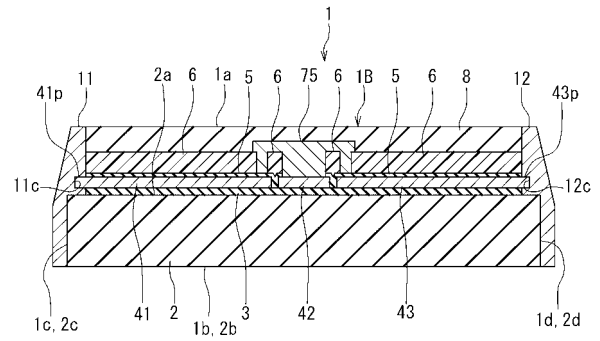
【図 13】



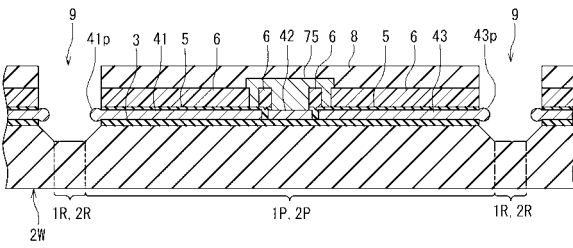
【図 11】



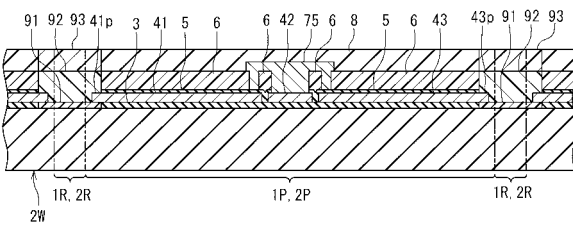
【図 14】



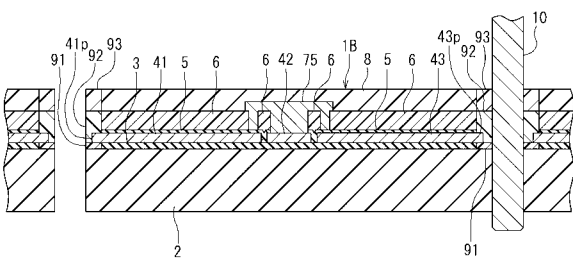
【図 12】



【図 15】



【図 16】





---

フロントページの続き

(72)発明者 古屋 晃  
東京都中央区日本橋一丁目13番1号 TDK株式会社内

審査官 石野 忠志

(56)参考文献 特開2004-006835(JP,A)  
特開2003-017621(JP,A)  
特開平11-003833(JP,A)  
特開平10-163002(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/12