(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0114875
(43) 공개일자 2011년10월20일

(51) Int. Cl.
G11C 16/00 (2006.01) *G11C 16/08* (2006.01)
G11C 16/26 (2006.01) *G11C 16/30* (2006.01)
(21) 출원번호 10-2010-0034247
(22) 출원일자 2010년04월14일
심사청구일자 2010년04월14일

(71) 출원인
창원대학교 산학협력단
경남 창원시 의창구 사림동 9 창원대학교내
(72) 발명자
김영희
경상남도 창원시 반림동 현대아파트 112동 1001호
(74) 대리인
고윤호, 이철희

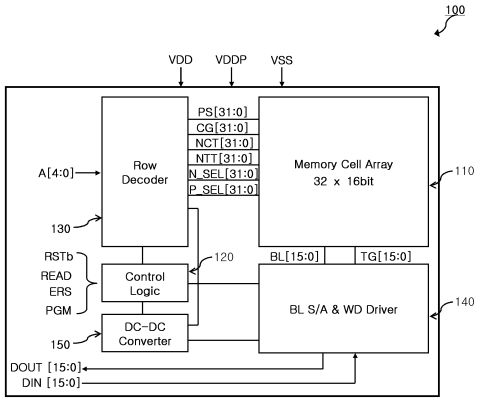
전체 청구항 수 : 총 19 항

(54) 비휘발성 메모리 장치

(57) 요 약

본 발명에 따른 비휘발성 메모리 장치는, 복수의 행(row) 및 복수의 열(column)에 의해 복수개의 비휘발성 메모리 셀(cell)들이 배열되는 메모리 셀 어레이(Memory Cell Array, 110); 동작 모드에 따라 RSTb(Reset), READ, ERS(Erase), PGM(Program)의 제어 신호(control signal)를 발생시키는 컨트롤 로직(Control Logic, 120); 어드레스(address)에 따라 상기 복수의 행(row) 중 하나를 선택하여 PS, CG, NCT, NTT, N_SEL, P_SEL 노드에 전압을 공급하는 행 디코더(row decoder, 130); 상기 메모리 셀 어레이(Memory Cell Array, 110)에 저장된 데이터(data)를 읽어(Read) 내기 위한 비트라인 감지 증폭기(Bit-Line Sense Amplifier) 및 쓰기 데이터(Write Data)를 구동하기 위한 워드 드라이브(Word Driver)를 구비한 BL S/A 및 WD Driver(140); 및 상기 메모리 셀(cell)에 기입 데이터를 프로그래밍 하기 위해 승압된 제1 승압전압(VPP), 제2 승압전압(VNN), 제3 승압전압(VNNL)을 발생시키는 DC-DC 컨버터(150)를 제공함에 기술적 특징이 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

복수의 행(row) 및 복수의 열(column)에 의해 복수개의 비휘발성 메모리 셀(cell)들이 배열되는 메모리 셀 어레이(Memory Cell Array, 110);

동작 모드에 따라 RSTb(Reset), READ, ERS(Erase), PGM(Program)의 제어 신호(control signal)를 발생시키는 컨트롤 로직(Control Logic, 120);

어드레스(address)에 따라 상기 복수의 행(row) 중 하나를 선택하여 PS, CG, NCT, NTT, N_SEL, P_SEL 노드에 전압을 공급하는 행 디코더(row decoder, 130);

상기 메모리 셀 어레이(Memory Cell Array, 110)에 저장된 데이터(data)를 읽어(Read) 내기 위한 비트라인 감지 증폭기(Bit-Line Sense Amplifier) 및 쓰기 데이터(Write Data)를 구동하기 위한 워드 드라이브(Word Driver)를 구비한 BL S/A 및 WD Driver(140); 및

상기 메모리 셀(cell)에 기입 데이터를 프로그래밍 하기 위해 승압된 제1 승압전압(VPP), 제2 승압전압(VNN), 제3 승압전압(VNNL)을 발생시키는 DC-DC 컨버터(150)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 2

제 1항에 있어서, 상기 메모리 셀(cell)은,

컨트롤 커패시터(control capacitor, 315)에 저장된 전하를 제어하는 컨트롤 게이트(Control Gate, 310);

터널 커패시터(Tunnel capacitor, 325)에 저장된 전하를 제어하기 위한 터널 게이트(Tunnel Gate, 320);

플로팅 게이트(floating gate) 단자를 통해 상기 컨트롤 커패시터(control capacitor, 315) 및 상기 터널 커패시터(Tunnel capacitor, 325)와 연결되며, 인버터로 동작하는 리드아웃 인버터(Read out inverter, 330); 및

상기 리드아웃 인버터(Read out inverter, 330)와 일 단자가 연결되며, 다른 단자는 비트 라인(bit line, BL)과 연결되는 CMOS 트랜스미션 게이트(transmission gate, 340)를 포함하는 C-Flash 셀인 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 3

제 2항에 있어서, 상기 컨트롤 게이트(Control Gate, 310)의 구동회로(400)는,

동작모드에 따라 각각의 바이어스 전압에 상응하는 CG(Control Gate), PS(Power Supply), N_SEL, P_SEL의 전압을 공급하되,

상기 CG(Control Gate) 공급 전압은 CG용 전압 레벨변환부(410)에 의해 조정되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 4

제 3항에 있어서, 상기 CG용 전압 레벨변환부(410)는,

전원전압 VDD와 VNNL_CG 사이에서 동작하며, 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2)를 포함하는 제1 CG용 전압 레벨변환부(410a);

전압 CG_HV와 VNNL_CG 사이에서 동작하며, 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4)를 포함하는 제2 CG용 전압 레벨변환부(410b); 및

전압 CG_HV와 CG_LV 사이에서 동작하며, 제5 PMOS 트랜지스터(MP5), 제6 PMOS 트랜지스터(MP6), 제5 NMOS 트랜지스터(MN5), 제6 NMOS 트랜지스터(MN6)를 포함하는 제3 CG용 전압 레벨변환부(410c)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 5

제 4항에 있어서,

상기 CG_HV 전압은, 쓰기(Write) 모드 시 필요로 하는 제1 승압전압 VPP과 접지접압 VSS 사이에서 고전압의 스위칭 파워 전압으로 동작되며,

상기 CG_LV 전압은 CG용 스위칭전압 레벨변환부(420)의 스위칭 동작에 상응하여 쓰기(Write) 모드 시 저전압의 스위칭 파워 전압으로 동작되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 6

제 5항에 있어서, 상기 CG용 스위칭전압 레벨변환부(420)는,

전원전압 VDD와 쓰기(Write) 용 제3 승압전압 VNNL 사이에서 스위칭 동작하는 제1 CG용 스위칭전압 레벨변환부(420a);

접지전압 VSS와 쓰기(Write) 용 제3 승압전압 VNNL 사이에서 스위칭 동작하는 제2 CG용 스위칭전압 레벨변환부(420b); 및

접지전압 VSS와 쓰기(Write) 용 제2 승압전압 VNN 사이에서 스위칭 동작하는 제3 CG용 스위칭전압 레벨변환부(420c)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 7

제 2항에 있어서, 상기 터널 게이트(Tunnel Gate)의 구동회로(500)는,

동작 모드와 WD(Write Data)에 따라 TG(Tunnel Gate) 전압을 공급하되,

상기 TG(Tunnel Gate) 전압은 TG용 전압 레벨변환부(510)에 의해 조정되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 8

제 7항에 있어서, 상기 TG용 전압 레벨변환부(510)는,

전원전압 VDD와 쓰기(Write) 용 전압 VNNL_TG 사이에서 동작하며, 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2)를 포함하는 제1 TG용 전압 레벨변환부(510a);

쓰기(Write) 용 고전압 TG_HV와 쓰기(Write) 용 전압 VNNL_TG 사이에서 동작하며, 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4)를 포함하는 제2 TG용 전압 레벨변환부(510b);

쓰기(Write) 용 고전압 TG_HV와 쓰기(Write) 용 저전압 TG_LV 사이에서 동작하며, 제5 PMOS 트랜지스터(MP5), 제6 PMOS 트랜지스터(MP6), 제5 NMOS 트랜지스터(MN5), 제6 NMOS 트랜지스터(MN6)를 포함하는 제3 TG용 전압 레벨변환부(510c)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 9

제 8항에 있어서,

상기 TG_HV 전압은 쓰기(Write) 모드 시 필요로 하는 제1 승압전압 VPP과 접지접압 VSS 사이에서 고전압의 스위칭 파워 전압으로 동작되며,

상기 TG_LV 전압은 TG용 스위칭전압 레벨변환부(520)의 스위칭 동작에 상응하여 쓰기(Write) 모드 시 저전압의 스위칭 파워 전압으로 동작되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 10

제 9항에 있어서, 상기 TG용 스위칭전압 레벨변환부(520)는,

전원전압 VDD와 쓰기(Write) 용 제3 승압전압 VNNL 사이에서 스위칭 동작하는 제1 TG용 스위칭전압 레벨변환부(520a);

접지전압 VSS와 쓰기(Write) 용 제3 승압전압 VNNL 사이에서 스위칭 동작하는 제2 TG용 스위칭전압 레벨변환부(520b); 및

접지전압 VSS와 쓰기(Write) 용 제2 승압전압 VNN 사이에서 스위칭 동작하는 제3 TG용 스위칭전압 레벨변환부(520c)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 11

제 1항에 있어서, 상기 DC-DC 컨버터(150)의 VPP 발생 회로(600)는,

기준전압 VREF-VPP을 입력받아 제1 승압전압 VPP와 레벨을 비교 한 후 출력신호 VPP_OSC_ENb를 출력하는 VPP 레벨 검출기(610);

상기 VPP_OSC_ENb를 입력받아 발진 신호 VPP_OSC를 출력하는 VPP 링 발진기(620);

상기 VPP_OSC를 입력받아 클록신호들(CLK0~CLK3)과 전원전압 VDDP를 출력하는 제어 로직부(Control Logic, 630); 및

제1, 제2 VDD 프리차징부(641a, 641b), 제1, 제2 VPP 전하펌프(643a, 643b) 및 커패시터(644)를 구비하며, 상기 클록신호들(CLK0~CLK3)과 상기 전원전압 VDDP을 입력받아 제1 승압전압 VPP를 출력하는 2-스테이지 크로스 커플 전하펌부(2-stage cross coupled charge pump, 640)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 12

제 11항에 있어서, 상기 VPP 레벨 검출기(610)는,

커패시터 디바이더(capacitor divider)를 사용해 전압 분배를 위한 제1, 제2 커패시터(612, 613);

(-)단자에 기준 전압 VREF_VPP을 입력받고, (+)단자에 상기 제1, 제2 커패시터(612, 613)에 의해 분배된 전압을 입력받아 이들 전압을 비교한 후 출력신호인 VPP_OSC_ENb를 출력하기 위한 비교기(611);

지연된 입력신호 VPP_ONb를 인가받아 상기 제1, 제2 커패시터(612, 613)를 각각 방전(discharge) 시킨 뒤 나중에 전압을 분배시키기 위한 지연 연결부(delay chain, 615); 및

제1 피모스 트랜지스터(MP1), 제1, 제2 앤모스 트랜지스터(MN1, MN2)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 13

제 1항에 있어서, 상기 DC-DC 컨버터(150)의 VNN 발생 회로(700)는,

기준전압 VREF-VNN을 입력받아 제2 승압전압 VNN와 레벨을 비교 한 후 출력신호 VNN_OSC_ENb를 출력하는 VNN 레벨 검출기(710);

상기 VNN_OSC_ENb를 입력받아 발진 신호 VNN_OSC를 출력하는 VNN 링 발진기(720);

상기 VNN_OSC를 입력받아 클록신호들(CLK, CLKb)을 출력하는 제어 로직부(Control Logic, 630); 및

제1, 제2 VSS 프리차징부(741a, 741b), 제1, 제2의 3-stage VNN 전하펌프(743a, 743b) 및 제1, 제2 커패시터(744, 745)를 구비하며, 상기 클록신호들(CLK, CLKb)을 입력받아 제2 승압전압 VNN 및 제3 승압전압 VNNL을 출력하는 6-스테이지 전하펌부(6-stage charge pump, 740)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 14

제 13항에 있어서, 상기 VNN 레벨 검출기(710)는,

커패시터 디바이더(capacitor divider)를 사용해 전압 분배를 위한 제1, 제2 커패시터(712, 713);

(+)단자에 기준 전압 VREF_VNN을 입력받고, (-)단자에 상기 제1, 제2 커패시터(712, 713)에 의해 분배된 전압을 입력받아 이들 전압을 비교한 후 출력신호인 VNN_OSC_ENb를 출력하기 위한 비교기(711);

입력전압 VNN_ONb을 입력받는 인버터(714); 및

제1, 제2 피모스 트랜지스터(MP1, MP2), 제1 앤모스 트랜지스터(MN1)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 15

제 11항에 있어서, 상기 VPP 링 발진기(620)는,

발진제어신호 VPP_OSC-ENb, DCENb_VDDP 및 지연 신호(Delayed Signal, D_S)에 응답하여 동작하는 낸드게이트(911), 상기 낸드게이트(911)에서 출력된 신호를 인가 받는 제1 인버터(912), 제2 인버터(913), 제3 인버터(914), 제4 인버터(915)를 구비하여 지연 신호(D_S)를 발생시키는 링 발진부(910); 및

상기 지연 신호(D_S)를 인가 받아 3개의 인버터(921, 922, 923)에 입력되어 발진신호 VPP_OSC를 출력하는 레벨 조정부(920)를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 16

제 13항에 있어서, 상기 VNN 링 발진기(720)는,

발진제어신호 VNN_OSC-ENb, DCENb_VDDP 및 지연 신호(Delayed Signal, D_S)에 응답하여 동작하는 낸드게이트(911), 상기 낸드게이트(911)에서 출력된 신호를 인가 받는 제1 인버터(912), 제2 인버터(913), 제3 인버터(914), 제4 인버터(915)를 구비하여 지연 신호(D_S)를 발생시키는 링 발진부(910); 및

상기 지연 신호(D_S)를 인가 받아 3개의 인버터(921, 922, 923)에 입력되어 발진신호 VNN_OSC를 출력하는 레벨 조정부(920)를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 17

제 15항 또는 제16항에 있어서, 상기 제1 인버터(912) 및 상기 제2 인버터(913)는,

전원전압 VDDP와 접지 전압 VSS 사이에서 인버터로 동작하는 제1, 제2, 제3 피모스 트랜지스터(MP1, MP2, MP3) 및 제1, 제2, 제3 앤모스 트랜지스터(MN1, MN2, MN3)를 구비하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 18

제 15항 또는 제16항에 있어서, 상기 VPP 링 발진기(620) 및 상기 VNN 링 발진기(720)는,

쓰기 모드(Write mode) 진입 시 음의 값을 갖는 제2 승압전압 VNN를 먼저 소정의 제1 목표전압으로 펌핑(pumping) 한 후 양의 값을 갖는 제1 승압전압VPP을 소정의 제2 목표전압으로 펌핑(pumping)하는 연속적인 전하 펌핑(sequential charge pumping) 및 정상상태의 발진(oscillation) 주기(period) 보다 2배 긴 듀얼 오실레이션(dual oscillation)을 구현하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 19

제 18항에 있어서,

상기 제1 목표전압은 -4.75V 이고, 제2 목표전압은 +4.75V 인 것을 특징으로 하는 비휘발성 메모리 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로, 더욱 상세하게는 소자간의 전압의 신뢰성이 보장되며, 쓰기 모드(write mode) 진입 시 파워(power) 소모를 줄이기 위한 수동형 UHF RFID 태그 칩(tag chip) 용 로직(logic) 공정 기반의 512bit EEPROM IP를 사용하는 비휘발성 메모리 장치에 관한 것이다.

배 경 기 술

[0002] RFID(Radio Frequency Identification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다.

[0003] 현재 RFID 태그 칩은 배터리가 없어 저가격, 소형화에 유리한 수동형 태그 칩 개발에 많은 노력을 기울이고 있다.

[0004] 종래의 수동형 UHF RFID 태그 칩(tag chip)은 통상 아날로그 회로(미도시), 로직 회로(미도시), 메모리 회로(미도시)를 구비한다.

[0005] 아날로그 회로(미도시)는 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기(미도시), 수신된 데이터를 주파수 신호로 바꾸어주는 변조기(미도시), 리더(reader)에 의해서 안테나에 공급받은 에너지를 공급전압으로 만들어주는 전압배율기(Voltage multiplier) (미도시)를 구비한다.

[0006] 로직 회로(미도시)는 프로토콜, CRC(Cyclic Redundancy Check) 확인, 에러검사 및 아날로그 회로의 동작모드를 조절하는 역할을 한다.

[0007] 메모리 회로(미도시)는 읽기/쓰기(read/write)가 가능하고, 파워 다운 (power-down) 시 저장된 정보를 유지할 수 있는 EEPROM이 사용되고 있으며, 메모리 용량은 512bit EEPROM이 요구 된다.

[0008] 하지만, 종래의 수동형 UHF RFID 태그 칩은 아래와 같은 문제점이 있었다.

[0009] 첫째, 종래의 수동형 UHF RFID 태그 칩은 UHF(Ultra High Frequency) 신호를 받아서 아날로그 블록의 전압배율기에서 만들어진 파워 공급 전압(power supply voltage)으로 ID를 확인하고 데이터를 리더(Reader) 기에 전송하기 위해 요구되는 5.5V 이하의 저전력 회로를 구현하지 못하는 문제점이 있었다.

[0010] 둘째, 종래의 수동형 UHF RFID 태그 칩은 임베디드(embedded) EEPROM 공정(process)으로 진행되어 저면적의 IP 설계, 추가적인 EEPROM 공정이 필요 없는 로직(logic) 공정 기반의 EEPROM IP 설계에 비해 비용이 높은 문제점이 있었다.

[0011] 셋째, 종래의 수동형 UHF RFID 태그 칩 용 EEPROM에서 쓰기 모드(write mode) 진입 시 서지 전류(surge current) 제어(control)를 통한 로우(low) VDD 경고(alarm)가 발생하는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0012] 본 발명이 해결하고자 하는 기술적 과제는, 소자 간 전압의 신뢰성을 보장하기 위해 3.3V 트랜지스터 소자의 경우 쓰기 모드(write mode) 에서 5.5V 이내로 제한되는 512bit EEPROM 용 컨트롤 게이트(Control Gate, CG) 구동회로 및 터널 게이트(Tunnel Gate, TG) 구동 회로를 제공하는데 있다.

[0013] 또한 본 발명이 해결하고자 하는 기술적 과제는, 쓰기 모드(write mode) 진입 시 파워(power) 소모를 줄여 RFID 태그 칩(tag chip)의 파워 발생(power generation)을 안정적으로 하기 위해 연속 펌핑(sequential pumping)을 구현하고, 듀얼 오실레이션(dual oscillation) 주기(period)를 갖는 링 오실레이터(ring oscillator)를 제공하는데 있다.

과제의 해결 수단

[0014] 상기 기술적 과제를 이루기 위한 본 발명에 따른 비휘발성 메모리 장치는, 복수의 행(row) 및 복수의 열(column)에 의해 복수개의 비휘발성 메모리 셀(cell)들이 배열되는 메모리 셀 어레이(Memory Cell Array, 110); 동작 모드에 따라 RSTb(Reset), READ, ERS(Erase), PGM(Program)의 제어 신호(control signal)를 발생시키는 컨트롤 로직(Control Logic, 120); 어드레스(address)에 따라 상기 복수의 행(row) 중 하나를 선택하여 PS, CG, NCT, NTT, N_SEL, P_SEL 노드에 전압을 공급하는 행 디코더(row decoder, 130); 상기 메모리 셀 어레이(Memory Cell Array, 110)에 저장된 데이터(data)를 읽어(Read) 내기 위한 비트라인 감지 증폭기(Bit-Line Sense Amplifier) 및 쓰기 데이터(Write Data)를 구동하기 위한 워드 드라이브(Word Driver)를 구비한 BL S/A 및 WD Driver(140); 및 상기 메모리 셀(cell)에 기입 데이터를 프로그래밍 하기 위해 승압된 제1 승압전압(VPP), 제2 승압전압(VNN), 제3 승압전압(VNNL)을 발생시키는 DC-DC 컨버터(150)를 제공한다.

발명의 효과

[0015] 본 발명은 3.3V 소자의 경우 쓰기 모드(write mode) 에서 5.5V 이내로 제한되어 소자 간 전압의 신뢰성이 보장되며, 쓰기 모드(write mode) 진입 시 파워(power) 소모를 줄여 RFID 태그 칩(tag chip)의 파워 발생(power generation)이 안정적으로 이루어지는 장점이 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 비동기식 512bit EEPROM의 블록을 도시한 것이다.

도 2a는 본 발명의 EEPROM 메모리에서 쓰기(Write) 할 경우 타이밍 다이어그램을 도시한 것이다.

도 2b는 본 발명의 EEPROM 메모리로부터 읽기(Read) 할 경우 타이밍 다이어그램을 도시한 것이다.

도 3은 본 발명의 512bit EEPROM에 사용된 C-Flash 셀의 회로를 도시한 것이다.

도 4는 본 발명의 컨트롤 게이트(Control Gate, CG)의 구동회로를 도시한 것이다.

도 4a는 본 발명의 컨트롤 게이트(CG)의 구동회로에 사용되는 CG_HV, CG_LV 스위칭 파워 회로를 상세히 도시한 것이다.

도 4b는 본 발명의 컨트롤 게이트(CG)의 구동회로에 사용되는 VNNL_CG 스위칭 파워 회로를 상세히 도시한 것이다.

도 5는 본 발명의 터널 게이트(Tunnel Gate, TG)의 구동회로를 도시한 것이다.

도 5a는 본 발명의 터널 게이트(TG)의 구동회로에 사용되는 TG_HV, TG_LV 스위칭 파워 회로를 상세히 도시한 것이다.

도 5b는 본 발명의 터널 게이트(TG)의 구동회로에 사용되는 VNNL_TG 스위칭 파워 회로를 상세히 도시한 것이다.

도 6은 본 발명의 DC-DC 컨버터에 사용되는 VPP 발생 회로의 블록을 도시한 것이다.

도 6a는 도6의 VPP 발생 회로를 구성하는 VPP 전압 검출기의 회로를 도시한 것이다.

도 7은 본 발명의 DC-DC 컨버터에 사용되는 VNN 발생 회로의 블록을 도시한 것이다.

도 7a는 도7의 VNN 발생 회로를 구성하는 VNN 전압 검출기의 회로를 도시한 것이다.

도 8은 도7의 VNN 발생 회로의 블록에 사용되는 VNN 프리차지(precharge) 회로를 도시한 것이다.

도 9는 도6의 VPP 발생 회로에 사용되는 듀얼 오실레이션(dual oscillation)을 갖는 링 오실레이터(ring oscillator)를 도시한 것이다.

도 10a는 본 발명의 제거(Erase) 모드에서 메모리 셀 바이어스 전압에 대한 시뮬레이션 결과를 도시한 것이다.

도 10b는 본 발명의 프로그램(Program) 모드에서 메모리 셀 바이어스 전압에 대한 시뮬레이션 결과를 도시한 것이다.

도 11은 본 발명의 읽기(Read) 모드에서 제어신호 및 중요 내부 신호에 대한 모의실험 결과를 도시한 것이다.

도 12는 본 발명의 쓰기(Write) 모드에서 VNN과 VPP 전압의 순차적 펌핑(sequential pumping)에 대한 모의실험 결과를 도시한 것이다.

도 13은 본 발명의 256bit EEPROM IP의 레이아웃(layout) 플롯(plot)을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

[0018] 도 1은 본 발명의 비동기식 512bit EEPROM의 블록을 도시한 것이다.

[0019] 도 1을 참조하면, 본 발명의 비동기식 512bit EEPROM의 블록(100)은 메모리 셀 어레이(Memory Cell Array, 110), 컨트롤 로직(Control Logic, 120), 행 디코더(row decoder, 130), BL S/A 및 WD Driver(140) 및 DC-DC 컨버터(150)를 구비한다.

[0020] 메모리 셀 어레이(Memory Cell Array, 110)는 32 rows × 16 columns의 셀 어레이(cell array)를 구비하며, 컨

트롤 로직(Control Logic, 120)은 동작 모드에 따라 제어 신호(control signal)를 발생시킨다.

[0021] 행 디코더(row decoder, 130)는 address A[4:0]에 따라 32개의 행(Row) 중에 하나를 선택하여 PS, CG, NCT, NTT, N_SEL, P_SEL 노드에 전압을 공급한다.

[0022] BL S/A 및 WD Driver(140)는 데이터(data)를 읽어(Read) 내기 위한 BL S/A(Bit-Line Sense Amplifier) 및 쓰기 데이터(Write Data)를 구동하기 위한 WD Driver를 구비한다.

[0023] DC-DC 컨버터(150)는 메모리 셀(cell)에 기입 데이터를 프로그래밍 하기 위해 승압된 제1 승압전압(VPP), 제2 승압전압(VNN), 제3 승압전압(VNNL)을 발생시키며, 이들을 행 디코더(row decoder, 130) 및 BL S/A 및 WD Driver(140)에게 공급해 준다.

[0024] 하기 [표1]은 본 발명의 512bit EEPROM IP의 주요 특징을 정리한 것이다.

표 1

[0025]

Items	Design Features
Memory Density	512-bit 32 x 16bit (32 Rows ×16 Columns)
Process	Tower 0.18㎛ process
Supply Voltage	VDD(=1.2V) / VDDP(=2.0V)
Operating Mode	Program / Erase / Read / Reset
Clock Frequency	1.92㎒
Interface	Asynchronous
I/O	Separate I/O
Access time	200ns

[0026] [표1]을 참조하면, 메모리 용량은 512bit 이고 타워(Tower) 0.18㎛ 로직 공정을 사용하였다. 공급전압은 1.2V의 VDD 및 2.0V의 VDDP를 갖는 듀얼 파워 서플라이(dual power supply)를 사용하였다.

[0027] 동작 모드는 프로그램(program), 제거(erase), 읽기(read), 리셋(reset) 모드 (mode)가 있으며, 읽기(read)와 쓰기(write)는 워드(Word) 단위로 수행된다.

[0028] 태그 칩의 클록(clock) 주파수는 1.92㎒ 이고, EEPROM의 인터페이스(interface)는 CLK이 없는 저 면적 IP설계가 가능한 비동기 인터페이스(asynchronous interface) 방식을 사용하였다.

[0029] 비동기 인터페이스(asynchronous interface) 신호는 RSTb(Reset), READ, ERS(Erase), PGM(Program)의 제어 신호(control signal), address A[4:0], 입력 데이터(input data) 신호를 처리하는 DIN[15:0], 출력 데이터(output data) 신호를 처리하는 DOUT[15:0]을 갖는다.

[0030] 입/출력 방식(I/O)은 DIN[15:0]과 DOUT[15:0]이 서로 분리된 독립(separate) I/O 방식을 사용하고 있으며, 접근 시간(access time)은 200ns 이다.

[0031] 도 2a는 본 발명의 EEPROM 메모리에서 쓰기(Write) 할 경우 타이밍 다이어그램을 도시한 것이다.

[0032] 도 2a를 참조하면, 본 발명의 EEPROM 메모리에 쓰기(Write)를 할 경우 먼저 워드 셀(word cell)을 제거(erase)한 후 DIN[15:0]의 데이터(data)로 프로그램(program) 한다.

[0033] 이 경우 제거 시간(erase time, t_{ERS}) 및 프로그램 시간(program time, t_{PGM})은 DC-DC 컨버터(150)의 발생 시간(generation time)을 고려하여 모두 1.2ms를 사용하였다.

[0034] 도 2b는 본 발명의 EEPROM 메모리로부터 읽기(Read) 할 경우 타이밍 다이어그램을 도시한 것이다.

[0035] 도 2b를 참조하면, 본 발명의 EEPROM 메모리로부터의 읽기(Read) 동작은 읽어낼 어드레스(address)를 먼저 인가

한 후 읽기(Read) 신호를 인가하면 선택된 워드 데이터가 접근 시간(access time, t_{AC})이 지난 이 후 DOUT[15:0] 포트(port)로 출력됨으로 구현된다.

[0036] [표2]는 최근 발표된 UHF RFID 태그 칩(tag chip)용 EEPROM의 용량 및 메모리(memory) IP 크기(size)를 비교한 것이다.

표 2

[0037]

Memory Process	Memory Density	Memory IP Size
0.18㎛ EEPROM	640bit	-
0.25㎛ EEPROM	512bit	449.3㎛ × 480.67㎛
0.35㎛ EEPROM	224bit	-
0.35㎛ EEPROM	2Kb	$0.6mm^2$
0.18㎛ Logic	1Kb	$0.44mm^2$

[0038] [표2]를 참조하면, 본 발명의 EEPROM 공정(process)은 웨이퍼(wafer) 장당 가격을 낮추기 위해 임베디드(embedded) EEPROM 공정(process)이 아닌 로직(logic) 공정 기반의 EEPROM IP를 사용하였다.

[0039] 도 3은 본 발명의 512bit EEPROM에 사용된 C-Flash 셀의 회로를 도시한 것이다.

[0040] 도 3을 참조하면, 본 발명의 512bit EEPROM에서 사용된 C-Flash 셀의 회로(300)는 컨트롤 게이트(Control Gate, 310), 컨트롤 커패시터(control capacitor, 315), 터널 게이트(Tunnel Gate, 320), 터널 커패시터(Tunnel capacitor, 325), 리드아웃 인버터(Read out inverter, 330) 및 CMOS 트랜스미션 게이트(transmission gate, 340)를 포함한다.

[0041] 컨트롤 게이트(Control Gate, 310)는 컨트롤 커패시터(control capacitor, 315)에 저장된 전하를 제어하며, 터널 게이트(Tunnel Gate, 320)는 터널 커패시터(Tunnel capacitor, 325)에 저장된 전하를 제어한다.

[0042] 컨트롤 커패시터(control capacitor, 315)와 터널 커패시터(Tunnel capacitor, 325)는 플로팅 게이트(floating gate) 단자와 연결되며, 플로팅 게이트(floating gate) 단자는 리드아웃 인버터(Read out inverter, 330)와 연결된다.

[0043] 리드아웃 인버터(Read out inverter, 330)는 3.3V의 피모스 트랜지스터 MP1, 앤모스 트랜지스터 MN1을 구비하여 인버터 기능을 수행한다. MP1의 소스 단자는 PS 단자와 연결되며, MP1의 드레인 단자는 MN1의 드레인 단자와 연결되며, MP1의 게이트 단자는 플로팅 게이트(floating gate) 단자와 연결된다. MN1의 소스 단자는 접지 전원 VSS와 연결되며, MN1의 게이트 단자는 플로팅 게이트(floating gate) 단자와 연결된다.

[0044] CMOS 트랜스미션 게이트(transmission gate, 340)는 3.3V의 피모스 트랜지스터 MP2, 앤모스 트랜지스터 MN2를 구비한다. MP2의 게이트 단자는 P_SEL 단자와 연결되며, MN2의 게이트 단자는 N_SEL 단자와 연결된다. MP2와 MN2는 소스-소스 단자, 드레인-드레인 단자가 서로 연결된 구조를 가지며 이들의 소스라인은 리드아웃 인버터(Read out inverter, 330)의 MP1, MN1의 드레인 단자와 공통 연결되며, 이들의 드레인 단자는 비트 라인(bit line, BL)과 공통 연결 된다.

[0045] [표 3], [표 4] 및 [표 5]는 각각 제거 모드(Erase mode), 프로그램 모드(Program mode) 및 읽기 모드(Read mode) 별 C-Flash cell의 바이어스 전압 조건을 나타낸 것이다.

표 3

[0046]

Cell state / Nodes	Selected cell	Not selected cell
PS	0	0
CG	-4.75	0
NCT	0	0
TG	4.75	4.75
NTT	4.75	4.75
N_SEL	0	0
P_SEL	0	0

[0047] [표 3] 및 도 3을 참조하면, 제거 모드(Erase mode)의 경우 컨트롤 게이트(CG, 310)에 -4.75V, 터널 게이트(TG, 320)에 +4.75V를 인가하여 FN (Fowler-Nordheim) 터널링(tunneling) 방식으로 플로팅 게이트(floating gate)의 전자(electron)를 방출(ejection) 시킨다.

표 4

[0048]

Cell state / Nodes	Selected cell		Not selected cell	
	DIN=1	DIN=0	DIN=1	DIN=0
PS	0	0	0	0
CG	4.75	4.75	0	0
NCT	4.75	4.75	4.75	4.75
TG	-4.75	0	-4.75	0
NTT	0	0	0	0
N_SEL	0	0	0	0
P_SEL	0	0	0	0

[0049] [표 4] 및 도3을 참조하면, 프로그램 모드(Program mode)의 경우 컨트롤 게이트(CG, 310)에 +4.75V, 터널 게이트(TG, 320)에 -4.75V를 인가하여 FN (Fowler-Nordheim) 터널링(tunneling) 방식으로 플로팅 게이트(floating gate)에 전자(electron)를 주입(injection) 시킨다.

표 5

[0050]

Cell state / Nodes	Selected cell	Not selected, same row	Not selected, same column
PS	1.2	1.2	1.2
CG	1.2	1.2	0
NCT	1.2	1.2	1.2
TG	0	0	0
NTT	0	0	0
N_SEL	1.2	1.2	0
P_SEL	0	0	1.2

[0051] [표 5] 및 도 3을 참조하면, 읽기 모드(Read mode)의 경우 제거(erase) 된 셀(cell)은 BL(Bit Line)에 0V를 출력하는 반면 프로그램(program) 된 셀(cell)은 VDD를 출력한다.

[0052] 도 4는 본 발명의 컨트롤 게이트(Control Gate, CG)의 구동회로를 도시한 것이다.

[0053] 도 4를 참조하면, 본 발명의 컨트롤 게이트(CG)의 구동회로(400)는 동작모드에 따라 하기 [표 6]의 바이어스 전압에 상응하는 CG, PS(Power Supply), N_SEL, P_SEL의 전압을 공급한다.

[0054] 본 발명의 컨트롤 게이트(CG)의 구동회로(400)는 제1 CG용 전압 레벨변환부(410a), 제2 CG용 전압 레벨변환부(410b), 제3 CG용 전압 레벨변환부(410c)를 포함하는 CG용 전압 레벨변환부(410)를 구비하며, CG용 전압 레벨변환부(410)는 동작모드에 따라 바이어스 전압에 상응하는 CG 전압을 공급한다.

[0055] 제1 CG용 전압 레벨변환부(410a)는 전원전압 VDD와 VNNL_CG 사이에서 동작하며, 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2)를 구비한다.

[0056] 제1 PMOS 트랜지스터(MP1) 및 제2 PMOS 트랜지스터(MP2)의 소스 단자 각각에 VDD가 인가되며, 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2)의 소스 단자 각각에 VNNL_CG가 인가된다. 제1 PMOS 트랜지스터(MP1)의 드레인 단자와 제1 NMOS 트랜지스터(MN1)의 드레인 단자는 연결되며, 제2 PMOS 트랜지스터(MP2)의 드레인 단자와 제2 NMOS 트랜지스터(MN2)의 드레인 단자는 연결된다. 제2 NMOS 트랜지스터(MN2)의 드레인 단자는 제1 NMOS 트랜지스터(MN1)의 게이트 단자와 크로스(Cross) 연결되며, 제2 NMOS 트랜지스터(MN2)의 게이트 단자는 제1 NMOS 트랜지스터(MN1)의 드레인 단자와 크로스(Cross) 연결된다.

[0057] 제2 CG용 전압 레벨변환부(410b)는 전압 CG_HV와 VNNL_CG 사이에서 동작하며, 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4)를 구비한다.

[0058] 제3 PMOS 트랜지스터(MP3) 및 제4 PMOS 트랜지스터(MP4)의 소스 단자 각각에 CG_HV가 인가되며, 제3 NMOS 트랜지스터(MN3) 및 제4 NMOS 트랜지스터(MN4)의 소스 단자 각각에 VNNL_CG가 인가된다. 제3 PMOS 트랜지스터(MP3)의 드레인 단자와 제3 NMOS 트랜지스터(MN3)의 드레인 단자는 연결되며, 제4 PMOS 트랜지스터(MP4)의 드레인 단자와 제4 NMOS 트랜지스터(MN4)의 드레인 단자는 연결된다. 제3 PMOS 트랜지스터(MP3)의 드레인 단자는 제4 PMOS 트랜지스터(MP4)의 게이트 단자와 크로스(Cross) 연결되며, 제4 PMOS 트랜지스터(MP4)의 게이트 단자는 제3 PMOS 트랜지스터(MP3)의 드레인 단자와 크로스(Cross) 연결된다.

[0059] 제3 CG용 전압 레벨변환부(410c)는 전압 CG_HV와 CG_LV 사이에서 동작하며, 제5 PMOS 트랜지스터(MP5), 제6 PMOS 트랜지스터(MP6), 제5 NMOS 트랜지스터(MN5), 제6 NMOS 트랜지스터(MN6)를 구비한다.

[0060] 제5 PMOS 트랜지스터(MP5) 및 제6 PMOS 트랜지스터(MP6)의 소스 단자 각각에 CG_HV가 인가되며, 제5 NMOS 트랜지스터(MN5) 및 제6 NMOS 트랜지스터(MN6)의 소스 단자 각각에 CG_LV가 인가된다. 제5 PMOS 트랜지스터(MP5)의 드레인 단자와 제5 NMOS 트랜지스터(MN5)의 드레인 단자는 연결되며, 제6 PMOS 트랜지스터(MP6)의 드레인 단자와 제6 NMOS 트랜지스터(MN6)의 드레인 단자는 연결된다. 제6 NMOS 트랜지스터(MN6)의 드레인 단자는 제5 NMOS 트랜지스터(MN5)의 게이트 단자와 크로스(Cross) 연결되며, 제6 NMOS 트랜지스터(MN6)의 게이트 단자는 제5 NMOS 트랜지스터(MN5)의 드레인 단자와 크로스(Cross) 연결된다.

[0061] [표6]는 본 발명의 동작 모드에 따른 스위칭 파워의 출력전압을 도표로 정리한 것이다.

표 6

Mode	Stand-by	READ	PROGRAM	ERASE
CG_HV	VDD	VDD	4.75V	0V
CG_LV	0V	0V	0V	-4.75V
TG_HV	VDD	VDD	0V	4.75V
TG_LV	0V	0V	-4.75V	0V
VNNL_CG	0V	0V	0V	-1.58V
VNNL_TG	0V	0V	-1.58V	0V

[0062]

[0063] [표6] 및 도 4를 참조하면, 본 발명의 컨트롤 게이트(CG)의 구동회로(400)의 제1 CG용 전압 레벨변환부(410a), 제2 CG용 전압 레벨변환부(410b), 제3 CG용 전압 레벨변환부(410c)를 구성하는 각각의 스위칭 소자(MP1~MP6, MN1~MN6)의 각각의 동작 모드에서 스위칭 전압은 4.75V 이하의 크기를 갖는 3.3V를 나타내었다.

[0064] 도 4a는 본 발명의 컨트롤 게이트(CG)의 구동회로에 사용되는 CG_HV, CG_LV 스위칭 파워 회로를 상세히 도시한 것이다.

[0065] 도 4a를 참조하면, 본 발명의 CG_HV, CG_LV 스위칭 파워 회로는 쓰기(Write) 기능 시 필요로 하는 고전압 VPP과 접지접압 VSS 사이에서 고전압의 스위칭 파워 전압(CG_HV)을 인가하기 위한 CG_HV 단자 및 CG용 스위칭전압 레벨변환부(420)의 스위칭 동작에 상응하여 쓰기(Write) 모드 시 저전압의 스위칭 파워 전압(CG_LV)을 인가받기 위한 CG_LV 단자를 구비한다.

[0066] CG용 스위칭전압 레벨변환부(420)는 전원전압 VDD와 쓰기(Write) 용 전압 VNNL 사이에서 동작하는 제1 CG용 스위칭전압 레벨변환부(420a), 접지전압 VSS와 쓰기(Write) 용 전압 VNNL 사이에서 동작하는 제2 CG용 스위칭전압 레벨변환부(420b), 접지전압 VSS와 쓰기(Write) 용 전압 VNN 사이에서 동작하는 제3 CG용 스위칭전압 레벨변환부(420c)를 구비한다.

[0067] 제1 CG용 스위칭전압 레벨변환부(420a), 제2 CG용 스위칭전압 레벨변환부(420b), 제3 CG용 스위칭전압 레벨변환부(420c)를 구성하는 스위칭 소자(MP1~MP6, MN1~MN6)의 회로 연결 구성은 각각 도4의 제1 CG용 전압 레벨변환부(410a), 제2 CG용 전압 레벨변환부(410b), 제3 CG용 전압 레벨변환부(410c)와 동일하므로 상세한 설명은 생략한다.

[0068] [표6]를 참조하면, 본 발명의 CG_HV, CG_LV 스위칭 파워 회로는 CG_LV 노드의 PMOS 트랜지스터 MPCG의 바디(body)인 N-well 전압을 제거 모드(erase mode)에서 0V로 스위칭 하여 4.75V 이하의 전압으로 스위칭 하도록 설계되었다.

[0069] 도 4b는 본 발명의 컨트롤 게이트(CG)의 구동회로에 사용되는 VNNL_CG 스위칭 파워 회로를 상세히 도시한 것이다.

[0070] 도 4b 및 [표6]을 참조하면, 본 발명의 VNNL_CG 스위칭 파워 회로는 제거 모드(erase mode)의 경우 전원전압 VDD과 쓰기(Write) 용 전압 VNNL 사이에서 -1.58V의 VNNL_CG 전압을 출력하도록 설계되었다.

[0071] 도 5는 본 발명의 터널 게이트(Tunnel Gate, TG)의 구동회로를 도시한 것이다.

[0072] 도 5를 참조하면, 본 발명의 터널 게이트(TG)의 구동회로(500)는 동작 모드와 WD(Write Data)에 따라 TG 신호를 공급한다.

[0073] 본 발명의 컨터널 게이트(TG)의 구동회로(500)는 전원전압 VDD와 쓰기(Write) 용 전압 VNNL_TG 사이에서 동작하는 제1 TG용 전압 레벨변환부(510a), 쓰기(Write) 용 고전압 TG_HV와 쓰기(Write) 용 전압 VNNL_TG 사이에서 동작하는 제2 TG용 전압 레벨변환부(510b), 쓰기(Write) 용 고전압 TG_HV와 쓰기(Write) 용 저전압 TG_LV 사이에서 동작하는 제3 TG용 전압 레벨변환부(510c)를 포함하는 TG용 전압 레벨변환부(510)를 구비한다.

[0074] 제1 TG용 전압 레벨변환부(510a), 제2 TG용 전압 레벨변환부(510b), 제3 TG용 전압 레벨변환부(410c)의 회로 연결 구성은 각각 도4의 제1 CG용 전압 레벨변환부(410a), 제2 CG용 전압 레벨변환부(410b), 제3 CG용 전압 레벨변환부(410c)와 동일하므로 상세한 설명은 생략한다.

[0075] [표6] 및 도 5를 참조하면, 본 발명의 컨트롤 게이트(TG)의 구동회로(500)의 제1 TG용 전압 레벨변환부(510a), 제2 TG용 전압 레벨변환부(510b), 제3 TG용 전압 레벨변환부(410c)를 구성하는 각각의 스위칭 소자(MP1~MP6, MN1~MN6)의 각각의 동작 모드에서 스위칭 전압은 4.75V 이하의 크기를 갖는 3.3V를 나타내었다.

[0076] 도 5a는 본 발명의 터널 게이트(TG)의 구동회로에 사용되는 TG_HV, TG_LV 스위칭 파워 회로를 상세히 도시한 것이다.

[0077] 도 5a를 참조하면, 본 발명의 TG_HV, TG_LV 스위칭 파워 회로는 쓰기(Write) 기능 시 필요로 하는 고전압 VPP과 접지접압 VSS 사이에서 고전압의 스위칭 파워 전압(TG_HV)을 인가하기 위한 TG_HV 단자 및 TG용 스위칭전압 레벨변환부(520)의 스위칭 동작에 상응하여 쓰기(Write) 모드 시 저전압의 스위칭 파워 전압(TG_LV)을 인가받기 위한 TG_LV 단자를 구비한다.

[0078] TG용 스위칭전압 레벨변환부(520)는 전원전압 VDD와 쓰기(Write) 용 전압 VNNL 사이에서 동작하는 제1 TG용 스위칭전압 레벨변환부(520a), 접지전압 VSS와 쓰기(Write) 용 전압 VNNL 사이에서 동작하는 제2 TG용 스위칭전압 레벨변환부(520b), 접지전압 VSS와 쓰기(Write) 용 전압 VNN 사이에서 동작하는 제3 TG용 스위칭전압 레벨변환부(520c)를 구비한다.

[0079] 제1 TG용 스위칭전압 레벨변환부(520a), 제2 TG용 스위칭전압 레벨변환부(520b), 제3 TG용 스위칭전압 레벨변환부(520c)의 회로 연결 구성은 각각 도4의 제1 CG용 전압 레벨변환부(410a), 제2 CG용 전압 레벨변환부(410b), 제3 CG용 전압 레벨변환부(410c)와 동일하므로 상세한 설명은 생략한다.

[0080] [표6]를 참조하면, 본 발명의 TG_HV, TG_LV 스위칭 파워 회로는 TG_LV 노드의 PMOS 트랜지스터 MPTG의 바디(body)인 N-well 전압을 프로그램 모드(program mode)에서 0V로 스위칭 하여 4.75V 이하의 전압으로 스위칭 하도록 설계되었다.

[0081] 도 5b는 본 발명의 터널 게이트(TG)의 구동회로에 사용되는 VNNL_TG 스위칭 파워 회로를 상세히 도시한 것이다.

[0082] 도 5b 및 [표6]를 참조하면, 본 발명의 VNNL_TG 스위칭 파워 회로는 프로그램 모드(program mode)의 경우 전원전압 VDD과 쓰기(Write) 용 전압 VNNL 사이에서 -1.58V의 VNNL_CG 전압을 출력한다.

[0083] 도 6은 본 발명의 DC-DC 컨버터에 사용되는 VPP 발생 회로의 블록을 도시한 것이다.

[0084] 도 6을 참조하면, 본 발명의 VPP 발생 회로(600)는 VPP 레벨 검출기(610), VPP 링 발진기(620), 제어 로직부(Control Logic, 630) 및 2-스테이지 크로스 커플 전하펌부(2-stage cross coupled charge pump, 640)를 구비한다.

[0085] VPP 레벨 검출기(610)는 기준전압 VREF-VPP을 입력받아 VPP와 레벨을 비교 한 후 출력신호 VPP_OSC_ENb를 출력한다. VPP 링 발진기(620)는 출력신호 VPP_OSC_ENb를 입력받아 발진 신호 VPP_OSC를 출력한다. 제어 로직부(Control Logic, 630)는 발진 신호 VPP_OSC를 입력받아 클록신호들(CLK0~CLK3)과 전원전압 VDDP를 출력한다.

[0086] 2-스테이지 크로스 커플 전하펌부(640)는 제1, 제2 VDD프리차징부(641a, 641b), 제1, 제2 VPP 전하펌프(643a,643b), 및 커패시터(644)를 구비하며, 클록신호들(CLK0~CLK3)과 전원전압 VDDP을 입력받아 승압전압 VPP를 출력한다.

[0087] 이하 본 발명의 VPP 발생 회로(600)의 주요 동작을 설명한다.

[0088] 2-스테이지 크로스 커플 전하펌부(640)에서 출력된 VPP 전압이 목표 전압인 4.75V 보다 낮은 경우, VPP 레벨 검출기(610)의 출력신호인 VPP_OSC_ENb가 로우(Low)가 되어 양전하 펌핑(positive charge pumping)에 의하여 VPP 전압은 올라가게 된다.

[0089] 반면, 2-스테이지 크로스 커플 전하펌부(640)에서 출력된 VPP 전압이 목표 전압 4.75V 보다 큰 경우, VPP 레벨 검출기(610)의 출력신호인 VPP_OSC_ENb 신호가 하이(High)가 되어 전하펌프가 동작을 멈추는 부 궤환(negative feedback) 방식으로 VPP 전압은 목표전압인 4.75V를 유지한다.

[0090] 도 6a는 도6의 VPP 발생 회로를 구성하는 VPP 전압 검출기의 회로를 도시한 것이다.

[0091] 도 6a를 참조하면, 본 발명의 VPP 전압 검출기 회로(610)는 비교기(611), 제1, 제2 커패시터(612, 613), 지연 연결부(delay chain, 615), 피모스 트랜지스터 MP1, 앤모스 트랜지스터 MN1, MN2를 구비한다.

[0092] 비교기(611)는 (-)단자에 기준 전압인 VREF_VPP 및 (+)단자에 제1, 제2 커패시터(612, 613)에 의해 분배된 전압을 입력받아 이들 전압을 비교한 후 출력신호인 VPP_OSC_ENb를 출력한다. 기준 전압인 VREF_VPP는 본 발명에서 0.6785V를 사용하였다.

[0093] MP1의 소스 단자에는 VPP가 인가되며 드레인 단자에 제1 노드(N1), 제1, 제1 커패시터(612), 제2 노드(N2), 제2 커패시터(613)가 차례로 직렬연결 되어 있다.

[0094] MP1의 게이트 단자는 지연 연결부(delay chain, 615)가 연결되어 지연된 입력신호 VPP_ONb를 인가받아 제1, 제2 커패시터(612, 613)의 제1, 제2 노드(N1, N2)를 방전(discharge) 시킨 뒤 나중에 전압을 분배시키도록 한다.

[0095] MN1의 드레인 단자는 제1 노드(N1)와 연결되고, 소스단자는 접지 전압(VSS)과 연결되며, 게이트 단자에 입력신호 VPP_ONb가 인가된다.

[0096] MN2의 드레인 단자는 제2 노드(N2)와 연결되고, 소스단자는 접지 전압(VSS)과 연결되며, 게이트 단자에 입력신호 VPP_ONb가 인가된다.

[0097] 제2 노드(N2)를 사이에 두고 연결된 제1 커패시터(611)와 제2 커패시터(613)에서 분배된 전압은 제2 노드(N2)를 통해 비교기의 (+)단자에 입력된다.

[0098] 이로써, 비교기(611)는 VPP 전압이 VDD 전압에서부터 부스트(boost) 되더라도 PM1, MN1, MN2 스위치에 의해 항상 0V인 VSS와 VPP 전압의 차이를 분배하여 VREF_VPP 전압과 비교하므로 목표 전압인 VPP 전압을 유지할 수 있게 된다.

[0099] 본 발명은 저항 디바이더(Resistor divider)를 사용하지 않고 커패시터 디바이더(capacitor divider)를 사용해 전압 분배를 하였는데, 이는 저항 디바이더(Resistor divider)에 비해 쓰기 모드(write mode)에서 바이어스 전류를 제거하므로 저 전력의 메모리 구현이 가능하기 때문이다.

[0100] 도 7은 본 발명의 DC-DC 컨버터에 사용되는 VNN 발생 회로의 블록을 도시한 것이다.

[0101] 도 7을 참조하면, 본 발명의 VNN 발생 회로(700)는 VNN 레벨 검출기(710), VNN 링 발진기(720), 제어 로직부(Control Logic, 730) 및 6-stage NMOS 다이오드(diode) 형태의 음전하 펌프(negative charge pump)를 사용하는 6-스테이지 전하 펌부(6-stage charge pump, 740)를 구비한다.

[0102] VNN 레벨 검출기(710)는 기준전압 VREF-VNN을 입력받아 VNN와 레벨을 비교 한 후 출력신호 VNN_OSC_ENb를 출력한다. VNN 링 발진기(720)는 출력신호 VNN_OSC_ENb를 입력받아 발진 신호 VNN_OSC를 출력한다. 제어 로직부(Control Logic, 730)는 발진 신호 VNN_OSC를 입력받아 클록신호들(CLK, CLKb)을 출력한다.

[0103] 6-스테이지 전하펌부(6-stage charge pump, 740)는 제1, 제2 VSS 프리차징부(741a, 741b), 제1, 제2의 3-stage VNN 전하펌프(743a, 743b) 및 제1, 제2 커패시터(744, 745)를 구비하며, 클록신호들(CLK, CLKb)을 입력받아 승압전압 VNN및 VNNL를 출력한다.

[0104] 제1의 3-stage VNN 전하펌프(743a)과 제1 VSS 프리차징부(741a)를 연결하는 제1 노드(a)를 통해 클록신호를 인가 받아 VNNL이 출력되며, 제2의 3-stage VNN 전하펌프(743b)와 제2 VSS 프리차징부(741b)를 연결하는 제2 노드(b)를 통해 클록신호를 인가 받아 VNN이 출력된다.

[0105] VNN은 부 궤환(negative feedback)에 의해 목표전압인 -4.75V를 유지하고 VNNL은 1번째 스테이지의 전하 펌프의 출력전압이므로 VNN/2의 전압을 공급한다.

[0106] 도 7a는 도7의 VNN 발생 회로를 구성하는 VNN 전압 검출기의 회로를 도시한 것이다.

[0107] 도 7a를 참조하면, 본 발명의 VNN 전압 검출기 회로(710)는 비교기(711), 제1, 제2 커패시터(712, 713), 인버터(714), 피모스 트랜지스터 MP1, MP2, 앤모스 트랜지스터 MN1을 구비한다.

[0108] 비교기(711)는 (+)단자에 기준 전압인 VREF_VNN 및 (-)단자에 제1, 제2 커패시터(712, 713)에 의해 분배된 전압을 입력받아 이들 전압을 비교한 후 출력신호인 VNN_OSC_ENb를 출력한다.

[0109] MP1의 소스 단자에는 전원전압 VDD가 인가되며 드레인 단자에 제1 노드(N1)를 통해 비교기(711)의 (-)단자와 연결되며, 게이트 단자에 입력전압 VNN_ONb가 인가된다.

[0110] 전원전압 VDD과 제1 노드(N1) 사이에 제1 커패시터(712)가 연결되고, 제1 노드(N1) 아래에 제2 커패시터(713), 제2 노드(N2), MN1이 순차적으로 연결되어 있다.

[0111] MN1의 드레인 단자는 제2 노드(N2)와 연결되어 있고, 소스 단자는 승압전압 VNN이 인가되며, 게이트 단자에 접지전압 VSS가 인가된다.

[0112] MP2의 소스 단자에는 입력전압 VNN_ONb을 입력받는 인버터(714)가 연결되어 있고, 드레인 단자는 제2 노드(N2)와 연결되어 있고, 게이트 단자에 접지전압 VSS가 인가된다.

[0113] 본 발명의 VNN 전압 검출기 회로(710)는 도6a의 VPP 전압 검출기 회로(610)와 유사하게 저항 디바이더(Resistor divider)를 사용하지 않고, 제1 노드(N1)를 사이에 두고 연결된 제1 커패시터(712)와 제2 커패시터(713)를 사용하여 비교기(711)의 (-)단자에 제1, 제2 커패시터(712, 713)에 의해 분배된 전압이 입력 되도록 하였다.

[0114] 도 8은 도7의 VNN 발생 회로의 블록에 사용되는 VNN 프리차지(precharge) 회로를 도시한 것이다.

[0115] 도 8을 참조하면, 본 발명의 VNN 프리차지(precharge) 회로는 MP1, MN1, MN3을 구비하는 일반적인 VNN 프리차지(precharge) 회로 및 MP2, MN2, 제1 커패시터(C1)를 더 구비한 커패시티브 커플링부(810)를 포함하는 구성을 갖는다.

[0116] 이하 본 발명의 VNN 프리차지(precharge) 회로의 연결을 설명한다.

[0117] MP1은 소스 단자에 VDD 전압이 인가되며, 드레인 단자는 MN1의 드레인 단자와 연결되며, MN1의 소스 단자에 접지전압 VSS이 인가되며, MP1과 MN1의 게이트 단자에 입력전압 DCEN_VDD가 인가된다.

[0118] MN3의 드레인 단자에 VNN 전압이 인가되며 소스 단자는 접지전압 VSS이 인가되며, 게이트 단자는 커패시티브 커플링부(810)의 제2 노드(N2)와 연결된다.

[0119] 커패시티브 커플링부(810)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결된 제1 커패시터(C1)를 구비하며, 제1 노드(N1)는 MP1과 MN1의 드레인 단자 및 MP2의 소스 단자와 연결된다. MP2는 드레인 단자에 MN2의 드레인 단자가 연결되며, MP2와 MN2의 드레인 단자는 제2 노드(N2)와 연결되며, MP2와 MN2의 게이트 단자는 접지 전압 VSS가 인가된다.

[0120] 이하 본 발명의 VNN 프리차지(precharge) 회로의 주요 동작을 간단히 설명한다.

[0121] 본 발명의 VNN 프리차지(precharge) 회로는 커패시티브 커플링(capacitive coupling)을 이용하여 쓰기 모드(write mode)로 진입 시 제2 노드(N2)의 전압을 VDD에서 0V로 커플링(coupling)시켜 MN3을 턴 오프(tunn off) 시키는 동시에 MN2에 걸리는 게이트(gate)-소스(source) 단자 간의 전압을 5.5V 이하가 되게 한다.

[0122] 또한 본 발명의 VNN 프리차지(precharge) 회로는 쓰기 모드(write mode)에서 탈출(exit) 하는 경우 제1 커패시터(C1)에 의한 커패시티브 커플링(capacitive coupling)에 의해 MP2의 소스(source) 와 드레인(drain) 노드 사이의 전압을 5.5V 이하로 유지시켜 준다.

[0123] 도 9는 도6의 VPP 발생 회로에 사용되는 듀얼 오실레이션(dual oscillation)을 갖는 링 오실레이터(ring oscillator)를 도시한 것이다.

[0124] 도 9를 참조하면, 본 발명의 듀얼 오실레이션(dual oscillation)을 갖는 링 오실레이터(900)는 낸드게이트(911), 제1 인버터(912), 제2 인버터(913), 제3 인버터(914), 제4 인버터(915)를 갖는 링 발진부(910) 및 3개의 인버터(921, 922, 923)를 구비한 레벨 조정부(920)를 포함한다.

[0125] 낸드게이트(911)는 발진제어신호 VPP_OSC-ENb, DCENb_VDDP 및 지연 신호(Delayed Signal, D_S)에 응답하여 동작한다.

[0126] 레벨 조정부(920)는 낸드게이트(911)에서 일정시간 지연된 지연 신호(D_S)를 인가받아 3개의 순차적으로 직렬 연결된 인버터(921, 922, 923)를 거쳐 발진신호 VPP_OSC를 출력한다.

[0127] 링 발진부(910)의 제1 인버터(912), 제2 인버터(913)는 통상의 인버터의 구조와 달리 MP3와 MN3가 더 추가된 MP1, MP2, MP3, MN1, MN2, MN3를 구비한다.

[0128] MP1는 소스 단자에 VDDP가 인가되며, MP1와 MP2는 소스-소스 단자 및 드레인- 드레인 단자가 연결되어 있으며, 드레인 단자에 MP3의 소스 단자가 연결되어 있다.

[0129] MP1와 MP3의 게이트 단자는 입력단자(IN)와 연결되어 있고, MP2의 게이트 단자는 VPPENb 전압이 인가된다.

[0130] MN3의 드레인 단자는 MP3의 드레인 단자와 연결되며, MN3의 소스 단자는 MN1와 MN2의 소스 단자와 연결되어 있다. MN1와 MN2는 소스-소스 단자 및 드레인- 드레인 단자가 서로 연결되어 있으며, MN1와 MNP2의 소스 단자에 접지 전압 VSS이 인가된다.

[0131] MN1와 MN3의 게이트 단자는 입력단자(IN)와 연결되어 있고, MN2의 게이트 단자는 VPPEN 전압이 인가된다.

[0132] 본 발명의 링 오실레이터(900)는 쓰기 모드(write mode) 진입할 때의 진동(oscillation) 주기를 정상상태에서의 진동(oscillation) 주기보다 더 긴 듀얼 오실레이션(dual oscillation)이 되게 함으로, 파워 업(power-up) 시간 동안 DC-DC 컨버터에서 연속적인 전하 펌핑(charge pumping)을 위해 필요로 하는 전력 소모를 분산시켜 VDDP 전압이 2.2V 보다 낮아지는 것을 방지 한다.

[0133] 상기 실시 예는 도 6의 VPP 링 발진기(ring oscillation, 620)에 대해 설명하였지만, 도 7의 VNN 링 발진기(ring oscillation, 720)에 유사하게 적용할 수 있음은 당연하다.

[0134] 도 10a는 본 발명의 제거(Erase) 모드에서 메모리 셀 바이어스 전압에 대한 시뮬레이션 결과를 도시한 것이다.

[0135] 도 10a 및 [표 3]를 참조하면, 도 10a의 시뮬레이션에 의한 메모리 셀 바이어스 전압은 [표 3]의 메모리 셀 바이어스 전압과 일치됨이 실험을 통해 확인되었다.

[0136] 도 10b는 본 발명의 프로그램(Program) 모드에서 메모리 셀 바이어스 전압에 대한 시뮬레이션 결과를 도시한 것이다.

[0137] 도 10b 및 [표 4]를 참조하면, 도 10b의 시뮬레이션에 의한 메모리 셀 바이어스 전압은 [표 4]의 메모리 셀 바이어스 전압과 일치됨이 실험을 통해 확인되었다.

[0138] 도 11은 본 발명의 읽기(Read) 모드에서 제어신호 및 중요 내부 신호에 대한 모의실험 결과를 도시한 것이다.

[0139] 도 11을 참조하면, 본 발명은 느린 시뮬레이션(Slow simulation) 조건에서 읽기 접근시간(read access time)은 195ns로 시뮬레이션(simulation) 하였다.

[0140] 읽기 모드(Read mode)에서 READ 신호가 인가되면 먼저 PS, N_SEL, P_SEL에 의해 워드 셀(word cell)이 선택되고, CG 신호가 0V에서 VDD로 스위칭 하면서 BL(bit line)의 전압이 셀의 쓰기(write) 상태에 따라 방전하거나 충전하게 된다.

[0141] SAENb 신호가 로우 액티베이션(low activation) 하게 되면 BL(bit line) 전압을 감지(sensing) 하여 DOUT으로 데이터를 출력하게 된다.

[0142] 도 12는 본 발명의 쓰기(Write) 모드에서 VNN과 VPP 전압의 순차적 펌핑(sequential pumping)에 대한 모의실험 결과를 도시한 것이다.

[0143] 도 12를 참조하면, 본 발명은 1차적으로 VNN이 -4.75V로 펌핑(pumping) 된 이후 2차적으로 VPP 전압을 +4.75V로 펌핑(pumping)하는 순차적 펌핑(sequential pumping)이 실행됨이 시뮬레이션을 통해 확인 되었다.

[0144] [표 7]는 본 발명의 동작 모드에 따른 활동 전류(active current)와 파워(power) 소모를 시뮬레이션 한 결과를 나타낸 것이다.

표 7

[0145]

▪ **Condition : VDD=1.2V, VDDP=2V, TT model, 25℃**

Mode	Active Current		Power dissipation		
	VDD	VDDP	VDD	VDDP	Total
READ	0.29 ㎂	0 ㎂	0.34 ㎼	0 ㎼	0.35 ㎼
PGM	9.62 ㎂	1.11 ㎂	11.54 ㎼	2.22 ㎼	13.76 ㎼
ERASE	9.62㎂	1.06 ㎂	11.54 ㎼	2.12 ㎼	13.66 ㎼

▪ **Cycle Time: READ=12.58㎲, PGM=1.2ms, ERASE=1.2ms**

[0146] [표 7]를 참조하면, 전형적인 시뮬레이션(Typical simulation) 조건에서 읽기(read), 프로그램(program), 제거(erase) 모드(mode)의 파워(power) 소모는 각각 0.35㎼, 13.76㎼, 13.66㎼ 임을 나타내었다.

[0147] 도 13은 본 발명의 256bit EEPROM IP의 레이아웃(layout) 플롯(plot)을 도시한 것이다.

[0148] 도 13을 참조하면, 본 발명의 설계된 512bit EEPROM IP의 레이아웃 면적은 373.96㎛ × 434.04㎛를 갖는다.

[0149] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예

시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

부호의 설명

[0150] 110 : 메모리 셀 어레이(Memory Cell Array)

120 : 컨트롤 로직(Control Logic)

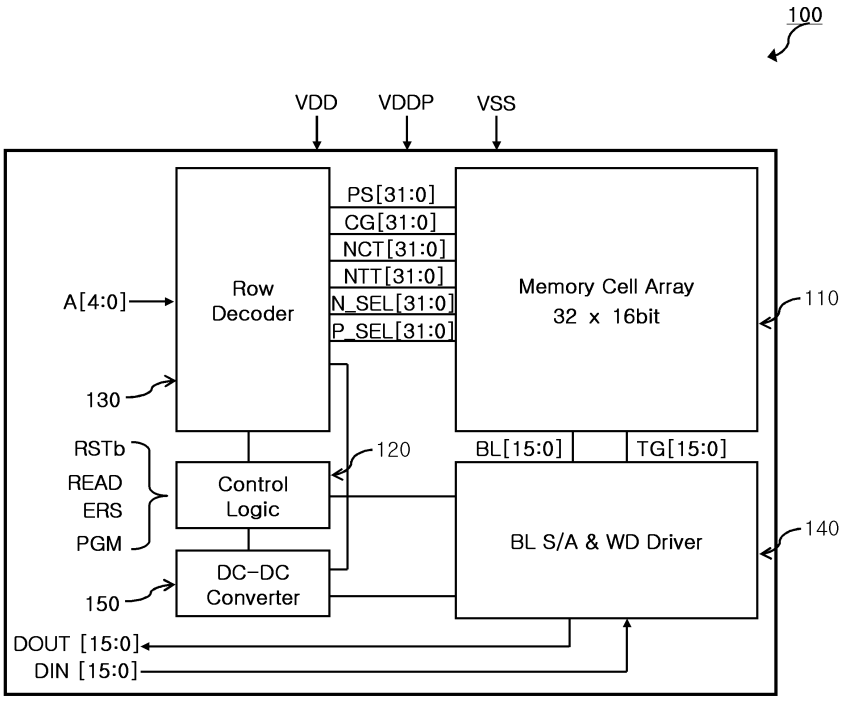
130 : 행 디코더(row decoder)

140 : BL S/A 및 WD Driver

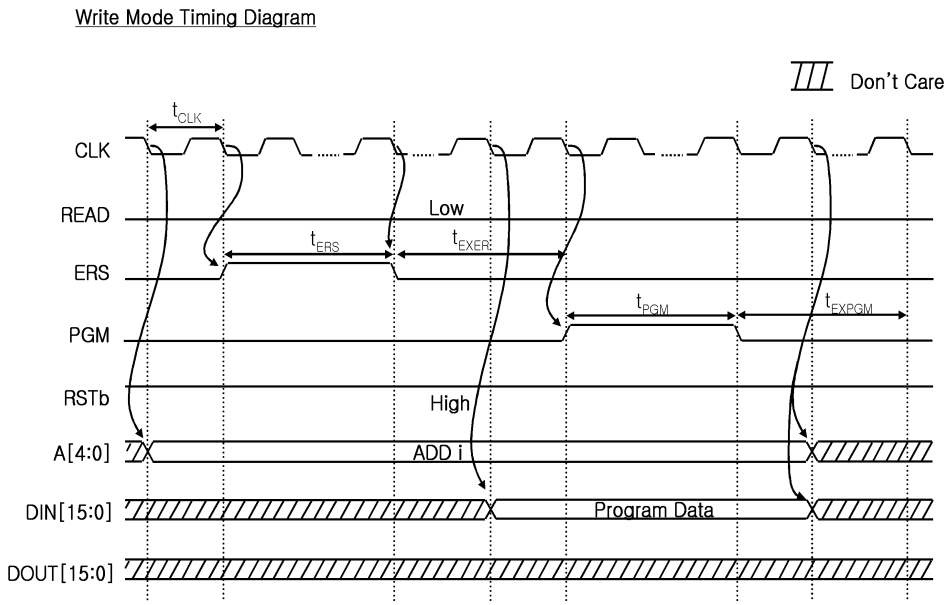
150 : DC-DC 컨버터

도면

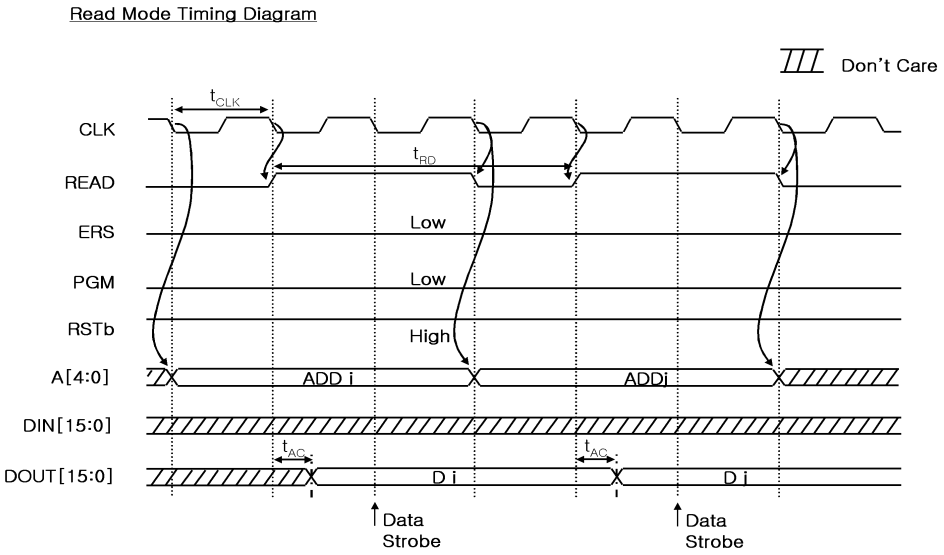
도면1



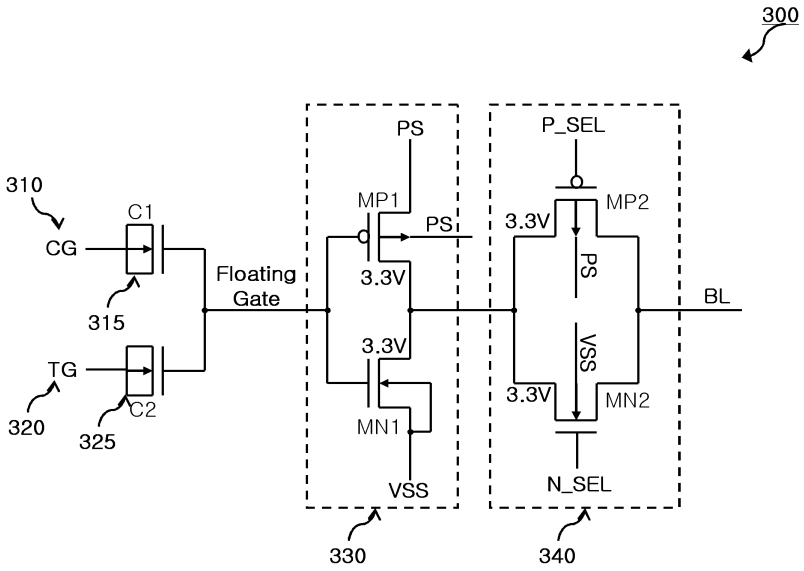
도면2a


Write Mode Timing Diagram
Don't Care
tCLK
CLK
READ
Low
tERS
tEXER
ERS
tPGM
tEXPGM
PGM
RSTb
High
A[4:0]
ADD i
DIN[15:0]
Program Data
DOUT[15:0]

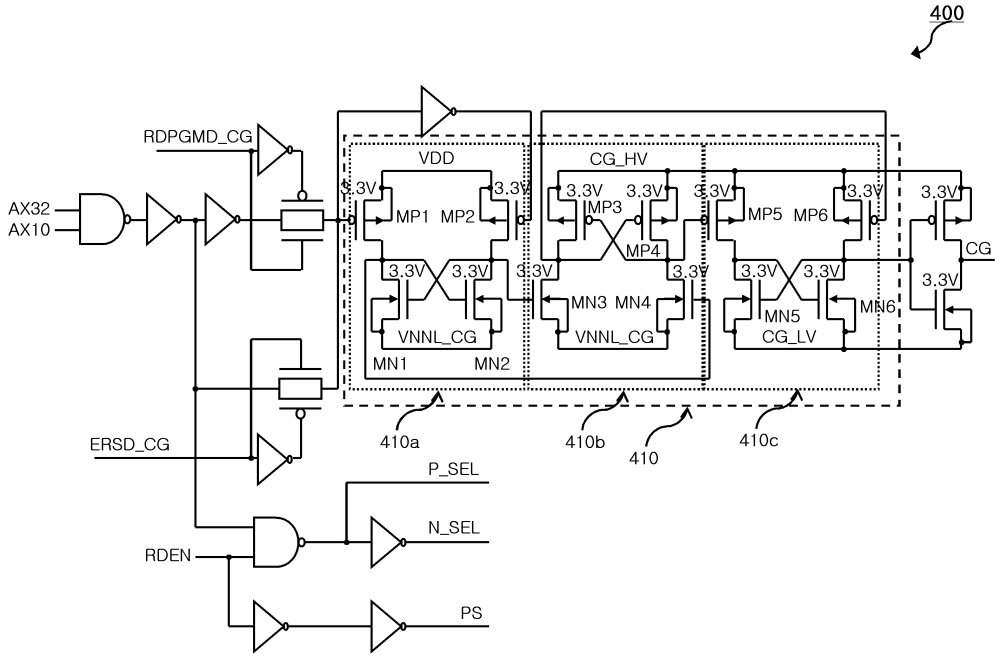
도면2b


Read Mode Timing Diagram
Don't Care
tCLK
CLK
tRD
READ
Low
ERS
Low
PGM
RSTb
High
A[4:0]
ADD i
ADDi
DIN[15:0]
tAC
tAC
DOUT[15:0]
D i
D i
Data Strobe
Data Strobe

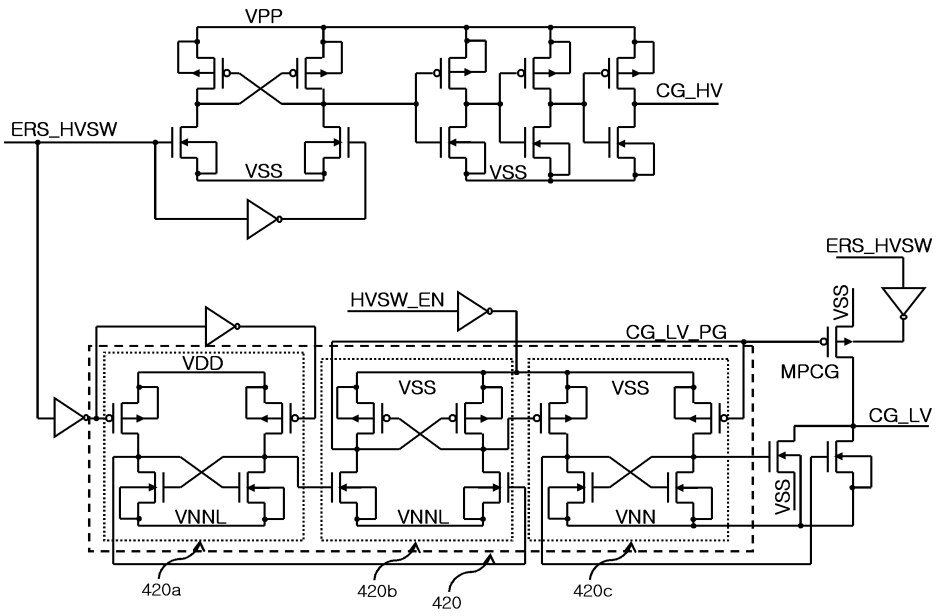
도면3


300
310
C1
CG
315
TG
320
325
C2
Floating
Gate
PS
MP1
PS
3.3V
3.3V
MN1
VSS
330
P_SEL
MP2
3.3V
PS
VSS
3.3V
MN2
N_SEL
340
BL

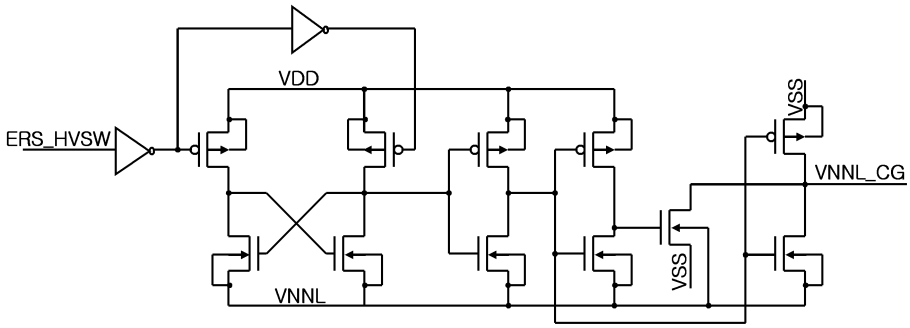
도면4


400
RDPGMD_CG
AX32
AX10
ERSD_CG
RDEN
VDD
CG_HV
MP1
MP2
MP3
MP4
MP5
MP6
MN1
MN2
MN3
MN4
MN5
MN6
VNNL_CG
CG_LV
CG
3.3V
410a
410b
410
410c
P_SEL
N_SEL
PS

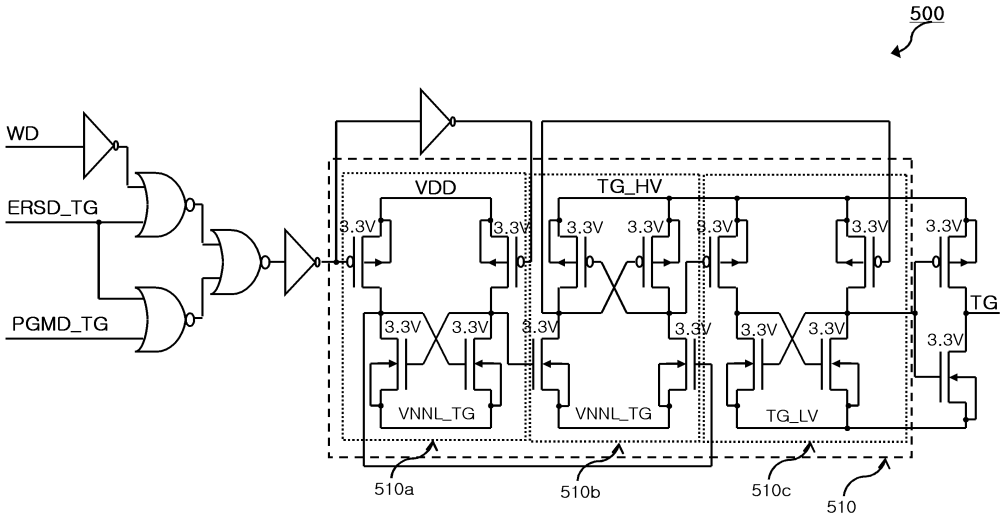
도면4a



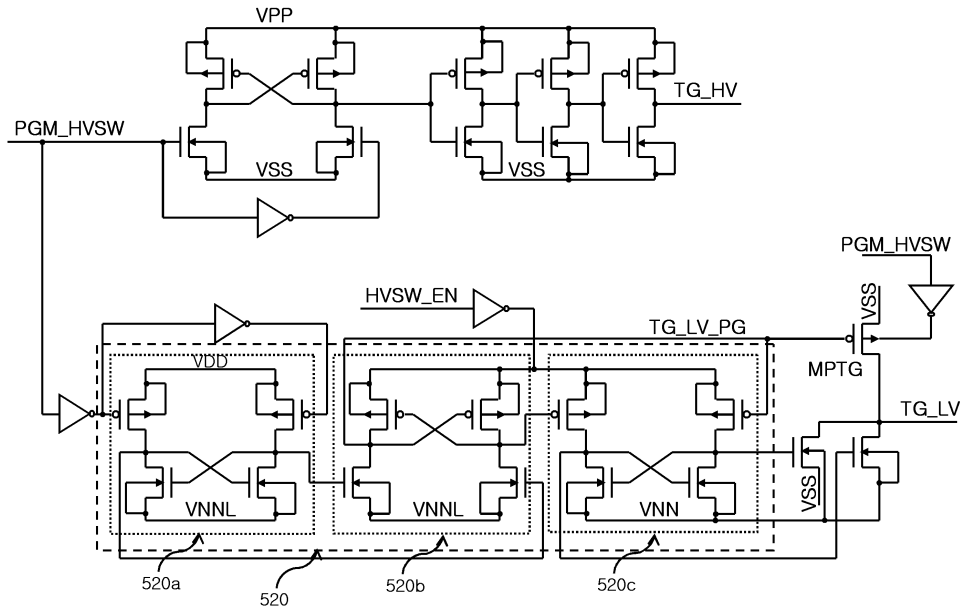
도면4b



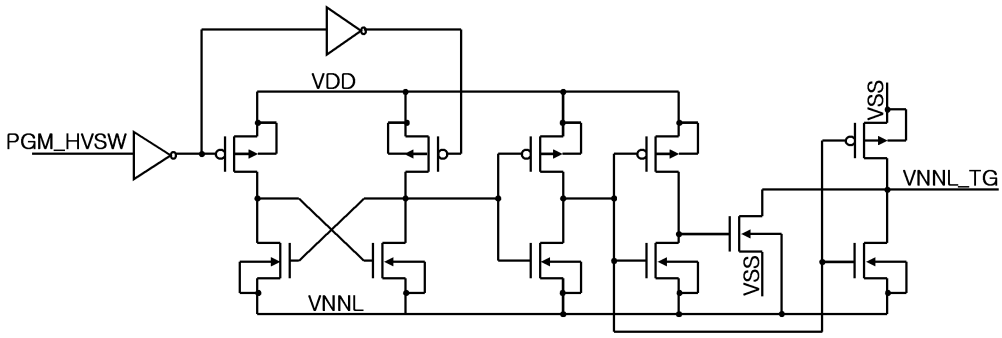
도면5



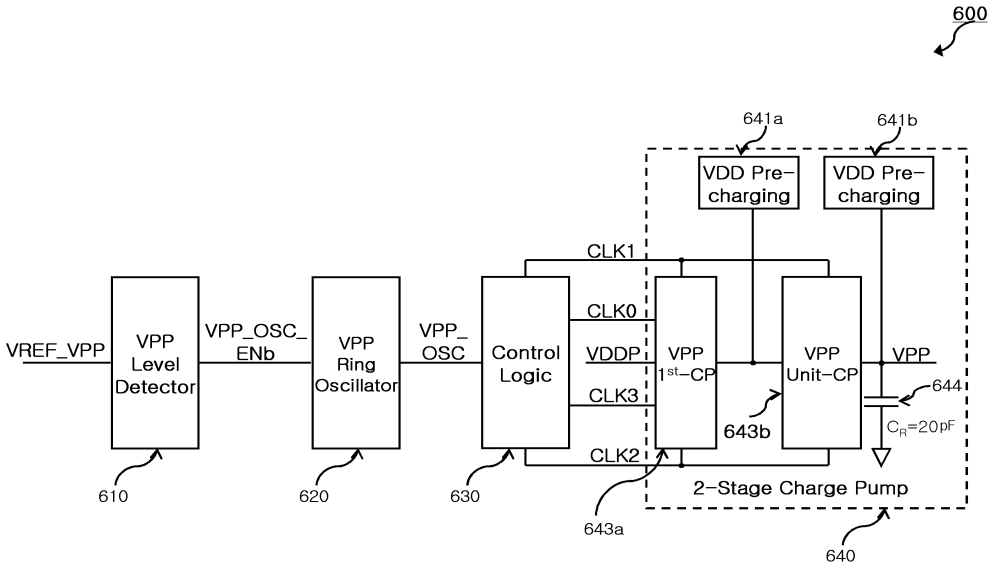
도면5a



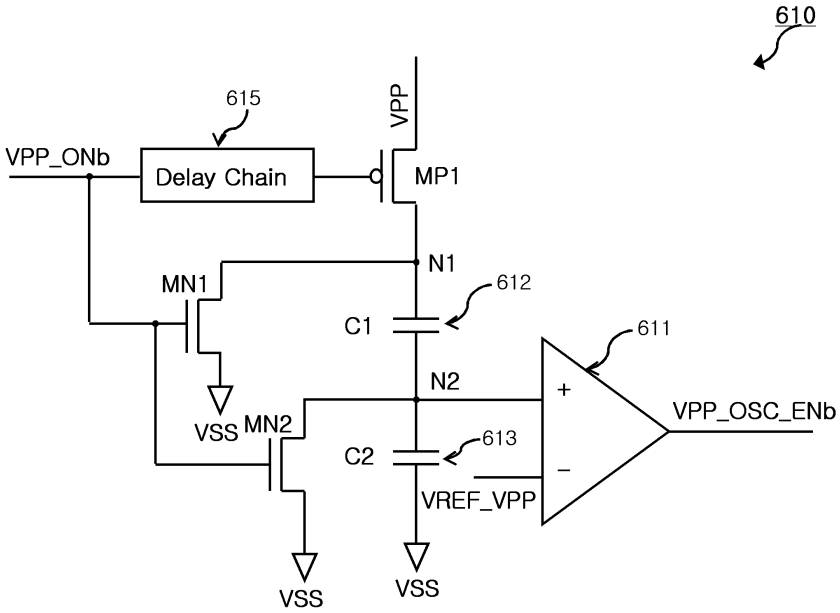
도면5b



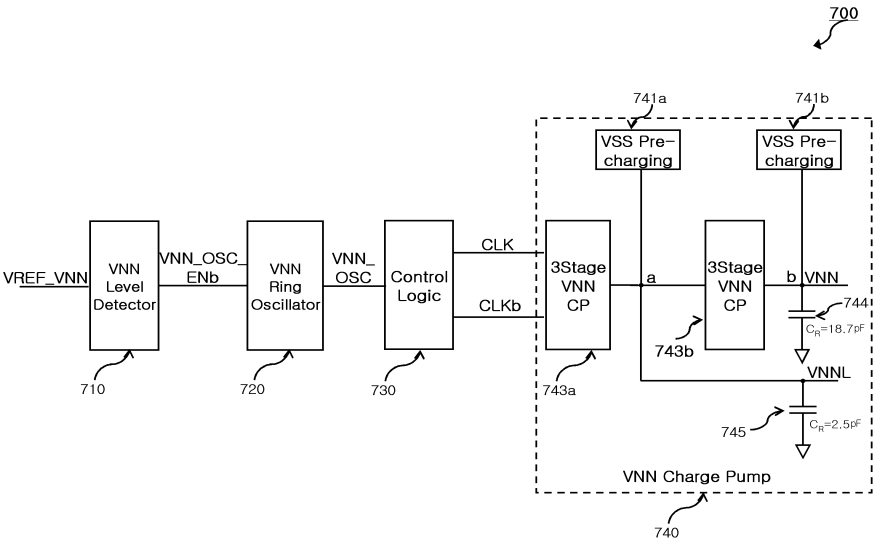
도면6



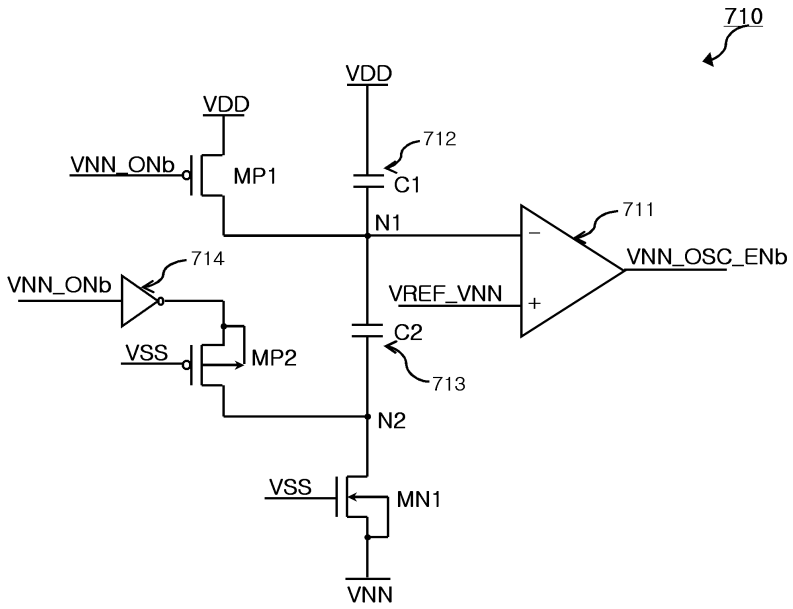
도면6a


610
615
VPP
VPP_ONb
Delay Chain
MP1
N1
MN1
612
C1
611
N2
+
VPP_OSC_ENb
VSS
MN2
613
C2
−
VREF_VPP
VSS
VSS

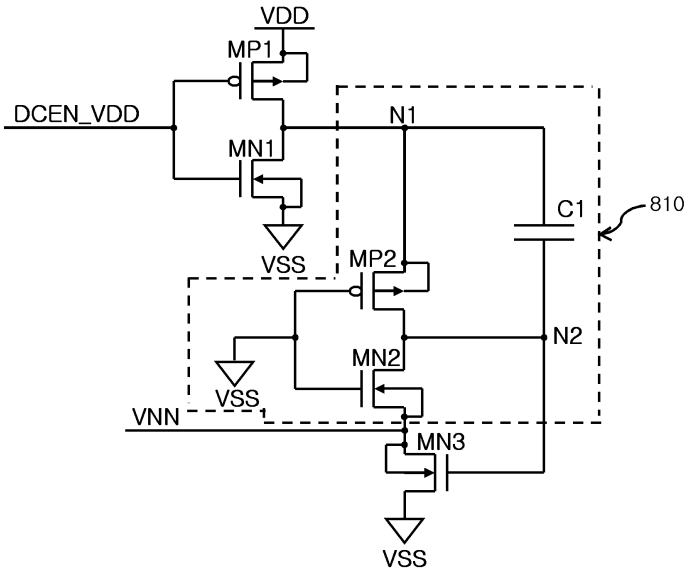
도면7


700
741a
741b
VSS Pre-charging
VSS Pre-charging
VREF_VNN
VNN Level Detector
VNN_OSC_ENb
VNN Ring Oscillator
VNN_OSC
Control Logic
CLK
CLKb
3Stage VNN CP
a
3Stage VNN CP
b
VNN
744
C_R=18.7pF
743b
VNNL
745
C_R=2.5pF
VNN Charge Pump
710
720
730
743a
740

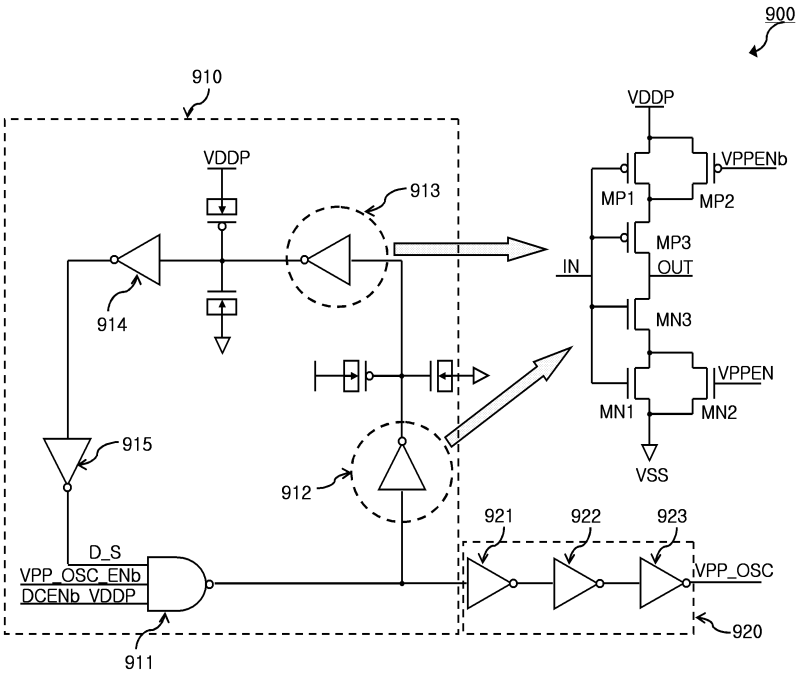
도면7a


710
VDD
VDD
712
VNN_ONb
MP1
C1
N1
711
VNN_OSC_ENb
714
VNN_ONb
VREF_VNN
VSS
MP2
C2
713
N2
VSS
MN1
VNN

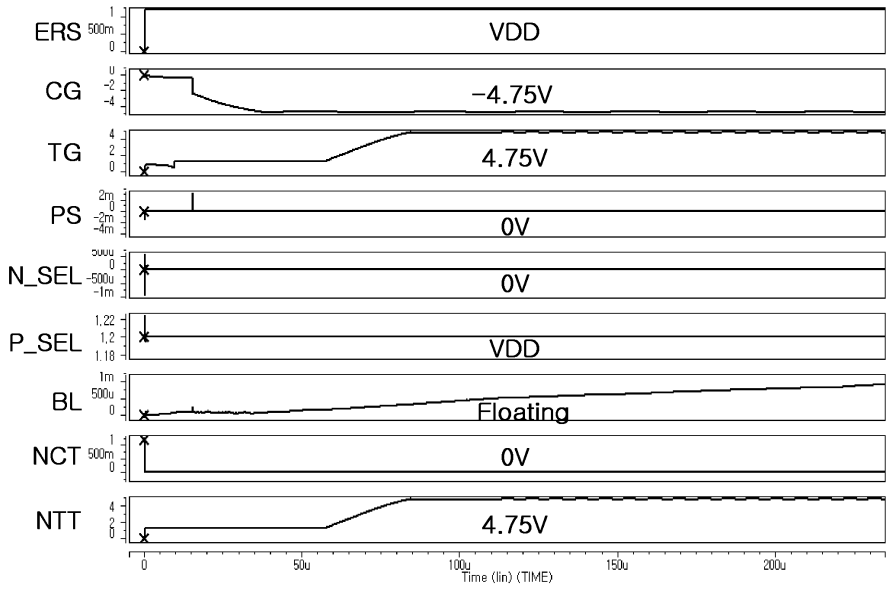
도면8


VDD
MP1
DCEN_VDD
N1
MN1
C1
810
VSS
MP2
N2
MN2
VSS
VNN
MN3
VSS

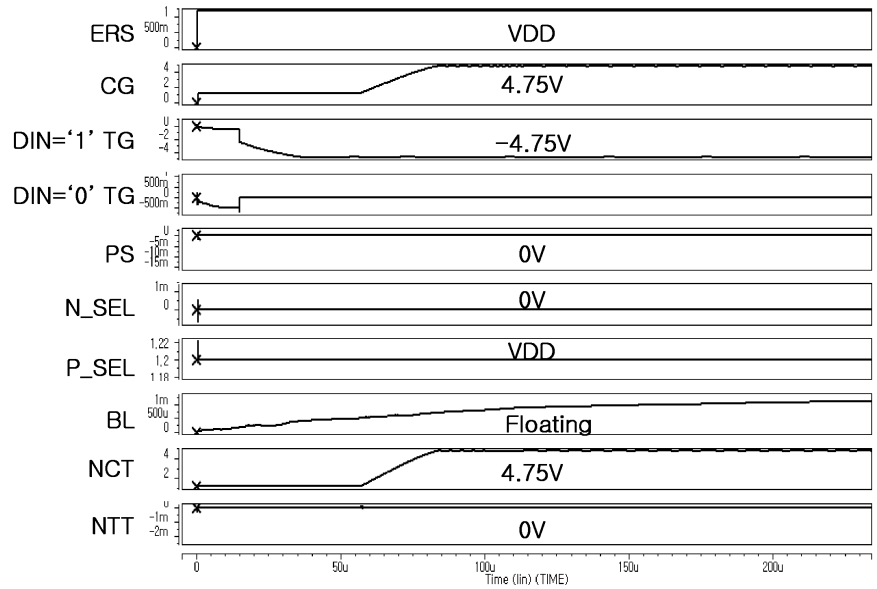
도면9


900
910
VDDP
913
914
915
912
911
D_S
VPP_OSC_ENb
DCENb_VDDP
921
922
923
VPP_OSC
920
VDDP
VPPENb
MP1
MP2
MP3
IN
OUT
MN3
VPPEN
MN1
MN2
VSS

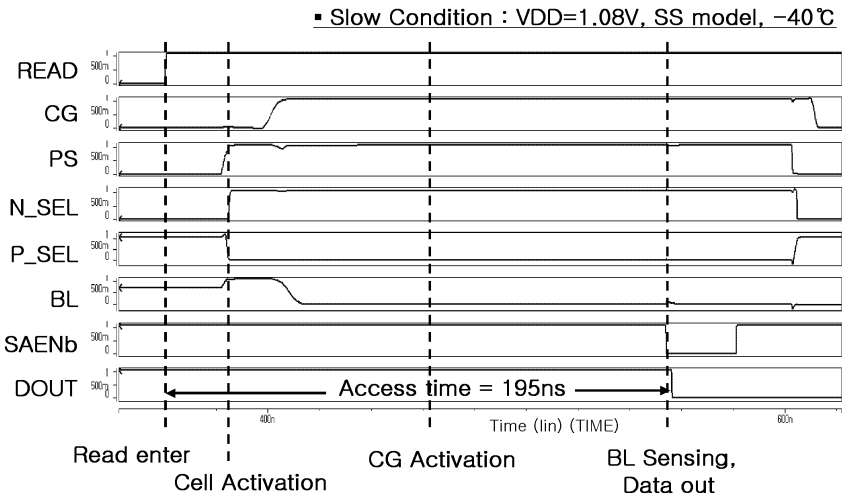
도면10a


ERS
VDD
CG
-4.75V
TG
4.75V
PS
0V
N_SEL
0V
P_SEL
VDD
BL
Floating
NCT
0V
NTT
4.75V
0
50u
100u
150u
200u
Time (lin) (TIME)

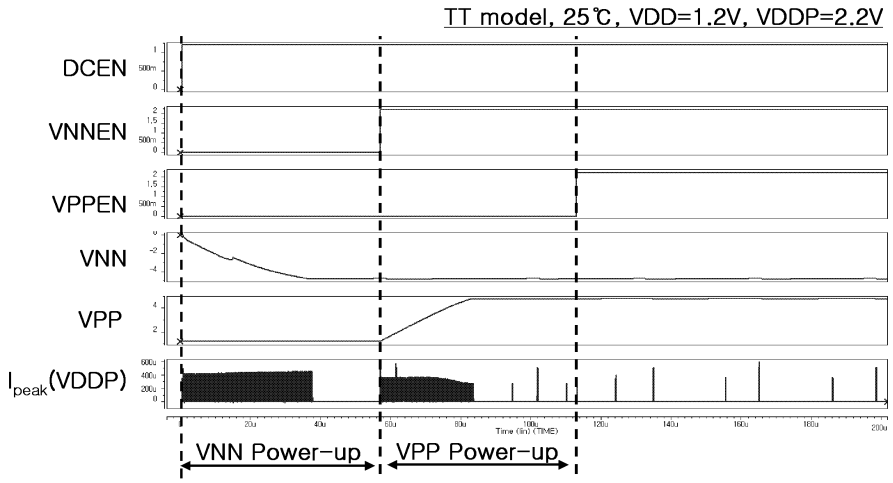
도면10b


ERS
VDD
CG
4.75V
DIN='1' TG
-4.75V
DIN='0' TG
PS
0V
N_SEL
0V
P_SEL
VDD
BL
Floating
NCT
4.75V
NTT
0V
Time (lin) (TIME)

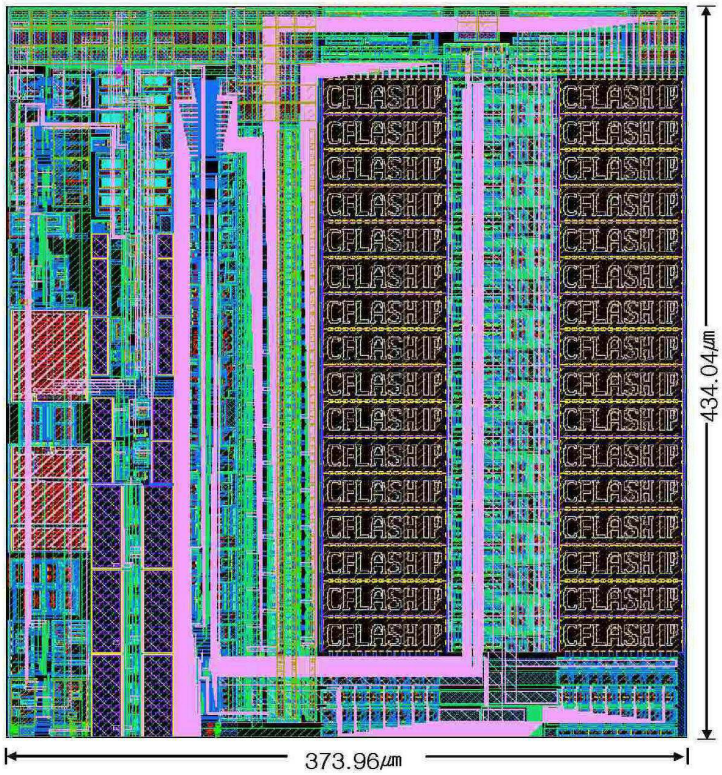
도면11


▪ Slow Condition : VDD=1.08V, SS model, -40℃
READ
CG
PS
N_SEL
P_SEL
BL
SAENb
DOUT
Access time = 195ns
Time (lin) (TIME)
Read enter
Cell Activation
CG Activation
BL Sensing,
Data out

도면12


TT model, 25℃, VDD=1.2V, VDDP=2.2V
DCEN
VNNEN
VPPEN
VNN
VPP
Ipeak(VDDP)
VNN Power-up
VPP Power-up

도면13


CFLASH IP
434.04㎛
373.96㎛