

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年4月20日(20.04.2023)



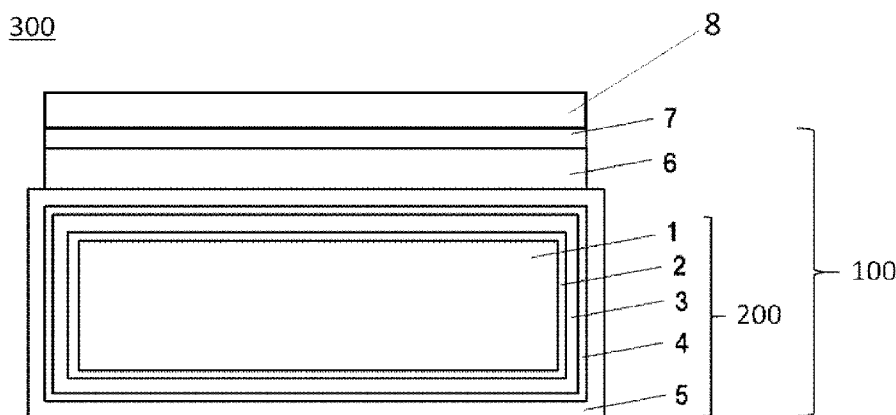
(10) 国際公開番号

WO 2023/063046 A1

- (51) 国際特許分類:  
*H01L 21/20* (2006.01)
- (21) 国際出願番号: PCT/JP2022/035314
- (22) 国際出願日: 2022年9月22日(22.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-169808 2021年10月15日(15.10.2021) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 久保 埜 一 平 (KUBONO Ippei); 〒3790196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 萩本 和徳 (HAGIMOTO Kazunori); 〒3790196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 水澤 康 (MIZUSAWA Yasushi); 〒3790196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 阿部 達夫 (ABE Tatsuo); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 半導体白河研究所内 Fukushima (JP). 松原 寿樹 (MATSUBARA Toshiki); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越

(54) Title: NITRIDE SEMICONDUCTOR SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 窒化物半導体基板及びその製造方法



(57) Abstract: The present invention is a nitride semiconductor substrate comprising: a growth substrate in which a single crystal silicon layer is formed on a composite substrate obtained by laminating a plurality of layers; and a nitride semiconductor thin film formed on the single crystal silicon layer of the growth substrate, the nitride semiconductor substrate being characterized in that the carbon concentration of the single crystal silicon layer is  $5E17$  atoms/cm<sup>3</sup> to  $1E22$  atoms/cm<sup>3</sup>. Consequently, provided are: a nitride semiconductor substrate in which the resistivity becomes low by diffusing Al in a single crystal silicon layer during the growth of a nitride semiconductor, and deterioration in high frequency characteristics is suppressed; and a manufacturing method therefor.

(57) 要約: 本発明は、複数の層が積層された複合基板上に単結晶シリコン層が形成された成長用基板と、該成長用基板の前記単結晶シリコン層上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板であって、前記単結晶シリコン層の炭素濃度が、 $5E17$  atoms/cm<sup>3</sup>以上、 $1E22$  atoms/cm<sup>3</sup>以下のものであることを特徴とする窒化物半導体基板である。これにより、窒化物半導体の成長中に単結晶シリコン層内にAlが拡散され低抵抗率化されて、高周波特性が劣化することを抑制した窒化物半導体基板及びその製造方法が提供される。



WO 2023/063046 A1

半導体株式会社 半導体白河研究所内 Fukushima (JP). 鈴木 温(SUZUKI Atsushi); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 半導体白河研究所内 Fukushima (JP). 大槻 剛(OHTSUKI Tsuyoshi); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 半導体白河研究所内 Fukushima (JP).

(74) 代理人: 好宮 幹夫, 外 (YOSHIMIYA Mikio et al.); 〒1100005 東京都台東区上野7丁目6番11号 第一下谷ビル8F Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：窒化物半導体基板及びその製造方法

### 技術分野

[0001] 本発明は、窒化物半導体基板及びその製造方法に関する。

### 背景技術

[0002] 半導体薄膜製造方法のひとつであるMOCVD法は、大口径化や量産性に優れており、均質な薄膜結晶を成膜できるため、広く用いられている。GaNに代表される窒化物半導体はSi（シリコン）の材料としての限界を超える次世代の半導体材料として期待されている。

[0003] GaNは飽和電子速度が大きいという特性から高周波動作可能なデバイスの作製が可能であり、また絶縁破壊電界も大きいことから、高出力での動作が可能である。また、軽量化や小型化、低消費電力化も見込める。近年、5G等に代表されるような通信速度の高速化、またそれ伴う高出力化の要求により、高周波、且つ高出力で動作可能なGaN HEMTが注目されている。

[0004] GaNデバイスを作製するためのGaNエピタキシャルウェーハに用いられる基板としては、Si基板が最も安価であり且つ大口径化に有利である。また、熱伝導率が高く放熱性が良いことから、SiC基板も用いられている。しかしこれらの基板は、GaNとの熱膨張係数が異なるため、エピタキシャル成膜後の冷却工程で応力が印加し、クラックが発生しやすい。また強い応力が印加していることで、デバイスプロセス中にウェーハ割れが発生してしまう事がある。また、厚いGaNを成膜する事が不可能であり、エピタキシャル層内に複雑な応力緩和層を成膜してもクラックフリーではせいぜい5 $\mu$ m程度が限界である。

[0005] 一方、GaN基板はGaNエピタキシャル層と同じ（または非常に近い）熱膨張係数を有する為、上記のような問題は発生しにくい。自立GaN基板は作製が困難であるだけでなく、極めて高価であり口径の大きい基板が作

製できない事から、量産化には不適切である。

[0006] そのため、大口径で且つGaNと熱膨張係数が近いGaNエピタキシャル用の大口径基板（以下、GaN用支持基板）が特許文献1に開示されている。このGaN用支持基板は、多結晶セラミックコア、第1の接着層、導電層、第2の接着層、バリア層を含む支持構造と、該支持構造の片面に積層された平坦化層、該平坦化層に積層された単結晶シリコン層により構成される。

[0007] この成長用支持基板を用いることで、大口径で且つエピタキシャル層の厚さが厚く、且つクラックの発生しない窒化物半導体基板を作製できる。また、GaNと熱膨張係数差が極めて小さい事から、GaN成長中や冷却中に反りが発生しにくいため、成膜後の基板の反りを小さく制御できるだけでなく、エピタキシャル層中に複雑な応力緩和層を設ける必要が無いため、エピタキシャル成膜時間が短くなり、エピタキシャル成長のコストを大幅に削減できる。さらに、成長用支持基板は大部分がセラミックスであるため、基板自体が非常に硬く塑性変形しにくだけでなく、口径の大きいGaN on Siで解決されていないウェーハ割れが発生しない。

## 先行技術文献

## 特許文献

[0008] 特許文献1：特表2020-505767

## 発明の概要

## 発明が解決しようとする課題

[0009] 高周波用途で用いられるGaN on Siデバイスでは、高抵抗の単結晶シリコン基板が用いられる。しかし、単結晶シリコン基板上にAlN、AlGaN、GaN等を成膜する過程で、AlとGaが単結晶シリコン基板中に拡散し、単結晶シリコン基板表層（窒化物半導体エピタキシャル層との界面付近）が低抵抗化してしまい、高周波特性が劣化するという問題がある。

[0010] GaN用支持基板の表層も単結晶シリコン層であるため、高周波用途で使用される際、AlN、AlGaN、GaN等の成長中に単結晶シリコン層内

に Al と Ga が拡散され、同様の高周波損失の問題が発生する。

[0011] 本発明は上記課題を解決するためになされたもので、窒化物半導体の成長中に単結晶シリコン層内に Al が拡散され低抵抗率化されて、高周波特性が劣化することを抑制した窒化物半導体基板及びその製造方法を提供することを目的とする。

### 課題を解決するための手段

[0012] 上記課題を解決するために、本発明では、

複数の層が積層された複合基板上に単結晶シリコン層が形成された成長用基板と、該成長用基板の前記単結晶シリコン層上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板であって、

前記単結晶シリコン層の炭素濃度が、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下のものである窒化物半導体基板を提供する。

[0013] このように単結晶シリコン層の炭素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以上であれば、単結晶シリコン層内への Al と Ga の拡散を抑制し、単結晶シリコン層の低抵抗化を抑制する事ができる。また、単結晶シリコン層の炭素濃度が $1 \times 10^{22} \text{ atoms/cm}^3$ 以下であれば、結晶性の悪化を防ぐことができるため結晶性のよい基板とすることができる。その結果、高周波特性の良い窒化物半導体基板を提供する事ができる。

[0014] また、前記窒化物半導体薄膜は、GaN、AlN、及びAlGaNのうち1つ以上を含むものであることが好ましい。

[0015] このような窒化物半導体薄膜であれば、確実に高周波特性の良い窒化物半導体基板を提供する事ができる。

[0016] また、前記単結晶シリコン層は100～500nmの厚さを有し、前記窒化物半導体薄膜の総膜厚は2 $\mu\text{m}$ 以上10 $\mu\text{m}$ 以下であることが好ましい。

[0017] 本発明では、単結晶シリコン層及び窒化物半導体薄膜をこのような厚さとすることができる。

[0018] また、前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層された第2

の接着層と、該第2の接着層全体に積層されたバリア層とを含むものであり、かつ、

前記単結晶シリコン層は、前記複合基板の片面のみに積層された平坦化層の上に形成されたものであることが好ましい。

[0019] このような構成であれば、成長用基板の大部分がセラミックスであるため、基板自体が非常に硬く塑性変形しにくいだけでなく、シリコン基板で解決されていないウェーハ割れも発生しない。

[0020] また、前記複合基板が、前記第1の接着層と前記第2の接着層との間に、前記第1の接着層全体に積層された導電層を有するものであってもよい。

[0021] 複合基板には、必要に応じて導電性を付与することができる。

[0022] また、前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層されたバリア層と、該バリア層の裏面に積層された第2の接着層と、該第2の接着層の裏面に積層された導電層とを含むものであり、かつ、

前記単結晶シリコン層は、前記複合基板の前記バリア層の表面に積層された平坦化層の上に形成されたものであることが好ましい。

[0023] このような成長用基板を用いた窒化物半導体基板であれば、成長用基板の表面側導電層によるリークパスが生じず、高周波特性に優れたものとすることができる。

[0024] また、前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層の裏面に積層された導電層と、該導電層の裏面に積層された第2の接着層と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に積層されたバリア層とを含むものであり、かつ、

前記単結晶シリコン層は、前記複合基板の前記バリア層の表面に積層された平坦化層の上に形成されたものであることが好ましい。

[0025] このような成長用基板を用いた窒化物半導体基板であっても、成長用基板の表面側導電層によるリークパスが生じず、高周波特性に優れたものとする

ことができる。

[0026] このとき、前記導電層が、ポリシリコン層を含むものであることが好ましい。

[0027] 導電層は、このような層とすることができる。

[0028] このとき、前記多結晶セラミックコアが、窒化アルミニウムを含むものであることが好ましい。

[0029] このような複合基板とすれば、窒化物半導体との熱膨張係数差を極めて小さくできる。

[0030] また、前記第1の接着層及び前記第2の接着層はテトラエチルオルトシリケート (TEOS) 層又は酸化シリコン ( $\text{SiO}_2$ ) 層を含み、前記バリア層は窒化シリコンを含むものであることが好ましい。

[0031] 第1の接着層及び第2の接着層、及びバリア層は、このような層とすることができる。

[0032] また、前記平坦化層はテトラエチルオルトシリケート (TEOS) 又は酸化シリコン ( $\text{SiO}_2$ ) を含み、かつ、500~3000nmの厚さを有するものであることが好ましい。

[0033] 平坦化層は、このような層とすることができる。

[0034] また本発明では、成長用基板と、該成長用基板上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板の製造方法であって、

(1) 複数の層が積層された複合基板上に、炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下の単結晶シリコン層を形成して、成長用基板を作製する工程、及び

(2) 前記成長用基板の前記単結晶シリコン層上に前記窒化物半導体薄膜をエピタキシャル成長させて、窒化物半導体基板を製造する工程を含む窒化物半導体基板の製造方法を提供する。

[0035] このように単結晶シリコン層の炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上  $1 \times 10^{22} \text{ atoms/cm}^3$  以下の成長用基板を用いた窒化物半導体基板の製造方法であれば、比較的容易に高周波特性の良い窒化物半導体基板を製造す

ることができる。

[0036] また、前記工程（１）を、

（１－１）前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第１の接着層と、該第１の接着層全体に積層された第２の接着層と、該第２の接着層全体に積層されたバリア層とを含む複合基板を準備する工程、

（１－２）前記複合基板の片面のみに平坦化層を積層する工程、及び

（１－３）前記平坦化層に、 $100\sim 500\text{ nm}$ の厚さを有し、かつ、 $5E17\text{ atoms/cm}^3$ 以上、 $1E22\text{ atoms/cm}^3$ 以下の濃度で炭素ドーパされた単結晶シリコン層を備えるドナー基板を貼り合わせるにより、前記単結晶シリコン層を形成する工程を含む工程とすることが好ましい。

[0037] このようにすれば、成長用基板の大部分がセラミックスであるため、基板自体が非常に硬く塑性変形しにくいだけでなく、シリコン基板で解決されていないウェーハ割れも発生しない窒化物半導体基板を確実に製造することができる。

[0038] このとき、前記工程（１－１）において、前記複合基板を、前記第１の接着層と前記第２の接着層との間に、前記第１の接着層全体に積層された導電層を有するものとすることができる。

[0039] 複合基板には、必要に応じて導電性を付与することができる。

[0040] また、前記工程（１）を、

（１－１）前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第１の接着層と、該第１の接着層全体に積層されたバリア層と、該バリア層の裏面に積層された第２の接着層と、該第２の接着層の裏面に積層された導電層とを含む複合基板を準備する工程、

（１－２）前記複合基板の前記バリア層の表面に平坦化層を積層する工程、及び

（１－３）前記平坦化層に、 $100\sim 500\text{ nm}$ の厚さを有し、かつ、 $5E$

17 atoms/cm<sup>3</sup>以上、1E22 atoms/cm<sup>3</sup>以下の濃度で炭素ドーパされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、前記単結晶シリコン層を形成する工程を含む工程とすることが好ましい。

[0041] このような窒化物半導体基板の製造方法であれば、複合基板の表面側導電層によるリークパスが生じず、高周波特性に優れた窒化物半導体基板を製造することができる。

[0042] また、前記工程（1）を、

（1-1）前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層の裏面に積層された導電層と、該導電層の裏面に積層された第2の接着層と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に積層されたバリア層とを含む複合基板を準備する工程、

（1-2）前記複合基板の前記バリア層の表面に平坦化層を積層する工程、及び

（1-3）前記平坦化層に、100～500nmの厚さを有し、かつ、5E17 atoms/cm<sup>3</sup>以上、1E22 atoms/cm<sup>3</sup>以下の濃度で炭素ドーパされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、前記単結晶シリコン層を形成する工程を含む工程とすることが好ましい。

[0043] このような窒化物半導体基板の製造方法であっても、複合基板の表面側導電層によるリークパスが生じず、高周波特性に優れた窒化物半導体基板を製造することができる。

[0044] また、前記工程（1-3）を、

（1-3-1）単結晶シリコン基板上に前記炭素ドーパされた単結晶シリコン薄膜をCVD法によって成膜し、前記ドナー基板を作製する工程、

（1-3-2）前記ドナー基板の前記炭素ドーパされた単結晶シリコン薄膜を、前記平坦化層と貼り合わせる工程、及び

(1-3-3) 前記ドナー基板の前記単結晶シリコン基板を除去し、さらに、前記ドナー基板の前記炭素ドーパされた単結晶シリコン薄膜を所望の厚みとなるように加工して、前記炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、  $1 \times 10^{22} \text{ atoms/cm}^3$  以下の単結晶シリコン層を形成する工程を含む工程とすることが好ましい。

[0045] このようにすれば、比較的簡単に確実に高炭素濃度の単結晶シリコン薄膜を有するドナー基板を製造することができるだけでなく、平坦化層上に所望の厚みの単結晶シリコン層を容易に形成することができる。

### 発明の効果

[0046] 以上のように、本発明であれば、窒化物半導体の成長中に単結晶シリコン層内に Al と Ga が拡散され低抵抗率化されて、高周波特性が劣化することを抑制した窒化物半導体基板及びその製造方法を提供することができる。

### 図面の簡単な説明

[0047] [図1]本発明の窒化物半導体基板の一例を示す概略図である。

[図2]実施例及び比較例で製造した窒化物半導体基板の、成長用基板表層の単結晶シリコン層の炭素濃度と2次高調波特性の関係を示すグラフである。

[図3]実施例の窒化物半導体基板の高炭素濃度の単結晶シリコン層を備えた成長用基板、および比較例1の窒化物半導体基板の通常の単結晶シリコン層を備えた成長用基板におけるバックサイドSIMSの結果を示すグラフである。

[図4]本発明に用いる成長用基板の別の一例を示す概略図である。

[図5]本発明に用いる成長用基板のさらに別の一例を示す概略図である。

### 発明を実施するための形態

[0048] 上述したように、単結晶シリコン層上に窒化物半導体を成膜する過程で、Al と Ga が単結晶シリコン層中に拡散し、単結晶シリコン層の表層 (Ga N エピタキシャル層との界面付近) が低抵抗率化してしまい、高周波特性が劣化するという問題がある。

[0049] 本発明者らは、Ga N 成長中に単結晶シリコン層内に Al と Ga が拡散し

て低抵抗率化して、高周波特性が劣化することを抑制する方法について検討を重ねたところ、単結晶シリコン層の炭素濃度を  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下とすることで、単結晶シリコン層内への Al と Ga の拡散を抑制し、単結晶シリコン層の低抵抗化を抑制する事ができ、結晶性の良い基板と炭素による拡散バリアを両立させることで、高周波特性の良い窒化物半導体基板とすることができることが判り、本発明を完成させた。

[0050] 即ち、本発明は、複数の層が積層された複合基板上に単結晶シリコン層が形成された成長用基板と、該成長用基板の前記単結晶シリコン層上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板であって、前記単結晶シリコン層の炭素濃度が、 $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下のものである窒化物半導体基板である。

[0051] また本発明は、成長用基板と、該成長用基板上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板の製造方法であって、(1) 複数の層が積層された複合基板上に、炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下の単結晶シリコン層を形成して、成長用基板を製作する工程、及び(2) 前記成長用基板の前記単結晶シリコン層上に前記窒化物半導体薄膜をエピタキシャル成長させて、窒化物半導体基板を製造する工程を含む窒化物半導体基板の製造方法である。

[0052] 以下、本発明について詳細に説明するが、本発明はこれらに限定されるものではない。

[0053] [窒化物半導体基板]

本発明の窒化物半導体基板は、例えば、図1に示すような複数の層が積層された複合基板200上に単結晶シリコン層7が形成された成長用基板100と、該成長用基板100の前記単結晶シリコン層7上に成膜された窒化物半導体薄膜8とを具備する窒化物半導体基板300であって、前記単結晶シリコン層7の炭素濃度が、 $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下のものである。

[0054] このように単結晶シリコン層7の炭素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以上であれば、単結晶シリコン層7内へのAlとGaの拡散を抑制し、単結晶シリコン層7の低抵抗化を抑制する事ができる。また、単結晶シリコン層7の炭素濃度が $1 \times 10^{22} \text{ atoms/cm}^3$ 以下であれば、結晶性の悪化を防ぐことができるため結晶性のよい基板とすることができる。その結果、高周波特性の良い窒化物半導体基板を提供する事ができる。

[0055] また、より優れた二次高調波特性を得る観点から、単結晶シリコン層7の炭素濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上とすることが好ましい。

[0056] 成長用基板

図1に示すように、成長用基板100は、例えば多結晶セラミックコア1と、該多結晶セラミックコア1全体に積層された第1の接着層2と、該第1の接着層2全体に積層された導電層3と、該導電層3全体に積層された第2の接着層4と、該第2の接着層4全体に積層されたバリア層5とを含む複合基板200（支持構造）と、該複合基板200の片面のみに積層された平坦化層6と、該平坦化層6に積層された上記炭素濃度の単結晶シリコン層7（実質的単結晶シリコン層）により構成される。尚、上記導電層3および第1の接着層2は必要に応じて成膜されるものであり、必ずしも存在するわけではなく、また片面のみに成膜されている場合もある。

[0057] ここで、多結晶セラミックコア1は窒化アルミニウムを含み、焼結助剤によって例えば1800度の高温で焼結され、約600~1150 $\mu\text{m}$ の厚さを有する。基本的にはシリコン基板のSEMI規格の厚さで形成される場合が多い。

[0058] 第1の接着層2および第2の接着層4は、テトラエチルオルトシリケート（TEOS）層ないしは酸化シリコン（ $\text{SiO}_2$ ）層、またはその両方を含む層で、LPCVDプロセスやCVDプロセス等によって堆積され、おおよそ50~200nmの厚さを有する。

[0059] 導電層3は、ポリシリコンを含み、LPCVDプロセス等によって堆積され、約150~500nmの厚さを有する。これは導電性を付与するための

層であり、例えばホウ素（B）やリン（P）等がドーパされる。このポリシリコンを含む導電層3は、必要に応じて設けるものであって、なくても良く、また片面のみに成膜されていても良い。

[0060] また、バリア層5は、窒化シリコン層を含み、LPCVDプロセス等によって堆積され、例えば、100～1000nmの厚さを有する。

[0061] 平坦化層6は、LPCVDプロセス等によって堆積され、厚さは500～3000nm程度である。この平坦化層6は上面の平坦化のために堆積され、好ましくはテトラエチルオルトシリケート（TEOS）又は酸化シリコン（ $\text{SiO}_2$ ）を含むものであるが、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Si}_3\text{N}_4$ 、あるいは酸窒化シリコン（ $\text{Si}_x\text{O}_y\text{N}_z$ ）等の通常のセラミックスの膜材等であってもよい。

[0062] 単結晶シリコン層7は、例えば、約100～500nmの厚さを有し、GaNなどの他のエピタキシャル成長のための成長面として利用される層であり、層転写プロセス等を用いて平坦化層6に接合される。上述のとおり、単結晶シリコン層7は所定濃度の炭素がドーパされたものである。

[0063] 尚、各層の厚さや製造方法、用いられる物質等は、上記のものに限定されず、必ずしも全ての層が存在する必要もない。

[0064] また、前記成長用基板の別の例としては、例えば図4に示すように多結晶セラミックコア1と、前記多結晶セラミックコアに全体に結合された第1の接着層2と、前記第1の接着層全体に結合されたバリア層5と、前記バリア層の裏面に結合された第2の接着層4と、前記第2の接着層の裏面に結合された導電層3とを含む複合基板と、前記複合基板の表面のみに結合された平坦化層6と、前記平坦化層に結合された単結晶シリコン層7により構成されることができる。

[0065] このような導電層3が裏面側にだけに成膜されている構造の成長用基板を用いた窒化物半導体基板であれば、高周波デバイスを作製する場合に成長用基板の表面側導電層によるリークパスが生じず、高周波特性に優れたものとすることができる。

[0066] また、前記成長用基板のさらに別の例としては、例えば図5に示すように多結晶セラミックコア1と、前記多結晶セラミックコアに全体に結合された第1の接着層2と、前記第1の接着層の裏面に結合された導電層3と、前記導電層の裏面に結合された第2の接着層4と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に結合されたバリア層5とを含む複合基板と、前記複合基板の表面のみに結合された平坦化層6と、前記平坦化層に結合された単結晶シリコン層7により構成されることができる。

[0067] このような導電層3が裏面側にだけに成膜されている構造の成長用基板を用いた窒化物半導体基板であっても、高周波デバイスを作製する場合に成長用基板の表面側導電層によるリークパスが生じず、高周波特性に優れたものとすることができる。

[0068] 窒化物半導体薄膜

成長用基板100の単結晶シリコン層7の上に形成する窒化物半導体薄膜8としては特に限定されないが、例えば、Ga<sub>2</sub>N、AlN、及びAlGa<sub>2</sub>Nのうち1つ以上を含むものとすることができる。

[0069] すなわち窒化物半導体薄膜は、AlN、AlGa<sub>2</sub>NおよびGa<sub>2</sub>N等のエピタキシャル成長層とすることができるが、エピタキシャル層の構造はこれに限らず、AlGa<sub>2</sub>Nを成膜しない場合や、AlGa<sub>2</sub>N成膜後さらにAlNを成膜する場合もある。また、Al組成を変化させたAlGa<sub>2</sub>Nを複数層成膜させる場合もある。

[0070] エピタキシャル層の表層側にはデバイス層を設けることができる。デバイス層は、2次元電子ガスが発生する結晶性の高い層（チャンネル層）、2次元電子ガスを発生させるための層（バリア層）、最表層にcap層を設けた構造とすることができる。チャンネル層は例えばGa<sub>2</sub>N層とすることができるが、これに限定されない。バリア層はAl組成が20%程度のAlGa<sub>2</sub>Nを用いることができるが、例えばInGa<sub>2</sub>N等も用いることができ、これに限定されない。Cap層は例えばGa<sub>2</sub>N層やSiN層とすることもでき、これに

限定されない。また、これらのデバイス層の厚さやバリア層のA1組成は、デバイスの設計によって変更することができる。

[0071] 窒化物半導体薄膜の膜厚は用途によって変更されるため、特に限定されないが、窒化物半導体薄膜の総膜厚は $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。

[0072] [窒化物半導体基板の製造方法]

上述の本発明の窒化物半導体基板は、以下のように製造することができる。以下、本発明の窒化物半導体基板の製造方法について説明する。

[0073] <工程(1)>

工程(1)は、複数の層が積層された複合基板上に、炭素濃度が $5E17\text{ atoms/cm}^3$ 以上、 $1E22\text{ atoms/cm}^3$ 以下の単結晶シリコン層を形成して、成長用基板を作製する工程である。工程(1)の実施態様としては、以下のような第一態様、第二態様、及び第三態様が挙げられる。

[0074] 第一態様

工程(1)の第一態様は、以下のような工程(1-1)~(1-3)を含む工程とすることができる。

[0075] 工程(1-1)

工程(1-1)は、複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層された第2の接着層と、該第2の接着層全体に積層されたバリア層とを含む複合基板を準備する工程である。ここで準備する複合基板は、上述のものとすればよい。

[0076] 工程(1-2)

工程(1-2)は、複合基板の片面のみに平坦化層を積層する工程である。平坦化層は、上述の材料及び方法によって積層すればよい。

[0077] 工程(1-3)

工程(1-3)は、平坦化層に、 $100\sim 500\text{ nm}$ の厚さを有し、かつ、 $5E17\text{ atoms/cm}^3$ 以上、 $1E22\text{ atoms/cm}^3$ 以下の濃度

で炭素ドーパされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、単結晶シリコン層を形成する工程である。工程（1-3）は、以下のような工程（1-3-1）～（1-3-3）を含む工程とすることができる。

[0078] 工程（1-3-1）

工程（1-3-1）は、単結晶シリコン基板上に炭素ドーパされた単結晶シリコン薄膜をCVD法によって成膜し、ドナー基板を作製する工程である。より具体的には、ドナー基板は以下のようにして作製することができる。

[0079] 単結晶シリコン基板を準備し、CVD成膜装置で単結晶シリコン基板上に高炭素濃度の単結晶シリコン薄膜（層）を成膜する。成膜に使用する原料ガスは、炭素源としてはモノメチルシランやトリメチルシランを用いる。シリコン源としてはジクロロシランやモノシランを用いる。原料ガスはこれに限らない。成膜温度は例えば600～1200℃とすることができるが、これに限定されない。シリコン層にドーパする炭素濃度は、原料ガスの流量や成膜温度によって調整する事ができる。

[0080] 成膜する単結晶シリコン薄膜の厚さは、成膜時間等によって制御でき、厚い方には限定されないが、必ず成長用基板の最表層に貼り合わせられる単結晶シリコン層以上の厚さは必要である。

[0081] なお、本工程で作製するドナー基板の導電型としては、ノンドープ、n型、p型のいずれであってもよいが、n型単結晶シリコン基板であることが好ましい。

[0082] 工程（1-3-2）

工程（1-3-2）は、ドナー基板の炭素ドーパされた単結晶シリコン薄膜を、平坦化層と貼り合わせる工程である。

[0083] ここでドナー基板として用いる基板は、上述の工程（1-3-1）で作製した表面に単結晶シリコン薄膜が成膜された単結晶シリコン基板を使用し、高炭素濃度の単結晶シリコン薄膜が複合基板上の平坦化層に接するように貼り合わせを行う。

[0084] 工程 (1-3-3)

工程 (1-3-3) は、ドナー基板の単結晶シリコン基板を除去し、さらに、ドナー基板の炭素ドーピングされた単結晶シリコン薄膜を所望の厚みとなるように加工して、炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下の単結晶シリコン層を形成する工程である。

[0085] 本工程では、ドナー基板を平坦化層と貼り合わせた後、目的の厚さの炭素ドーピングされた単結晶シリコン薄膜を残して、単結晶シリコン基板と不要な単結晶シリコン薄膜を剥離し、残した単結晶シリコン薄膜の表面を研磨し平坦度を向上させる。剥離には、水素イオン注入剥離法等の公知の技術を用いればよい。本工程で平坦化層上に形成される成長用基板表層の高炭素濃度の単結晶シリコン層の厚さは、 $100 \sim 500 \text{ nm}$  とすることが好ましい。以上のようにして、成膜用基板を作製することができる。

[0086] 第二態様

工程 (1) の第二態様は、以下のような工程 (1-1) ~ (1-3) を含む工程とすることができる。

[0087] 工程 (1-1)

工程 (1-1) は、複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層されたバリア層と、該バリア層の裏面に積層された第2の接着層と、該第2の接着層の裏面に積層された導電層とを含む複合基板を準備する工程である。ここで準備する複合基板は、上述のものとするればよい。

[0088] 工程 (1-2)

工程 (1-2) は、複合基板のバリア層の表面に平坦化層を積層する工程である。平坦化層は、上述の材料及び方法によって積層すればよい。

[0089] 工程 (1-3)

工程 (1-3) は、平坦化層に、 $100 \sim 500 \text{ nm}$  の厚さを有し、かつ、 $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下の濃度で炭素ドーピングされた単結晶シリコン層を備えるドナー基板を貼り合わせるこ

とにより、単結晶シリコン層を形成する工程である。工程（1-3）は、第一態様と同様に行えばよい。

[0090] 第三態様

工程（1）の第三態様は、以下のような工程（1-1）～（1-3）を含む工程とすることができる。

[0091] 工程（1-1）

工程（1-1）は、複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層の裏面に積層された導電層と、該導電層の裏面に積層された第2の接着層と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に積層されたバリア層とを含む複合基板を準備する工程である。ここで準備する複合基板は、上述のものと同様であればよい。

[0092] 工程（1-2）

工程（1-2）は、複合基板のバリア層の表面に平坦化層を積層する工程である。平坦化層は、上述の材料及び方法によって積層すればよい。

[0093] 工程（1-3）

工程（1-3）は、平坦化層に、100～500nmの厚さを有し、かつ、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の濃度で炭素ドーパされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、単結晶シリコン層を形成する工程である。工程（1-3）は、第一態様と同様に行えばよい。

[0094] <工程（2）>

工程（2）は、成長用基板の単結晶シリコン層上に窒化物半導体薄膜をエピタキシャル成長させて、窒化物半導体基板を製造する工程である。

[0095] MOCVD反応炉において、工程（1）で作製した成長用基板の炭素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の単結晶シリコン層上に、AlN、AlGaInおよびGaIn等の窒化物半導体薄膜のエピタキシャル成長を行う。本工程では、上述のような窒化物半導体薄膜

をエピタキシャル成長させることができる。

[0096] エピタキシャル成長の際、Al源としてTMAI、Ga源としてTMGa、N源としてNH<sub>3</sub>を用いることができる。また、キャリアガスはN<sub>2</sub>およびH<sub>2</sub>、ないしはそのいずれかとし、プロセス温度は900~1200℃程度とすることができる。

[0097] 以上のようにして窒化物半導体薄膜を成膜し、窒化物半導体基板を製造することができる。

### 実施例

[0098] 以下、実施例及び比較例を用いて本発明を具体的に説明するが、本発明はこれらに限定されるものではない。

[0099] (実施例)

単結晶シリコン基板を準備し、CVD成膜炉で単結晶シリコン基板上に高炭素濃度の単結晶シリコン薄膜を成膜した。成膜に使用する原料ガスは、炭素源としてトリメチルシラン、シリコン源としてジクロロシランを用いた。高炭素濃度の単結晶シリコン層の成膜温度は1130℃とした。

[0100] 成膜時間によって膜厚を制御し、2μmの高炭素濃度の単結晶シリコン薄膜を成膜した。高炭素濃度の単結晶シリコン薄膜にドーピングする炭素濃度は、原料ガスの流量や成膜温度によって調整することにより、以下の8水準とした。

- ・ 5 E 1 7   a t o m s / c m <sup>3</sup>
- ・ 2 E 1 8   a t o m s / c m <sup>3</sup>
- ・ 7 E 1 8   a t o m s / c m <sup>3</sup>
- ・ 2 E 1 9   a t o m s / c m <sup>3</sup>
- ・ 2 E 2 0   a t o m s / c m <sup>3</sup>
- ・ 4 E 2 0   a t o m s / c m <sup>3</sup>
- ・ 2 E 2 1   a t o m s / c m <sup>3</sup>
- ・ 4 E 2 1   a t o m s / c m <sup>3</sup>

[0101] 次に、エピタキシャル成長用の基板である、成長用基板を作製した。成長

用基板は、多結晶セラミックコア（窒化アルミニウムコア）と、多結晶セラミックコア全体に積層された第1の接着層（酸化シリコン層）と、第1の接着層全体に積層された導電層（ポリシリコン層）と、導電層全体に積層された第2の接着層（酸化シリコン層）と、第2の接着層全体に積層されたバリア層（窒化シリコン層）とを含む支持構造と、該支持構造の片面のみに積層された平坦化層（酸化シリコン層）を構成した。

[0102] 次に上記平坦化層に、上記8水準の高炭素濃度の単結晶シリコン薄膜を成膜した単結晶シリコン基板の各々をドナー基板として、貼り合わせた。この際、予め単結晶薄膜の表面から水素イオンを注入しておき、その後、平坦化層と高炭素濃度の単結晶シリコン薄膜が接触する様に貼り合わせを行った。

[0103] その後、450nmの高炭素濃度の単結晶シリコン薄膜を残し、イオン注入層で剥離を行った。剥離後、高炭素濃度の単結晶シリコン薄膜が300nmになるように研磨を行い、成長用基板表層の単結晶シリコン層を形成した。以上のようにして成長用基板を作製した。

[0104] この成長用基板をMOCVD反応炉に載置し、成長用基板上にAlN、AlGaInおよびGaIn等の三族窒化物半導体薄膜のエピタキシャル成長を行った。成長用基板はサテライトと呼ばれるウェーハポケットに載置した。エピタキシャル成長の際、Al源としてTMAI、Ga源としてTMGa、N源としてNH<sub>3</sub>を用いた。

[0105] また、キャリアガスはN<sub>2</sub>およびH<sub>2</sub>のいずれも使用した。プロセス温度は900~1200℃程度とした。サテライトの上に成長用基板を載置し、エピタキシャル成長を行う際、エピタキシャル層は基板側から成長方向に向かって順にAlN、AlGaInを成膜し、その後GaInをエピタキシャル成長させた。

[0106] エピタキシャル層の表層側にはデバイス層を設けた。デバイス層は、2次元電子ガスが発生する結晶性の高いGaIn層（チャンネル層）を約400nm、2次元電子ガスを発生させるための層（バリア層）を約20nm、最表層に3nm程度のcap層を設けた構造とした。バリア層はAl組成を20%

としたAlGaInを用いた。Cap層はGaIn層とした。また、これらのデバイス層の厚さやバリア層のAl組成は、デバイスの設計によって変更されるため、これに限定されない。

[0107] デバイス層を含むエピタキシャル層の総膜厚は3.5 μmとした。

[0108] エピタキシャル成長終了後、エピタキシャル層表面に電極（CPW：コプレーナ導波路）を形成し、周波数1 GHzの高周波信号を入力し、二次高調波特性を評価した。二次高調波特性は、Pin = 15 dBmの際の値を用いた。結果を図2に示す。

[0109] また、炭素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ の単結晶シリコン層にエピタキシャル成長を行ったサンプルにおいて、バックサイドSIMSにより、成長用基板表層の単結晶シリコン層内に拡散するAlの濃度を調査した。結果を図3に示す。

[0110] （比較例1）

実施例の成長用基板作製のプロセスにおける最表層の単結晶シリコン層の貼り合わせ工程において、高炭素濃度の単結晶シリコン薄膜を成膜していない単結晶シリコン基板をドナー基板として用いたことを除き、実施例と同様に窒化物半導体薄膜をエピタキシャル成長して、窒化物半導体基板を作製した。

[0111] 作製した窒化物半導体基板の二次高調波特性を実施例と同様の方法により評価した。また、成長用基板の単結晶シリコン層内に拡散したAlの濃度を実施例と同様の方法により測定した。結果を図2、3に示す。

[0112] （比較例2）

実施例の成長用基板作製のプロセスにおける最表層の単結晶シリコン層の貼り合わせ工程において、単結晶シリコン薄膜の炭素濃度が以下の2水準である単結晶シリコン基板の各々をドナー基板として用いたことを除き、実施例と同様に窒化物半導体薄膜をエピタキシャル成長して、窒化物半導体基板を作製した。

・  $4 \times 10^{16} \text{ atoms/cm}^3$

・  $1 \text{ E } 17 \text{ atoms} / \text{cm}^3$

[0113] 作製した窒化物半導体基板の二次高調波特性を実施例と同様の方法により評価した。結果を図2に示す。

[0114] 図2に示すように、実施例では窒化物半導体薄膜の成長面である単結晶シリコン層の炭素濃度を  $5 \text{ E } 17 \text{ atoms} / \text{cm}^3$  以上、  $1 \text{ E } 22 \text{ atoms} / \text{cm}^3$  以下としたことにより、2次高調波特性が良くなっている。一方、窒化物半導体薄膜の成長面である単結晶シリコン層に炭素ドーピングをしていない比較例1や、単結晶シリコン層の炭素濃度を  $5 \text{ E } 17 \text{ atoms} / \text{cm}^3$  未満とした比較例2では、良好な2次高調波特性が得られていない。

[0115] また図3に示すように、実施例の窒化物半導体基板においては、成長用基板の高炭素濃度の単結晶シリコン層内には、Alの拡散が見られない。一方、比較例1の炭素ドーピングをしていない単結晶シリコン層には、Alの拡散が見られる。また実施例の窒化物半導体基板では、高炭素濃度の単結晶シリコン層内には、Gaの拡散も見られなかった。

[0116] 以上のように、本発明の窒化物半導体基板及びその製造方法であれば、窒化物半導体の成長中に単結晶シリコン層内にAlが拡散され低抵抗率化されて、高周波特性が劣化することを抑制できることが明らかになった。

[0117] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

## 請求の範囲

- [請求項1] 複数の層が積層された複合基板上に単結晶シリコン層が形成された成長用基板と、該成長用基板の前記単結晶シリコン層上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板であって、  
前記単結晶シリコン層の炭素濃度が、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下のものであることを特徴とする窒化物半導体基板。
- [請求項2] 前記窒化物半導体薄膜は、GaN、AlN、及びAlGaNのうち1つ以上を含むものであることを特徴とする請求項1に記載の窒化物半導体基板。
- [請求項3] 前記単結晶シリコン層は100～500nmの厚さを有し、前記窒化物半導体薄膜の総膜厚は2 $\mu\text{m}$ 以上10 $\mu\text{m}$ 以下であることを特徴とする請求項1又は請求項2に記載の窒化物半導体基板。
- [請求項4] 前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層された第2の接着層と、該第2の接着層全体に積層されたバリア層とを含むものであり、かつ、  
前記単結晶シリコン層は、前記複合基板の片面のみに積層された平坦化層の上に形成されたものであることを特徴とする請求項1から請求項3のいずれか一項に記載の窒化物半導体基板。
- [請求項5] 前記複合基板が、前記第1の接着層と前記第2の接着層との間に、前記第1の接着層全体に積層された導電層を有するものであることを特徴とする請求項4に記載の窒化物半導体基板。
- [請求項6] 前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層されたバリア層と、該バリア層の裏面に積層された第2の接着層と、該第2の接着層の裏面に積層された導電層とを含むものであり、かつ、  
前記単結晶シリコン層は、前記複合基板の前記バリア層の表面に積

層された平坦化層の上に形成されたものであることを特徴とする請求項1から請求項3のいずれか一項に記載の窒化物半導体基板。

[請求項7] 前記複合基板は、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層の裏面に積層された導電層と、該導電層の裏面に積層された第2の接着層と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に積層されたバリア層とを含むものであり、かつ、

前記単結晶シリコン層は、前記複合基板の前記バリア層の表面に積層された平坦化層の上に形成されたものであることを特徴とする請求項1から請求項3のいずれか一項に記載の窒化物半導体基板。

[請求項8] 前記導電層が、ポリシリコン層を含むものであることを特徴とする請求項5から請求項7のいずれか一項に記載の窒化物半導体基板。

[請求項9] 前記多結晶セラミックコアが、窒化アルミニウムを含むものであることを特徴とする請求項4から請求項8のいずれか一項に記載の窒化物半導体基板。

[請求項10] 前記第1の接着層及び前記第2の接着層はテトラエチルオルトシリケート (TEOS) 層又は酸化シリコン (SiO<sub>2</sub>) 層を含み、前記バリア層は窒化シリコンを含むものであることを特徴とする請求項4から請求項9のいずれか一項に記載の窒化物半導体基板。

[請求項11] 前記平坦化層はテトラエチルオルトシリケート (TEOS) 又は酸化シリコン (SiO<sub>2</sub>) を含み、かつ、500~3000nmの厚さを有するものであることを特徴とする請求項4から請求項10のいずれか一項に記載の窒化物半導体基板。

[請求項12] 成長用基板と、該成長用基板上に成膜された窒化物半導体薄膜とを具備する窒化物半導体基板の製造方法であって、

(1) 複数の層が積層された複合基板上に、炭素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の単結晶シリコン層を形成して、成長用基板を作製する工程、及び

(2) 前記成長用基板の前記単結晶シリコン層上に前記窒化物半導体薄膜をエピタキシャル成長させて、窒化物半導体基板を製造する工程を含むことを特徴とする窒化物半導体基板の製造方法。

[請求項13]

前記工程(1)を、

(1-1) 前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層された第2の接着層と、該第2の接着層全体に積層されたバリア層とを含む複合基板を準備する工程、

(1-2) 前記複合基板の片面のみに平坦化層を積層する工程、及び

(1-3) 前記平坦化層に、100~500nmの厚さを有し、かつ、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の濃度で炭素ドーピングされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、前記単結晶シリコン層を形成する工程を含む工程とすることを特徴とする請求項12に記載の窒化物半導体基板の製造方法。

[請求項14]

前記工程(1-1)において、前記複合基板を、前記第1の接着層と前記第2の接着層との間に、前記第1の接着層全体に積層された導電層を有するものとすることを特徴とする請求項13に記載の窒化物半導体基板の製造方法。

[請求項15]

前記工程(1)を、

(1-1) 前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層全体に積層されたバリア層と、該バリア層の裏面に積層された第2の接着層と、該第2の接着層の裏面に積層された導電層とを含む複合基板を準備する工程、

(1-2) 前記複合基板の前記バリア層の表面に平坦化層を積層する工程、及び

(1-3) 前記平坦化層に、100~500nmの厚さを有し、かつ

、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の濃度で炭素ドーピングされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、前記単結晶シリコン層を形成する工程を含む工程とすることを特徴とする請求項12に記載の窒化物半導体基板の製造方法。

[請求項16]

前記工程(1)を、

(1-1) 前記複合基板として、多結晶セラミックコアと、該多結晶セラミックコア全体に積層された第1の接着層と、該第1の接着層の裏面に積層された導電層と、該導電層の裏面に積層された第2の接着層と、前記第1の接着層の表面及び側面と前記導電層の側面と前記第2の接着層の側面及び裏面に積層されたバリア層とを含む複合基板を準備する工程、

(1-2) 前記複合基板の前記バリア層の表面に平坦化層を積層する工程、及び

(1-3) 前記平坦化層に、 $100 \sim 500 \text{ nm}$ の厚さを有し、かつ、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の濃度で炭素ドーピングされた単結晶シリコン層を備えるドナー基板を貼り合わせることにより、前記単結晶シリコン層を形成する工程を含む工程とすることを特徴とする請求項12に記載の窒化物半導体基板の製造方法。

[請求項17]

前記工程(1-3)を、

(1-3-1) 単結晶シリコン基板上に前記炭素ドーピングされた単結晶シリコン薄膜をCVD法によって成膜し、前記ドナー基板を作製する工程、

(1-3-2) 前記ドナー基板の前記炭素ドーピングされた単結晶シリコン薄膜を、前記平坦化層と貼り合わせる工程、及び

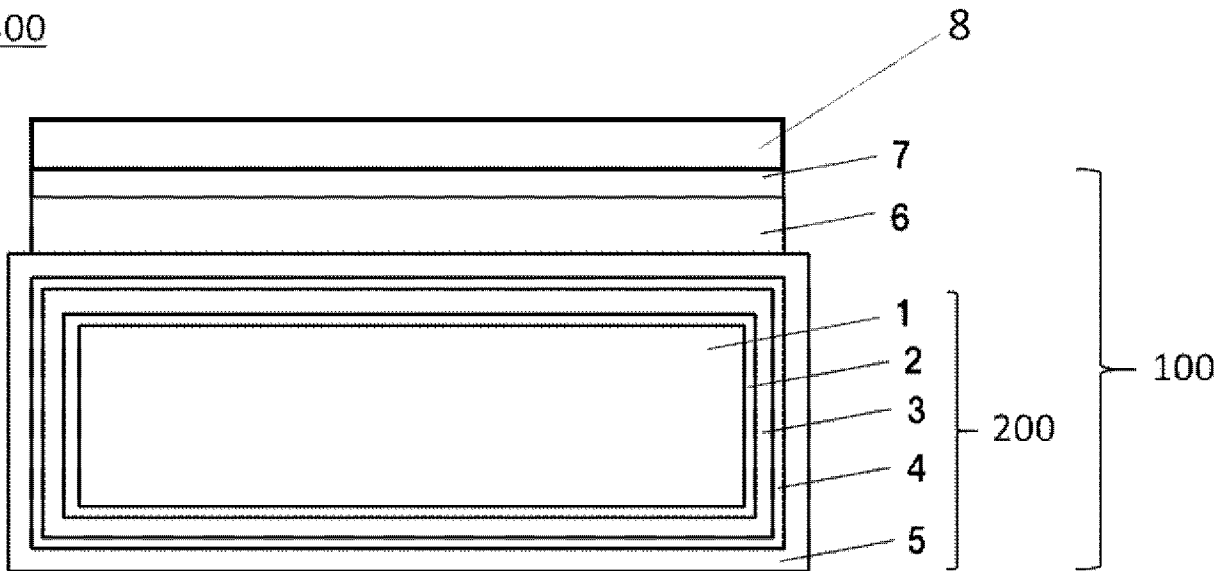
(1-3-3) 前記ドナー基板の前記単結晶シリコン基板を除去し、さらに、前記ドナー基板の前記炭素ドーピングされた単結晶シリコン薄膜

を所望の厚みとなるように加工して、前記炭素濃度が  $5 \times 10^{17} \text{ atoms/cm}^3$  以上、 $1 \times 10^{22} \text{ atoms/cm}^3$  以下の単結晶シリコン層を形成する工程

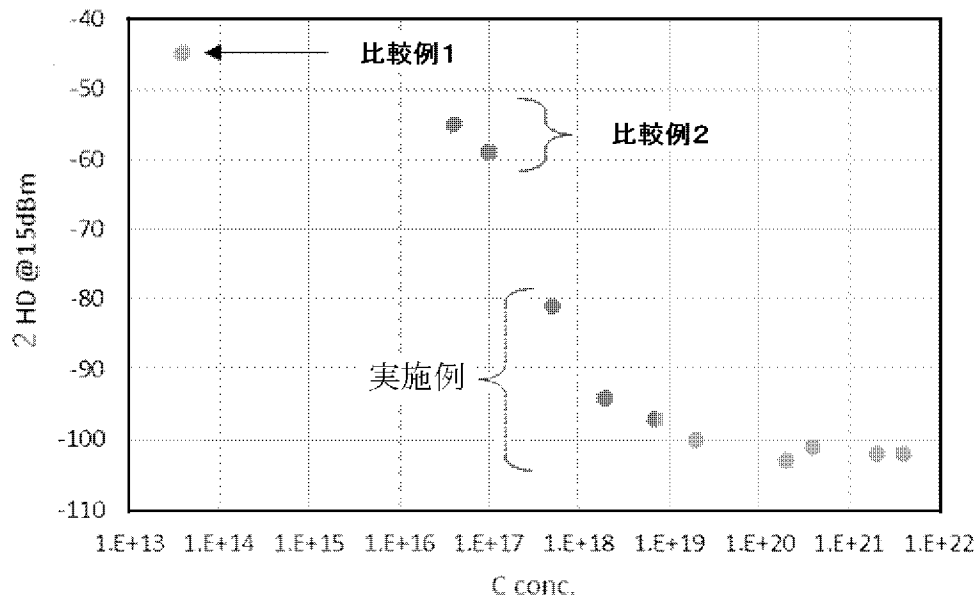
を含む工程とすることを特徴とする請求項 13 から請求項 16 のいずれか一項に記載の窒化物半導体基板の製造方法。

[図1]

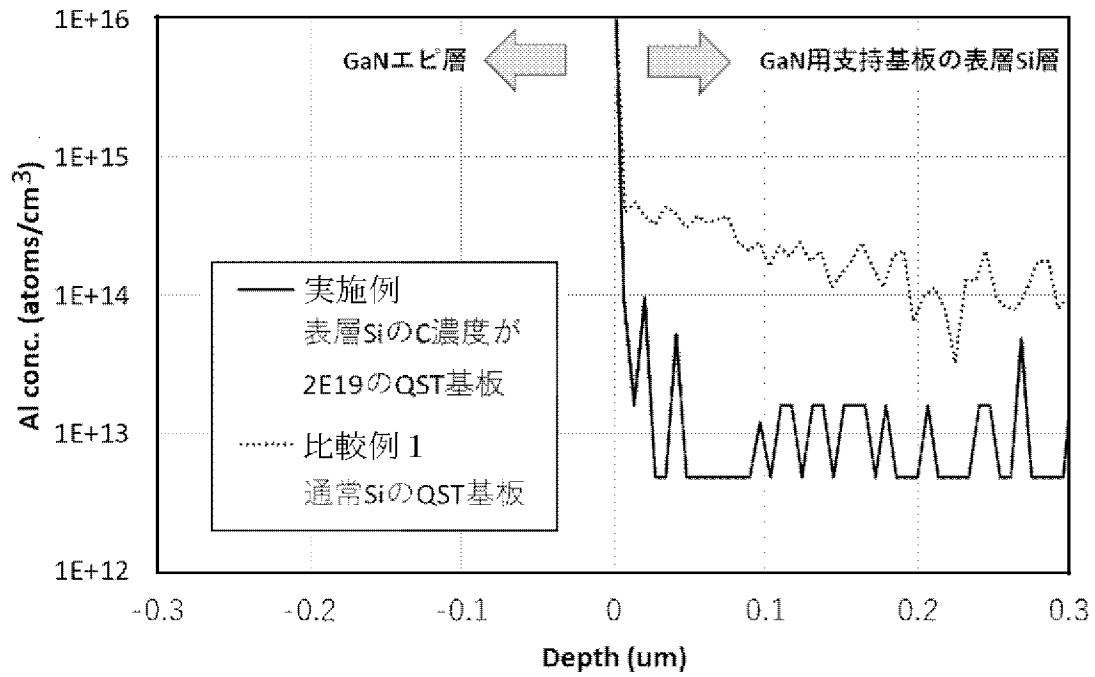
300



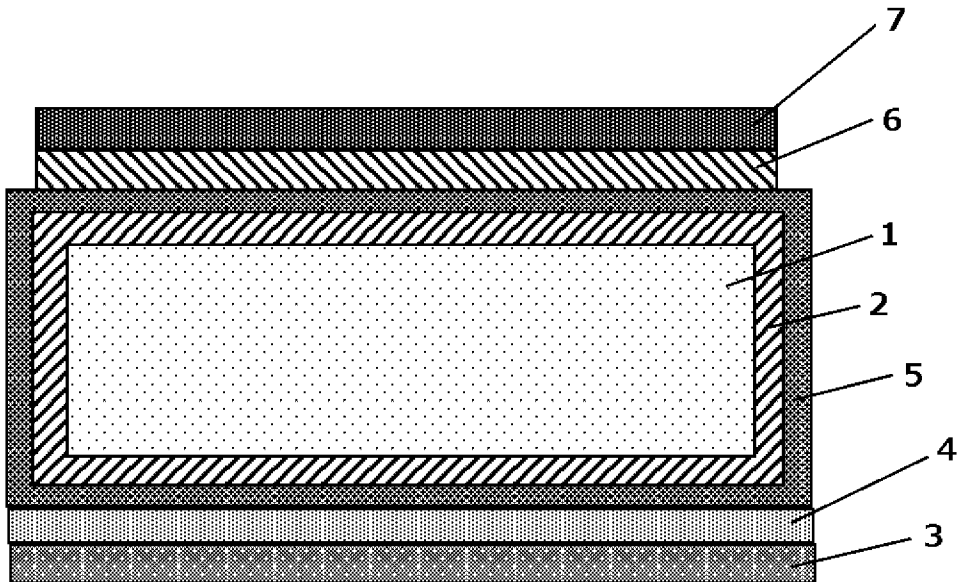
[図2]



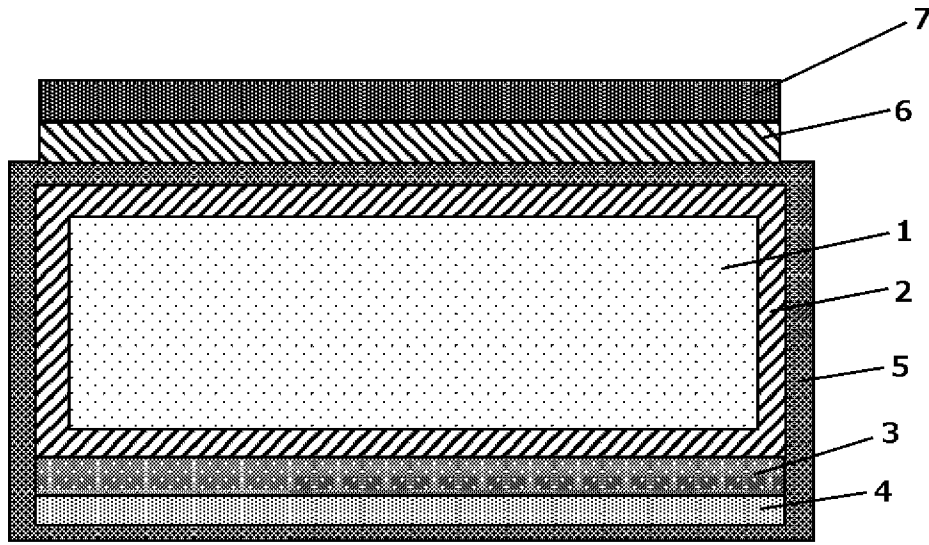
[図3]



[図4]



[図5]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/035314

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 21/20</i> (2006.01) FI: H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L21/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-523994 A (QROMIS, INC.) 29 August 2019 (2019-08-29) paragraphs [0014]-[0034], [0051]-[0064], fig. 1, 5	1-17
Y	JP 2020-184616 A (VANGUARD INTERNATL. SEMICONDUCTOR CORP.) 12 November 2020 (2020-11-12) paragraphs [0030]-[0045], fig. 1-2	1-17
Y	JP 2012-151401 A (SUMCO CORP.) 09 August 2012 (2012-08-09) paragraphs [0006], [0017]-[0034], fig. 1-2	1-17
Y	JP 2005-203666 A (THE KANSAI ELECTRIC POWER CO., INC.) 28 July 2005 (2005-07-28) paragraphs [0009]-[0035], fig. 1-2	1-17
A	JP 2006-196713 A (NATIONAL INST. OF ADVANCED INDUSTRIAL & TECHNOLOGY) 27 July 2006 (2006-07-27)	1-17
A	JP 2014-229872 A (SHARP CORP.) 08 December 2014 (2014-12-08)	1-17
A	JP 2013-080776 A (COVALENT MATERIALS CORP.) 02 May 2013 (2013-05-02)	1-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>29 November 2022</b>		Date of mailing of the international search report <b>13 December 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/035314**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-523994	A	29 August 2019	US 2017/0288055 A1 paragraphs [0023]-[0042], [0059]-[0065], fig. 1, 5	
				WO 2017/218536 A1	
				EP 3469119 A1	
				TW 201807839 A	
				SG 11201810919U A	
				KR 10-2019-0019122 A	
				CN 109844184 A	
				TW 202203473 A	
JP	2020-184616	A	12 November 2020	US 2020/0350410 A1 paragraphs [0031]-[0046], fig. 1-2	
				TW 202042392 A	
JP	2012-151401	A	09 August 2012	(Family: none)	
JP	2005-203666	A	28 July 2005	(Family: none)	
JP	2006-196713	A	27 July 2006	(Family: none)	
JP	2014-229872	A	08 December 2014	(Family: none)	
JP	2013-080776	A	02 May 2013	US 2013/0082355 A1	
WO	2022/181163	A1	01 September 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/20(2006.01)i FI: H01L21/20		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/20		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2019-523994 A (クロミス, インコーポレイテッド) 29.08.2019 (2019 - 08 - 29) 段落[0014]-[0034], [0051]-[0064], 第1,5図	1-17
Y	JP 2020-184616 A (世界先進積體電路股▲ふん▼有限公司) 12.11.2020 (2020 - 11 - 12) 段落[0030]-[0045], 第1-2図	1-17
Y	JP 2012-151401 A (株式会社SUMCO) 09.08.2012 (2012 - 08 - 09) 段落[0006], [0017]-[0034], 第1-2図	1-17
Y	JP 2005-203666 A (関西電力株式会社) 28.07.2005 (2005 - 07 - 28) 段落[0009]-[0035], 第1-2図	1-17
A	JP 2006-196713 A (独立行政法人産業技術総合研究所) 27.07.2006 (2006 - 07 - 27)	1-17
A	JP 2014-229872 A (シャープ株式会社) 08.12.2014 (2014 - 12 - 08)	1-17
A	JP 2013-080776 A (コバレントマテリアル株式会社) 02.05.2013 (2013 - 05 - 02)	1-17
P, A	WO 2022/181163 A1 (信越半導体株式会社) 01.09.2022 (2022 - 09 - 01)	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.11.2022	国際調査報告の発送日 13.12.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  桑原 清 50 9375  電話番号 03-3581-1101 内線 3559	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/035314

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-523994	A	29.08.2019	US 2017/0288055 A1 段落[0023]-[0042], [0059]- [0065], 第1, 5図	
				WO 2017/218536 A1	
				EP 3469119 A1	
				TW 201807839 A	
				SG 11201810919U A	
				KR 10-2019-0019122 A	
				CN 109844184 A	
				TW 202203473 A	
JP	2020-184616	A	12.11.2020	US 2020/0350410 A1 段落[0031]-[0046], 第1-2図	
				TW 202042392 A	
JP	2012-151401	A	09.08.2012	(ファミリーなし)	
JP	2005-203666	A	28.07.2005	(ファミリーなし)	
JP	2006-196713	A	27.07.2006	(ファミリーなし)	
JP	2014-229872	A	08.12.2014	(ファミリーなし)	
JP	2013-080776	A	02.05.2013	US 2013/0082355 A1	
WO	2022/181163	A1	01.09.2022	(ファミリーなし)	