(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G09G 3/36

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0303899
(24) 등록일자 2001년07월16일

(21) 출원번호 10-1996-0045618
(22) 출원일자 1996년10월14일

(65) 공개번호 특1997-0022941
(43) 공개일자 1997년05월30일

(30) 우선권주장 95-291765 1995년10월14일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마 준
일본국 가나가와켄 사가미하라시 니시하시모토 1-4-23
야마자끼 순페이
일본국 도쿄도 세타가야쿠 세이조 4-10-20

(74) 대리인 이병호

심사관 : 정연우

(54) 매트릭스형 액정 디스플레이 장치

요약

매트릭스형 액정 디스플레이 장치는, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동시키기 위한 신호 라인 구동 회로; 상기 주사 라인을 구동시키기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터: 상기 주사 라인 구동회로를 형성하는 다수의 제 2 박막 트랜지스터; 및 상기 신호 라인 구동 회로 및 상기 주사 라인 구동 회로에 접속되어, 상기 제1 및 제 2 박막 트랜지스터의 임계값을 공통으로 제어하는 임계값 제어 회로를 포함한다.

대표도
도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시예에 따른 매트릭스형 액정 디스플레이 장치를 도시한 다이어그램.

제2도는 TFTs를 사용하는 액티브 매트릭스의 한 예를 도시한 다이어그램.

제3(a)도 및 제3(b)도는 비결정 실리콘 TFTs를 사용하는 액티브 매트릭스의 종래의 예를 도시한 다이어그램.

제4(a)도 및 제4(b)도는 폴리실리콘 TFTs를 사용하는 액티브 매트릭스의 종래의 예를 도시한 다이어그램.

제5(a)도 및 제5(b)도는 종래의 TFT의 게이트 전압에 대한 드레인 전류 특성을 나타내는 그래프.

제6도는 인버터 회로의 한 예를 도시한 다이어그램.

제7도는 본 발명에 이용된 TFT를 도시한 평면도.

제8(a)도 내지 제8(c)도는 TFT의 게이트 전압에 대한 드레인 전류 특성을 나타내는 그래프.

제9도는 TFT를 도시한 횡단면도.

제10도는 인버터 회로의 한 예를 도시한 다이어그램.

제11(a)도 및 제11(b)도는 본 발명의 제1실시예에 따른 임계값 제어 회로를 도시한 도면.

제12도는 본 발명의 제2실시예에 따른 매트릭스형 액정 디스플레이 장치를 도시한 다이어그램.

제13도는 본 발명의 제2실시예에 따른 임계값 제어 회로를 도시한 다이어그램.

제14도는 임계값 제어 회로의 등가 회로의 예를 도시한 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

100 : 픽셀 매트릭스 101 : 신호 라인 구동 회로

102 : 주사 라인 구동 회로 103 : 임계값 제어 회로

710 : TFT의 임계값 제어 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 매트릭스형 디스플레이 장치에 관한 것으로, 특히 내부에 구동 회로를 포함하는 매트릭스형 디스플레이 장치에 관한 것이다.

액티브 매트릭스 형태의 디스플레이 장치는, 제2도에 도시된 바와 같이, 신호라인(1)과 주사 라인(2)으로 형성된 매트릭스의 각각의 교점에 픽셀이 배열되고, 픽셀 정보가 각각의 스위칭 소자를 턴-온/오프에 의해 제어되는 방식으로 각각

의 픽셀에 스위칭 소자가 제공된 디스플레이 장치이다. 액정(3)은 상기 형태의 디스플 레이 장치의 디스플레이 매체로서 이용된다. 그 스위칭 소자는, 특히 3단자 소자, 즉 게이트, 소스 및 드레인을 갖는 박막 트랜지스터(4)로 구성될 수 있다.

또한, 본 명세서에 있어서, 매트릭스에서 "로우(row)"는 대상 로우(subject row)에 병렬로 배열되고, 대상 로우의 박막 트랜지스터(4)의 게이트 전극에 접속된 주사 라인(2)에 의해 정의되고, 매트릭스의 "컬럼(column)"는 대상 로우에 병렬로 배열되고, 대상 컬럼의 박막 트랜지스터(4)의 소스(또는 드레인) 전극에 접속된 신호 라인(1)에 의해 정의된다. 더욱이, 주사 라인(2)을 구동시키는 회로는 소위 "주사 라인 구동 회로"라 칭하고, 신호 라인(1)을 구동시키는 회로는 소위 "신호 라인 구동 회로"라 칭한다. 또한, 박막 트랜지스터는 "TFT"라 칭한다.

제3도에 도시된 것은 액티브 매트릭스형 액정 디스플레이 장치의 제1종래의 예이다. 상기 예의 액티브 매트릭스형 액정 디스플레이 장치는 비결정 실리콘을 사용하는 TFT를 가지며, 주사 라인 구동 회로 및 신호 라인 구동 회로는 단결정 집적 회로(301, 303)로 구성되며, 그들은 제3(a)도에 도시된 것과 같은 태브(tabs)를 사용하는 글라스 기판의 주변에 설치되거나, 전자의 것이 제3(b)도에 도시된 바와 같이, COG(글라스 상의 칩)를 통해 후자의 것에 설치된다.

상기 형태의 액정 디스플레이 장치는 아래에 기재된 문제가 야기된다 한 문제점은, 액티브 매트릭스의 신호 라인 및 주사 라인이 태브 또는 결합 배선을 통해서로 접속되어 있기 때문에 신뢰도 면에서 문제가 야기 될 수 있다는 점이다. 예를들어, 디스플레이 장치가 VGA(비디오 그래픽 어레이)로 구성되는 경우에 있어서, 신호 라인의 수는 1920이 되고, 주사 라인의 수는 480이 된다. 그들 라인의 수는 해상도의 개선을 위해 해마다 증가하는 추세를 나타낸다.

액정을 이용하는 비디오 카메라 뷰파인더 또는 영사기를 제조하는 경우에 있어서는, 그 디스플레이 장치는 하나의 소형으로 되는 것이 요구된다. 제3(a)도에 도시된 것과 같은 태브(tab)를 이용하는 액정 디스플레이 장치는 스페이스 면에서 단점이 있다.

상기 문제점을 해결하기 위해 TFT를 폴리실리콘으로 구성한 액티브 매트릭스형 액정 디스플레이 장치가 개발되고 있다. 그러한 한 예의 디스플레이 장치는 제4(a)도 및 제4(b)도에 도시되어 있다. 제4(a)도에 도시된 바와 같이, 신호 라인 구동 회로(401) 및 주사 라인 구동 회로(402)는, 폴리실리콘 TFTs를 사용하여, 액티브 매트릭스(403)의 픽셀 TFTs와 함께 글라스 기판(400)에 형성된다. 폴리실리콘 TFT의 형성은 한 소자가 1000℃ 또는 그 이상의 공정을 통해 수정 기판 상에 형성되는 고온 폴리실리콘 공정에 의해 처리되거나, 한 소자가 600℃ 또는 그 이하의 공정을 통해 글라스 기판 상에 형성되는 저온 폴리실리콘 공정에 의해 처리된다.

상기 폴리실리론 TFT는 이동도를 30㎠/Vsec 또는 그 이상으로 증가시킬 수 있는 반면에, 비결정 TFT는 약 0.5㎠/Vsec 이동도가 된다. 따라서, 폴리실리콘 TFT는 약 수 MHz의 신호에 의해 동작될 수 있다.

액티브 매트릭스형 액정 디스플레이 장치를 구동시키는 구동 회로는 디지탈 형태 및 아날로그 형태로 구성된다. 폴리실리콘을 이용하는 구동 회로는 일반적으로 아날로그 형태이다. 디지탈 형태의 회로의 소자의 수가 아날로그 형태의 소자의 수보다 현저하게 크기 때문에, 폴리실리콘을 이용하는 구동 회로는 일반적으로 아날로그 형태이다. 또한, 신호 라인 구동 회로 및 주사 라인 구동 회로의 회로 구성은 N-지연 플립플롭 회로(404)가 직렬로 접속(제4(b)도 참조)되는 시프트 레지스터(405)를 일반적으로 이용된다.

상기 기술한 액정 더스플레이 장치는 아래에 기술한 문제점을 야기시킨다. 폴리실리콘을 사용하는 TFT에 있어서, 임계값의 제어는 단결정 실리콘 트랜지스터와 비교하여 일반적으로 상이하며, 보통 증가형으로 되는 것은 공핍형으로 되기

때 문에, 심지어 게이트와 소스 사이의 전압이 0으로 되어도 드레인으로 전류가 흐른다. 상기 이유는 단결정보다 폴리실리콘의 결정성이 비균일되고, 열적 산화막이 저온 폴리실리콘의 경우에 게이트 산화막에 이용될 수 없고, 불순물 오염이 야기되는 등등의 이유 때문이다.

예를 들어, 제5(a)도에 본래 나타나게 되는 TFT 특성이 임계값의 시프트를 갖는 제5(b)도에 도시된 특성이 된다고 가정하면, 제6도에 도시된 인버터 회로(600)의 초기단에는, 입력 신호가 하이 상태일 때에 전류가 흐르지 않게 되지만, 입력 신호가 로우-상태일 때에는 전원으로부터 전류가 흐르게 된다. 또한, 다음 단에서는 하이상태로 전류가 흐른다. 또한, 액정 디스플레이 장치를 위한 구동 회로가 TFT의 기판에 설치되는 경우에 있어서, 그 단의 수는 디스플레이 장치가 VGA 형으로 될 때, 신호측과 주사측 모두에서 전체 1120이 된다. 결과적으로, 심지어 작은 전류가 TFTs의 각각에 흐른다 할지라도, 전류의 전체값은 크게된다. 상기는 디스플레이 장치의 전력 소비 면에서 심각한 문제를 야기시킨다.

반면에, 임계값이 너무 크게된다면, TFT의 온-상태 전류는 감소하게 되어, 결과적으로 구동 회로의 동작 주파수가 낮게 되는 문제를 야기시킨다. 그 구동 회로의 동작 주파수는 부하 용량이 TFT의 온-상태 전류에 의해 구동되기 때문에 부하용량 및 공급 전압이 일정하게 유지되기 될 때 온-상태 전류의 크기에 의해 결정된다. 그러므로, 너무 큰 임계값은 보다 낮은 동작 주파수로 유도한다.

발명이 이루고자 하는 기술적 과제

본 발명은 종래의 디스플레이 장치가 가지고 있는 상기 문제점을 해결하기 위한 것으로, 그러므로, 본 발명의 목적은 전압의 인가에 의해 TFTs의 임계값을 제어하는 매트릭스형 디스플레이 장치를 제공하여, 구동 회로의 전력 소비를 감소시키거나, 구동 회로의 동작 주파수를 개선하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1관점은, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동 회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하는 매트릭스형 액정 디스플레이 장치가 제공된다.

본 발명의 제2관점에 따라, 상기 다수의 박막 트랜지스터 각각은 상기 박막 트랜지스터의 임계값이 제어되는 제어 단자를 포함하고, 상기 임계값 제어 회로는 소정의 전압을 상기 제어 단자에 인가한다.

본 발명의 제3관점에 따라, 상기 제어 단자는 상기 박막 트랜지스터의 채널에 접속된 채널 접촉 영역에 형성되고, 상기 임계값 제어 회로는 채널을 변경시키기 위해 상기 제어 단자에 소정의 전압을 인가하여, 임계값을 제어한다.

본 발명의 제4관점에 따라, 상기 채널 접촉 영역의 전도 형태는 상기 박막트랜지스터의 채널의 전도 형태와 반대의 전도 형태가 되고, 상기 채널 접촉 영역은 그 채널이 n-형인 경우에 p형이 된다. 상기 채널 접촉 영역은 그 채널이 p-형인 경우에 n형이 된다.

본 발명의 제5관점에 따라, 상기 박막 트랜지스터(4)가 n-형으로 될 때, 상기 임계값 제어 회로는 상기 구동 회로의 전력 소비를 감소시키기 위해 접지 전위보다 낮은 전압을 인가한다.

본 발명의 제6관점에 따라, 상기 박막 트랜지스터(4)가 p-형으로 될 때, 상기 임계값 제어 회로는 상기 구동 회로의 전력 소비를 감소시키기 위해 공급 전위보다 높은 전압을 인가한다.

본 발명의 제7관점에 따라, 상기 박막 트랜지스터는 n-형일 때, 상기 임계값 제어 회로는 상기 구동 회로의 동작 주파수를 향상시키기 위해 접지 전위보다 높은 전압을 인가한다.

본 발명의 제8관점에 따라, 상기 박막 트랜지스터는 p-형일 때, 상기 임계값 제어 회로는 상기 구동 회로의 동작 주파수를 향상시키기 위해 공급 전위보다 낮은 전압을 인가한다.

본 발명의 제9관점에 따라, 상기 임계값 제어 회로는 가변 저항기를 포함하고, 소정의 전압을 상기 제어 단자에 인가하기 위해 상기 가변 저항기의 저항을 조정한다.

본 발명의 제10관점에 따라, 상기 임계값 제어 회로는, 기준값을 설정하기 위해 임계값 제어 단자를 포함하는 모니터링 박막 트랜지스터; 상기 모니터링 박막 트랜지스터에 흐르는 전류를 전압으로 변환시키는 부하와; 상기 구동 회로에 증폭 된 전압을 인가하고, 상기 모니터링 박막 트랜지스터의 상기 임계값 제어 단자에 증폭된 전압을 부귀환 시키기 위해 상기 부하 양단에 발생된 전압을 증폭하기 위한 증폭기를 포함한다.

본 발명의 제11관점에 따라, 상기 임계값 제어 회로는 상기 구동 회로의 것에 대해 공통으로 이용되는 기판에 박막 트랜지스터로 형성된다.

본 발명의 제12관점에 따라, 상기 박막 트랜지스터는 n-형 트랜지스터 및 p-형 트랜지스터로 형성된 상보 트랜지스터이고, n-형 트랜지스터에는 제1제어 단자가 제공되고, p-형 트랜지스터에는 제 2 제어 단자가 제공되며, 상기 임계값 제어 회로는 제1및 제2제어 단자 각각에 소정의 전압을 인가한다.

본 발명의 제13관점에 따라, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동시키기 위한 신호 라인 구동회로; 상기 주사 라인을 구동시키기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터; 상기 주사 라인 구동 회로를 형성하는 다수의 제2박막 트랜지스터와; 상기 신호 라인 구동 회로 및 상기 주사라인 구동 회로에 접속되어, 상기 제1및 제2박막 트랜지스터의 임계값을 공통으로 제어하는 임계값 제어 회로를 포함하는 매트릭스형 액정 디스플레이 장치를 제공한다.

본 발명의 제14관점에 따라, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동시키기 위한 신호 라인 구동회로; 상기 주사 라인을 구동시키기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터; 상기 주사 라인 구동 회로를 형성하는 다수의 제2박막 트랜지스터; 상기 신호 라인 구동 회로에 접속되어, 상기 제1박막 트랜지스터의 임계값을 제어하는 제1임계값 제어 회로와; 상기 주사라인 구동 회로에 접속되어, 상기 제1임계값 제어 회로와 관계없이 상기 제2박막 트랜지스터의 임계값을 제어하는 제2임계값 제어 회로를 포함하는 매트릭스형 액정 디스플레이 장치를 제공한다.

본 발명의 제15관점에 따라, 상기 제1임계값 제어 회로는 상기 신호 라인 구동 회로의 동작 주파수를 향상시키기 위해 임계값을 제어하고, 상기 제2임계값 제어 회로는 상기 주사 라인 구동 회로의 전력 소비를 감소시키기 위해 임계값을 제어한다.

본 발명의 액정 디스플레이 장치에 있어서, 픽셀부는 매트릭스 형태로 배열되고, 디스플레이 신호가 픽셀부에 공급되는 신호 라인이나, 주사 신호가 픽셀부에 공급되는 주사 라인을 구동시키기 위한 구동 회로가 제공된다. 그 구동 회로는 다수의 박막 트랜지스터로 형성된다. 그 구동 회로는 박막 트랜지스터의 임계값을 제어하기 위한 임계값 제어 회로에 접속된다. 본 발명에 있어서, 임계값 제어 회로는 박막 트랜지스터의 임계값을 제어하도록 설계되어, 구동 회로의 소비 전력을 감소시키거나, 동작 주파수를 향상시킨다.

박막 트랜지스터의 각각에는 임계값이 제어되는 제어 단자가 제공된다. 그 임계값 제어 회로는 소정의 전압을 제어 단자에 인가한다. 특히, 각각의 제어 단자는 각각의 박막 트랜지스터의 채널에 접속된 채널 접촉 영역에 형성되고, 임계값 제어 회로는 채널을 변경시키기 위해 제어 단자에 소정의 전압을 인가하여, 임계값을 제어한다.

채널 접촉 영역은 상기 박막 트랜지스터의 채널과 반대의 전도 형태로 되어 있다. 예를 들어, 상기 박막 트랜지스터는 n-형으로 되어 있고, 채널 접촉 영역은 p-형으로 되어 있다. 상기 경우에 있어서, 채널 접촉 영역은 그 영역을 p-형 불순물로 도핑하여 형성된다. 상기 방법에 있어서, 제어 단자를 각각 갖는 박막 트랜지스터가 형성된다. 그와 같은 구조를 이용하여, 임계값 제어 회로에 의해 제어 단자에 전압을 인가함에 따라, 채널 접촉 영역은 소위 백 게이트(back gate)로서 기능을 하여, 박막 트랜지스터의 채널에 영향을 준다. 결과적으로, 박막 트랜지스터의 임계값은 제어될 수 있다.

이러한 상태에 있어서, 상기 인가되는 전압은 구동 회로의 전력 소비가 감소되는 경우와 동작 주파수가 향상되는 경우와 다르다. 더욱이, 인가되는 전압은 박막 트랜지스터의 극성에 따라 좌우된다. 특히, 박막 트랜지스터가 n-형일 때, 상기 구동 회로의 소비 전력을 감소시키기 위해 제어 단자에 접지 전위보다 낮은 전압이 인가되거나, 동작 주파수를 향상시키기 위해 제어 단자에 접지 전위보다 높은 전압이 인가된다. 반면에, 박막 트랜지스터가 p-형일 때, 상기 구동 회로의 소비 전력을 감소시키기 위해 제어 단자에 공급 전압보다 높은 전압이 인가되거나, 동작 주파수를 향상시키기 위해 제어 단자에 공급 전압보다 낮은 전압이 인가된다.

임계값의 제어는 구동 회로의 전류값을 모니터링 하여 유도될 수 있거나, 부귀환을 유도하여 자동으로 유도될 수 있다. 전자의 경우에 있어서, 가변 저항기가 임계값 제어 회로에 배치되기 때문에, 가변 저항기의 저항이 조정되어, 소정의 전압을 제어 단자에 인가한다.

후자의 경우에 있어서, 임계값 제어 회로는 기준값을 설정하기 위한 모니터 링 박막 트랜지스터, 그 모니터링 박막 트랜지스터에 흐르는 전류를 전압으로 변환시키기 위한 부하와, 증폭된 전압을 구동 회로에 인가하고, 증폭된 전압을 모니터링 박막 트랜지스터의 임계값 제어 단자에 역으로 부귀환 시키기 위해 부하 양단에 발생된 전압을 증폭하기 위한 증폭기를 포함할 수 있다. 후자의 경우에 있어서, 임계값 제어 회로는 구동 회로의 것에 공통으로 사용되는 기판 상에 박막 트랜지스터로 형성되는 것이 바람직하다.

또한, 박막 트랜지스터가 상보 트랜지스터 쌍(CMOS)으로 된 경우에 있어서, n-형 트랜지스터에는 제1제어 단자가 제공되고, p-형 트랜지스터에는 제2제어단자가 제공되기 때문에, 임계값 제어 회로는 소정의 전압을 제1및 제2제어 단자에 각각 제공된다.

또한, 상기 구동 회로는 신호 라인을 구동시키기 위한 신호 라인 구동 회로와, 주사 라인을 구동시키기 위한 주사 라인 구동 회로를 포함한다. 이 경우에 있어서, 그들 구동 회로는 한 임계값 제어 회로에 접속되도록 설계될 수 있어, 각각의 박막 트랜지스터의 임계값을 공통으로 제어하거나, 각각의 구동 회로는 각각의 임계값 제어 회로에 접속되도록 설계되어, 각각의 박막 트랜지스터의 임계값을 독립적으로 제어할 수 있다. 특히, 후자의 경우에 있어서, 각각의 박막 트랜지스터의 임계값은 신호 라인 구동 회로의 동작 주파수를 향상시키기 위해 제1임계값 제어회로에 의해 제어될 수 있고, 또한, 주사 라인 구동 회로의 전력 소비를 감소시키기 위해 제2임계값 제어 회로에 의해 제어될 수 있다. 상기 임계값이 독립적으로 제어되는 이유는 신호 라인 구동 회로 및 주사 라인 구동 회로의 동작 주파수가 서로 다르기 때문이다. 다시 말해, 그 동작 주파수는 신호 라인 구동 회로에 보다 중요하지만, 전력 소비는 주사 라인 구동 회로에 보다 중요하게 된다.

본 발명은, 단지 설명을 통해 주어지고, 그로 인해 본 발명에 제한을 주지 않는 첨부된 도면 및 상세한 설명으로부터 보다 쉽게 이해될 수 있다.

[실시예]

이제, 본 발명의 양호한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

우선, 본 발명에 이용된 TFT는 제7도를 참조하여 설명한다. 본 실시예에 있어서, TFT는 n-형인 것으로 가정한다. 제7도는 n-형 TFT를 도시한 구조도(평면도)이다. 우선, 진성 폴리실리콘으로 구성된 섬(island)과 같은 영역(701)이 형성된다. 그후, 게이트 절연막이 형성되고, 게이트 전극막이 게이트 절연막에 형성된다. 그 게이트 전극막은 게이트 전극(702)을 형성하기 위해 에칭 된다. 그후에, 섬과 같은 영역(701)은 n-형 소스/드레인 영역(703)을 형성하기 위해 n-형 불순물로 도핑된다. 상기 공정에 있어서, 그 도핑이 게이트 전극(702)의 형성 이후에 유도되기 때문에, 게이트 전극(702) 아래에 불순물이 바로 삽입되지 않는다.

그 후에, 섬과 같은 영역(701)은 p-형 불순물로 도핑되어, 채널 접촉 영역(704)을 형성한다. 본 실시예에 있어서, 섬과 같은 영역(701)은 n-형 불순물로 도핑된 이후에 p-형 불순물로 도핑되지만, 그 공정 순서는 반전될 수 있다. 그 후에, 접촉 흘(705, 706 및 707)을 정의하기 위해 중간막이 형성된다. 그후, 전극 소스(708), 드레인 전극(709) 및 임계값 제어 단자 전극(710)을 형성하기 위해 전극 금속막이 형성된다. 본 실시예에 있어서, 임계값 제어 단자를 갖는 TFT가 형성될 수 있다. 상기 공정에 있어서, CMOS로 인해 새롭게 부가된 공정이 없기 때문에, 그 소자는 종래의 공정과 같은 동일한 공정으로 형성될 수 있다.

그 후에, TFT의 전기 특성을 설명한다. 우선, 전압 임계값 제어 단자 전극 (710)에 인가되지 않을 때의 TFT의 특성이 제8(a)도에 도시되어 있다. 이 경우에 있어서, TFT의 특성은 임계값 제어 단자(710)를 갖지 않는 종래의 TFT의 특성과 동일하게 된다. 그후, 임계값 제어 단자 전극(710)에 양의 전압이 인가될 때의 TFT의 특성이 제8(b)도에 도시되어 있고, 임계값 제어 단자 전극(710)에 음의 전압이 인가될 때의 TFT의 특성이 제8(c)도에 도시되어 있다.

상기 TFT의 동작은 TFT의 횡단면도(제9도)를 참조하여 설명한다. 제9도의 횡단면도는 제7도의 점선(A-A′)을 절취한 횡단면이다. n-형 TFT가 턴-온 되었을 때, n-형채널(905)은 게이트 산화막(902) 아래에 형성된다. 상기 상태에 있어서, p-형 층(906)은 폴리실리콘으로 형성된 채널의 하부측에 형성된다. 이 상태에 있어서, 전압이 p-형 층(906)에 인가되지 않을 때의 플로팅 상태에 있어서, TFT의 동작은 종래의 TFT의 것과 동일하게 된다. 그러나, 제어 단자(710)로부터 전압이 채널 접촉영역(704)에 인가됨에 따라, p-형 층(906)은 역 게이트로서 동작하여, 채널(905)에 영향을 준다.

음의 전압이 p-형 층(906)에 인가될 때, 채널의 n-형 층인 채널(905)과 아래에 형성된 p-형 층(906) 사이에 정의된 공핍층(907)이 채널(905)을 억제하기 위해 전개 및 제공되어, 채널(905)에 흐르는 전류를 어렵게 한다. 결과적으로, 임계값은 크게된다. 반면에, 양의 전압이 p-형 층(906)에 인가될 때, 공핍층(907)은 그에 전류가 쉽게 흐르도록 좁게 된다.

다음, 본 발명에 따른 구동 회로의 동작을 TPT의 특성을 통해 설명한다. 제10도는 구동 회로의 한 예로서 인버터 어레이를 도시한다. 상기는 한 예로서 인버터를 도시하지만, 동일한 종류는 그 인버터 대신에 시프트 레지스터, 디코더 등에 응용될 수 있다. CMOS 인버터 회로는 통상적으로 입력, 출력, 전원 및 GND를 포함한다. 그러나, 본 발명의 인버터는 n-형 TFT 및 p-형 TFT의 제어 단자와 함께 6개의 단자를 포함하는데, 그들 제어 단자는 회로를 구성하는 TFTs의 임계값을 제어하도록 제어된다.

제1도는 본 발명의 제1실시예를 도시한다. 본 실시예에 있어서, 신호 라인구동 회로(101) 및 주사 라인 구동 회로(102)를 구성하는 TFT의 임계값 제어 단자(제7도의 참조 번호 710)는 임계값 제어 회로(103)에 의해 선택 및 제어된다. 상기 기술한 바와 같이, TFT가 정상적으로 온-상태로 됨에 따라 전력 소비를 감소시키기 위해 시도되는 경우에 있어서, GND 전위보다 낮은 전압이 n-형 TFT의 임계값 제어단자에 인가되는 반면에, 전원 전압보다 높은 전압이 p-형 TFT의 임계값 제어 단자에 인가되어, 그에 따라 임계값이 증가한다. 참조 부호(100)는 픽셀 매트릭스를 나타낸다.

또한, 구동 회로의 동작 주파수를 높게 형성하기 위해 시도되는 경우에 있어서, GND 전위보다 높은 전압이 n-형 TFT의 임계값 제어 단자에 인가되는 반면에, 전원 전압보다 낮은 전압이 p-형 TFT의 임계값 제어 단자에 인가되어, 그에 따라 임계값이 낮아진다. 어떠한 경우에 있어서, 주사 라인 구동 회로 및 신호 라인 구동 회로의 동작 원리는 종래의 경우와 동일하게 된다.

제11(a)도 및 제11(b)도에 도시된 것은 임계값 제어 회로(103)의 회로 다이어그램의 한 예이다. 본 실시예에 있어서, 제어 전압이 시간에 따라 변화하지 않기 때문에, p-형 TFT 임계값 제어 단자(1104) 및 p-형 TFT 임계값 제어 단자(1105)는 그에 요구된 전압(제11(a)도)을 주어지기 위해 전압 소스(1101)에 각각 접속될 수 있거나, 그에 전압(제11(b)도)을 주어지기 위해 가변 저항기(1102)에 접속될 수 있다. 본 예에 있어서, 임계값을 제어하는 경우에 있어서, 구동 회로의 전류값 또는 각각의 TFTs의 전류값을 모니터링 하는 동안, 전압은 최적화를 위해 설정된다.

제12도는 본 발명의 제2실시예를 도시한 도면이다. 본 예에 있어서, 신호 라인 구동 회로(1201) 및 주사 라인 구동 회로(1202)의 임계값 제어 전압을 공통으로 형성하지 않고 제어가 유도되는데, 이는 제1실시예와 다르다. 일반적으로, 신호 라인 구동 회로(1201)의 동작 주파수는 단위당 MHz인 반면에, 주사 라인 구동회로(1202)의 동작 주파수는 단위당 KHz이다. 그러므로, 신호 라인 구동 회로(1201)의 동작 주파수는 증가될 필요가 있지만, 주사 라인 구동 회로(1202)의 동작주파수는 증가될 필요가 없다. 결과적으로, 임계값을 제어하는 경우에, 동작 주파수는 신호 라인 구동 회로(1201)에서 중요하게 되지만, 주사 라인 구동 회로(1203)에서는 전력 소비가 중요하게 된다. 본 예에 있어서, 임계값 제어 회로의 원래의 구조는 제1실시예와 동일하다. 그러나, 본 실시예는 제1실시예와 다른데, 본 실시예에서는 두 개의 개별적인 임계값 제어 회로(1203 및 1204)를 이용한다는 점이 다르다. 참조 부호(1200)가 픽셀 매트릭스를 나타냄을 주목한다.

제13도는 본 발명에 이용된 제2임계값 제어 회로의 회로 구조의 한 예를 도시한 도면이다. 본 예에 있어서, 임계값 제어 회로는 외부 가변 저항기 또는 가변전압 소스로 구성되지 않지만, 구동 회로의 것과 같이 공통으로 이용된 기판 상에 형성되는 박막 트랜지스터로 구성된다. 상기 예에 있어서, 그 회로는 제어의 기준인 모니터 TFT(1301), 모니터 TFT(1301)에 흐르는 전류를 전압으로 변환시키는 부하(1302)와, 구동 회로의 임계값 제어 단자 및 모니터 TFT(1301)에 전압을 인가하기 위해 부하(1302) 양단에 발생되는 전압을 증폭하는 증폭기(1304)로 구성된다.

이후, 상기 제2임계값 제어 회로의 동작을 설명한다. TFT(1301)가 정상적으로 턴-온될 때, 드레인 전류는 모니터 TFT(1301)에 흐르게 되어, 부하(1302) 양단의 전압을 발생시킨다. 그 전압은 증폭기(1304)의 차동 입력의 비반전 입력 단자에 입력되기 때문에, 부하(1302) 양단 전압과 기준 전압(1303) 사이의 차동 전압은 증폭되어 출력된다. 그로 인해 증폭된 차동 전압 출력은 비반전 입력에 적용되기 때문에, 보다 낮은 전압으로 출력된다. 증폭기(1304)의 출력 단자는 모니터 TFT(1301)의 전압 제어 단자와 구동 회로에 접속되고, 보다 낮은 전압을 얻기 위해, 임계값 제어 단자 양단의 전압은 보다 낮게 되고, TFT의 임계값은 증가되기 때문에, TFT에 흐르는 드레인 전류는 제한된다. 이러한 방

식으로, 부귀환은 모니터 TFT(1301)와 증폭기(1304)의 조합으로 유도되어, 그 임계값을 자동으로 제어 할 수 있다.

상기 기술한 바와 같이, 귀환 회로는 TFT가 정상적으로 턴-온 되었을 때를 가정하여 구성된다. 그러나, 모니터 TFT(1301)의 게이트 전압이 소스 전위가 아닌 전위에 고정된다면, 기준 전압은 양호하게 설정되고, 임계값은 자유롭게 설정될 수 있다.

제14도에 도시된 것은 TFTs를 사용하는 제13도에 도시된 임계값 제어 회로의 특정 예이다. 증폭기는 n-형 TFT로 구성된 차동 회로를 포함하는 연산 증폭기로 형성되고, 액티브 부하는 p-형 TFT로 구성된다.

발명의 효과

상기 언급한 실시예에 있어서, 구동 회로를 형성하는 TFT의 임계값은 제어된다. 대신에, 픽셀부를 형성하는 TFT의 임계값은 제어될 수 있다.

본 발명에 따라서, TFF의 임계값은 임의 전압의 인가에 의해 제어되어, 구동회로의 소비 전력을 감소시킬 수 있다. 또한, 구동 회로의 동작 주파수를 향상시킬 수 있다.

본 발명의 양호한 실시예의 상술한 설명은 설명과 예시를 위해 기재되어 있다. 이는 본 발명에만 제한을 두는 것이 아니며, 본 발명의 실시로부터 상기 기술을 통해 여러 변경안 및 수정안이 있을 수 있음을 의미한다. 본 발명은 본 발명의 원리를 설명하기 위해 선택 및 기재되었으며, 본 발명의 기술 분야에 숙련된 사람들에 의해 여러 변경안 및 수정안이 있을 수 있다. 본 발명의 범위는 본 명세서에 첨부된 특허 청구의 범위에 정의되어 있다.

(57) 청구의 범위

청구항 1.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터 각각은 상기 박막 트랜지스터 각각이 제어되는 제어단자를 포함하고, 상기 임계값 제어 회로는 상기 제어 단자에 원하는 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 2.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터 각각은 상기 박막 트랜지스터 각각이 제어되는 제어단자를 포함하고, 상기 임계값 제어 회로는 상기 제어 단자에 원하는 전압을 인가하고, 상기 제어 단자는 상기 박막 트랜지스터의 채널에 접속된 채널 접촉 영역에 형성되고, 상기 임계값 제어 회로는 채널을 변경시키기 위해 상기 제어 단자에 소정의 전압을 인가하여, 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 3.

제2항에 있어서, 상기 채널 접촉 영역의 전도 형태는 상기 박막 트랜지스터의 채널의 전도 형태와 반대의 전도 형태인 매트릭스형 전기 광학 시스템.

청구항 4.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터는 n-형이고, 상기 임계값 제어 회로는 상기 구동 회로의 전력 소비를 감소시키기 위해 접지 전위보다 낮은 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 5.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로, 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터는 p-형이고, 상기 임계값 제어 회로는 상기 구동 회로의 전력 소비를 감소시키기 위해 공급 전위보다 높은 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 6.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터는 n-형이고, 상기 임계값 제어 회로는 상기 구동 회로의 동작 주파수를 향상시키기 위해 접지 전위보다 높은 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 7.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터는 p-형이고, 상기 임계값 제어 회로는 상기 구동 회로의 동작 주파수를 향상시키기 위해 공급 전위보다 낮은 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 8.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터 각각은 상기 박막 트랜지스터 각각이 제어되는 제어단자를 포함하고, 상기 임계값 제어 회로는 상기 제어 단자에 원하는 전압을 인가 하고, 상기 임계값 제어 회로는 가변 저항기를 포함하고, 소정의 전압을 상기 제어단자에 인가하기 위해 상기 가변 저항기의 저항을 조정하는 매트릭스형 전기 광학 시스템.

청구항 9.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동 회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터 각각은 상기 박막 트랜지스터 각각이 제어되는 제어단자를 포함하고, 상기 임계값 제어 회로는 상기 제어 단자에 원하는 전압을 인가하고, 상기 임계값 제어 회로는 기준값을 설정하기 위한 임계값 제어 단자를 포함하는 모니터링 박막 트랜지스터; 상기 모니터링 박막 트랜지스터에 흐르는 전류를 전압으로 변환시키는 부하; 및 상기 구동 회로에 증폭된 전압을 인가하고, 상기 모니터링 박막 트랜지스터의 상기 임계값 제어 단자에 증폭된 전압을 부귀환 시키기 위해 상기 부하 양단에 발생된 전압을 증폭하기 위한 증폭기를 포함하는 매트릭스형 전기 광학 시스템.

청구항 10.

제9항에 있어서, 상기 임계값 제어 회로는 상기 구동 회로의 형성에 공통으로 이용되는 기판 상에서 박막 트랜지스터로 형성되는 매트릭스형 전기광학 시스템.

청구항 11.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인 및 상기 주사 라인 중 적어도 한 라인을 구동하기 위한 구동회로; 상기 구동 회로를 형성하는 다수의 박막 트랜지스터; 및 상기 구동 회로에 접속되어 상기 박막 트랜지스터의 임계값을 제어하는 임계값 제어 회로를 포함하고, 상기 박막 트랜지스터는 n-형 트랜지스터 및 p-형 트랜지스터로 이루어진 상보형 트랜지스터를 포함하고, 상기 n-형 트랜지스터에는 제1제어 단자가 제공되고, p-형 트랜지스터에는 제2제어 단자가 제공되며, 상기 임계값 제어 회로는 제1 및 제2제어 단자 각각에 소정의 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 12.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동하기 위한 신호 라인 구동 회로; 상기 주사 라인을 구동하기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터; 상기 주사 라인 구동 회로를 형성하는 다수의 제2박막 트랜지스터; 및 상기 신호 라인 구동 회로 및 상기 주사 라인 구동 회로에 접속되어 상기 제1 및 제2박막 트랜지스터의 임계값을 공통적으로 제어하는 임계값 제어 회로를 포함하고, 상기 제1및 제2박막 트랜지스터 각각은 상기 제1및 제2박막 트랜지스터 각각이 제어되는 제어단자를 포함하고, 상기 임계값 제어 회로는 상기 제어단자에 원하는 전압을 인가하는 매트릭스형 전기 광학 시스템.

청구항 13.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동하기 위한 신호 라인 구동 회로; 상기 주사 라인을 구동하기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터; 상기 주사 라인 구동 회로를 형성하는 다수의 제2박막 트랜지스터; 및 상기 신호 라인 구동 회로에 접속되어 상기 제1박막 트랜지스터의 임계값을 제어하는 제1임계값 제어 회로; 및 상기 신호 라인 구동 회로에 접속되어 상기 제1임계값 제어 회로와 상관없이 상기 제2박막 트랜지스터의 임계값을 제어하는 제 2 임계값 제어 회로를 포함하는 매트릭스형 전기 광학 시스템.

청구항 14.

매트릭스형 전기 광학 시스템에 있어서, 매트릭스 형태로 배열된 다수의 픽셀부; 상기 픽셀부에 디스플레이 신호가 공급되는 다수의 신호 라인; 상기 픽셀부에 주사 신호가 공급되는 다수의 주사 라인; 상기 신호 라인을 구동하기 위한 신호 라인 구동 회로; 상기 주사 라인을 구동하기 위한 주사 라인 구동 회로; 상기 신호 라인 구동 회로를 형성하는 다수의 제1박막 트랜지스터; 상기 주사 라인 구동 회로를 형성하는 다수의 제2박막 트랜지스터; 및 상기 신호 라인 구동 회로에 접속되어 상기 제1박막 트랜지스터의 임계값을 제어하는 제1임계값 제어 회로; 및 상기 신호 라인 구동 회로에 접속되어 상기 제1임계값 제어 회로와 상관없이 상기 제2박막 트랜지스터의 임계값을 제어하는 제2임계값 제어 회로를 포함하고, 상기 제1임계값 제어 회로는 상기 신호 라인 구동 회로의 동작 주파수를 향상시키기 위해 임계값을 제어하고, 상기 제2임계값 제어 회로는 상기 주사 라인 구동 회로의 전력 소비를 감소시키기 위해 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 15.

제2항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 16.

제3항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 17.

제4항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 18.

제5항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 19.

제6항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 20.

제7항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 21.

제9항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 22.

제11항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 23.

제14항에 있어서, 상기 매트릭스형 전기 광학 시스템은 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 24.

제1항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 25.

제2항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동 회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 26.

제4항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 27.

제5항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 28.

제6항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 29.

제7항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동 회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 30.

제9항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 31.

제11항에 있어서, 상기 매트릭스형 전기 광학 시스템은 상기 구동회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 32.

제12항에 있어서, 상기 신호 라인 구동 회로는 상기 신호 라인 구동 회로 및 상기 주사 라인 구동 회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 제1및 제2박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 33.

제12항에 있어서, 상기 신호 라인 구동 회로는 상기 신호 라인 구동 회로 및 상기 주사 라인 구동 회로에 접속된 다수의 임계값 제어 회로를 포함하고, 상기 임계값 제어 회로는 상기 제1및 제2박막 트랜지스터의 임계값을 제어하는 매트릭스형 전기 광학 시스템.

청구항 34.

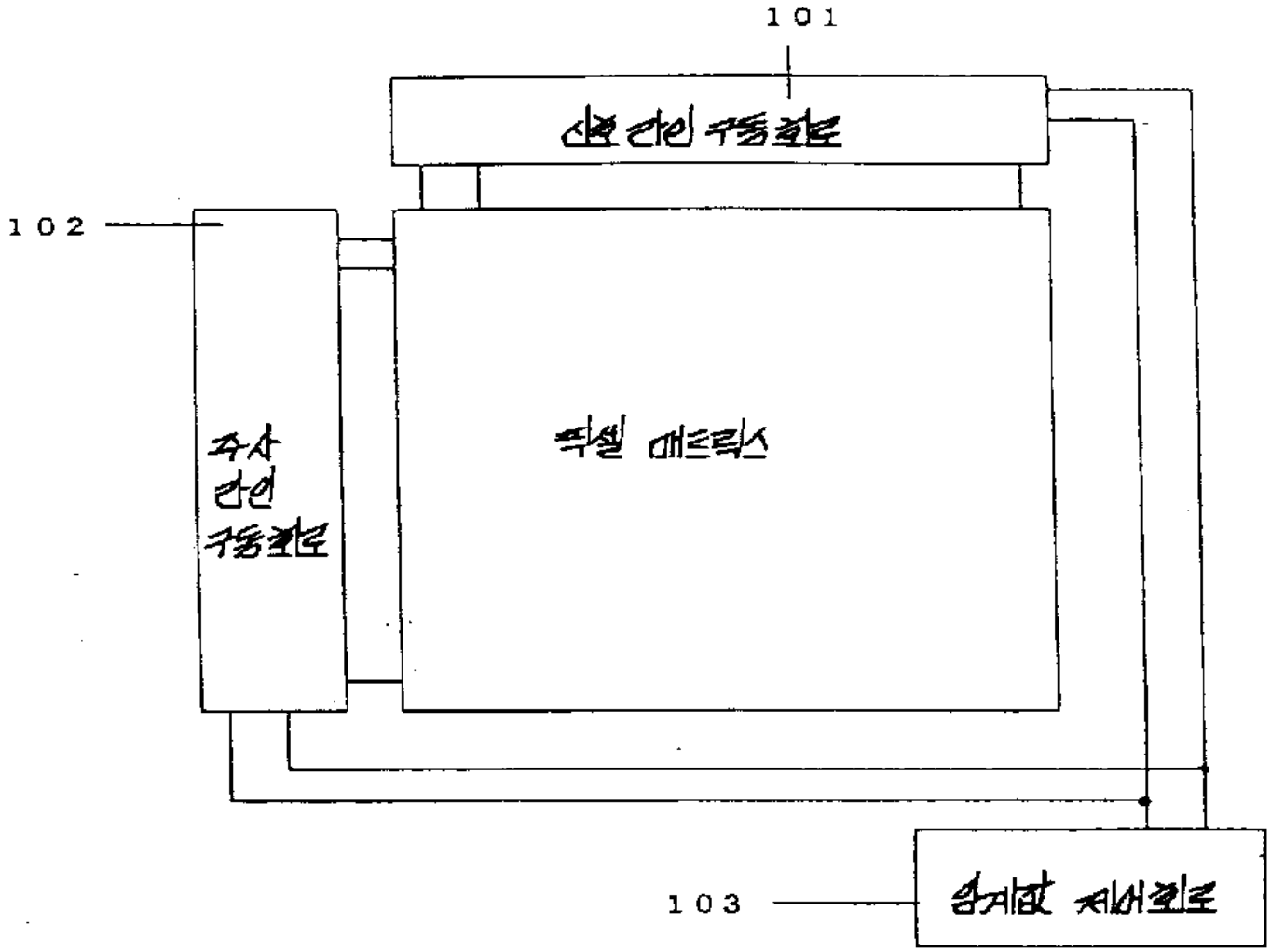
제1항에 있어서, 상기 매트릭스형 전기 광학 시스템은 매트릭스형 액정 디스플레이 시스템인 매트릭스형 전기 광학 시스템.

청구항 35.

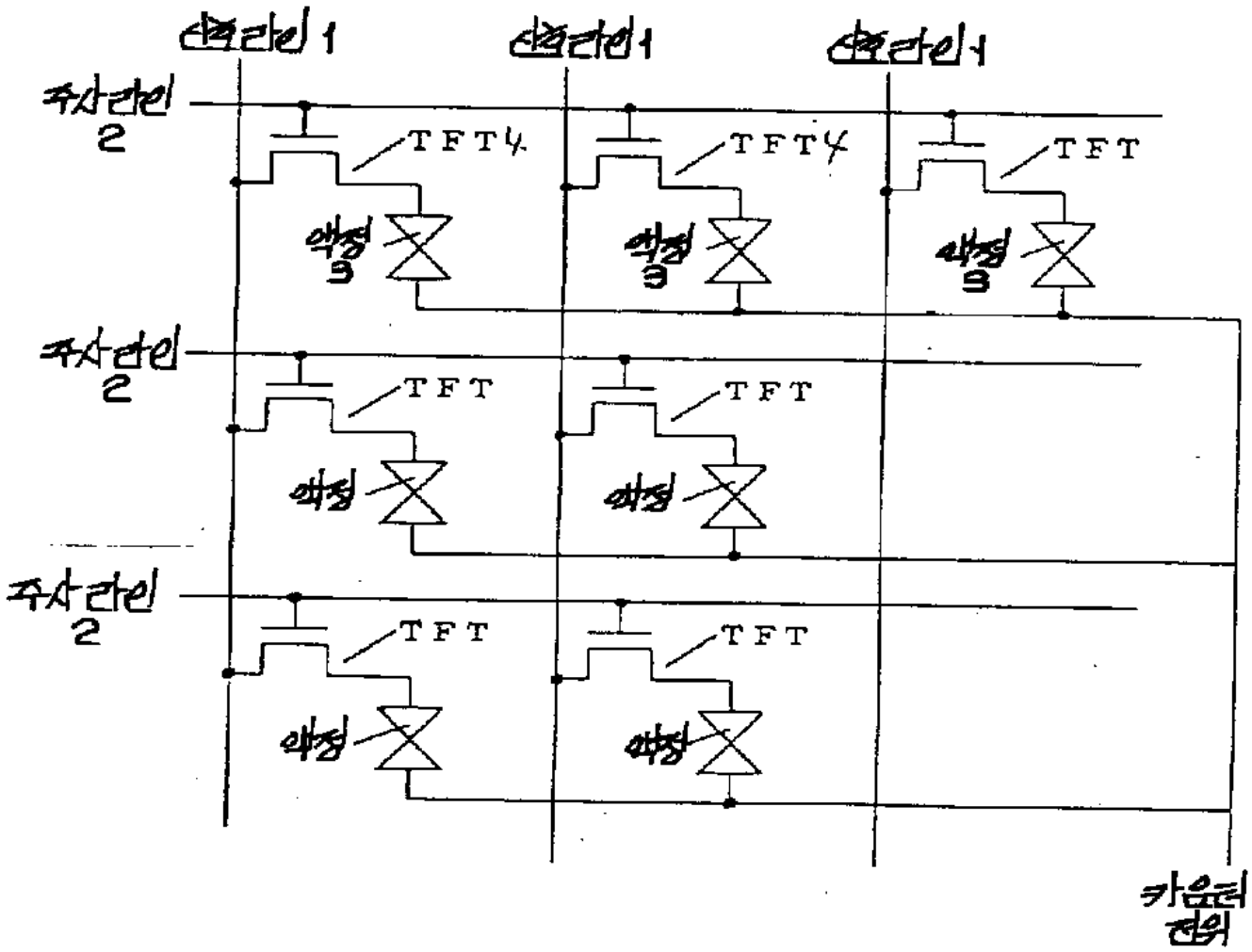
제1항에 있어서, 상기 임계값 제어 회로 각각은 적어도 2개의 상기 박막 트랜지스터를 개별적으로 제어하는 매트릭스형 전기 광학 시스템.

도면

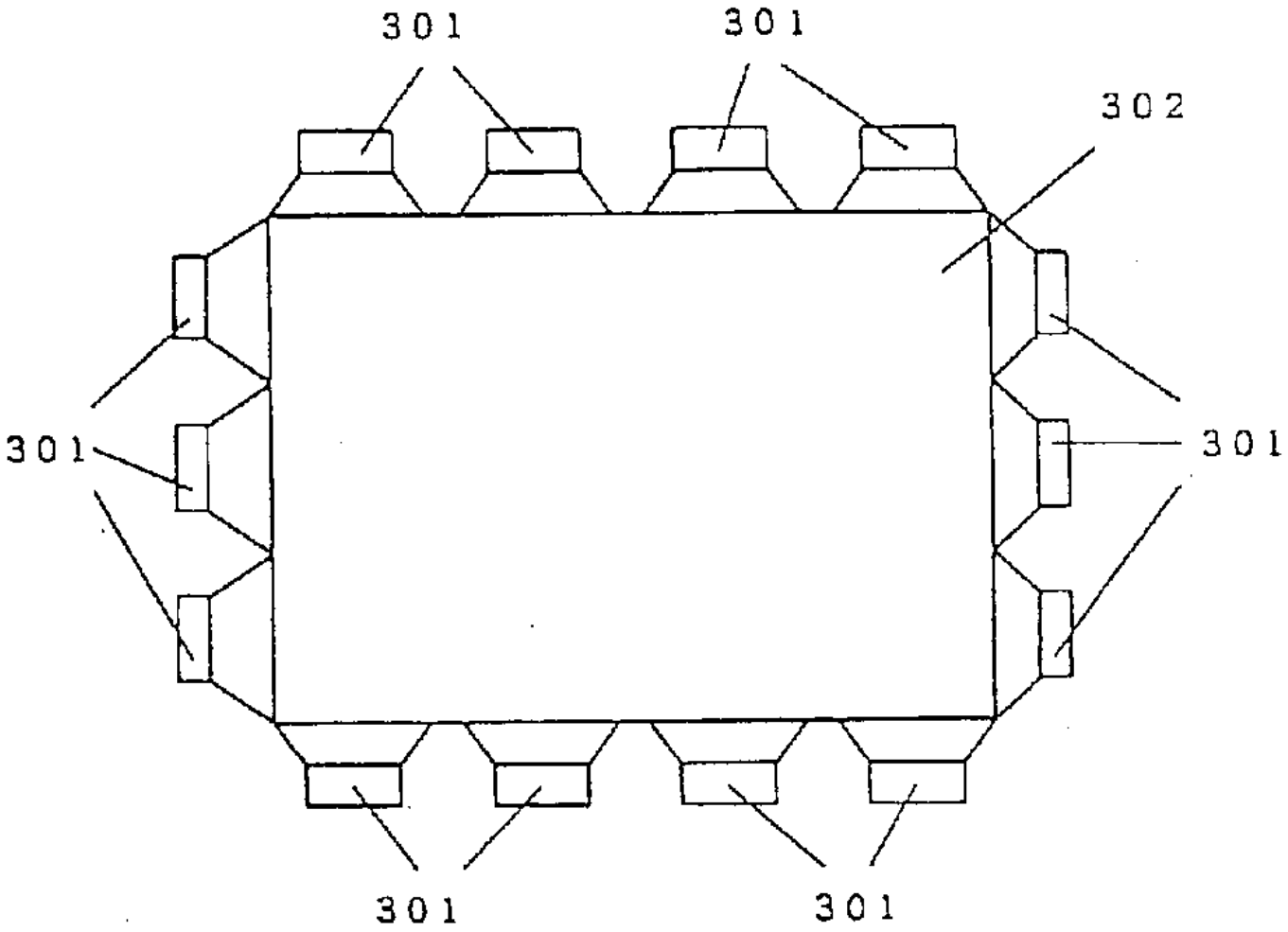
도면 1



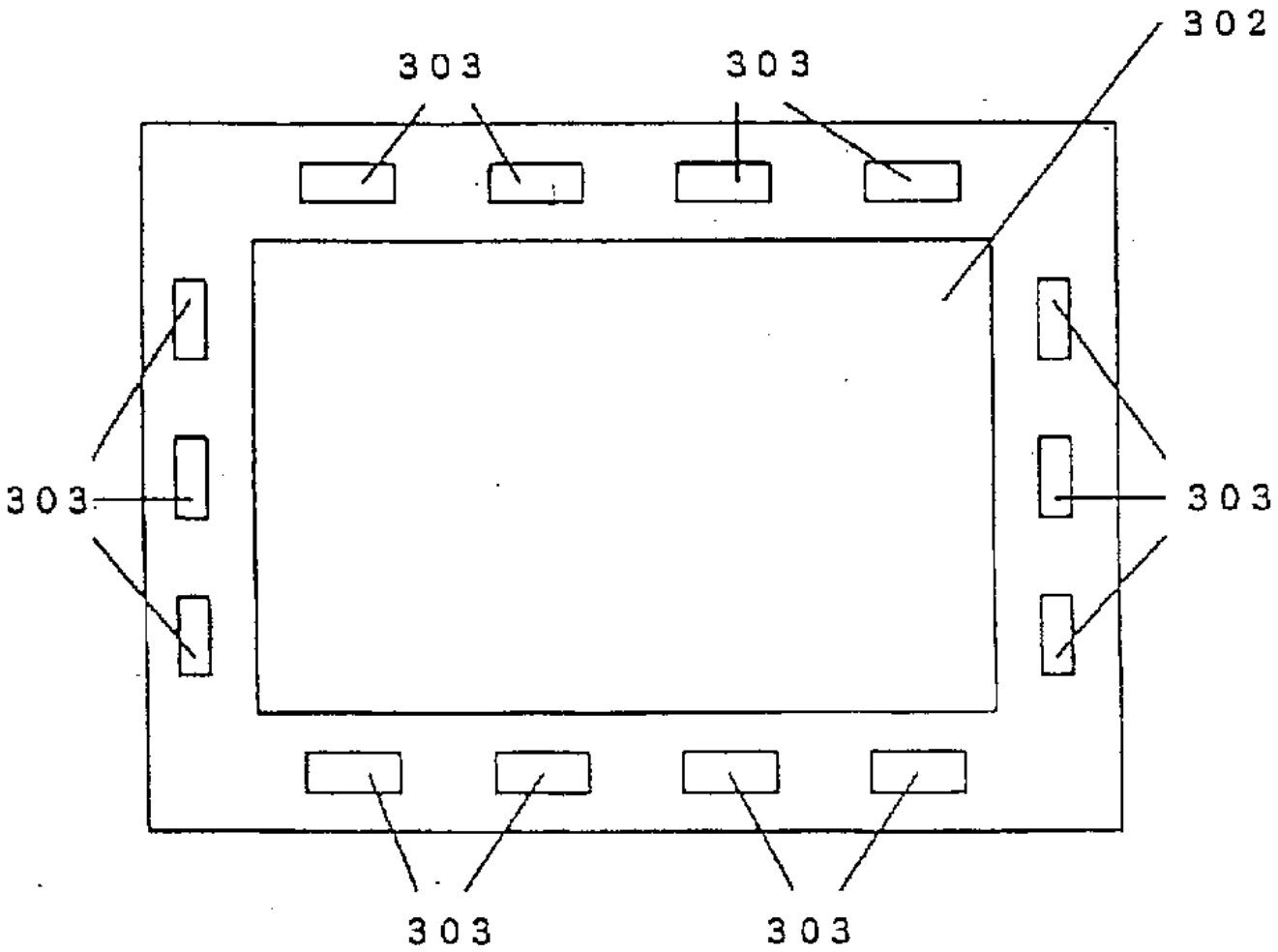
도면 2


데이터라인 1
데이터라인 1
데이터라인 1
주사라인 2
TFT 4
액정 3
TFT 4
액정 3
TFT
액정 3
주사라인 2
TFT
액정
TFT
액정
주사라인 2
TFT
액정
TFT
액정
카운터 전위

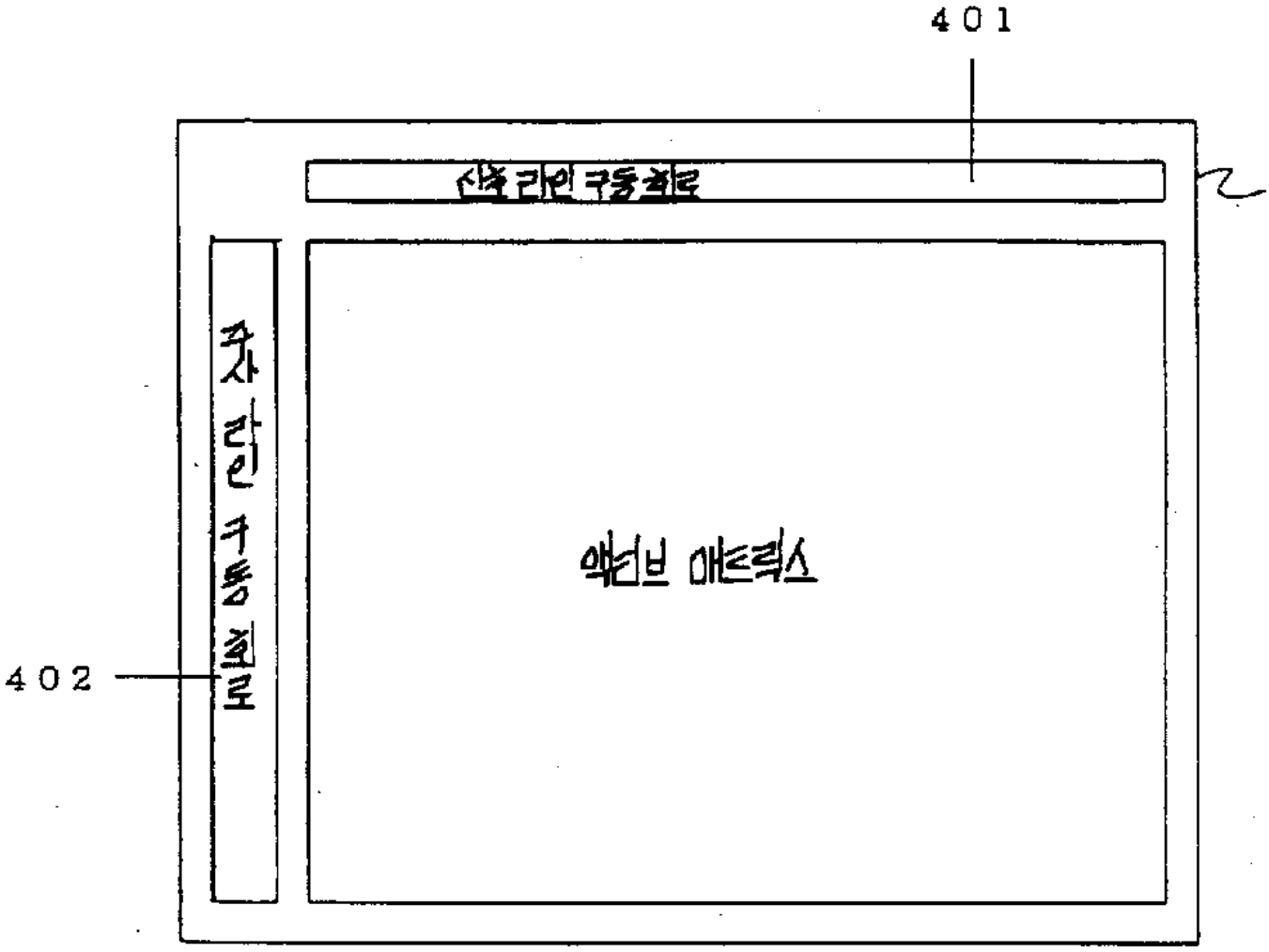
도면 3a



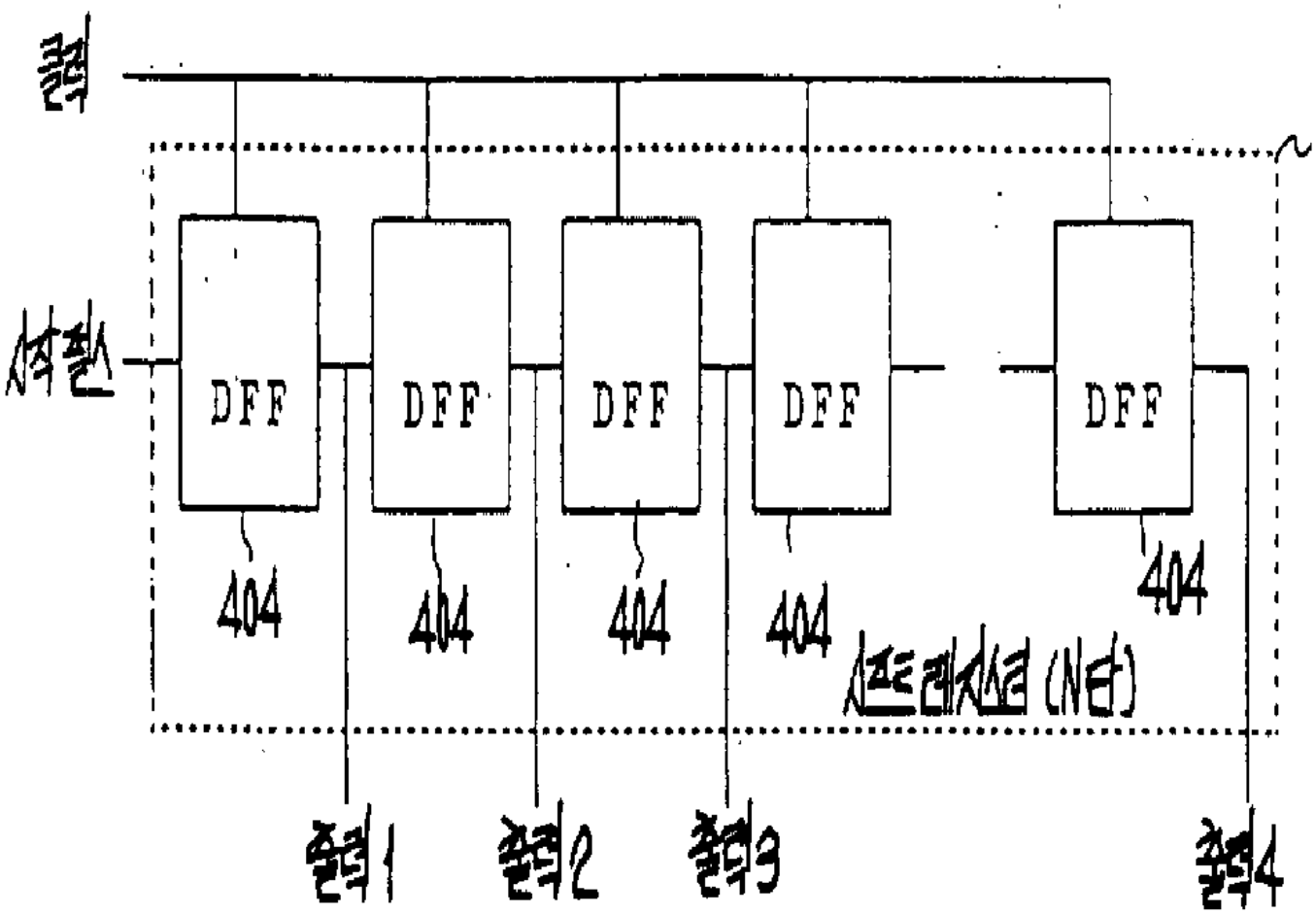
도면 3b



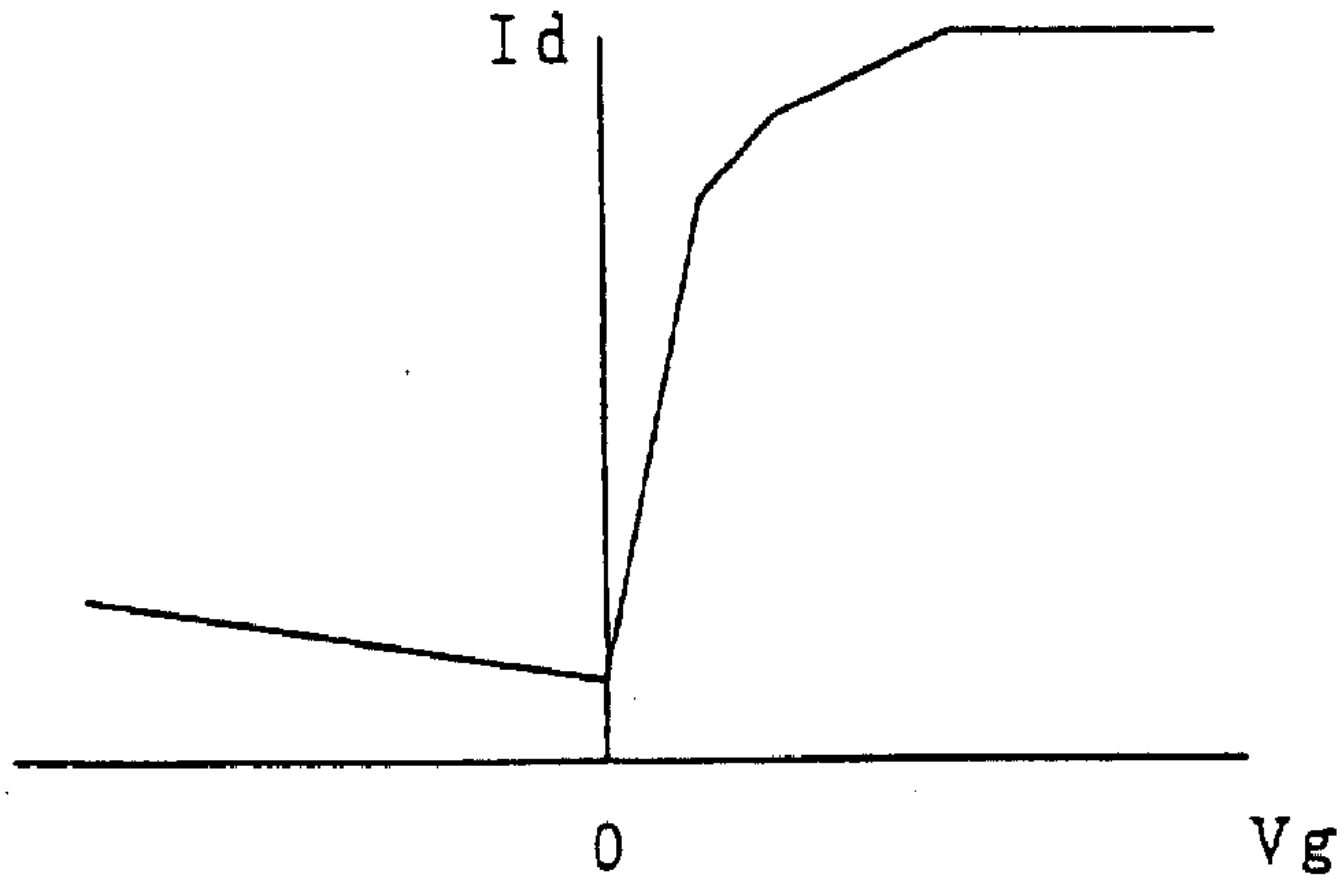
도면 4a



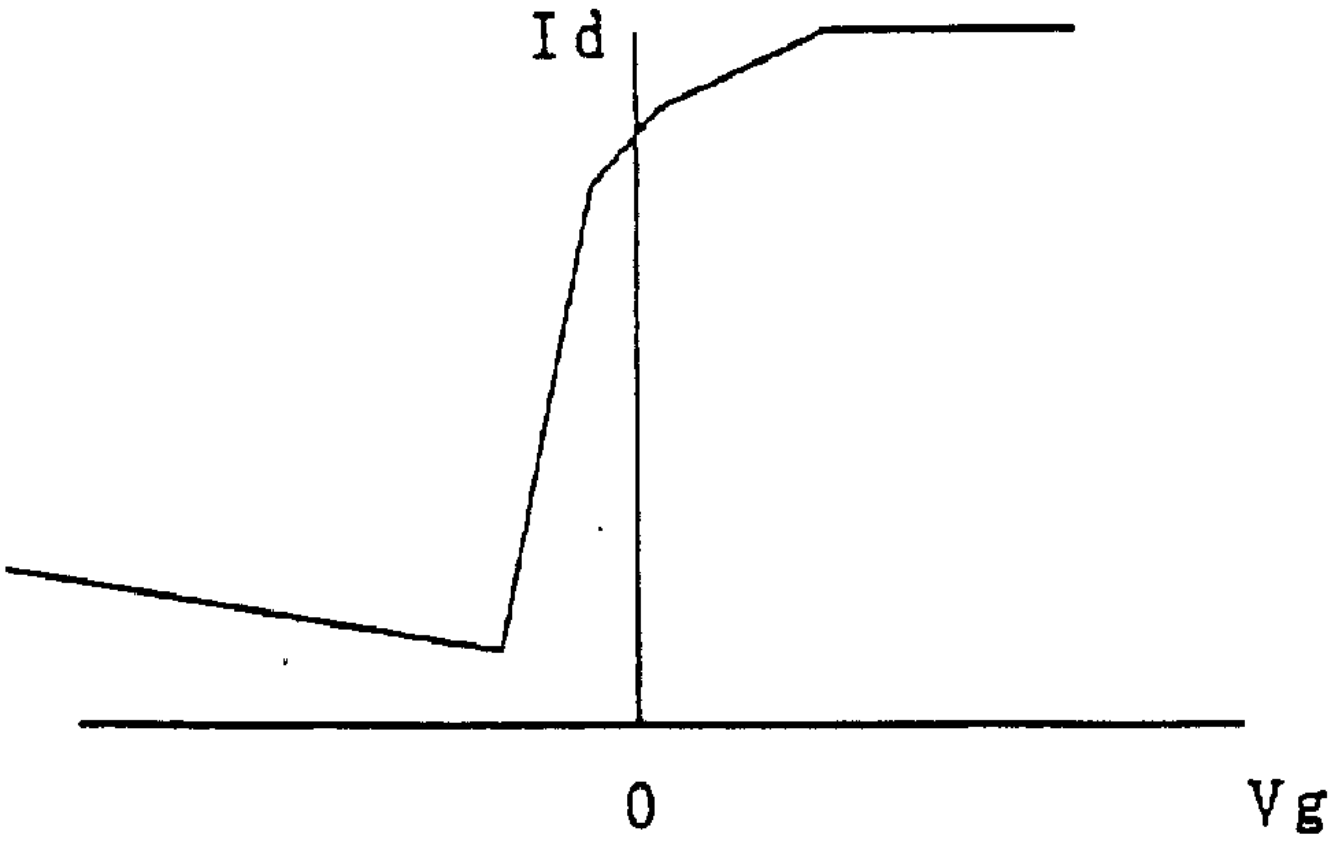
도면 4b



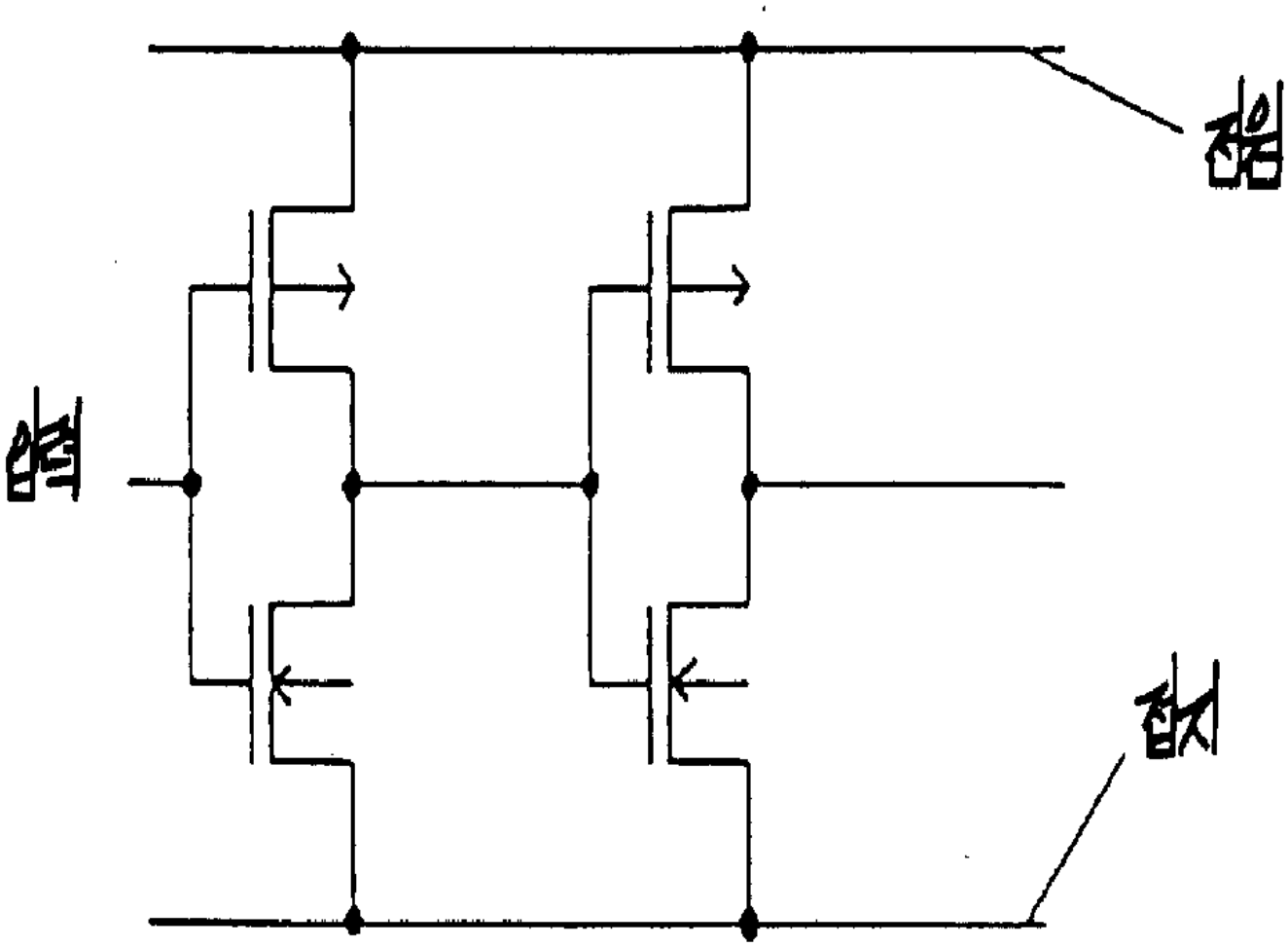
도면 5a



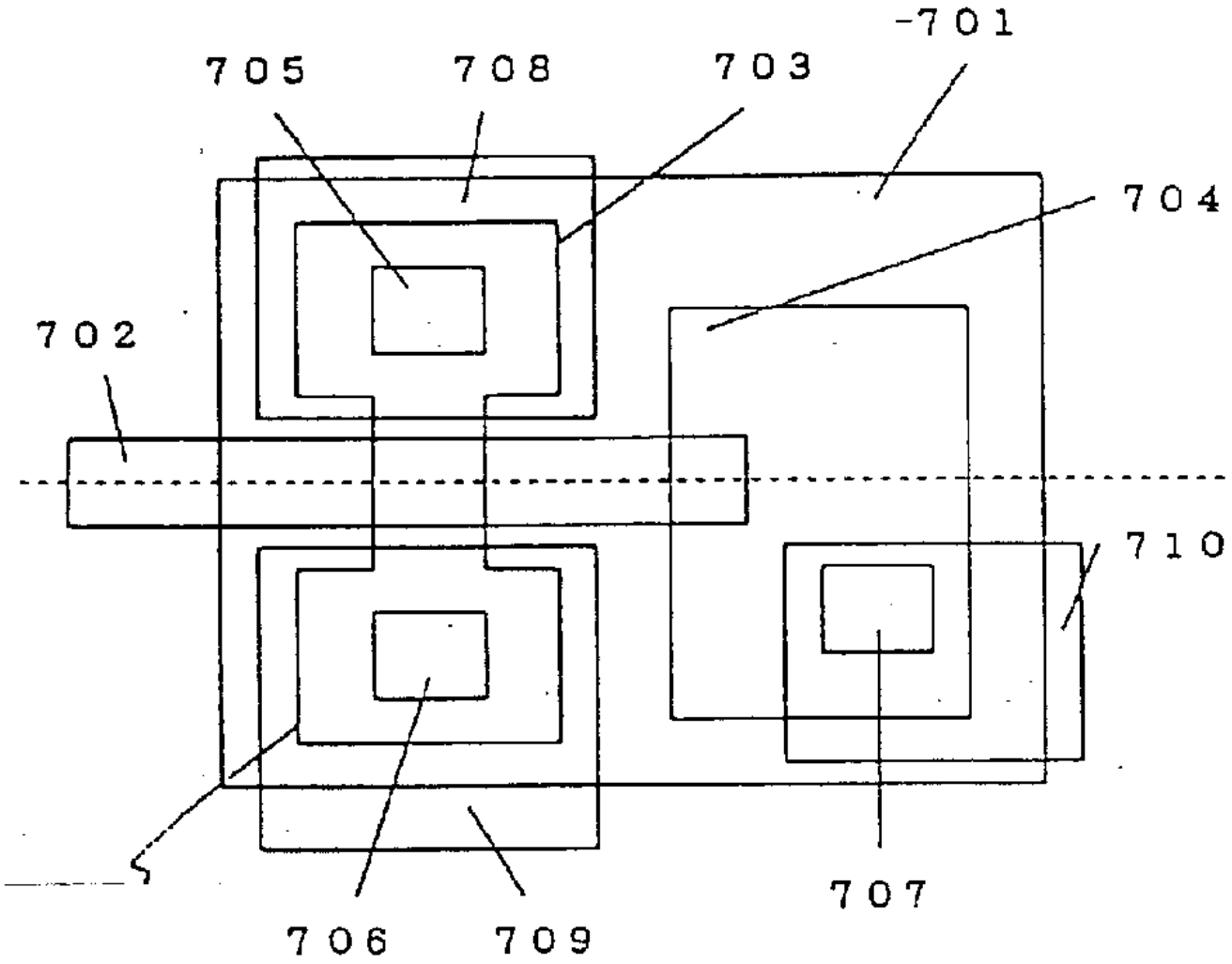
도면 5b



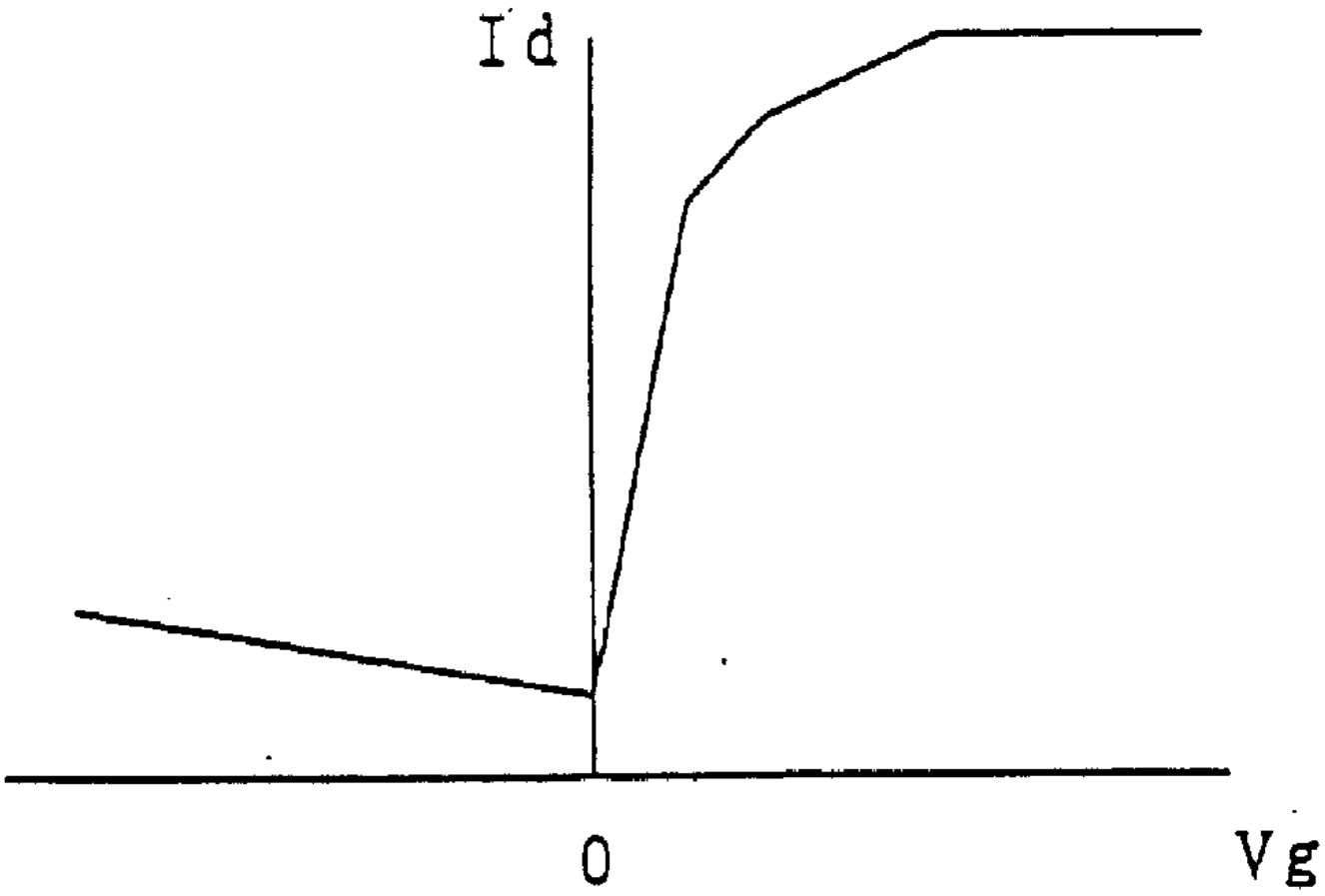
도면 6



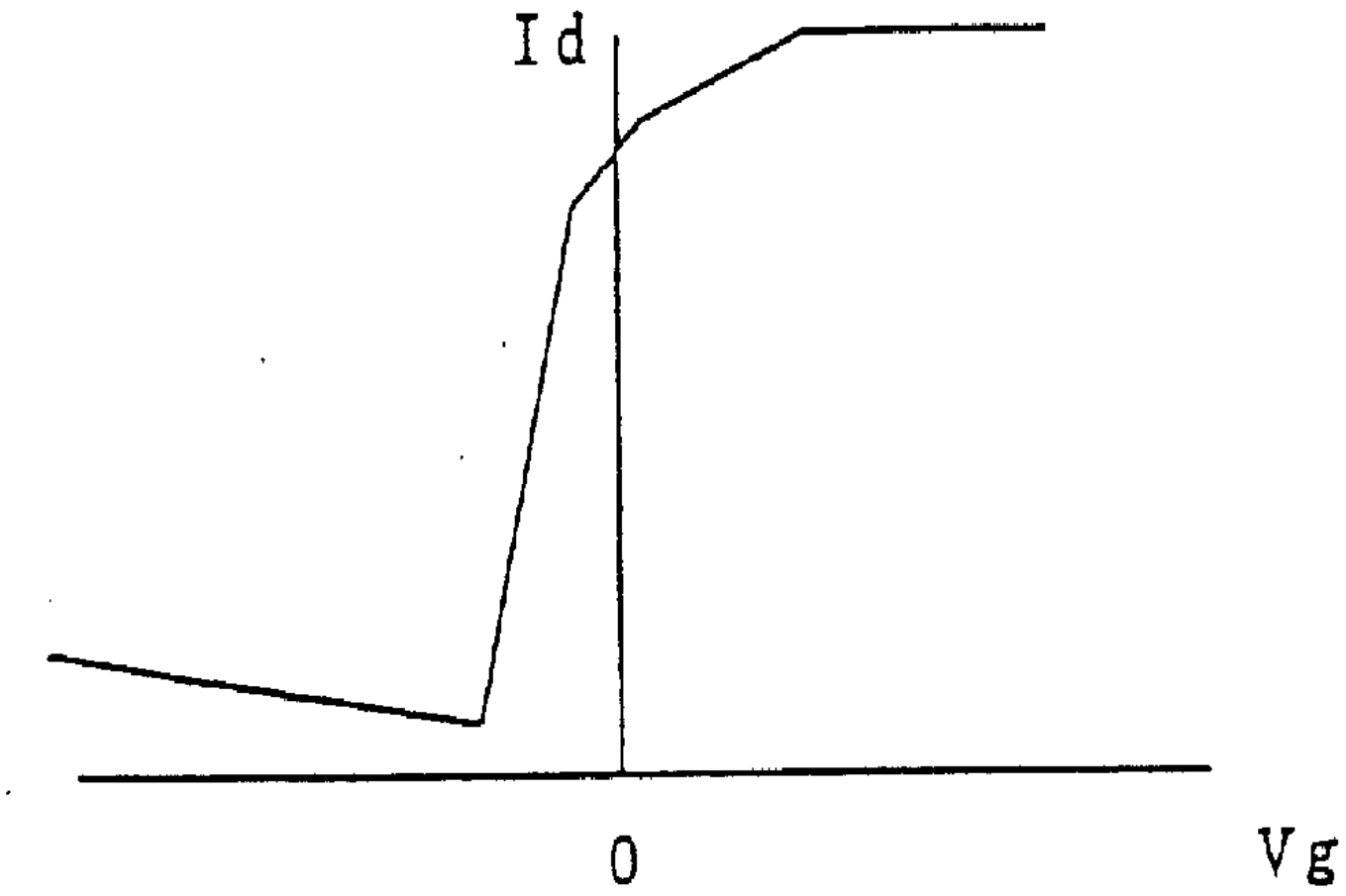
도면 7



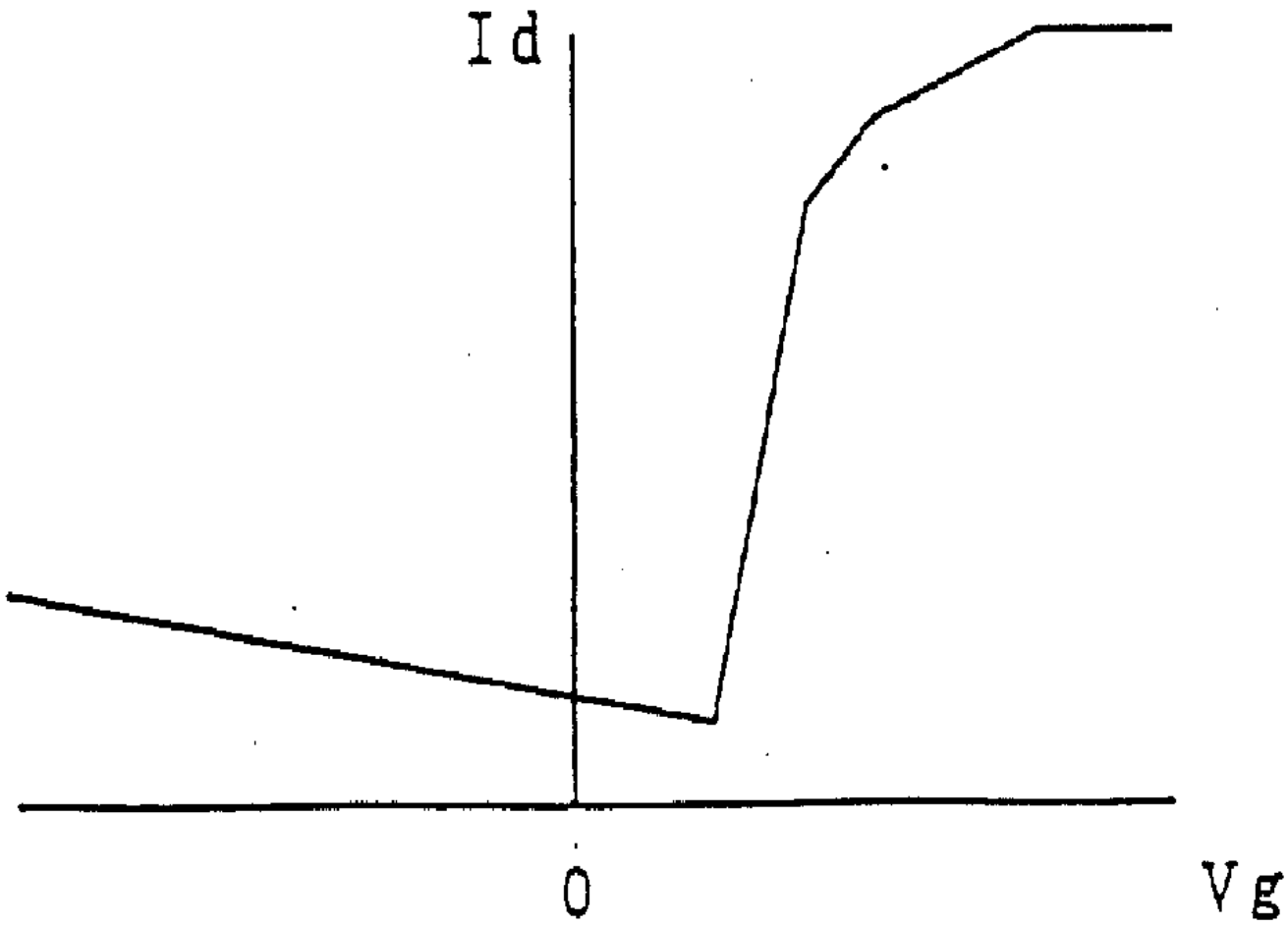
도면 8a



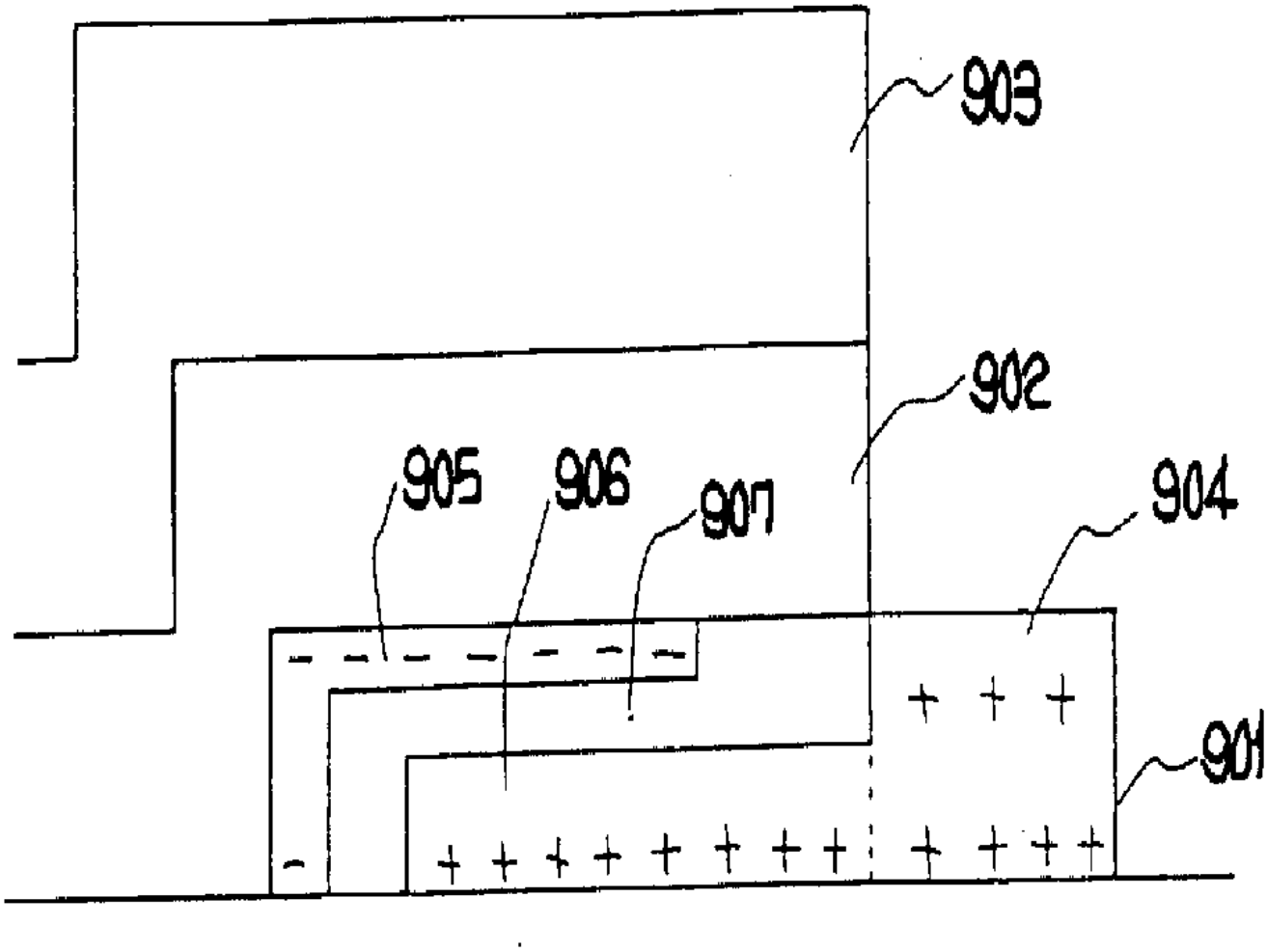
도면 8b



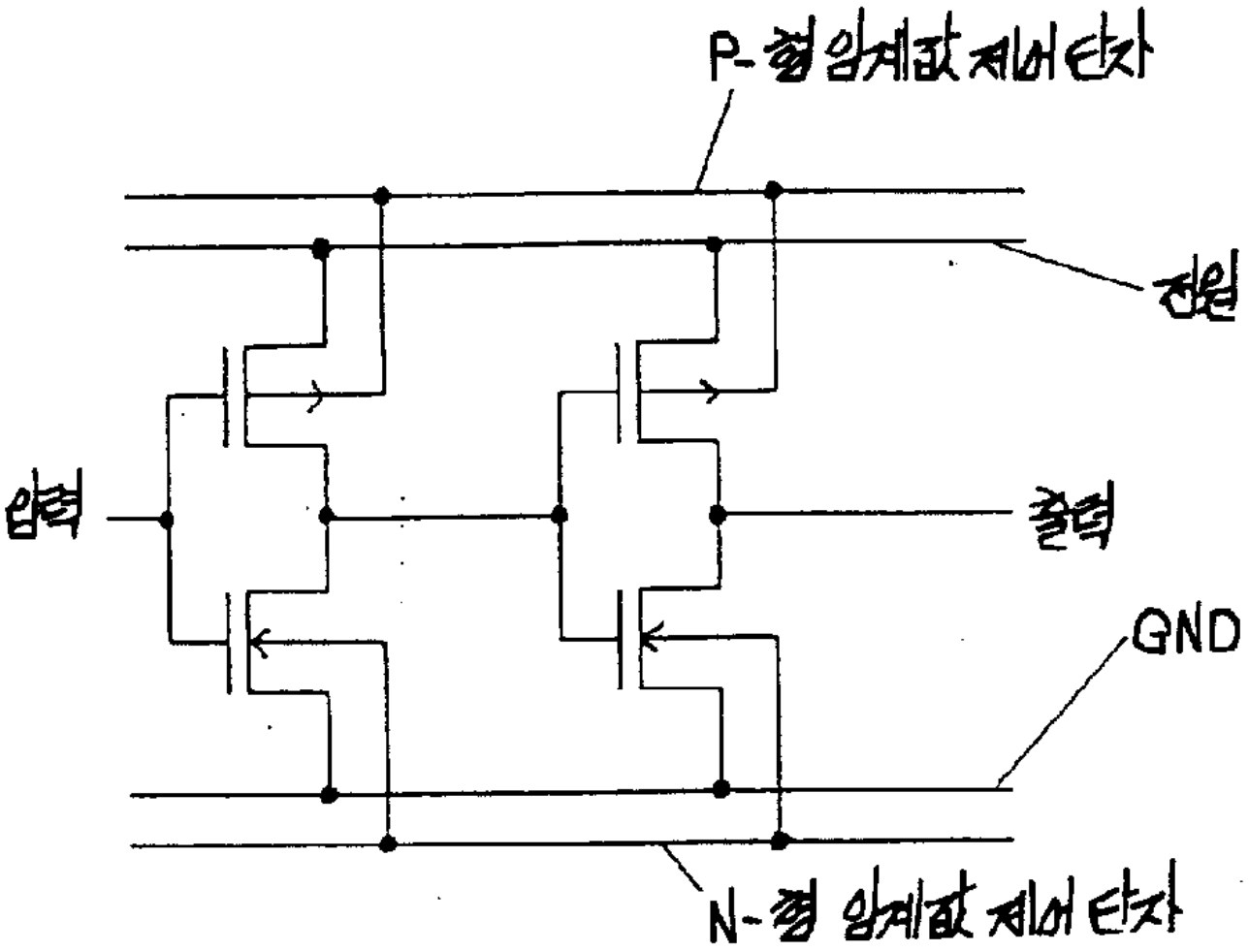
도면 8c



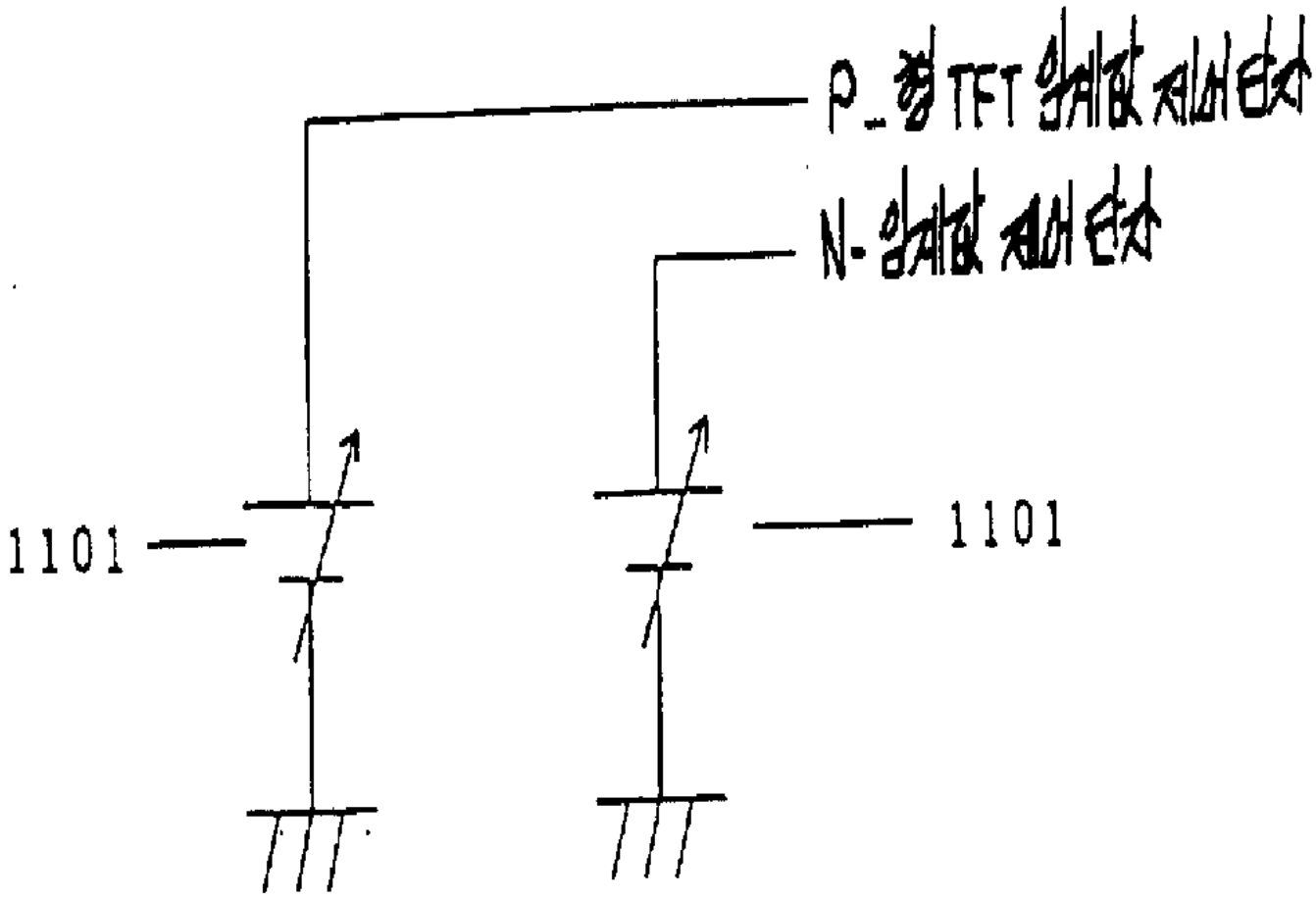
도면 9



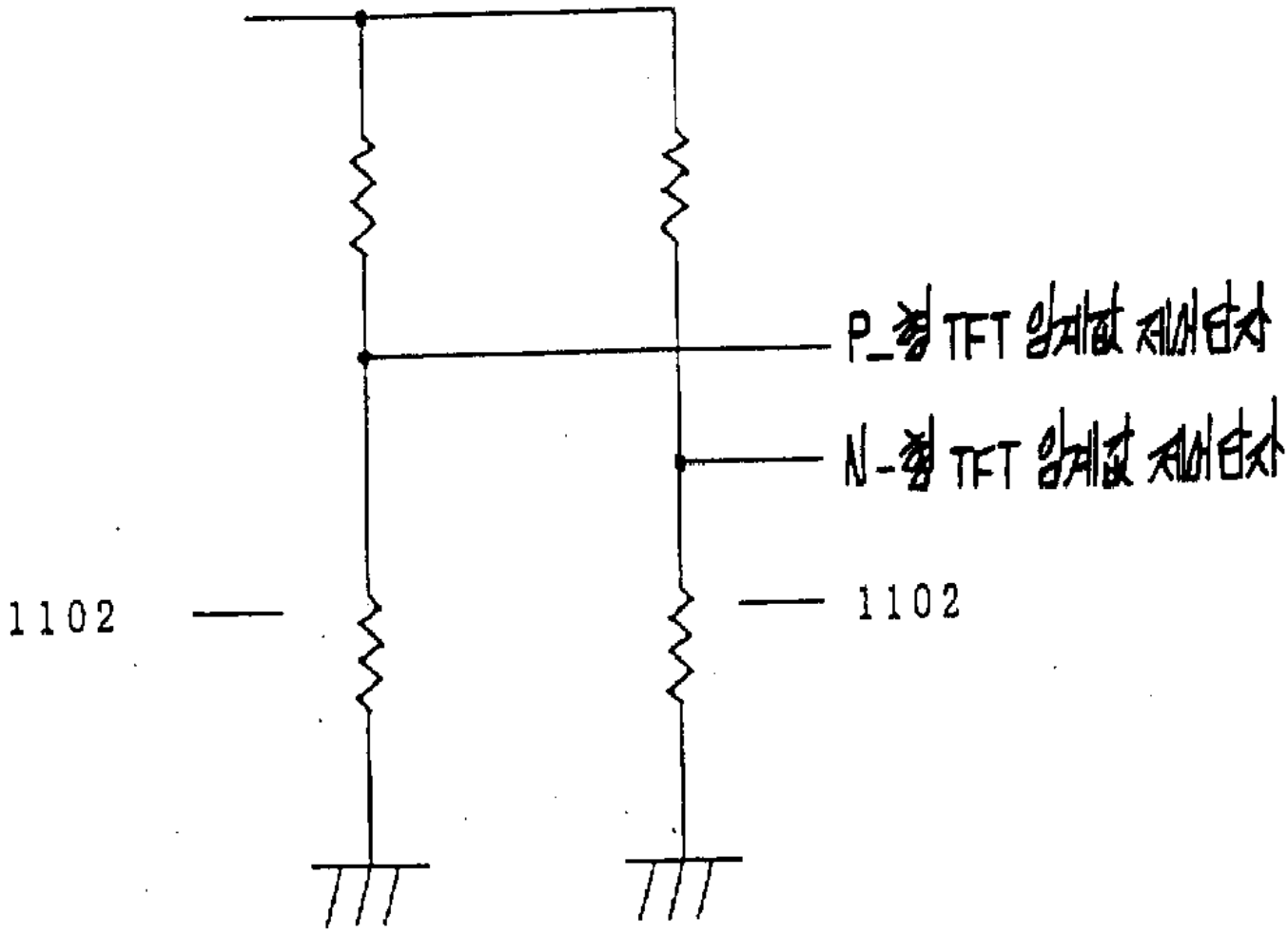
도면 10



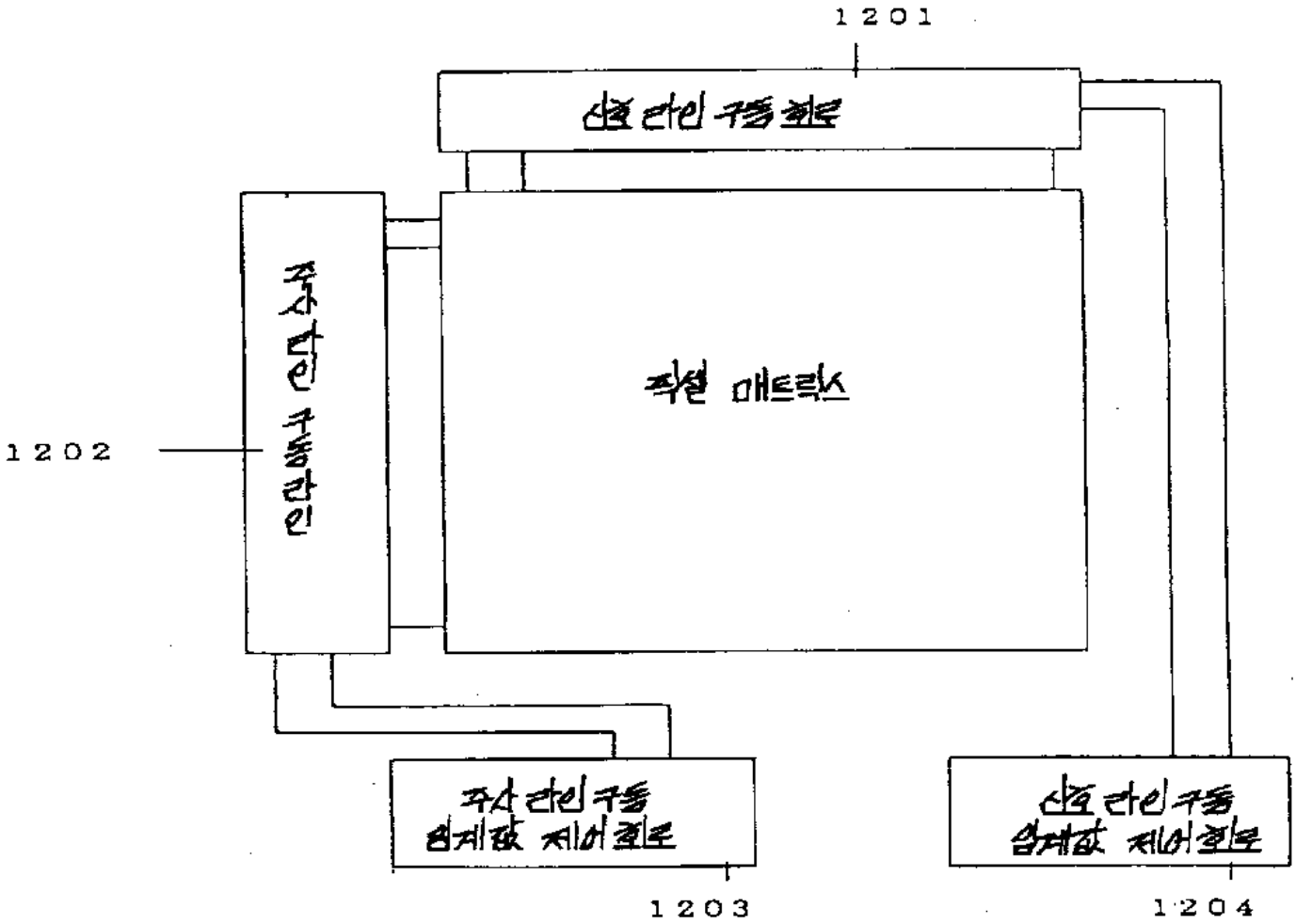
도면 11a



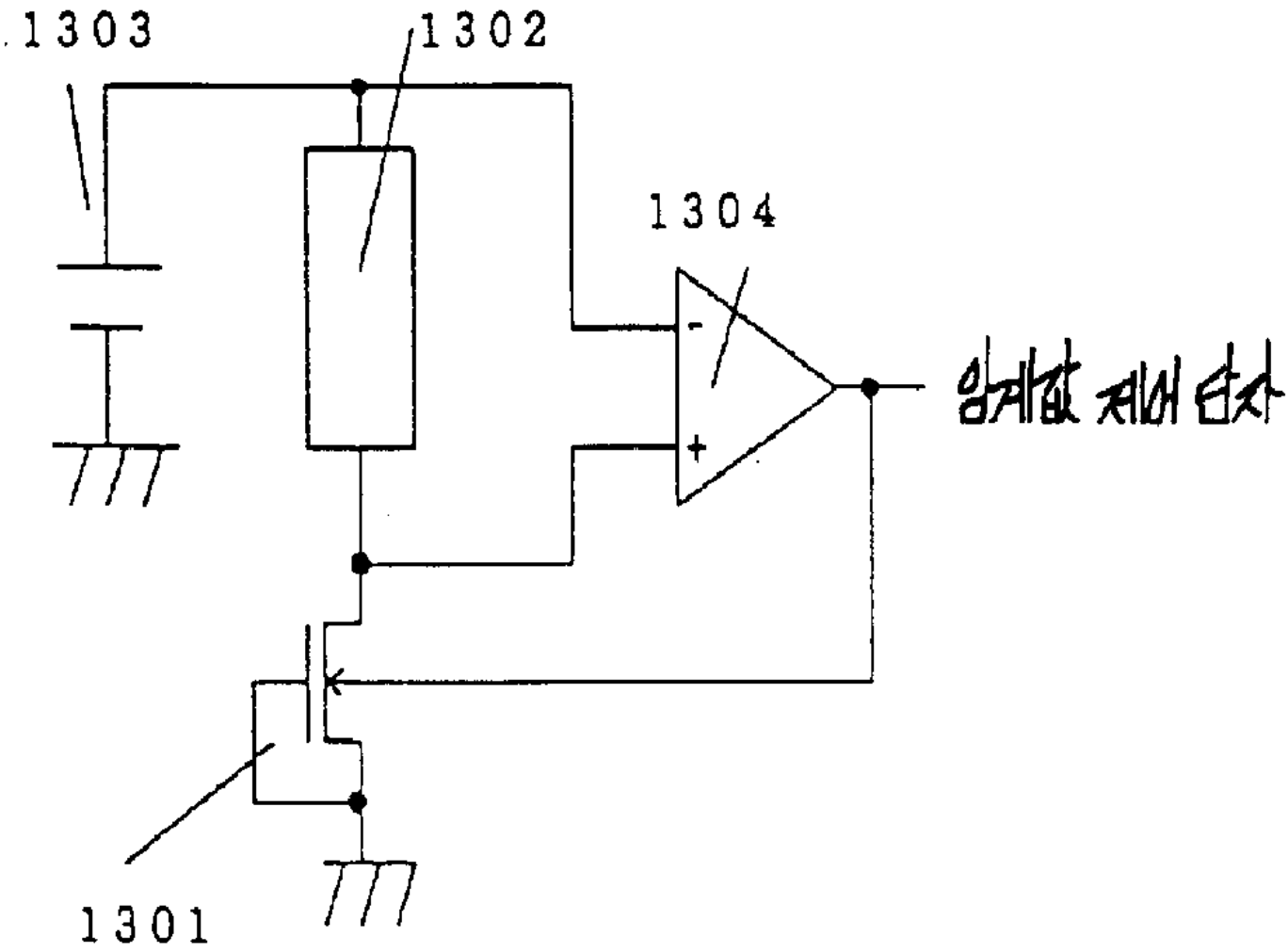
도면 11b



도면 12


1201
신호 라인 구동 회로
주사 라인 구동 회로
픽셀 매트릭스
1202
주사 라인 구동 임계값 제어 회로
1203
신호 라인 구동 임계값 제어 회로
1204

도면 13



도면 14

