

(43) 国際公開日
2006年5月4日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046302 A1(51) 国際特許分類⁷: H01L 21/60, 21/3205

(21) 国際出願番号: PCT/JP2004/016120

(22) 国際出願日: 2004年10月29日 (29.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).

(72) 発明者; および

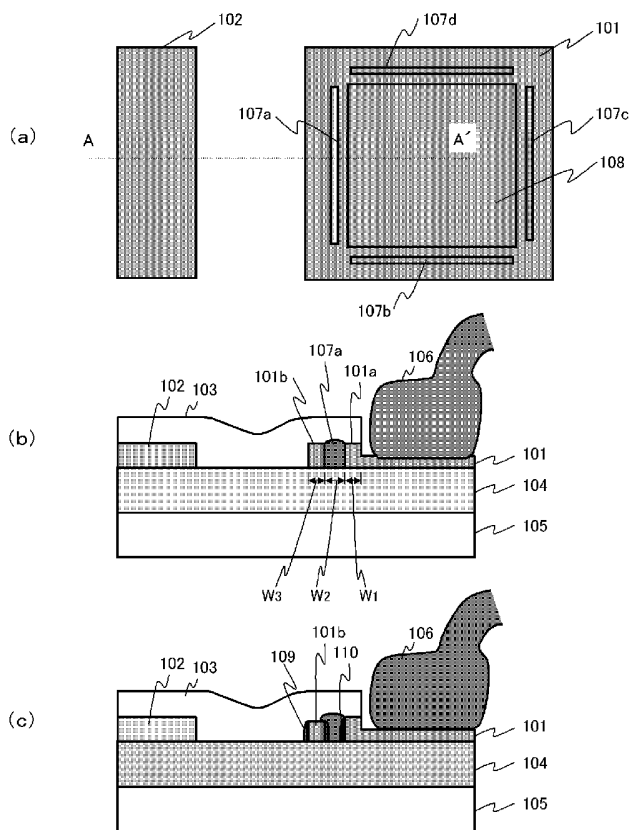
(75) 発明者/出願人 (米国についてのみ): 鈴木 清市

(SUZUKI, Seichi) [JP/JP]; 〒9650845 福島県会津若松
市門田町工業団地6番 Spansion Japan
株式会社内 Fukushima (JP).(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テブコビル
Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: On each side of a bonding pad (101) which surrounds a bonding opening (108), a slit-shaped space area (107) is provided and is separated into an area (101a) on the side of the bonding opening (108) of the bonding pad (101) and an area (101b) on the side of a wiring layer (102) adjacent to the area (101a), having a space area (107a) as a boundary. Since the area (101b) is separated from the area (101a) by a width of the space area (107a) and has a part of a passivation film (103), which is a soft material compared with a metal material, buried therein, heat stress is absorbed and diffused by the space area (107a) and diffusion of metal atoms from the area (101a) to the area (101b) is remarkably suppressed.

(57) 要約: ボンディング用開口窓108を取り囲むボンディングパッド101の各辺にスリット状の空隙領域107が設けられ、空隙領域107aを境として、ボンディングパッド101のボンディング用開口窓108側領域101aと、隣接して設けられている配線層102側領域101bとに分割される。配線層102側領域101bは、ボンディング用開口窓108側領域101aとは空隙領域107aの幅だけ離間されており、且つ当該部分には金属材料に比較して柔らかな材料であるパッシベーション膜103の一部が埋め込まれた状態となっているから、熱応力は空隙領域107aによって吸収・分散させるとともに、ボンディング用開口窓108側領域101aから配線層102側領域101bへ

の金属原子の拡散が大幅に抑制される。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は半導体装置に関し、より詳細には、半導体装置のボンディングパッド部と配線部との間の電氣的短絡を防止する技術に関する。

背景技術

- [0002] 半導体基板上に設けられた接続パッド（ボンディングパッド）と電極とが配線により電氣的に接続される構造の半導体装置においては、配線と保護膜との熱膨張係数の差によって熱応力が発生し、これにより配線あるいは保護膜にクラックが発生してしまうという問題が知られている。
- [0003] 特許文献1には、かかる問題を解決するために、半導体基板上に設けられた接続パッドおよびバンプ電極を囲むパターンを有して設けられた再配線にスリットを設け、バンプ電極を圧着させた時に生ずる応力をスリットで分散・緩和させることで配線の短絡や切断不良を抑制する技術が開示されている。

特許文献1：特開2004-22653号公報

発明の開示

発明が解決しようとする課題

- [0004] しかしながら、近年の半導体製品は、設計ルールの微細化に伴って、ボンディングパッドのサイズは勿論のこと、ボンディングパッドとパッシベーション膜との重なり幅や隣接する金属配線同士の間隔など、ボンディングパッド周辺にレイアウトされる各要素に可能な限りの微細化が求められてくるようになると、従来は設計ルールが緩いことから、発生はしなかった配線材料として用いられる金属原子（例えば、金原子やアルミニウム原子）の拡散に起因するクラックが発生し、電氣的短絡も問題となることが明らかとなってきた。
- [0005] すなわち、半導体装置の組立工程における金配線後の樹脂モールド熱処理や半導体装置の実使用中における熱履歴などにより、例えばチップ内のアルミ配線部へ金配線の金原子が拡散侵入などしてアルミ配線部が体積膨張してパッシベーション

膜中にクラックを生じさせたり、さらには配線に用いた金属原子がこのクラックに侵入して隣接する配線に接触したりするなどの現象が生じてしまう。

[0006] 図1は、このような問題を説明するための図で、図1(a)は互いに隣接してレイアウトされているボンディングパッド11と配線層12との位置関係を示す平面概念図である。また、図1(b)および図1(c)は図1(a)中のC-C'線に沿う断面概略図で、それぞれ、ボンディングパッド11にボンディングワイヤ16を接続する前(図1(b))と後(図1(c))を図示している。なお、図中の符号13で示したものは表面保護のためのパッシベーション膜、14は半導体基板15上に形成した絶縁膜、18はボンディングパッド11に設けられたボンディング用開口窓、そして17はパッシベーション膜13中に発生したクラックである。

[0007] 例えば、p型の半導体基板15の主面にCVD法で成膜された絶縁膜14の上に、フォトリソグラフィ技術によりボンディングパッド11と配線層12を形成し、所定の部位をパッシベーション膜13で被覆する。ここで、ボンディングパッド11と配線層12は何れも、アルミニウムで形成されているものとし、ボンディングパッド11に設けられたボンディング用開口窓18に接続されるボンディングワイヤ16は金ワイヤであると仮定する。なお、このボンディングワイヤ16は、チップの外側に設けられた不図示のリードフレームとボンディングパッド11とを電氣的に接続するものである。

[0008] ボンディングワイヤ16の接続後には、モールド樹脂を用いてチップの封止を行うこととなるが、この封止に伴って加えられる熱や半導体装置の実使用環境温度などに応じて、ボンディングワイヤ16とボンディングパッド11との接続箇所(接触箇所)では、ボンディングワイヤ16の金原子がアルミニウムからなるボンディングパッド11へと拡散侵入する。アルミニウム中へ拡散侵入した金原子はボンディングパッド11内を速やかに拡散してその濃度に応じた体積膨張を引き起こす。

[0009] このような体積膨張が進行してボンディングパッド11と配線層12の厚みの差が一定の水準を越えると、パッシベーション膜13には図1(c)に図示したようなクラック17が発生する。また、このようなクラック17内にボンディングパッド11から体積膨張した金やアルミニウムが侵入してくるが、これが配線層12にまで及ぶこととなると、ボンディングパッド11と配線層12とが電氣的に短絡してしまう。さらに、クラック17を介して雰囲気

気中の水分が浸入して配線層12を腐食させてしまうという不都合も生じ得る。

[0010] ここで、上記クラックへの金属原子の侵入の程度(侵入量および侵入長)は加えられる温度や時間に依存するが、このような金属原子の拡散に起因する素子不良を回避するためには、ボンディングパッド11へのボンディングワイヤ16の接続箇所をボンディングパッド端部から離して設たり(例えば、L1を8 μ m以上とする)、或いはボンディングパッド11と配線層12との間隔を一定値以上とする(例えば、L2を15 μ m以上とする)などのマージンを設ける必要があり、チップサイズが大きくならざるを得ないという問題がある。

[0011] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、半導体製品の設計ルール of 微細化に適合しつつ、半導体装置のボンディングパッド部と配線部との間の電氣的短絡を防止する技術を提供することにある。

課題を解決するための手段

[0012] 本発明は、かかる課題を解決するために、半導体装置であつて、隣接して設けられたボンディングパッド部と配線部とを備え、前記ボンディングパッドの前記配線部側の領域には、該ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域が設けられている構成を有する。

[0013] この半導体装置において、前記ボンディングパッドの前記配線部側の領域には、前記空隙領域が少なくとも3つ設けられており、該空隙領域が複数列で配置されている構成とすることができる。また、前記配線部と前記ボンディングパッドの一部領域が単一の保護膜で被覆されており、前記一部領域に設けられた空隙領域には前記保護膜の一部が充填されている構成とすることができる。この場合、前記ボンディングパッドの内側領域にはボンディングワイヤ接続用の開口窓が設けられており、前記少なくとも3つの空隙領域の何れかが前記開口窓の形成領域に設けられている構成とすることができる。

[0014] 前記保護膜は、相対的に軟性の第1の絶縁膜と相対的に硬性の第2の絶縁膜を順次積層させた多層膜であり、前記空隙領域への充填物は前記第1の絶縁膜の一部である構成とすることができる。また、前記第1の絶縁膜はSOG膜であり、前記第2の絶縁膜はシリコン窒化膜である構成とすることができる。更に、前記空隙領域を取り囲

む前記ボンディングパッドの側壁にはサイドウォールが設けられている構成とすることができる。前記サイドウォールは、TiまたはTiを含む合金で形成することができる。前記ボンディングパッド部と配線部とは、埋め込み配線パターンを被覆するように形成されたシリコン酸化膜上に設けられている構成とすることができる。

[0015] 本発明はまた、絶縁層上に導電層を形成し、該導電層をボンディングパッド部と配線部とにパターニングし、前記ボンディングパッドのパターニングにより、前記ボンディングパッドの前記配線部側の領域には、前記ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域を形成する半導体装置の製造方法を含む。この場合、前記ボンディングパッドの内側領域にボンディングワイヤ接続用の開口窓を形成する工程を有することができる。

[0016] 更に、本発明は、絶縁層によって覆われる埋め込み配線パターンを形成し、前記絶縁層上に導電層を形成し、該導電層をボンディングパッド部と配線部とにパターニングし、前記ボンディングパッドのパターニングにより、前記ボンディングパッドの前記配線部側の領域には、前記ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域を形成する半導体装置の製造方法を含む。

発明の効果

[0017] 本発明では、ボンディングパッドの一部領域に空隙領域を設けることとしたので、半導体製品の設計ルール of 微細化に適合しつつ、半導体装置のボンディングパッド部と配線部との間の電氣的短絡を防止する技術を提供することが可能となる。

図面の簡単な説明

[0018] [図1]従来技術の問題を説明するための図で、(a)は互いに隣接してレイアウトされているボンディングパッドと配線層との位置関係を示す平面概念図であり、(b)および(c)は(a)中のC-C'線に沿う断面概略図で、それぞれ、ボンディングパッドにボンディングワイヤを接続する前(b)と後(c)を図示している。

[図2]本発明の半導体装置に設けられているボンディングパッドとこれに隣接する配線層のレイアウトを説明するための図で、(a)は互いに隣接してレイアウトされているボンディングパッドと配線層との位置関係を示す平面概念図、(b)および(c)は(a)中のA-A'線に沿う断面概略図である。

[図3]加速試験後の半導体装置の断面SEM像である((a):本発明の半導体装置、(b):従来レイアウトの半導体装置)。

[図4]ボンディング用開口窓内に空隙領域を設けた例を説明するための図である。

[図5]本発明の半導体装置に設けられているボンディングパッドとこれに隣接する配線層のレイアウトの他の例を説明するための図で、(a)は互いに隣接してレイアウトされているボンディングパッドと配線層との位置関係を示す平面概念図、(b)は(a)中のB-B'線に沿う断面概略図である。

発明を実施するための最良の形態

[0019] 以下に、図面を参照して、本発明を実施するための形態について説明する。

実施例 1

[0020] 図2は、本発明の半導体装置に設けられているボンディングパッドとこれに隣接する配線層のレイアウトの一例を説明するための図で、図2(a)は互いに隣接してレイアウトされているボンディングパッド101と配線層102との位置関係を示す平面概念図、図2(b)は図2(a)中のA-A'線に沿う断面概略図である。なお、図中の符号103で示したものは表面保護のためのパッシベーション膜、104は半導体基板105上に形成した絶縁膜、108はボンディングパッド101に設けられたボンディング用開口窓である。そして、符号106はこのボンディング用開口窓108に接続されたボンディングワイヤである。

[0021] 本発明の半導体装置においては、ボンディング用開口窓108を取り囲むボンディングパッド101の各辺にスリット状の空隙領域107が設けられている。なお、ここで示した例では、ボンディングパッド101の上側と下側ならびに右側にも図示しない配線層が設けられているものと仮定しているので4つの辺の全てに空隙領域107を設けているが、一般的には、この空隙領域107は隣接して配線層が設けられている辺にのみ設けるようにすればよい。したがって、ボンディングパッド101に隣接してレイアウトされている配線層が102のみである場合には、空隙領域を107aのみとするようにしてもよい。

[0022] このような空隙領域107が設けられたボンディングパッド101のA-A'線に沿う断面をみると、図2(b)に示すように、空隙領域107aを境として、ボンディングパッド101の

ボンディング用開口窓108側領域101aと、隣接して設けられている配線層102側領域101bとに分割されることとなる。この配線層102側領域101bは、ボンディング用開口窓108側領域101aとは空隙領域107aの幅だけ離間されており、且つ当該部分にはパッシベーション膜103の一部が埋め込まれた状態となっているから、ボンディングワイヤ106の接続後に行われるモールド樹脂を用いた封止に伴って加えられる熱(例えば、200℃、5時間)や半導体装置の実使用環境温度などに応じて生じるボンディングワイヤ106の金属分子の101bへの拡散は空隙領域107aによって分断させられ、事実上発生しない。また体積膨張により発生するクラックは、空隙領域107aには発生するがこのクラックの発生により体積膨張の応力が緩和され、配線層102へのクラックの発生はない。

[0023] このようなレイアウトは微細加工技術を用いて、以下のように実現することができる。すなわち、例えば、比抵抗率が $20\ \Omega \cdot \text{cm}$ のp型の半導体基板105の主面にCVD法で成膜されたシリコン酸化膜(膜厚800nm程度)の絶縁膜104の上に、フォトリソグラフィ技術によりボンディングパッド101と配線層102を形成する。ここで、ボンディングパッド101と配線層102は、例えば膜厚500nm程度のAlCu合金(Cu:0.5wt%)膜をPVD法で成膜し、これをフォトリソグラフィ技術によりパターニングすることで形成する。なお、このパターニングの過程で、ボンディングパッド101の所望の位置(例えば、ボンディング用開口窓108を取り囲む4つの辺の全て)の金属が除去されて空隙領域107が形成される。

[0024] これに続いて、膜厚1000nm程度の窒化シリコン膜をCVD成長させて、所定の部位をパッシベーション膜103で被覆し、この膜の一部をエッチングで除去してボンディングパッド101の内側領域にボンディング用開口窓108を形成する。そして、ボンディングパッド101内側領域に設けたボンディング用開口窓108にボンディングワイヤ106を接続する。ボンディングパッド101には、直径30nmの金ワイヤがボンディングワイヤ106接続されている。

[0025] なお、図2に示した例では、ボンディング用開口窓108は一辺が概ね $90\ \mu\text{m}$ の矩形とされ、ボンディングパッド101のボンディング用開口窓108側領域101aの幅W1を $2\ \mu\text{m}$ 、空隙領域107aの幅W2を $1\ \mu\text{m}$ 、そしてボンディングパッド101の配線層1

02側領域101bの幅W3を $2\mu\text{m}$ としている。

[0026] また、所望により、図2(c)に示したように、ボンディングパッド101のボンディング用開口窓108側領域101aの側壁、およびボンディングパッド101の配線層102側領域101bの側壁に、TiやTiを含む合金などによるサイドウォール109、110を形成するようにしてもよい。

[0027] このようなレイアウトの本発明の半導体装置について、加速試験(150℃、1000時間)を行って従来レイアウトの半導体装置との信頼性比較を行った。

[0028] 図3は、このような加速試験後の半導体装置の断面SEM像をトリミングして示した図である(図3(a):本発明の半導体装置、図3(b):従来レイアウトの半導体装置)。これらのSEM像から明らかなように、従来構成の半導体装置では、熱が加わることによりクラックが発生し、かつそのクラック部分にボンディングパッドから拡散侵入してきた金属が隣接する配線層にまで達して電氣的な短絡を生じているのに対して、本発明の半導体装置においては、空隙領域107による応力の吸収・分散効果に加え、ボンディングパッド101の配線層102側領域101bに異種金属の接合を生じさせることで、従来原子レベルの拡散があったものを、この接合面が移動を物理的に制限し結果として金属原子の拡散バリアとして作用させることができ、配線層102へのクラックそのものの発生が認められていない。

[0029] 上述したような空隙領域は、ボンディングパッド101の内側領域に形成されるボンディング用開口窓108内に設けるようにしてもよい。

[0030] 図4は、ボンディング用開口窓108内に空隙領域107を設けた例を説明するための図で、この図に示した例では、空隙領域107a～dの幅が $1\mu\text{m}$ 、長さが $20\mu\text{m}$ とされている。

実施例 2

[0031] 図5は、本発明の半導体装置に設けられているボンディングパッドとこれに隣接する配線層とのレイアウトを示し、他の例を説明するための図である。図5(a)は互いに隣接してレイアウトされているボンディングパッド101と配線層102との位置関係を示す平面概念図、図5(b)は図5(a)中のB-B'線に沿う断面概略図である。なお、この図において、符号111は熱酸化法により成長させたシリコン酸化膜、112はCVD法で

成長させたシリコン酸化膜104上に形成された配線パターン、そして113はCVD法で成長させたシリコン酸化膜であり、その他の実施例1と同じ構成要素については同じ符号を付している。

[0032] 図5(a)に図示されているとおり、本実施例の半導体装置においては、ボンディングパッド101の各辺にボンディング用開口窓108を取り囲むように 相互に所定間隔で設けられた一対のスリット状空隙領域(107a〜h)が形成されており、さらにこれら一対の空隙領域107a〜hの離間領域に対応するボンディング用開口窓108内の位置にも各1個の空隙領域(107i〜l)が設けられている。すなわち、空隙領域(107a〜h)と空隙領域(107i〜l)とが交互に千鳥配置される位置に設けられている。このような千鳥配置とすることにより、本件が問題として取り上げている金線のボンディングワイヤをボンディングパッド101に接続し、所定の熱履歴が掛かった場合に発生するボンディングワイヤからの金原子の拡散 およびそれに伴い発生するアルミニウム分子の拡散は、配線層102側に到達するために必要な実効的な拡散距離が長くなり、ボンディングパッド101と配線層102との間隔を狭く設計することができる。その結果、微細化の要求を満足させつつ、半導体装置のボンディングパッド部と配線層との間の電氣的短絡を防止する技術を提供することが可能となる。

[0033] なお、ここで示した例では、ボンディングパッド101の上側と下側ならびに右側にも図示しない配線層が設けられているものと仮定しているので、ボンディングパッド101の4つの外縁近傍領域の全てに一対の空隙領域を設けているが、一般的には、この空隙領域の対は隣接して配線層が設けられている辺にのみ設けられていけばよい。したがって、ボンディングパッド101に隣接してレイアウトされている配線層が102のみである場合には、一対の空隙領域を107aと107bのみとし、これに対応して設けられるボンディング用開口窓108内の空隙領域を107iのみとするようにしてもよい。

[0034] このようなレイアウトも、微細加工技術を用いて以下のように実現することができる。すなわち、例えば、比抵抗率が $20\ \Omega \cdot \text{cm}$ のp型の半導体基板105の主面に熱酸化でシリコン酸化膜111(膜厚300nm程度)を成膜し、この上にCVD法で成膜されたシリコン酸化膜(膜厚700nm程度)の絶縁膜104を設け、この絶縁膜104の上に所望の配線パターン112を形成する。この配線パターン112は、例えば膜厚500nm程

度のAlCu合金(Cu:0.5wt%)膜をPVD法で成膜し、これをフォトリソグラフィ技術によりパターンニングすることで形成する。

[0035] 次に、CVD法で配線パターン112を被覆するシリコン酸化膜113(膜厚900nm程度)を成膜し、このシリコン酸化膜113上にフォトリソグラフィ技術によりボンディングパッド101と配線層102を形成する。ここで、ボンディングパッド101と配線層102は、例えば膜厚500nm程度のAlCu合金(Cu:0.5wt%)膜をPVD法で成膜し、これをフォトリソグラフィ技術によりパターンニングすることで形成する。なお、このパターンニングの過程で、ボンディングパッド101の空隙領域107a~lが形成される。なお、図5に示した例では、各空隙領域は、幅2 μ m、長さ20 μ mのスリット状のものとされている。

[0036] これに続いて、パッシベーション膜103として、SOG(spin on glass:膜厚500nm程度)とシリコン窒化膜(膜厚700nm程度)をこの順で成膜する。このSOG成膜過程で上記の空隙領域にはSOGが充填されることになる。なお、パッシベーション膜103が2層構造とされているのは空隙領域に比較的柔らかなSOGを充填するためであり、この後の工程で発生すると予想される体積膨張の応力をSOGに効果的に吸収させてクラック発生を抑制するためである。そして、フォトリソグラフィ技術によりパッシベーション膜103の一部をエッチングで除去して、ボンディングパッド101の内側領域にボンディング用開口窓108を形成する。

[0037] ボンディング用開口窓108形成に伴うエッチング工程においては、ボンディングパッド101の配線層102側領域に形成されている空隙領域107a~hはパッシベーション膜103で被覆されているためにその中に充填されたSOGはエッチングされずに残存することとなるが、ボンディングパッド101のボンディング用開口窓108領域に形成されている空隙領域107i~lはパッシベーション膜103で被覆されていないため、その中に充填されたSOGもエッチングで取り除かれることとなる。

[0038] そして最後に、ボンディングパッド101内側領域に設けたボンディング用開口窓108に不図示のボンディングワイヤを接続する。

[0039] このような空隙領域を設けると、ボンディングワイヤ接続後に行われるモールド樹脂を用いた封止に伴って加えられる熱(例えば、200℃、5時間)や半導体装置の実使用環境温度などに応じて生じる体積膨張は空隙領域107a~lによって吸収・分散さ

れることとなるが、特に空隙領域107i-1はその内部にSOGなどが充填されていない「空状態」であることと実質的な分子移動の発生地点となるボンディングワイヤとの接続部からの距離が近いことから、体積膨張分の多くはこれらの空隙領域107i-1で吸収される。また、ボンディング用開口窓108側領域から配線層102側領域への金属原子の拡散は大幅に抑制されることとなるためクラックの発生頻度も顕著に低下する。このため、ボンディングパッド101と配線層102が設けられている面の下方に配線パターン112を埋め込むようなデバイス構造としても、応力に起因するクラックが発生することがなくなる。

[0040] なお、これまでは空隙領域の形状をスリット状として説明してきたが、この形状に限定されるものではない。空隙領域はあくまでも体積膨張によって生じる応力を緩和・分散させ、且つボンディングパッド側から配線層側への金属原子の拡散バリアとして作用するものであればよいから、かかる空隙領域を設ける箇所に応じて、その形状や配列あるいは数を適宜変更することができることは明らかである。

[0041] 以上説明したように、本発明によれば、半導体製品の設計ルールの微細化に適合しつつ、半導体装置のボンディングパッド部における電氣的短絡を防止する技術を提供することができる。

[0042] 以上本発明の好ましい実施形態について詳述したが、本発明に係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

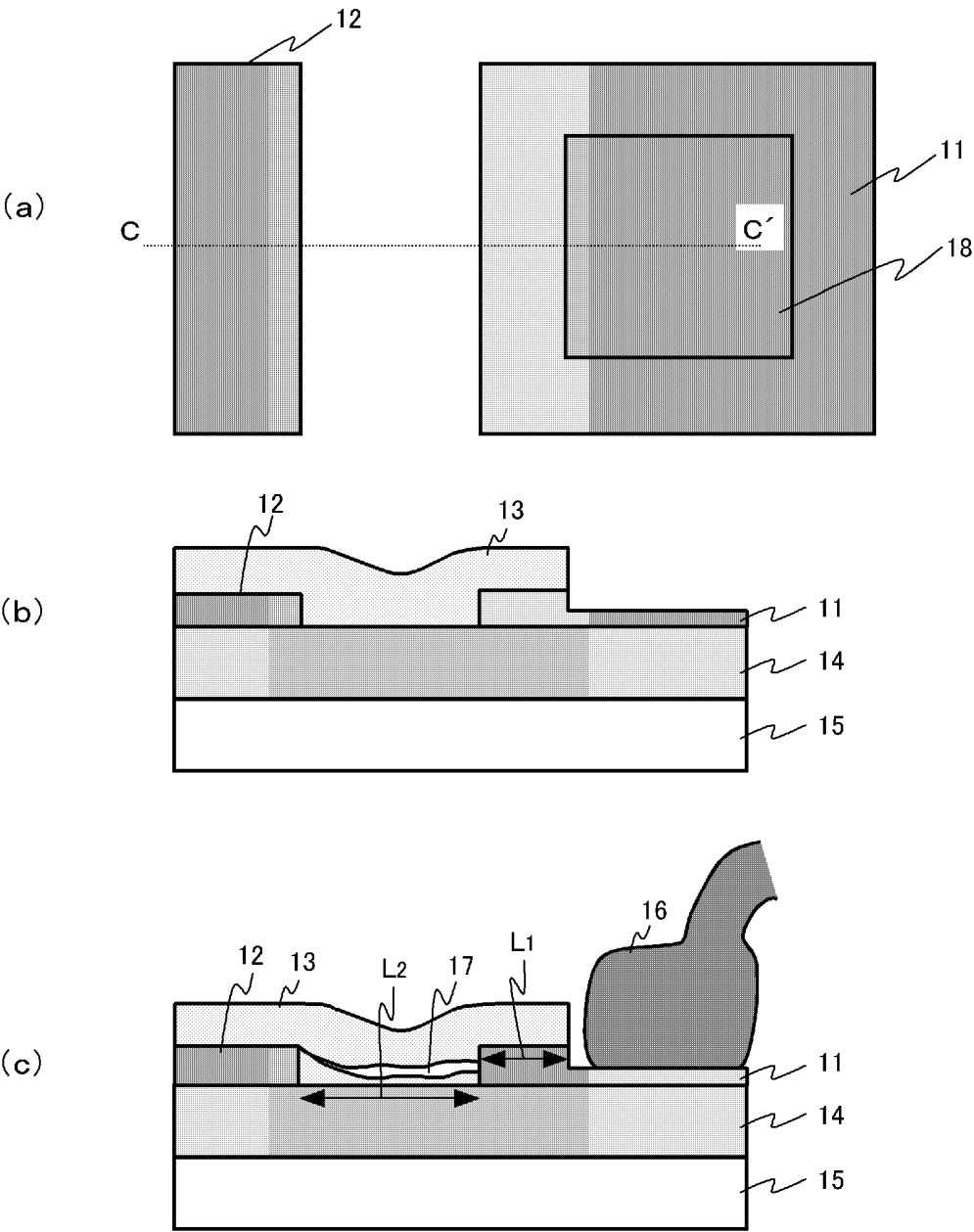
請求の範囲

- [1] 隣接して設けられたボンディングパッド部と配線部とを備え、前記ボンディングパッドの前記配線部側の領域には、該ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域が設けられている半導体装置。
- [2] 前記ボンディングパッドの前記配線部側の領域には前記空隙領域が少なくとも3つ設けられており、該空隙領域が複数列で配置されている請求項1に記載の半導体装置。
- [3] 前記配線部と前記ボンディングパッドの一部領域が単一の保護膜で被覆されており、前記一部領域に設けられた空隙領域には前記保護膜の一部が充填されている請求項1または2に記載の半導体装置。
- [4] 前記ボンディングパッドの内側領域にはボンディングワイヤ接続用の開口窓が設けられており、前記少なくとも3つの空隙領域の何れかが前記開口窓の形成領域に設けられている請求項2または3に記載の半導体装置。
- [5] 前記保護膜は、相対的に軟性の第1の絶縁膜と相対的に硬性の第2の絶縁膜を順次積層させた多層膜であり、前記空隙領域への充填物は前記第1の絶縁膜の一部である請求項3または4に記載の半導体装置。
- [6] 前記第1の絶縁膜はSOG膜であり、前記第2の絶縁膜はシリコン窒化膜である請求項5に記載の半導体装置。
- [7] 前記空隙領域を取り囲む前記ボンディングパッドの側壁にはサイドウォールが設けられている請求項1乃至6の何れかに記載の半導体装置。
- [8] 前記サイドウォールは、TiまたはTiを含む合金で形成されている請求項7に記載の半導体装置。
- [9] 前記ボンディングパッド部と配線部とは、埋め込み配線パターンを被覆するように形成されたシリコン酸化膜上に設けられている請求項1乃至8の何れかに記載の半導体装置。
- [10] 絶縁層上に導電層を形成し、
該導電層をボンディングパッド部と配線部とにパターニングし、前記ボンディングパッドのパターニングにより、前記ボンディングパッドの前記配線部側の領域には、前記

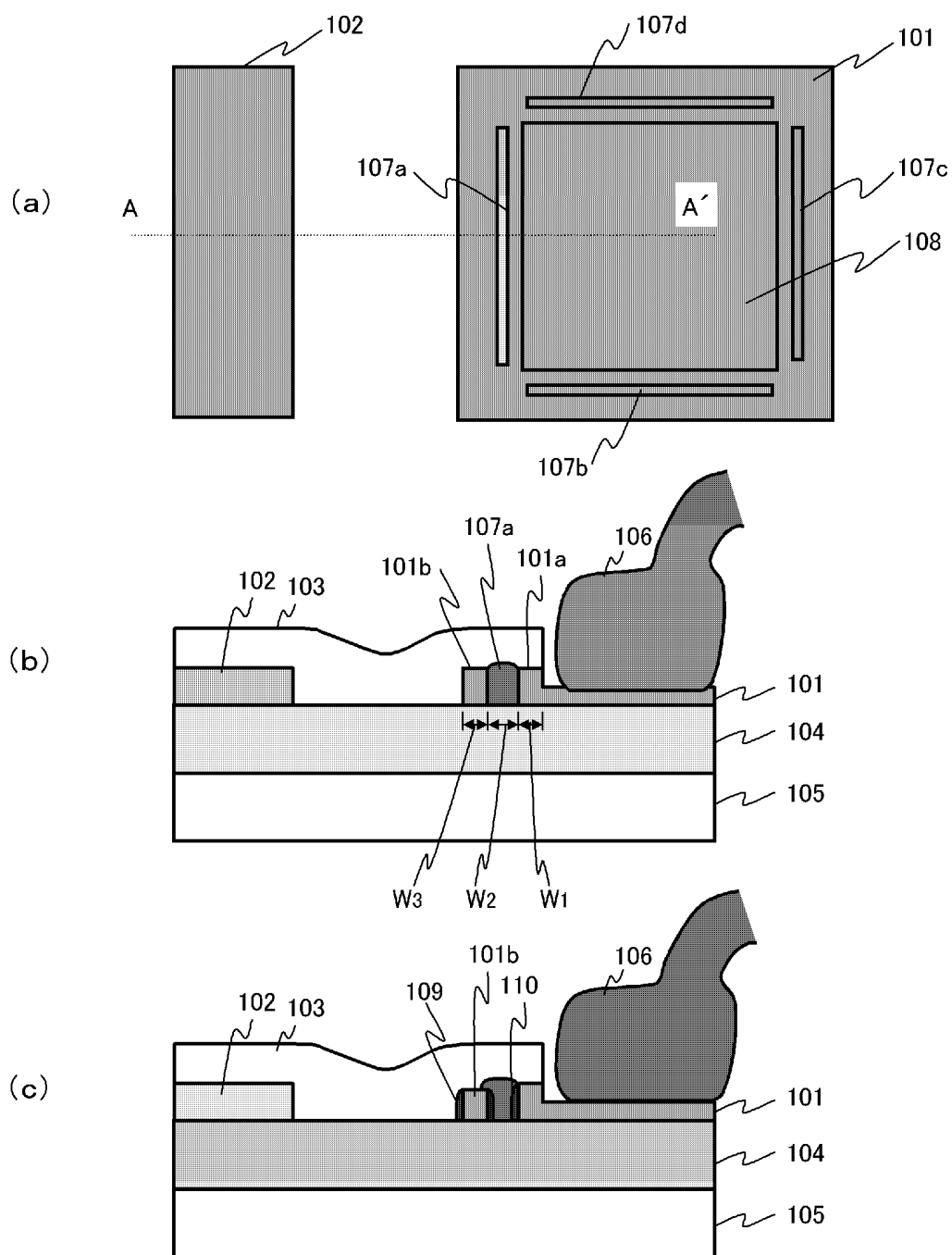
ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域を形成する半導体装置の製造方法。

- [11] 前記ボンディングパッドの内側領域にボンディングワイヤ接続用の開口窓を形成する請求項10記載の製造方法。
- [12] 絶縁層によって覆われる埋め込み配線パターンを形成し、
前記絶縁層上に導電層を形成し、
該導電層をボンディングパッド部と配線部とにパターニングし、前記ボンディングパッドのパターニングにより、前記ボンディングパッドの前記配線部側の領域には、前記ボンディングパッドの外周縁と実質的に同方向に延在する空隙領域を形成する半導体装置の製造方法。

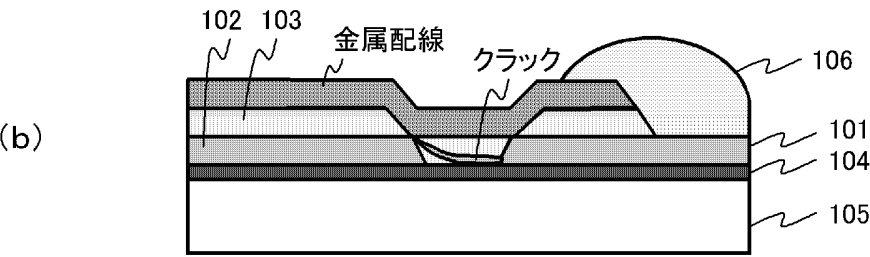
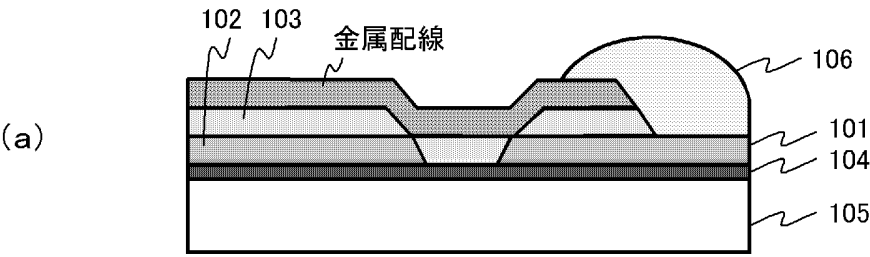
[図1]



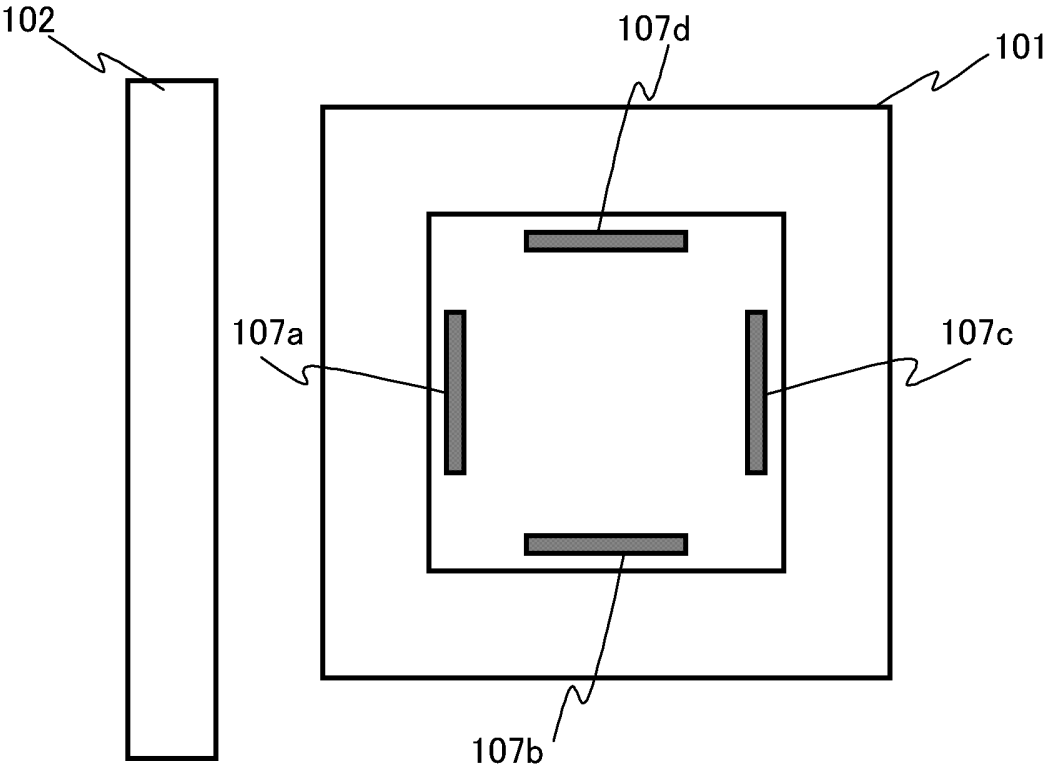
[図2]



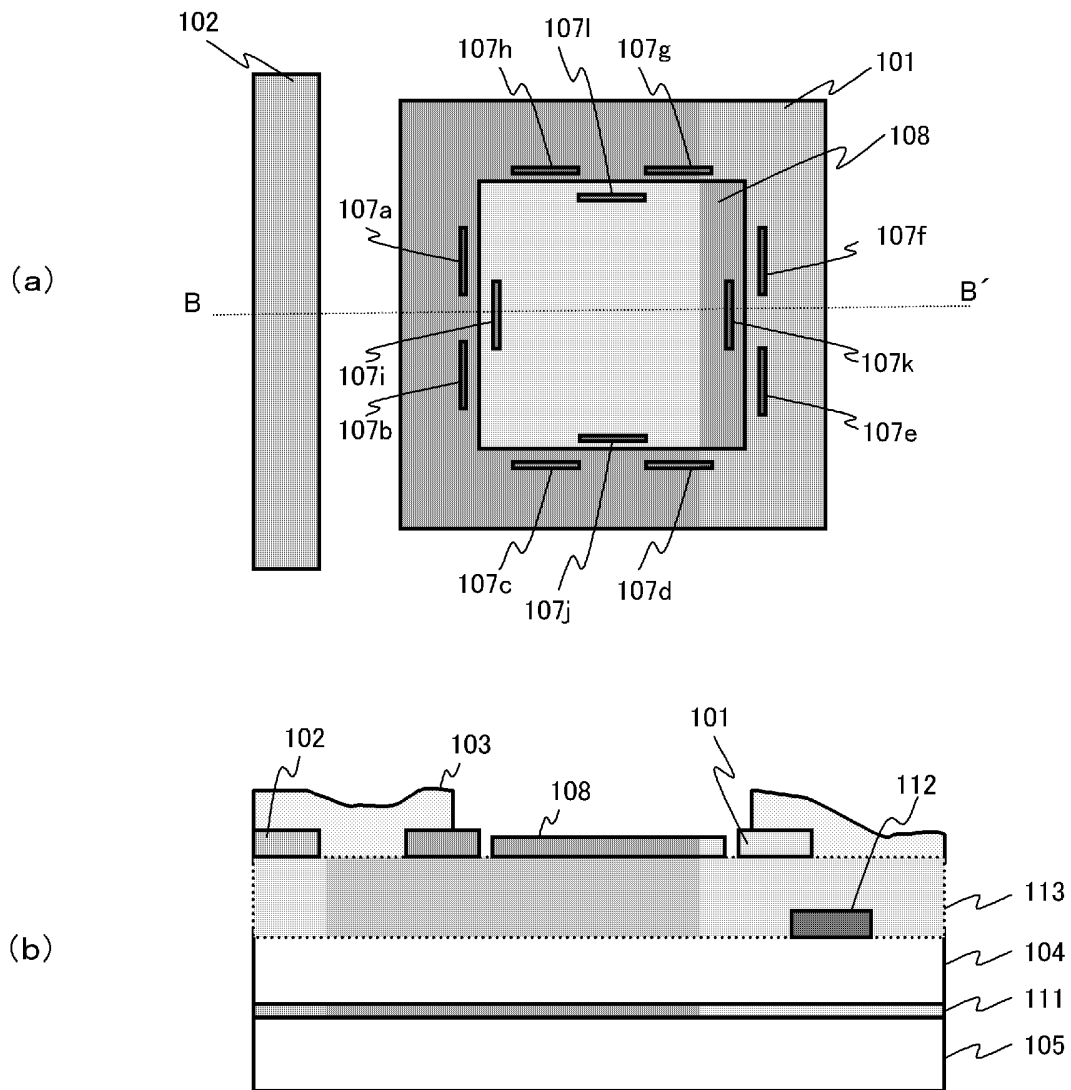
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016120

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/60, H01L21/3205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L21/60, H01L21/3205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 63-141330 A (NEC Corp.), 13 June, 1988 (13.06.88), Examples; all drawings	1-4, 10-11
Y	Examples; all drawings	9, 12
A	Examples; all drawings (Family: none)	5-8
Y	JP 2000-012604 A (Toshiba Corp.), 14 January, 2000 (14.01.00), Prior Art; Fig. 3 (Family: none)	9, 12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 December, 2004 (03.12.04)

Date of mailing of the international search report
21 December, 2004 (21.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60, H01L21/3205

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60, H01L21/3205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 63-141330 A (日本電気株式会社) 1988.06.13, 実施例, 全図 実施例, 全図 実施例, 全図 (ファミリーなし)	1-4, 10-11 9, 12 5-8
Y	JP 2000-012604 A (株式会社東芝) 2000.01.14 【従来の技術】, 図3 (ファミリーなし)	9, 12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

03.12.2004

国際調査報告の発送日

21.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 R 9544

電話番号 03-3581-1101 内線 3469