

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5238178号
(P5238178)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 3 B

H O 1 L 29/788 (2006. 01)

H O 1 L 29/78 6 1 4

H O 1 L 29/792 (2006. 01)

G 1 1 C 17/00 6 2 1 C

請求項の数 7 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2007-83487 (P2007-83487)
 (22) 出願日 平成19年3月28日 (2007. 3. 28)
 (65) 公開番号 特開2007-294928 (P2007-294928A)
 (43) 公開日 平成19年11月8日 (2007. 11. 8)
 審査請求日 平成22年2月2日 (2010. 2. 2)
 (31) 優先権主張番号 特願2006-101265 (P2006-101265)
 (32) 優先日 平成18年3月31日 (2006. 3. 31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 宮崎 彩
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 納 光明
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

直列に電氣的に接続された第 1 及び第 2 のメモリ素子を含む N A N D セルを有し、
 前記第 1 のメモリ素子は、第 1 のチャンネル形成領域、第 1 のソース領域、第 1 のドレイン領域を有し、
 前記第 2 のメモリ素子は、第 2 のチャンネル形成領域、第 2 のソース領域、第 2 のドレイン領域を有し、
 前記第 1 のソース領域として機能する不純物領域は、第 1 の不純物領域を介して、消去線に電氣的に接続され、
 前記第 1 のドレイン領域として機能する不純物領域は、前記第 1 の不純物領域を介して、前記消去線に電氣的に接続され、
 前記第 2 のソース領域として機能する不純物領域は、前記第 1 の不純物領域を介して、前記消去線に電氣的に接続され、
 前記第 2 のドレイン領域として機能する不純物領域は、前記第 1 の不純物領域を介して、前記消去線に電氣的に接続され、
 前記第 1 のソース領域として機能する不純物領域と前記第 1 の不純物領域は P N 接合を形成し、
 前記第 1 のドレイン領域として機能する不純物領域と前記第 1 の不純物領域は P N 接合を形成し、
 前記第 2 のソース領域として機能する不純物領域と前記第 1 の不純物領域は P N 接合を

10

20

形成し、

前記第2のドレイン領域として機能する不純物領域と前記第1の不純物領域はPN接合を形成していることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1及び第2のチャンネル形成領域、前記第1及び第2のソース領域及び前記第1及び第2のドレイン領域及び前記第1の不純物領域は、1つの島状の半導体膜に形成されていることを特徴とする半導体装置。

【請求項3】

直列に電氣的に接続された第1及び第2のメモリ素子を含むNANDセルを有し、

前記第1のメモリ素子は、第1のチャンネル形成領域、第1のソース領域、第1のドレイン領域を有し、

前記第2のメモリ素子は、第2のチャンネル形成領域、第2のソース領域、第2のドレイン領域を有し、

前記第1のソース領域として機能する不純物領域は、半導体領域、第1の不純物領域を介して、消去線に電氣的に接続され、

前記第1のドレイン領域として機能する不純物領域は、前記半導体領域、前記第1の不純物領域を介して、前記消去線に電氣的に接続され、

前記第2のソース領域として機能する不純物領域は、前記半導体領域、前記第1の不純物領域を介して、前記消去線に電氣的に接続され、

前記第2のドレイン領域として機能する不純物領域は、前記半導体領域、前記第1の不純物領域を介して、前記消去線に電氣的に接続され、

前記第1のソース領域として機能する不純物領域、前記半導体領域及び前記第1の不純物領域はPIN接合を形成し、

前記第1のドレイン領域として機能する不純物領域、前記半導体領域及び前記第1の不純物領域はPIN接合を形成し、

前記第2のソース領域として機能する不純物領域、前記半導体領域及び前記第1の不純物領域はPIN接合を形成し、

前記第2のドレイン領域として機能する不純物領域、前記半導体領域及び前記第1の不純物領域はPIN接合を形成していることを特徴とする半導体装置。

【請求項4】

請求項3において、

前記第1及び第2のチャンネル形成領域、前記第1及び第2のソース領域及び前記第1及び第2のドレイン領域、前記半導体領域及び前記第1の不純物領域は、1つの島状の半導体膜に形成されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のソース領域及び前記第1のドレイン領域の一方は、第1の選択トランジスタを介してソース線に電氣的に接続され、

前記第1のソース領域及び前記第1のドレイン領域の他方は、第2の選択トランジスタを介してビット線に電氣的に接続され

前記第2のソース領域及び前記第2のドレイン領域の一方は、前記第1の選択トランジスタを介して前記ソース線に電氣的に接続され、

前記第2のソース領域及び前記第2のドレイン領域の他方は、前記第2の選択トランジスタを介して前記ビット線に電氣的に接続されていることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第1及び第2のメモリ素子は、絶縁表面上に形成されていることを特徴とする半導体装置。

【請求項7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記第 1 及び第 2 のメモリ素子は、S O I 基板を用いて形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に書き込み、読み出し及び消去が可能な記憶手段を備えた半導体装置に関する。記憶手段として、不揮発性記憶素子を備えた半導体装置に関する。

【背景技術】

10

【0002】

データを電氣的に書き換え可能であり、電源を切ってもデータを記憶しておくことのできる不揮発性メモリの市場が拡大している。不揮発性メモリは、M O S F E T (M e t a l O x i d e S e m i c o n d u c t o r F i e l d e f f e c t t r a n s i s t o r) と類似の構成を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲートとも呼ばれている。浮遊ゲート上には、さらに絶縁層を介して制御ゲートを備えている。

【0003】

このような構造を有する所謂浮遊ゲート型の不揮発性メモリは、制御ゲートに印加する電圧により、浮遊ゲートに電荷を蓄積させ、また電荷を放出させる動作が行われる。すなわち浮遊ゲートに保持させる電荷の注入や引き抜きは、チャネル形成領域が形成される半導体層と、制御ゲートの間に高電圧を印加して行われている。このときチャネル形成領域上の絶縁層には、ファウラー - ノルドハイム (F o w l e r - N o r d h e i m) 型 (F - N 型) トンネル電流や、熱電子が流れると言われている。このことにより当該絶縁層は、トンネル絶縁層とも呼ばれている。

20

【0004】

また、浮遊ゲート型の不揮発性メモリの代表的なセル構成として、N O R 型及びN A N D 型が挙げられる。N O R 型とは 1 セルにメモリ素子 1 つを有する構造であり、N A N D 型とは 1 セルに直列に接続された複数のメモリ素子を有する構造である (特許文献 1 参照) 。

30

【0005】

また、不揮発性メモリ素子を用いた記憶装置は、L S I 技術を適用して形成され、不揮発性記憶素子が配置されたメモリアレイ部と、メモリアレイ部の動作を制御する周辺回路がシリコンウエハに一体形成されている。N A N D 型セルの消去動作では、メモリアレイ部の基板電位を変動させることで一括消去を行う。従って、N A N D 型セルを採用した場合は、周辺回路に影響を及ぼさないようにする必要がある。そのため、従来の L S I 技術では、ウエハに形成されたウエル (素子領域) を分離して、メモリアレイ部と周辺回路ごとにウエルを作り分ける必要がある。

【0006】

40

【特許文献 1】特開 2 0 0 0 - 5 8 6 8 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

近年、薄型表示装置の飛躍的な発展や、携帯情報端末の市場の拡大にあわせて、ガラスやセラミック等の絶縁表面にトランジスタを形成する技術 (S O I 技術) が多く用いられている。更に、表示装置等と同一基板上に駆動回路やメモリを作り込むシステムオンパネルが注目されている。

【0008】

従来の L S I の技術で作製した N A N D 型メモリは、消去モード動作において、基板に

50

正の電位を印加することにより、浮遊ゲートに蓄積された電子を引き抜き、メモリ素子を負の状態（"1"）としている。しかしながら、絶縁表面には基板電位を与えることができないため、従来のNAND型メモリをそのままSOI構造としても、消去動作を行うことができない。

【0009】

本発明は、上記課題に鑑み、絶縁表面上に形成しても、一括消去が可能なNAND型メモリセルを鋭意研究した結果なされたものである。よって、本発明は、SOI構造であり、一括消去可能な新規なNAND型セル構造を提供すること目的とする。また、本発明は、SOI技術の素子分離技術を適用し、NAND型メモリセルの大容量化、高集積化を目的とする。

10

【課題を解決するための手段】

【0010】

本発明は、浮遊ゲートと制御ゲートを有するメモリ素子が複数直列接続されたNANDセルと、前記複数のメモリ素子の制御ゲートがそれぞれ接続されているワード線と、消去線と、を有する半導体装置である。上記構成において、前記複数のメモリ素子の端子は、それぞれ、前記消去線にダイオード接続されていることを特徴とする。

【0011】

本発明は、前記複数のメモリ素子の端子は、それぞれ、前記消去線にダイオード接続していることにより、消去動作を可能とすることを特徴とする。

【0012】

20

上記の構成において、NANDセルの一方の端子に接続された第1の選択トランジスタと、他方の端子に接続された第2の選択トランジスタを設けることができる。

【0013】

他の発明は、NANDセルを絶縁表面上に設けたことを特徴とする。具体的には、次の構成を有する。NANDセルに含まれる複数のメモリ素子は、そのチャネル形成領域、ソース領域及びドレイン領域が絶縁表面上の1つの島状の半導体膜に形成されている。この半導体膜には、ソース領域とのダイオード接合、及びドレイン領域とのダイオード接合が形成されており、メモリ素子のソース領域及びドレイン領域は、それぞれ、ダイオード接合を介して消去線に電氣的に接続される。本発明において、ダイオード接合が形成される島状の半導体膜は、NANDセルごとに異なる膜とすることができる。また、隣り合うNANDセルで1つの膜とすることもできる。

30

【0014】

本発明は、絶縁表面上の1つの半導体膜と、前記半導体膜上の第1ゲート絶縁膜と前記第1ゲート絶縁膜を介して前記半導体膜上のn個（nは2以上整数）の浮遊ゲートと、前記n個の浮遊ゲートに対応して設けられたn個の制御ゲートと、前記n個の浮遊ゲートと前記n個の制御ゲートの間の第2ゲート絶縁膜と、1本の消去線とを有する。

【0015】

上記構成に係る前記半導体膜は、前記n個の浮遊ゲートに対応して設けられたn個のチャネル形成領域と、前記n個のチャネル形成領域に対応して形成されたn+1個の高濃度不純物領域と、前記n+1個の高濃度不純物領域に接合する2個の低濃度不純物領域とを含む。前記n+1個の高濃度不純物領域と前記2個の低濃度不純物領域の導電型は異なり、前記2個の低濃度不純物領域は、それぞれ、前記消去線に電氣的に接続されていることを特徴とする。なお、半導体膜に形成される低濃度不純物領域は1個とすることもできる。

40

【0016】

上記構成において、半導体膜に高濃度不純物領域と低濃度不純物領域とでPN接合が形成され、PN接合が半導体膜に形成される。従って、各高濃度不純物領域がPN接合を介して、消去線に接続されるため、絶縁表面上に消去動作可能なNANDセルが実現される。

【0017】

50

上記のPN接合ダイオードをPIN接合ダイオードとなるように形成することもできる。低濃度不純物領域と $n+1$ 個の高濃度不純物領域とが接合している部分に、さらに高抵抗領域を形成する。高抵抗領域は低濃度不純物領域よりも抵抗が高い領域である。半導体膜には、高濃度不純物領域、高抵抗領域、低濃度不純物領域により、PIN接合が形成される。

【発明の効果】

【0018】

本発明のNAND型セルは、NAND型セルのメモリ素子をPN接合またはPIN接合を介して、消去線に接続することにより、絶縁表面上でも消去動作が可能である。よって、絶縁表面を有する基板を使用することにより、メモリアレイ部と周辺回路との作り分けが容易になる。よって、本発明の半導体装置は、表示部などと複合化したシステムオンパネル等にも応用することが可能になる。

10

【0019】

また、本発明では、NAND型セルのメモリ素子の半導体膜にダイオード接合を形成しているため、高集積化を図ることができる。その結果、記憶容量をより大容量化することができる。

【発明を実施するための最良の形態】

【0020】

図面を用いて、本発明の実施の形態を説明する。ただし、本発明は以下の説明に限定されない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態および実施例の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いている。そのため、繰り返しになる説明を省略している。

20

【0021】

(実施の形態1)

本発明のメモリアレイ部はNAND型メモリセルアレイでなる。図1に、本発明のNAND型メモリセルアレイの等価回路図を示す。ビット線BL(BL0~BLn)には、複数の不揮発性メモリ素子を直列に接続したNANDセルNC1が接続されている。不揮発性メモリ素子は浮遊ゲートFGと制御ゲートCGを有する素子である。

30

【0022】

複数のNANDセルが集まってブロックBLKを構成している。図1で示すブロックBLK1のワード線は32本である。ここでは、それぞれをワード線WL0~WL31という。よって、1つのNANDセルは、ワード線に対応して32個の不揮発性メモリ素子M0~M31を有し、これらの不揮発性メモリ素子M0~M31が直列接続されている。

【0023】

ブロックBLK1の同一行に位置する不揮発性メモリ素子M0~M31の制御ゲートCGは、この行に対応するワード線WL0~WL31が共通に接続されている。ブロックBLK1には消去線ELが設けられており、各NANDセルは消去線ELに電氣的に接続されている。各NANDセルにおいて、不揮発性メモリ素子M0~M31の端子は、それぞれ、消去線ELにダイオード接続されている。本明細書では、ダイオード接続を表すのに、点線のダイオード素子で表している。消去線ELはNANDセルの消去動作を行うための配線であり、消去線ELを設けたことで、NANDセルを絶縁表面上に設け、かつ一括消去することが可能になる。

40

【0024】

まず、書き込み動作について説明する。書き込み動作では、NANDセルNC1が消去状態、つまりNANDセルNC1の各不揮発性メモリ素子M0~M31のしきい値が負電圧の状態にしてから実行される。書き込みは、ソース線SL側のメモリ素子M0から順に行う。メモリ素子M0への書き込みを例として説明すると概略以下のようなになる。

【0025】

50

図2に示すように、書き込みをする場合、選択ゲート線SG2に例えばVcc(電源電圧)を印加して選択トランジスタS2をオンにすると共に、ビット線BL0の電位を0V(接地電圧)にする。選択ゲート線SG1の電位は0Vにして、選択トランジスタS1はオフとする。次に、メモリ素子M0のワード線WL0の電位を高電圧Vpgm(20V程度)とし、これ以外のワード線の電位を中間電圧Vpass(10V程度)にする。ビット線BLの電位は0Vなので、選択されたメモリ素子M0のチャネル形成領域の電位は0Vとなる。ワード線WL0とチャネル形成領域との間の電位差が大きいため、メモリ素子M0の浮遊ゲートCG0には前述のようにF-Nトンネル電流により電子が注入される。これにより、メモリ素子M0のしきい値電圧が正の状態("0"が書き込まれた状態)となり、書き込みが行われないメモリ素子は負の状態("1")を保持する。このとき消去線ELの電位は最低電位Vlow(ここでは0V)とする。消去線ELの電位がVlow(0V)であるため、メモリ素子の各ソース電極及び各ドレイン電極に接続されたダイオード(ダイオード接合を示すダイオード)はオフ状態である。

【0026】

次に、読み出し動作を示す。読み出し動作では、図3に示すように、読み出しの選択がされたメモリ素子M0のワード線WL0の電位をVr(例えば0V)とし、非選択のメモリセルのワード線WL1~WL31及び選択ゲート線SG1、SG2の電位を電源電圧より少し高い、読み出し用中間電圧Vreadとする。すなわち、選択されたメモリ素子以外のメモリ素子はトランスファートランジスタとして働く。これにより、読み出しの選択がされたメモリ素子M0に電流が流れるか否かを決定する。つまり、メモリ素子M0に記憶されたデータが"0"の場合、メモリ素子M0はオフなので、ビット線BL0は放電しない。一方、このデータが"1"の場合、メモリ素子M0はオンするので、ビット線BL0が放電する。この時消去線ELの電位は書き込み動作時と同様Vlow(0V)であり、同じく、ダイオードはオフ状態である。

【0027】

最後に消去動作を説明する。消去動作では、図4に示すようにワード線WL0~WL31及び選択ゲート線SG1、SG2の電位を0Vとし、ビット線BL0及びソース線SLをフローティング状態とする。ここで、消去線ELの電位をVers(例えば20V)にすると、不揮発性メモリ素子の各端子(各ソース電極及び各ドレイン電極)に接続されたダイオードがオンし、各端子の電位がVers電位となり、浮遊ゲートに蓄積された電子が引き抜かれ、メモリ素子M0~M31は負の状態("1")となる。この方法により、SOI技術を用いたNAND型メモリにおいても、一括消去が可能となる。

【0028】

なお、図1の等価回路図では、ソース線SLはワード線WLと平行に配置した場合を示したが、ソース線SLはビット線BLと平行に配置することもできる。この場合、同一行のNANDセルを選択トランジスタS2のソース電極またはドレイン電極に接続するのではなく、同一列のNANDセルを選択トランジスタS2のソース電極またはドレイン電極に接続してもよい。

【0029】

また、本明細書では、浮遊ゲートから電子を抜く場合を消去モード、浮遊ゲートに電子を注入する場合を書き込みモードとしたが、逆に浮遊ゲートに電子を注入する場合を消去モード、浮遊ゲートから電子を抜く場合を書き込みモードとすることもできる。

【0030】

また、本実施形態では、1つのNANDセルが32個のメモリ素子を有する場合について説明したが、メモリ素子の数はこの数に限定されない。また、単位セル内に、1つのNANDセルに対して、選択トランジスタS1及び選択トランジスタS2を配したが、必ずしも必要ではなく、省いてもよい。

【0031】

次に、本発明の高集積化の技術について説明する。

【0032】

図2～図4にはNAND型メモリセルアレイの単位セルの等価回路が示されている。単位セルには、選択トランジスタS1、S2と不揮発性メモリ素子M0～M31が直列に接続されている。よって、図1に示すように、これらを一つのまとまりとして、一つの半導体層34で形成することができる。それにより不揮発性メモリ素子M0～M31を繋ぐ配線を省略することができるので、集積化を図ることができる。

【0033】

また、単位セルにおいて、選択トランジスタS1、S2の半導体層36とNANDセルの半導体層38を分離して形成することもできる。

【0034】

また、ブロックBLK1に設けられている複数のNANDセルを、一つの半導体層40で形成することもできる。つまり、ブロックBLK1に設けられている全ての不揮発性メモリ素子を1つの半導体層40で形成することができる。

【0035】

以下、高集積化の具体例を説明する。まず、本発明を理解するために、図5および図6を用いて、従来のLSI技術で作製したNAND型メモリセルアレイの構成を説明する。

【0036】

図5は、従来のNAND型メモリセルアレイの単位セルの等価回路図である。図6(A)は、図5のレイアウト図である。図6(B)は、ビット線方向の断面図であり、図6(A)の鎖線a-a'で切った断面図である。また、図6(C)はワード線方向の断面図であり、図6(A)の鎖線b-b'で切った断面図である。

【0037】

図6において、FG0～FG31は、各メモリ素子M0～M31の浮遊ゲートである。メモリ素子M0～M31の制御ゲートは、ワード線WL0～WL31の一部として形成されている。10はシリコンウエハであり、11はLOCOS(Local Oxidation of Silicon)であり、12は層間絶縁膜であり、13はソース電極またはドレイン電極として機能する高濃度不純物領域である。選択トランジスタS1は電極E1によりソース線SLに接続され、電極E3によりNANDセルに直列に接続されている。選択トランジスタS2は、電極E1により、NANDセルに直列に接続されている。

【0038】

図7に、本発明のNAND型メモリセルアレイの単位セルのレイアウトを示す。図7の等価回路は、図2～図4に示されている。また、図8に図7の断面図を示す。図8(A)は図7の鎖線a-a'に沿ったビット線方向の断面図である。図8(B)は図7の鎖線b-b'に沿ったワード線方向の断面図である。また、図8(C)は、図7に示したNANDセルの半導体膜の上面図である。

【0039】

本発明の特徴の1つは、絶縁表面に不揮発性メモリ素子、選択トランジスタが設けられる点にある。絶縁表面は、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、サファイアなどのセラミック基板、プラスチック基板等の絶縁体でなる基板の表面とすることができる。

【0040】

また、基板の表面に形成された絶縁膜の表面を絶縁表面とすることができる。絶縁膜としては、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)、窒化アルミニウムなどの単層膜、積層膜を用いることができる。

【0041】

絶縁膜を形成する場合は、基板には、上記の絶縁体でなる基板の他、ステンレスなど導電性基板または半導体基板の表面に絶縁膜を形成したものをを用いることができる。また、ガラス基板のように、ナトリウムなど半導体素子に悪影響を与える不純物を含む基板を用いる場合は、基板表面に絶縁膜を形成することが好ましい。図7、図8では、基板100上に絶縁膜101を形成する例を示す。

【 0 0 4 2 】

図 7、図 8 に示すように、本発明では、絶縁表面上の島状の半導体膜 1 0 4 を用いて N A N D セル N C が形成され、半導体膜 1 0 3、1 0 5 を用いて選択トランジスタ S 1、S 2 が形成される。

【 0 0 4 3 】

各半導体膜 1 0 3 ~ 1 0 5 には、ソース電極又はドレイン電極として機能する高濃度不純物領域 1 0 6、チャンネル形成領域 1 0 7 が形成されている。N A N D セル N C の半導体膜 1 0 4 には、一対の低濃度不純物領域 1 0 8 a、1 0 8 b が設けられている。

【 0 0 4 4 】

ここで、高濃度不純物領域 1 0 6 と低濃度不純物領域 1 0 8 a、1 0 8 b は導電型が異なる領域である。高濃度不純物領域が N 型である場合は、低濃度不純物領域は P 型となるよう作製し、逆に高濃度不純物領域 1 0 6 が P 型である場合は、低濃度不純物領域は N 型となるよう作製する必要がある。この結果、高濃度不純物領域 1 0 6 と低濃度不純物領域 1 0 8 a、1 0 8 b とで P N 接合が形成される (図 8 (C) 参照。)。

【 0 0 4 5 】

低濃度不純物領域 1 0 8 a、1 0 8 b により、メモリ素子 M 0 ~ M 3 1 の各端子 (ソース電極及びドレイン電極であり、高濃度不純物領域 1 0 6 が相当する) を消去線 E L とダイオード接続している。この点が本発明の特徴の 1 つである。

【 0 0 4 6 】

また、図 8 (A)、(B) において、1 0 8 はメモリ素子の第 1 ゲート絶縁膜であり、1 0 9 は、第 2 ゲート絶縁膜である。また、1 1 0 は選択トランジスタ S 1、S 2 のゲート絶縁膜である。1 1 1 は層間絶縁膜である。第 1 ゲート絶縁膜 1 0 8 上にメモリ素子 M 0 ~ M 3 1 の浮遊ゲート F G 0 ~ F G 3 1 が形成されている。浮遊ゲート F G 0 ~ F G 3 1 上に第 2 ゲート絶縁膜 1 0 9 が形成され、第 2 ゲート絶縁膜 1 0 9 上にメモリ素子 M 0 ~ M 3 1 の制御ゲートが形成される。メモリ素子 M 0 ~ M 3 1 の制御ゲートはビット線 W L 0 ~ W L 3 1 の一部として形成されている。

【 0 0 4 7 】

また、図 8 (C) に示すように、半導体膜 1 0 4 に低濃度不純物領域 1 0 8 a、1 0 8 b を高濃度不純物領域 1 0 6 の両端に配置し、全ての高濃度不純物領域 1 0 6 同士を接続している。すなわち、2 つの低濃度不純物領域 1 0 8 a、1 0 8 b により、メモリ素子 M 0 ~ M 3 1 それぞれのソース電極とドレイン電極を接続しているが、前記低濃度不純物領域 1 0 8 a、1 0 8 b のいずれか一方だけを設けることもできる。また、低濃度不純物領域 1 0 8 a と低濃度不純物領域 1 0 8 b を接続してもよい。例えば図 9 (A) に示すように、消去線 E L 側で領域を連結している低濃度不純物領域 1 0 8 c を設けることができる。選択トランジスタ S 2 側で連結させることもできる。また、図 9 (B) に示すように、消去線 E L 側、選択トランジスタ S 2 側の両方で低濃度不純物領域を連結させてもよい。この場合は、低濃度不純物領域 1 0 8 d が半導体膜 1 0 4 の周囲を取り囲むように配置されることとなる。

【 0 0 4 8 】

低濃度不純物領域を連結させた部分が選択トランジスタ S 2 側にある場合は、選択トランジスタ S 2 の半導体膜と、N A N D セル N C の半導体膜を一体とすることができる。その場合の例を図 9 (C) に示す。

【 0 0 4 9 】

また、隣り合う N A N D セル N C 1 と N C 2 同士の低濃度不純物領域を接続してもよい。このように低濃度不純物領域を連結した例を図 9 (D) に示す。1 0 8 d が接続した低濃度不純物領域である。この場合は、低濃度不純物領域 1 0 8 a、1 0 8 b 一方、又は両方を省略することができる。

【 0 0 5 0 】

図 9 (D) に示すように、低濃度不純物領域を連結することで、複数の N A N D セルを 1 つの半導体膜で形成することができる。そのため、集積度が増し、大容量の記憶装置を

10

20

30

40

50

得ることができる。図9(B)の例を図9(D)に応用すると、メモリセルアレイ全てのNANDセルの低濃度不純物領域を共通化することができる。この場合は、充電時間短縮のため、消去線ELのコントロールゲートでの引き回しを増やし、メモリ素子M0~M31の各ソース電極及び各ドレイン電極(高濃度不純物領域106)にそれぞれ直接接続してもよい。

【0051】

図10に、隣接する上下左右のNANDセルNCの低濃度不純物領域を共通化した例を示す。この例は、ソース線SLをビット線BLと平行に配置し、NANDセルはそれぞれ16コのメモリ素子を有し、NANDセルに対し、選択トランジスタS1を配したものである。

10

【0052】

また、高濃度不純物領域106と低濃度不純物領域108a、108bとが接合している部分に、高濃度不純物領域106及び低濃度不純物領域108a、108bとは異なる不純物濃度を示し、また抵抗が高い半導体領域130を挿入することができる。図11(A)に、前記高濃度不純物領域106及び前記低濃度不純物領域108a、108bの間に、このような半導体領域130を配したレイアウトの一例を示す。また、図11(B)に、半導体領域130を設けたNANDセルの半導体膜104の上面図を示す。

【0053】

図11(B)に示すように、高濃度不純物領域106と低濃度不純物領域108a、108bが接合している部分に半導体領域130が設けられている。半導体領域130は、ノンドープ領域(意図的に導電型を付与する不純物を添加していない領域)、I型領域、またはチャネル形成領域107と同様の領域として形成することができる。これにより、高濃度不純物領域106と半導体領域130と低濃度不純物領域108a、108bとでPIN接合を形成することができる。

20

【0054】

半導体領域130は、上記のようなPIN接合を形成できるような領域であればよい。例えば、半導体領域130は、低濃度不純物領域108a、108bと同じ導電型であっても、低濃度不純物領域108a、108bよりも不純物濃度が低い領域として形成することができる。低濃度不純物領域108a、108bがn⁻領域、p⁻領域であれば、領域130はn⁺⁺領域、p⁺⁺領域として形成することができる。また、半導体領域130は、高濃度不純物領域106と同じ導電型の領域とすることもできる。この場合は、高濃度不純物領域106がn⁺領域、p⁺領域であれば、半導体領域130はn⁺⁺領域、p⁺⁺領域とすればよい。このように、半導体領域130を配することで、PIN接合のダイオードが形成されるため、不揮発性メモリ素子の信頼性を向上させることができる。

30

【0055】

図11(A)のレイアウト図は図7に対応するが、半導体領域130は他のレイアウト例にも適用できることはいうまでもない。

【0056】

なお、本明細書では、ソース線SLをワード線WLと平行に配置した場合を示したが、この配置方法に限定されない。ソース線SLをビット線BLと平行に配置し、同一行のNANDセルを選択トランジスタS2のソース電極またはドレイン電極に接続するのではなく、同一列のNANDセルを選択トランジスタS2のソース電極またはドレイン電極に接続することもできる。

40

【0057】

(実施の形態2)

本発明を、不揮発性メモリ素子を備えた記憶装置に適用した例を示す。図12に記憶装置の回路ブロック図の一例を示す。不揮発性半導体記憶装置は、マトリクス状に配置された複数のメモリを有するメモリアレイ部200と周辺回路201が同一の基板上に形成されている。周辺回路201は外部からアドレスデータや、メモリデータのやり取り等を行うインターフェイス回路202、メモリに記憶されたデータの1/0を判断するセンス回

50

路 203、メモリセルの選択を行うデコーダ 205 及び書き込み、読み出し、消去等の動作モードに応じて、各回路に信号及び電源を供給するコントロール回路 204 を有する。

【0058】

メモリアレイ部 200 には、実施の形態 1 で説明した NAND セルが設けられている。また、メモリアレイ部 200 と、周辺回路 201 とは SOI 技術により、同じ絶縁表面に同時に形成されている。すなわち、同一の工程を経て、メモリアレイ部 200 と、周辺回路 201 とは同じ絶縁表面上に形成されている。

【0059】

実施形態 1 で説明したように、絶縁表面に形成された半導体層を島状に分離形成することで、同一基板上にメモリ素子アレイと周辺回路を形成した場合にも、有効に素子分離をすることができる。したがって、10V ~ 20V 程度の電圧で書き込みや消去を行う必要のあるメモリ素子アレイと、3V ~ 7V 程度の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

【0060】

(実施の形態 3)

浮遊ゲート型の不揮発性メモリは、信頼性を保証するために、浮遊ゲートに貯えた電子を 10 年以上保持できる特性が要求されている。そのためトンネル絶縁層には、トンネル電流が流れる厚さで形成しつつ、電子が漏れてしまわないように、高い絶縁性が求められる。

【0061】

また、トンネル絶縁層上に形成される浮遊ゲートは、チャネル形成領域が形成される半導体層と同じ半導体材料であるシリコンで形成されている。具体的には、浮遊ゲートを多結晶シリコンで形成する方法が普及しており、例えば 400 nm の厚さに多結晶シリコン膜を堆積して形成したものが知られている(特許文献 1 参照)。

【0062】

不揮発性メモリの浮遊ゲートは多結晶シリコンで形成されているので、同じシリコン材料で形成される半導体層(チャネル形成領域)の伝導帯底のエネルギーレベルが同じとなる。むしろ浮遊ゲートの多結晶シリコンの厚さを薄膜化しようとする、伝導帯底のエネルギーレベルがチャネル形成領域を形成する半導体層よりも高くなってしまふ。このようなエネルギーレベルの差が生じると、半導体層から浮遊ゲートに電子が注入されにくくなってしまい、書き込み電圧が高くなってしまふ。浮遊ゲートを多結晶シリコンで形成する不揮発性メモリにおいて、書き込み電圧を少しでも下げるためには、当該浮遊ゲートに導電性を持たせるためにリンやヒ素などの n 型不純物を添加する必要がある。また、浮遊ゲートと半導体層の間に設けるゲート絶縁層に関しては、低電圧で書き込むために当該トンネル絶縁層の厚さを薄くする必要があり、一方、電荷を長期間安定的に保持させるためには、電荷の漏洩や不純物の侵入を防ぐために膜厚を厚くする必要がある。

【0063】

そのため、従来の不揮発性メモリは、高い書き込み電圧が必要とされている。また、繰り返しの書き換えによる電荷保持特性の劣化に対しては、冗長メモリセルを設けたり、コントローラを工夫して、エラー検出又はエラー訂正を行うなどの対処を行うことで、信頼性を確保している。

【0064】

そこで本実施形態では、書き込み特性及び電荷保持特性に優れた不揮発性メモリ素子について説明する。

【0065】

図 13 は、本実施形態の不揮発性メモリ素子の要部を示している。図 13 は、ビット線方向に沿った 1 つの不揮発性メモリ素子の断面を示す。不揮発性メモリ素子は、絶縁表面を有する基板 1 を用いて作製されている。絶縁表面を有する基板 1 としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板など

10

20

30

40

50

を用いることができる。

【0066】

この絶縁表面を有する基板 1 上に島状の半導体膜 4 が形成されている。基板 1 と半導体膜 4 の間には、下地絶縁膜 2 を設けても良い。この下地絶縁膜 2 は、基板 1 から半導体膜 4 へアルカリ金属などの不純物が拡散して汚染することを防ぐものであり、ブロッキング層として適宜設ければ良い。

【0067】

下地絶縁膜 2 としては、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン (SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン (SiN_xO_y) ($x > y > 0$) 等の絶縁材料を用いて形成する。例えば、下地絶縁膜 2 を 2 層構造とする場合、第 1 層目の絶縁膜として窒化酸化シリコン膜を形成し、第 2 層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第 1 層目の絶縁膜として窒化シリコン膜を形成し、第 2 層目の絶縁膜として酸化シリコン膜を形成してもよい。

【0068】

半導体膜 4 は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板 1 上にスパッタリング法、プラズマ CVD 法若しくは減圧 CVD 法によって基板 1 の全面に形成された半導体層を結晶化させた後、選択的にエッチングして半導体膜 4 を形成することができる。すなわち、素子分離の目的から、絶縁表面に島状の半導体層を形成し、該半導体層に一又は複数の不揮発性メモリ素子を形成することが好ましい。

【0069】

半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体膜の結晶化法としては、レーザー結晶化法、瞬間熱アニール (RTA) 又はファーンেসアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。また、このような薄膜プロセスに代えて、絶縁表面に単結晶半導体層を形成した所謂 SOI (Silicon on Insulator) 基板を用いても良い。

【0070】

絶縁表面に形成された半導体膜を島状に分離形成することで、同一基板上にメモリ素子アレイと周辺回路を形成した場合にも、有効に素子分離をすることができる。すなわち、10V ~ 20V 程度の電圧で書き込みや消去を行う必要のあるメモリ素子アレイと、3V ~ 7V 程度の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

【0071】

半導体膜 4 には p 型不純物が注入されていてもよい。p 型不純物として、例えばホウ素が用いられ、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度で添加されていてもよい。これは、トランジスタのしきい値電圧を制御するためのものであり、チャネル形成領域に添加されることで有効に作用する。チャネル形成領域は、後述するゲート 26 と略一致する領域に形成されるものであり、半導体膜 4 の一対の高濃度不純物領域 8 の間に位置するものである。

【0072】

一対の高濃度不純物領域 8 は不揮発性メモリ素子においてソース及びドレインとして機能する領域である。一対の高濃度不純物領域 8 は n 型不純物であるリン若しくはヒ素を、ピーク濃度が約 $10^{21} \text{ atoms/cm}^3$ となるように添加することで形成される。

【0073】

半導体膜 4 上には第 1 の絶縁層 6、浮遊ゲート電極 20、第 2 の絶縁層 22、制御ゲート電極 24 が形成されるが、本明細書では、浮遊ゲート電極 20 から制御ゲート電極 24 まで積層構造をゲート 26 と呼ぶことがある。

【0074】

第1の絶縁層6は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成する。第1の絶縁層6は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成してもよいが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成するとよい。半導体層(代表的にはシリコン層)を、プラズマ処理により酸化又は窒化することにより形成した絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁層6は、浮遊ゲート電極20に電荷を注入するためのトンネル絶縁層として用いるので、このように丈夫であるものが好ましい。この第1の絶縁層6は1nm~20nm、好ましくは3nm~6nmの厚さに形成することが好ましい。例えば、ゲート長を500nmとする場合、第1の絶縁層6は3nm~6nmの厚さに形成することができる。

【0075】

10

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

【0076】

このプラズマ処理により半導体膜4の表面を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)又は一酸化二窒素(N_2O)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、若しくは酸素又は一酸化二窒素と水素(H_2)と希ガス雰囲気下)で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。

20

【0077】

図14にプラズマ処理を行うための装置の構成例を示す。このプラズマ処理装置は、基板1を配置するための支持台88と、ガスを導入するためのガス供給部84、ガスを排気するために真空ポンプに接続する排気口86、アンテナ80、誘電体板82、プラズマ発生用のマイクロ波を供給するマイクロ波供給部92を有している。また、支持台88に温度制御部90を設けることによって、基板1の温度を制御することも可能である。

30

【0078】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部84から供給するガスを選択すればよい。

【0079】

酸化処理若しくは窒化処理を行うには以下のようにすればよい。まず、処理室内を真空にし、ガス供給部84から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板1は室温若しくは温度制御部90により100~550に加熱する。なお、基板1と誘電体板82との間隔は、20mm~80mm(好ましくは20mmから60mm)程度である。

40

【0080】

次に、マイクロ波供給部92からアンテナ80にマイクロ波を供給する。そしてマイクロ波をアンテナ80から誘電体板82を通して処理室内に導入することによって、プラズマ94を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度(3eV以下、好ましくは1.5eV以下)で高電子密度($1 \times 10^{11} \text{ cm}^{-3}$ 以上)のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)及び/又は窒素ラジカル(NHラジカルを含む場合もある)によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率

50

良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500 以下の低温で固相反応による酸化、窒化若しくは酸化窒化を行うことができる。

【0081】

図13において、プラズマ処理により形成される好適な第1の絶縁層6の一例は、酸化雰囲気下のプラズマ処理により半導体膜4を酸化して3nm~6nmの厚さで酸化シリコン層6aを形成し、その後窒素雰囲気下でその酸化シリコン層の表面を窒化プラズマで処理した窒素プラズマ処理層6bを形成する。具体的には、まず、酸素雰囲気下でのプラズマ処理により半導体膜4上に3nm~6nmの厚さで酸化シリコン層6aを形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。なお、表面近傍とは、酸化シリコン層の表面から概略0.5nm~1.5nmの深さをいう。例えば、窒素雰囲気下でプラズマ処理を行うことによって、酸化シリコン層6aの表面から概略1nmの深さに窒素を20~50原子%の割合で含有させた構造とする。

10

【0082】

半導体膜4の代表例として、シリコン層の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化膜を形成することができる。また、当該酸化膜をプラズマ処理で窒化することで、表層側の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。このプラズマ処理により絶縁耐压が高い絶縁層を形成することができる。

【0083】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理により、耐熱温度が700 以下のガラス基板を用いても、950 ~1100 で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、不揮発性メモリ素子のトンネル絶縁層として信頼性の高いトンネル絶縁層を形成することができる。

20

【0084】

浮遊ゲート電極20は第1の絶縁層6上に形成される。この浮遊ゲート電極20は、第1の浮遊ゲート電極層20aと第2の浮遊ゲート電極層20bにより形成されている。勿論、この二層構造に限定されず、複数の層を積層して設ければよい。しかしながら、第1の絶縁層6に接して形成される第1の浮遊ゲート電極層20aは半導体材料で形成することが好ましく、次に示す1又は複数の条件を満たすものを選択することができる。

30

【0085】

第1の浮遊ゲート電極層20aを形成する半導体材料のバンドギャップが、半導体膜4のバンドギャップより小さいことが好ましい。例えば、第1の浮遊ゲート電極層20aを形成する半導体材料のバンドギャップと、半導体膜4のバンドギャップは、0.1eV以上の差があって、前者の方が小さいことが好ましい。半導体膜4の伝導帯底のエネルギーレベルより、浮遊ゲート電極20の伝導帯底のエネルギーレベルを低くすることにより、キャリア(電子)の注入性を向上させ、電荷保持特性を向上させるためである。

【0086】

第1の浮遊ゲート電極層20aを形成する半導体材料は、半導体膜4を形成する材料よりも抵抗率が小さい材料で形成されていることが好ましい。第1の浮遊ゲート電極層20aを抵抗率の小さい半導体材料で形成することにより、制御ゲート電極と半導体層の間に電圧を印加したとき、浮遊ゲート電極で印加電圧が分圧されずにすみ、電界を半導体層に有効に作用させることができる。例えば、ゲルマニウムは40~70 ·cmの固有抵抗を有するので好ましい。また、抵抗率を下げる目的で第1の浮遊ゲート電極層20aにn型不純物を添加してもよい。このように、半導体膜4と比較して、第1の浮遊ゲート電極層20aをバンドギャップが小さく抵抗率が低い材料で形成することで、書き込み特性を向上させることができる。

40

【0087】

第1の浮遊ゲート電極層20aを形成する半導体材料は、第1の絶縁層6により形成される半導体膜4の電子に対する障壁エネルギーに対し、第1の絶縁層6により形成される

50

第1の浮遊ゲート電極層20aの電子に対する障壁エネルギーが高くなるものであることが好ましい。半導体膜4から第1の浮遊ゲート電極層20aへのキャリア（電子）を注入しやすくし、第1の浮遊ゲート電極層20aから電荷が消失することを防ぐためである。

【0088】

このような条件を満たすものとして、代表的にはゲルマニウム若しくはゲルマニウム化合物で第1の浮遊ゲート電極層20aを形成することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。ゲルマニウムの濃度が10原子%未満であると、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

10

【0089】

浮遊ゲートは電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば他の半導体材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であってもよい。また、当該半導体材料が水素化されていてもよい。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物の層で置き換えることもできる。

【0090】

第1の浮遊ゲート電極層20aに接して、第2の絶縁層22側に設ける第2の浮遊ゲート電極層20bは、金属若しくはその合金、又は金属化合物で形成される層を適用することが好ましい。金属としては、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、ニッケル（Ni）などの高融点金属を用いることが好ましい。当該高融点金属の複数種を用いる合金を用いてもよい。また、合金を形成する材料として、上記高融点金属に、ニオブ、ジルコニウム、セリウム、トリウム、ハフニウムを用いてもよい。また、当該高融点金属の酸化物若しくは窒化物を用いることもできる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化モリブデンなどを用いることができる。

20

【0091】

このように第2の浮遊ゲート電極層20bを、金属等で形成することにより、第1の浮遊ゲート電極層20aの安定化を図ることができる。すなわち、第2の浮遊ゲート電極層20bは、ゲルマニウム若しくはゲルマニウム化合物で形成される層の上層側に設けることにより、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、浮遊ゲートの加工を容易なものとすることができる。

30

【0092】

第2の絶縁層22は、酸化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y$ ）、窒化シリコン（ SiN_x ）又は窒化酸化シリコン（ SiN_xO_y ）（ $x > y$ ）、酸化アルミニウム（ Al_xO_y ）などの一層若しくは複数層を、減圧CVD法やプラズマCVD法などで形成する。第2の絶縁層22の厚さは1nm～20nm、好ましくは5～10nmで形成する。例えば、窒化シリコン層22aを3nmの厚さに堆積し、酸化シリコン層22bの厚さを5nmの厚さに堆積したものをを用いることができる。また、第2の絶縁層22を酸化アルミニウム（ Al_xO_y ）、酸化タンタル（ Ta_xO_y ）、酸化ハフニウム（ HfO_x ）等の金属酸化物で形成することもできる。

40

【0093】

制御ゲート電極24はタンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、ニオブ（Nb）等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン

50

等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層 24 a と上記の金属層 24 b の積層構造で制御ゲート電極 24 を形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層 24 a を設けることにより、金属層 24 b の密着性を向上させることができ、剥離を防止することができる。また、窒化タンタルなどの金属窒化物は仕事関数が高いので、第 2 の絶縁層 22 との相乗効果により、第 1 の絶縁層 6 の厚さを厚くすることができる。

【0094】

図 13 に示す不揮発性メモリ素子の動作原理を、エネルギーバンド図を参照して説明する。以下に示すエネルギーバンド図において、図 13 と同じ要素には同じ符号を付している。

10

【0095】

図 15 は半導体膜 4、第 1 の絶縁層 6、浮遊ゲート電極 20、第 2 の絶縁層 22、制御ゲート電極 24 が積層された状態のエネルギーバンド図を示している。図 15 は制御ゲート電極 24 に電圧を印加していない場合であって、半導体膜 4 のフェルミ準位 E_f と制御ゲート電極 24 のフェルミ準位 E_{fm} が等しい場合を示している。

【0096】

半導体膜 4 と浮遊ゲート電極 20 の内、少なくとも第 1 の浮遊ゲート電極層 20 a は異なる材料で形成している。半導体膜 4 のバンドギャップ E_g1 (伝導帯の下端 E_c と価電子帯の上端 E_v のエネルギー差) と第 1 の浮遊ゲート電極層 20 a のバンドギャップ E_g2 は異なるものとし、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体膜 4 としてシリコン (1.12 eV)、第 1 の浮遊ゲート電極層 20 a としてゲルマニウム (0.72 eV) 又はシリコンゲルマニウム (0.73 ~ 1.0 eV) を組み合わせることができる。ゲルマニウム又はシリコンゲルマニウムは水素化されていてもよい。このときゲルマニウム又はシリコンゲルマニウムに対する水素の含有量は、1 ~ 30 原子%であればよい。第 1 の浮遊ゲート電極層 20 a を、水素を含有するゲルマニウムで形成することで、第 1 の絶縁層 6 との界面における再結合中心を減少させることができる。

20

【0097】

第 2 の浮遊ゲート電極層 20 b として金属層を用いる場合、その金属材料の仕事関数は、第 1 の浮遊ゲート電極層 20 a の仕事関数と比較して小さいものを用いることが好ましい。第 2 の浮遊ゲート電極層 20 b に注入されたキャリア (電子) に対してバリアが形成されないためである。それにより、半導体膜 4 から第 2 の浮遊ゲート電極層 20 b にキャリア (電子) がより注入されやすくなる。第 1 の浮遊ゲート電極層 20 a として用いることのできるゲルマニウムの仕事関数は 5.0 eV であるので、例えば、タングステン (仕事関数: 4.55 eV)、タンタル (仕事関数: 4.25 eV)、チタン (仕事関数: 4.33 eV)、モリブデン (仕事関数: 4.6 eV)、クロム (仕事関数: 4.5 eV) を、第 2 の浮遊ゲート電極層 20 b に適用することができる。

30

【0098】

なお、第 1 の絶縁層 6 は酸化シリコン層 6 a (バンドギャップ: 約 8 eV) と、当該酸化シリコン 6 a をプラズマ処理により窒化処理した窒素プラズマ処理層 6 b (バンドギャップ: 約 5 eV) で形成されている。また、第 2 の絶縁層 22 は、浮遊ゲート電極 20 側から、窒化シリコン層 22 a と酸化シリコン層 22 b を積層して形成されている。

40

【0099】

第 1 の絶縁層 6 を挟んで、半導体膜 4 と第 1 の浮遊ゲート電極層 20 a は異なる材料で形成している。この場合、半導体膜 4 のバンドギャップと第 1 の浮遊ゲート電極層 20 a のバンドギャップは異なるものであり、後者のバンドギャップが小さくなるように組み合わせている。例えば、半導体膜 4 をシリコン (バンドギャップ: 1.12 eV) として、第 1 の浮遊ゲート電極層 20 a をゲルマニウム (バンドギャップ: 0.72 eV) 又はシリコンゲルマニウム (バンドギャップ: 0.73 ~ 1.1 eV) とすることができる。す

50

なわち、半導体膜 4 としてシリコンのバンドギャップ $E_g 1$ と、第 1 の浮遊ゲート電極層 20a としてゲルマニウムのバンドギャップ $E_g 2$ は、 $E_g 1 > E_g 2$ の関係を満たしている。

【0100】

半導体膜 4 と第 1 の浮遊ゲート電極層 20a のそれぞれについて、第 1 の絶縁層 6 による電子に対するエネルギー障壁、すなわち第 1 障壁 B_{e1} と第 2 障壁 B_{e2} は異なる値となり、 $B_{e2} > B_{e1}$ の関係を持たせることができる。このような状況においては、半導体膜 4 と浮遊ゲート電極 20 の伝導帯底のエネルギーレベルのエネルギー差 E が発生する。後述するように、このエネルギー差 E は、半導体膜 4 から浮遊ゲート電極 20 に電子を注入するとき、電子を加速する方向に作用するので、書き込み電圧を低下させるのに寄与する。

10

【0101】

比較のために、半導体層と浮遊ゲート電極を同じ半導体材料で形成した場合のエネルギーバンド図を図 16 に示す。このエネルギーバンド図は、半導体層 01、第 1 の絶縁層 02、浮遊ゲート電極 03、第 2 の絶縁層 04、制御ゲート電極 05 が順次積層された状態を示している。半導体層 01 と浮遊ゲート電極 03 を同じシリコン材料で形成した場合でも、浮遊ゲート電極 03 を薄く形成するとバンドギャップが異なってくる。

【0102】

図 16 では、半導体層 01 のバンドギャップを $E_g 1$ 、浮遊ゲート電極 03 のバンドギャップを $E_g 2$ で示している。例えば、シリコンでは薄膜化すると、バンドギャップがバルクの 1.12 eV から 1.4 eV 程度まで増大すると言われている。それにより、半導体層 01 と浮遊ゲート電極 03 の間には、電子の注入を遮る方向に $-E$ のエネルギー差が生じてしまう。このような状況では、半導体層 01 から浮遊ゲート電極 03 に電子を注入するために高電圧が必要になってしまう。すなわち、書き込み電圧を下げるために、浮遊ゲート電極 03 をバルクシリコン並に厚く形成するか、 n 型不純物としてリンやヒ素を高濃度にドーピングする必要がある。このことは、従来の不揮発性メモリにおける欠点である。

20

【0103】

ところで、浮遊ゲート電極 20 に電子を注入するには、熱電子を利用する方法と、 $F-N$ 型トンネル電流を利用する方法がある。熱電子を利用する場合には、正の電圧を制御ゲート電極 24 印加して、ドレインに高電圧を印加して熱電子を発生させる。それにより、熱電子を浮遊ゲート電極 20 に注入することができる。 $F-N$ 型トンネル電流を利用する場合には、正の電圧を制御ゲート電極 24 印加して半導体膜 4 から $F-N$ 型トンネル電流により浮遊ゲート電極 20 に注入する。

30

【0104】

図 17 は、実施の形態 1 で説明した書込み状態（図 2 参照）におけるエネルギーバンド図である。図 17 に示すように、浮遊ゲート電極 20 の伝導帯底のエネルギーレベルは、半導体膜 4 の伝導帯底のエネルギーレベルに対して電子エネルギー的に E だけ低い準位にある。そのため電子が浮遊ゲート電極 20 に注入されるに当たっては、このエネルギー差に起因する内部電界が作用する。これは、上記したような半導体膜 4 と浮遊ゲート電極 20 の組み合わせによって実現する。すなわち、半導体膜 4 から浮遊ゲート電極 20 へ電子を注入しやすくなり、不揮発性メモリ素子における書き込み特性を向上させることができる。この作用は熱電子を利用して、浮遊ゲート電極 20 に電子を注入する場合にも同様である。

40

【0105】

浮遊ゲート電極 20 に電子が保持されている間は、不揮発性メモリ素子のしきい値電圧は正の方向にシフトする。この状態を、データ「0」が書き込まれた状態とすることができる。

【0106】

図 18 は、電荷保持状態のエネルギーバンド図を示している。浮遊ゲート電極 20 のキ

50

キャリアは、第1の絶縁層6と第2の絶縁層22に挟まれていることにより、エネルギー的に閉じこめられた状態にある。浮遊ゲート電極20に蓄積するキャリア（電子）によりポテンシャルは上がるが、障壁エネルギーを超えるエネルギーが電子に付与されない限り浮遊ゲート電極20から電子は放出されないことになる。すなわち、150の恒温放置による信頼性試験においても電荷保持特性を改善することができる。

【0107】

より詳細には、第1の浮遊ゲート電極層20aのキャリアはエネルギー的に閉じこめられた状態と言える。この状態により、注入されたキャリアが第2の絶縁層22側にリークすること、第2の絶縁層22の界面にトラップされることを防ぐことができる。すなわち、消去動作において、浮遊ゲート電極20に注入されたキャリアが残留して消去不良になってしまうのを防ぐことができる。尤も、浮遊ゲートとしてキャリアを蓄積する能力があるので、第2の浮遊ゲート電極層20bも第1の浮遊ゲート電極層20aを補って浮遊ゲートとして機能することができる。

【0108】

いずれにしても、この場合、障壁エネルギーを超えるエネルギーが電子に付与されない限り浮遊ゲート電極20から電子は放出されないことになる。また、浮遊ゲート電極20の伝導帯底のエネルギーレベルは、半導体膜4の伝導帯底のエネルギーレベルに対して電子エネルギー的にEだけ低い準位にあり、電子に対してエネルギー的な障壁が形成される。この障壁により、トンネル電流によって半導体膜4に電子が流出してしまうのを防ぐことができる。

【0109】

図19は、実施の形態1で説明した消去状態（図4参照）のエネルギーバンド図を示している。消去動作では、第1の絶縁層6を薄く形成することができるので、F-N型トンネル電流により浮遊ゲート電極20の電子を半導体膜4側に放出させることができる。また、半導体基板1のチャネル形成領域から正孔が注入されやすくなり、浮遊ゲート電極20に注入することにより、実質的な消去動作をすることができる。

【0110】

浮遊ゲート電極20の第1の浮遊ゲート電極層20aをゲルマニウム若しくはゲルマニウム化合物で形成することにより、第1の絶縁層6の厚さを薄くすることができる。それにより、トンネル電流によって第1の絶縁層6を介して電子を浮遊ゲート電極20に注入することが容易となり、低電圧動作が可能となる。さらに、低エネルギーレベルで電荷を保存することが可能になり、電荷を安定した状態で保存できるという有意な効果を奏することができる。

【0111】

本実施形態に係る不揮発性メモリでは、図15、図17のエネルギーバンド図が示すように、半導体膜4と浮遊ゲート電極20の間で $E_{g1} > E_{g2}$ として自己バイアスが生じるように構成している。この関係は極めて重要であり、半導体層のチャネル形成領域から浮遊ゲート電極にキャリアを注入するときに、注入しやすくするように作用する。すなわち、書き込み電圧の低電圧化を図ることができる。逆に浮遊ゲート電極からキャリアを放出させにくくしている。このことは、不揮発性メモリ素子の記憶保持特性を向上させるように作用する。また、浮遊ゲート電極としてのゲルマニウム層にn型不純物をドーピングすることにより、伝導帯底のエネルギーレベルをさらに下げることが出来、よりキャリアを浮遊ゲート電極に注入しやすくするように自己バイアスを作用させることができる。すなわち、書き込み電圧を下げ、揮発性メモリ素子の不記憶保持特性を向上させることができる。

【0112】

以上説明したように、本実施形態の不揮発性メモリ素子は、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。

【 0 1 1 3 】

(実施の形態 4)

本実施形態では、図 20 を用いて、S O I 型の N A N D セルの作製方法について、説明する。なお、図面には、N A N D セルのみを図示しているが、同一基板上に、周辺回路のトランジスタも作製されている。周辺回路のトランジスタの作製は、N A N D セルの選択トランジスタと同様に作製される。本実施の形態で示す N A N D セルの構造は、図 7、8 に示したものである。

【 0 1 1 4 】

まず、基板 4 0 0 上に下地絶縁膜 4 0 1 を介して島状の半導体膜 4 0 3 ~ 4 0 5 を形成する。半導体膜 4 0 3、4 0 5 は選択トランジスタ S 1、S 2 を構成する。半導体膜 4 0 4 は N A N D セルを構成する。

10

【 0 1 1 5 】

そして、ダイオードを構成する低濃度不純物領域 (図示されていない) を半導体膜 4 0 4 に形成する (図 8 参照)。そのため、不純物を添加しない領域をレジストで覆い、半導体膜 4 0 4 に選択的に不純物を添加することで、低濃度不純物領域を形成する。

【 0 1 1 6 】

当該島状の半導体膜 4 0 3 ~ 4 0 5 を覆うように第 1 の絶縁膜 4 0 6 ~ 4 0 8 をそれぞれ形成する。そして、第 1 の絶縁膜 4 0 6 ~ 4 0 8 を覆うように後に完成する不揮発性メモリ素子の浮遊ゲートを構成する導電膜 4 0 9 を形成する (図 20 (A) 参照)。

【 0 1 1 7 】

20

島状の半導体膜 4 0 3 ~ 4 0 5 は、基板 4 0 0 上にスパッタ法、L P C V D 法、プラズマ C V D 法を用いてシリコン (S i) を主成分とする材料 (例えば $S i_x G e_{1-x}$ 等) 等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させた後に選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザー結晶化法、R T A 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等により行うことができる。

【 0 1 1 8 】

また、レーザー光の照射によって半導体膜の結晶化もしくは再結晶化を行う場合には、レーザー光の光源として L D 励起の連続発振 (C W) レーザー ($Y V O_4$ 、第 2 高調波 (波長 5 3 2 n m)) を用いることができる。特に第 2 高調波に限定する必要はないが、第 2 高調波はエネルギー効率の点で、さらに高次の高調波より優れている。C W レーザー光を半導体膜に照射すると、連続的に半導体膜にエネルギーが与えられるため、一旦半導体膜を熔融状態にすると、熔融状態を継続させることができる。さらに、C W レーザー光を走査することによって半導体膜の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。

30

【 0 1 1 9 】

固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、C W レーザーに限らず、繰り返し周波数が 1 0 M H z 以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体膜が熔融してから固化するまでの時間よりもレーザー光のパルス間隔が短ければ、常に半導体膜を熔融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体膜を形成することができる。

40

【 0 1 2 0 】

その他の C W レーザー及び繰り返し周波数が 1 0 M H z 以上のパルスレーザを使用することもできる。例えば、気体レーザーとしては、A r レーザー、K r レーザー、C O ₂ レーザー等がある。固体レーザーとして、Y A G レーザー、Y L F レーザー、Y A l O ₃ レーザー、G d V O ₄ レーザー、K G W レーザー、K Y W レーザー、アレキサンドライトレーザー、T i : サファイアレーザー、Y ₂ O ₃ レーザー、Y V O ₄ レーザー等がある。また、Y A G レーザー、Y ₂ O ₃ レーザー、G d V O ₄ レーザー、Y V O ₄ レーザーなどの

50

セラミックスレーザがある。金属蒸気レーザとしてはヘリウムカドミウムレーザ等が挙げられる。また、レーザ発振器において、レーザ光を $TE M_{00}$ （シングル横モード）で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザを用いてもよい。

【0121】

基板400は、ガラス基板、石英基板、金属基板、セラミック基板、ステンレス基板など、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、アクリルなどの基板を選択することもできる。

10

【0122】

下地絶縁膜401は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xNy ）（ $x > y > 0$ ）、窒化酸化シリコン（ $SiNxOy$ ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。例えば、下地絶縁膜401を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、ブロッキング層として機能する下地絶縁膜401を形成することによって、基板400からNaなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板400として石英を用いるような場合には下地絶縁膜401を省略してもよい。

20

【0123】

第1の絶縁膜406～408は、半導体膜403～405に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体膜403～405に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体膜403～405上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第1の絶縁膜406～408を形成する。なお、プラズマCVD法やスパッタ法により形成してもよい。

【0124】

半導体膜403～405としてSiを主成分とする半導体膜を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第1の絶縁膜406～408として酸化シリコン（ SiO_x ）膜又は窒化シリコン（ $SiNx$ ）膜が形成される。

30

【0125】

高密度プラズマ処理により半導体膜403～405に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体膜403～405に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に酸素と窒素を有する膜（以下、「酸窒化シリコン膜」と記す）が形成され、第1の絶縁膜406～408は酸化シリコン膜と酸窒化シリコン膜とが積層された膜となる。

【0126】

ここでは、第1の絶縁膜406～408を1～10nm、好ましくは1～5nmで形成する。例えば、高密度プラズマ処理により半導体膜403～405に酸化処理を行い当該半導体膜403～405の表面に概略5nmの酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面又は表面の近傍に窒素プラズマ処理層を形成する。

40

【0127】

具体的には、まず、酸素雰囲気下のプラズマ処理により半導体膜上に3nm～6nmの厚さで酸化シリコン層を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。ここでは、窒素雰囲気下でプラズマ処理を行うことによって、酸化シリコン層の表面から概略1nmの深さに窒素を20～50原子%の割合で含有させた構造とする。窒素プラズマ処理層には、酸素と窒素を含有したシリコン（酸化窒化シリコン）が形成されてい

50

る。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気にも一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

【0128】

なお、高密度プラズマ処理により半導体膜を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）雰囲気下、もしくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。一方、高密度プラズマ処理により半導体膜を窒化する場合には、窒素を含む雰囲気下（例えば、窒素（ N_2 ）と希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、もしくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。

10

【0129】

希ガスとしては、例えば Ar を用いることができる。また、 Ar と Kr を混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第1の絶縁膜406～408は、プラズマ処理に用いた希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）を含んでいる場合があり、 Ar を用いた場合には第1の絶縁膜406～408に Ar が含まれている場合がある。

【0130】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が 1.5 eV 以下で行う。より詳しくは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板400上に形成された被処理物（ここでは、半導体膜403～405）付近での電子温度が低いいため、被処理物に対するプラズマによる損傷を防止することができる。

20

【0131】

また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、 CVD 法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いいため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えば、ガラス基板の歪点よりも 100°C 以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。プラズマを形成するための高周波としては、マイクロ波（例えば、周波数 2.45 GHz ）等を用いることができる。

30

【0132】

本実施形態では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素（ O_2 ）、水素（ H_2 ）とアルゴン（ Ar ）との混合ガスを導入する。ここで用いる混合ガスは、酸素を $0.1 \sim 100 \text{ sccm}$ 、水素を $0.1 \sim 100 \text{ sccm}$ 、アルゴンを $100 \sim 5000 \text{ sccm}$ として導入すればよい。なお、酸素：水素：アルゴン＝ $1:1:100$ の比率で混合ガスを導入することが好ましい。例えば、酸素を 5 sccm 、水素を 5 sccm 、アルゴンを 500 sccm として導入すればよい。

40

【0133】

また、高密度プラズマ処理により窒化処理を行う場合、窒素（ N_2 ）とアルゴン（ Ar ）との混合ガスを導入する。ここで用いる混合ガスは、窒素を $20 \sim 2000 \text{ sccm}$ 、アルゴンを $100 \sim 10000 \text{ sccm}$ として導入すればよい。例えば、窒素を 200 sccm 、アルゴンを 1000 sccm として導入すればよい。

【0134】

本実施形態において、メモリ部に設けられた半導体膜404上に形成される第1の絶縁膜407は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第1の絶縁膜407の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁膜407の膜厚が薄いほど、後に形成され

50

る浮遊ゲートに低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第1の絶縁膜406～408は、膜厚を薄く形成することが好ましい。

【0135】

半導体膜上に絶縁膜を薄く形成する方法として熱酸化法があるが、基板100としてガラス基板等の融点が十分に高くない基板を用いる場合には、熱酸化法により第1の絶縁膜406～408を形成することは非常に困難である。また、CVD法やスパッタ法により形成した絶縁膜は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタ法により絶縁膜を形成した場合には、半導体膜の端部の被覆が十分でなく、後に第1の絶縁膜407上に形成される導電膜等と半導体膜とがリークする場合がある。

10

【0136】

従って、本実施形態で示すように、高密度プラズマ処理により第1の絶縁膜406～408を形成することによって、CVD法やスパッタ法等により形成した絶縁膜より緻密な絶縁膜を形成することができ、また、半導体膜403～405の端部を第1の絶縁膜406～408で十分に被覆することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、CVD法やスパッタ法により第1の絶縁膜406～408を形成した場合には、絶縁膜を形成した後に高密度プラズマ処理を行い当該絶縁膜の表面に酸化処理、窒化処理又は酸窒化処理を行うことが好ましい。

【0137】

20

導電膜409は積層構造の膜である。まず、ゲルマニウム(Ge)又はシリコンゲルマニウム合金等のゲルマニウムを含む材料でなる膜を形成する。例えば、導電膜409として、ゲルマニウム元素を含む雰囲気中(例えば、 GeH_4)でプラズマCVD法を行うことにより、ゲルマニウムを主成分とする膜を1～20nm、好ましくは1～10nmで形成する。また、例えば、水素で5%～10%に希釈されたゲルマン(GeH_4)ガスを用い、基板100の加熱温度を200～350℃として、13.56MHz～60MHz(例えば、27MHz)の高周波電力を印加することで、ゲルマニウム層を形成することができる。

【0138】

また、ゲルマニウムを含む材料でなる膜上に、金属もしくはその合金、又は金属化合物で形成する。例えば、タンタル膜を1～20nm、好ましくは1～10nmで形成する。その他にも、タングステン(W)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、ニッケル(Ni)などの高融点金属を用いることができる。また、合金を形成する材料として、上記高融点金属に、ニオブ、ジルコニウム、セリウム、トリウム、ハフニウムを用いてもよい。また、当該高融点金属の酸化物もしくは窒化物を用いることもできる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化モリブデンなどを用いることができる。導電膜409の上層はスパッタリング法、電子ビーム蒸着法などで形成することができる。スパッタリング法で形成する場合には、対象となる金属のターゲットを用いればよい。また、金属酸化物又は金属窒化物を形成する場合には、反応性スパッタリングもしくは当該金属酸化物又は金属窒化物のターゲットを用いて成膜すればよい。

30

40

【0139】

このように浮遊ゲート電極の上層(図13の第2の浮遊ゲート電極層20b相当する)を、金属等で形成することにより、浮遊ゲート電極の下層(図13の第1の浮遊ゲート電極層20aに相当する)の安定化を図ることができる。

【0140】

次に、半導体膜403、405上に形成された、第1の絶縁膜406、408と導電膜409を選択的に除去し、半導体膜404上に形成された、第1の絶縁膜407と導電膜409を残存させる。ここでは、メモリ部に設けられた半導体膜404、第1の絶縁膜4

50

07、導電膜409を選択的にレジストで覆い、半導体膜403、405上に形成された、第1の絶縁膜406、408と導電膜409をエッチングすることによって選択的に除去する(図20(B)参照)。

【0141】

さらに、新たなレジストマスクを形成し、導電膜409をエッチングして選択的に除去することによって、浮遊ゲート電極411を形成する。半導体膜403、405と、半導体膜404の上方に形成された浮遊ゲート電極411を覆うように第2の絶縁膜412を形成する(図20(C)参照)。

【0142】

第2の絶縁膜412は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン(SiN_xO_y) ($x > y > 0$)等の絶縁材料を用いて単層又は積層して形成する。例えば、第2の絶縁膜412を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を5nm~50nmの膜厚で形成する。また、第2の絶縁膜412を3層構造で設ける場合には、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2の絶縁膜として窒化シリコン膜を形成し、第3の絶縁膜として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁膜412として、ゲルマニウムの酸化物又は窒化物を用いてもよい。

【0143】

なお、半導体膜404の上方に形成された第2の絶縁膜412は、後に完成する不揮発性メモリ素子においてコントロール絶縁膜として機能し、半導体膜403、405の上方に形成された第2の絶縁膜412は、後に完成する選択トランジスタのゲート絶縁膜として機能する。

【0144】

次に、NANDセルの制御ゲート電極、選択トランジスタのゲート電極などとなる導電膜を形成する。導電膜は単層又は積層構造で形成することができる。導電膜としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料もしくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0145】

ここでは、窒化タンタルとタングステンを用いて2層積層構造の導電膜を形成する。他にも、下層の導電膜として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層膜又は積層膜を用い留ことができる。また、上層の導電膜として、タンタル、モリブデン、チタンから選ばれた単層膜又は積層膜を用いることができる。

【0146】

次に、導電膜を選択的にエッチングして除去することによって、NANDセルに、ワード線と一体に形成された制御ゲート電極413が形成される。半導体膜403、405には、選択ゲート線SG1、SG2と一体に形成されたゲート電極414、415が形成される。また、下地絶縁膜401上には、ソース線416、消去線417が形成される。

【0147】

次に、レジストを選択的に形成し、当該レジストをマスクとして半導体膜403~405に不純物元素を導入することによって、所望の導電型の不純物領域、チャネル形成領域を形成する(図20(D)参照)。

【0148】

不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(G

10

20

30

40

50

a)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。レジストの形成と、不純物元素の導入を適宜繰り返すことにより、n型、p型のトランジスタを同一基板400に形成することができる。

【0149】

不純物元素を導入することによって、半導体膜403、405には、ソース領域又はドレイン領域を形成する高濃度不純物領域420とチャネル形成領域421が形成される。また、半導体膜404には、ソース領域又はドレイン領域を形成する高濃度不純物領域420とLDD領域を形成する低濃度不純物領域422とチャネル形成領域421が形成される。

【0150】

半導体膜404に形成される低濃度不純物領域422は、不純物元素が浮遊ゲート電極411を突き抜けることによって形成される。従って、半導体膜404において、浮遊ゲート電極411と制御ゲート電極413が重なっている領域にチャネル形成領域421が形成される。浮遊ゲート電極411と重なるが制御ゲート電極413に重ならない領域に低濃度不純物領域422が形成される。

【0151】

次に、絶縁膜425を形成する。当該絶縁膜425上に、導電膜を形成し、レジストを用いて当該導電膜をエッチングすることにより、電極、配線を形成する。426はビット線であり、427は、選択トランジスタS1とソース線416を接続する電極である。428、429は、NANDセルを選択トランジスタS1、S2に接続する電極である。また、図示されていないが、半導体膜404に形成されたダイオードとなる低濃度不純物領域と、消去線417を接続するための電極も形成される(図20(E))。

【0152】

絶縁膜425は、CVD法やスパッタ法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)($x>y$)、窒化酸化シリコン(SiN_xO_y)($x>y$)等の酸素または窒素を有する絶縁膜、DLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料から選ばれた材料でなる単層構造または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0153】

426~429で示す電極、配線を形成するための導電膜は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料もしくは化合物材料選ばれた材料でなる単層膜又は積層膜で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。

【0154】

なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜を形成する材料として最適である。また、上層と下層のバリア層を設け

10

20

30

40

50

ると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【 0 1 5 5 】

本実施形態の作製方法は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【 0 1 5 6 】

(実施の形態 5)

本実施の形態では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

【 0 1 5 7 】

半導体装置 800 は、非接触でデータを交信する機能を有し、高周波回路 810、電源回路 820、リセット回路 830、クロック発生回路 840、データ復調回路 850、データ変調回路 860、他の回路の制御を行う制御回路 870、記憶回路 880 およびアンテナ 890 を有している (図 21 (A))。

【 0 1 5 8 】

高周波回路 810 はアンテナ 890 より信号を受信して、データ変調回路 860 より受信した信号をアンテナ 890 から出力する回路であり、電源回路 820 は受信信号から電源電位を生成する回路であり、リセット回路 830 はリセット信号を生成する回路であり、クロック発生回路 840 はアンテナ 890 から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路 850 は受信信号を復調して制御回路 870 に出力する回路であり、データ変調回路 860 は制御回路 870 から受信した信号を変調する回路である。また、制御回路 870 としては、例えばコード抽出回路 910、コード判定回路 920、CRC 判定回路 930 および出力ユニット回路 940 が設けられている。なお、コード抽出回路 910 は制御回路 870 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 920 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC 判定回路 930 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

【 0 1 5 9 】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 890 により無線信号が受信される。無線信号は高周波回路 810 を介して電源回路 820 に送られ、高電源電位 (以下、VDD と記す) が生成される。VDD は半導体装置 800 が有する各回路に供給される。また、高周波回路 810 を介してデータ復調回路 850 に送られた信号は復調される (以下、復調信号)。さらに、高周波回路 810 を介してリセット回路 830 およびクロック発生回路 840 を通った信号及び復調信号は制御回路 870 に送られる。

【 0 1 6 0 】

制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 および CRC 判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 において符号化される。さらに、符号化された半導体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位 (以下、VSS) は共通であり、VSS は GND とすることができる。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離

10

20

30

40

50

をのばすことが可能となる。

【 0 1 6 1 】

このように、リーダ/ライタから半導体装置 8 0 0 に信号を送り、当該半導体装置 8 0 0 から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【 0 1 6 2 】

また、半導体装置 8 0 0 は、各回路への電源電圧の供給を、電源（バッテリー）を搭載せず、電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【 0 1 6 3 】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3 2 1 0 を含む携帯端末の側面には、リーダ/ライタ 3 2 0 0 が設けられ、品物 3 2 2 0 の側面には半導体装置 3 2 3 0 が設けられる（図 2 1（B））。

【 0 1 6 4 】

品物 3 2 2 0 が含む半導体装置 3 2 3 0 にリーダ/ライタ 3 2 0 0 をかざすと、表示部 3 2 1 0 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3 2 6 0 をベルトコンベアにより搬送する際に、リーダ/ライタ 3 2 4 0 と、商品 3 2 6 0 に設けられた半導体装置 3 2 5 0 を用いて、該商品 3 2 6 0 の検品を行うことができる（図 2 1（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【 0 1 6 5 】

また、本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には D V D（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などがある。図 2 2 に、それらの電子機器の具体例を示す。

【 0 1 6 6 】

図 2 2（A）、（B）は、デジタルカメラを示している。図 2 2（B）は、図 2 2（A）の裏側を示す F I G である。このデジタルカメラは、筐体 2 1 1 1、表示部 2 1 1 2、レンズ 2 1 1 3、操作キー 2 1 1 4、シャッターボタン 2 1 1 5などを有する。また、取り出し可能な不揮発性のメモリ 2 1 1 6を備えており、当該デジタルカメラで撮影したデータをメモリ 2 1 1 6に記憶させておく構成となっている。本発明を用いて形成された不揮発性の半導体記憶装置は当該メモリ 2 1 1 6に適用することができる。

【 0 1 6 7 】

また、図 2 2（C）は、携帯電話を示しており、携帯端末の 1 つの代表例である。この携帯電話は筐体 2 1 2 1、表示部 2 1 2 2、操作キー 2 1 2 3などを含む。また、携帯電話は、取り出し可能な不揮発性のメモリ 2 1 2 5を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等をメモリ 2 1 2 5に記憶させ再生することができる。本発明を用いて形成された不揮発性の半導体記憶装置は当該メモリ 2 1 2 5に適用することができる。

【 0 1 6 8 】

また、図 2 2（D）は、デジタルプレーヤーを示しており、オーディオ装置の 1 つの代表例である。図 2 2（D）に示すデジタルプレーヤーは、本体 2 1 3 0、表示部 2 1 3 1、メモリ部 2 1 3 2、操作部 2 1 3 3、イヤホン 2 1 3 4等を含んでいる。なお、イヤホン 2 1 3 4の代わりにヘッドホンや無線式イヤホンを用いることができる。

【 0 1 6 9 】

メモリ部 2 1 3 2 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が 2 0 ~ 2 0 0 ギガバイト (G B) の N A N D 型不揮発性メモリを用い、操作部 2 1 3 3 を操作することにより、映像や音声 (音楽) を記録、再生することができる。なお、表示部 2 1 3 1 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部 2 1 3 2 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【 0 1 7 0 】

また、図 2 2 (E) は、電子ブック (電子ペーパーともいう) を示している。この電子ブックは、本体 2 1 4 1、表示部 2 1 4 2、操作キー 2 1 4 3、メモリ部 2 1 4 4 を含んでいる。またモデムが本体 2 1 4 1 に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。メモリ部 2 1 4 4 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。

10

【 0 1 7 1 】

例えば、記録容量が 2 0 ~ 2 0 0 ギガバイト (G B) の N A N D 型不揮発性メモリを用い、操作キー 2 1 4 3 を操作することにより、映像や音声 (音楽) を記録、再生することができる。なお、メモリ部 2 1 4 4 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【 0 1 7 2 】

20

以上の様に、本発明の不揮発性メモリ素子を備えた半導体装置の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

【 図面の簡単な説明 】

【 0 1 7 3 】

【 図 1 】 本発明の N A N D 型メモリセルアレイの等価回路図 (実施の形態 6)。

【 図 2 】 本発明の N A N D 型メモリセルアレイの書込み動作を説明する図 (実施の形態 7)。

【 図 3 】 本発明の N A N D 型メモリセルアレイの読み込み動作を説明する図 (実施の形態 8)。

【 図 4 】 本発明の N A N D 型メモリセルアレイの消去動作を説明する図 (実施の形態 9)

30

。 【 図 5 】 従来の N A N D 型メモリセルの等価回路図 (実施の形態 1 0)。

【 図 6 】 従来の N A N D 型メモリセルのレイアウト図 (実施の形態 1 1)。

【 図 7 】 本発明の N A N D 型メモリセルのレイアウト図 (実施の形態 1 2)。

【 図 8 】 本発明の N A N D 型メモリセルの断面図および、メモリセルの半導体膜の上面図 (実施の形態 1 3)。

【 図 9 】 本発明の N A N D セルの半導体膜の上面図 (実施の形態 1 4)。

【 図 1 0 】 本発明の N A N D 型メモリセルのレイアウト図 (実施の形態 1 5)。

【 図 1 1 】 本発明の N A N D 型メモリセルのレイアウト図 (実施の形態 1 6)。

【 図 1 2 】 本発明の記憶装置のブロック回路図 (実施の形態 1 7)。

40

【 図 1 3 】 不揮発性メモリ素子の断面図 (実施の形態 1 8)。

【 図 1 4 】 プラズマ処理装置の構成を説明する図 (実施の形態 1 9)。

【 図 1 5 】 実施形態の不揮発性メモリの初期状態のエネルギーバンド図 (実施の形態 2 0)。

【 図 1 6 】 比較例の不揮発性メモリの初期状態のエネルギーバンド図 (実施の形態 2 1)

。 【 図 1 7 】 実施形態の不揮発性メモリの初期状態のエネルギーバンド図 (実施の形態 2 2)。

【 図 1 8 】 実施形態の不揮発性メモリの初期状態のエネルギーバンド図 (実施の形態 2 3)。

50

【図 19】実施形態の不揮発性メモリの初期状態のエネルギーバンド図（実施の形態 24）。

【図 20】NAND型メモリセルの作製工程を示す断面図（実施の形態 25）。

【図 21】本発明の半導体記憶装置の使用形態の一例を示す図（実施の形態 26）。

【図 22】本発明の半導体記憶装置の使用形態の一例を示す図（実施の形態 27）。

【符号の説明】

【0174】

NC1 NANDセル

WL0～WL31 ワード線

M0～M31 不揮発性メモリ素子

BL ビット線

EL 消去線

SG1、SG 2 選択ゲート線 SG2

SL ソース線

100 基板

101 絶縁膜

103～105 半導体膜

106 高濃度不純物領域

107 チャンネル形成領域

108a、108b 低濃度不純物領域

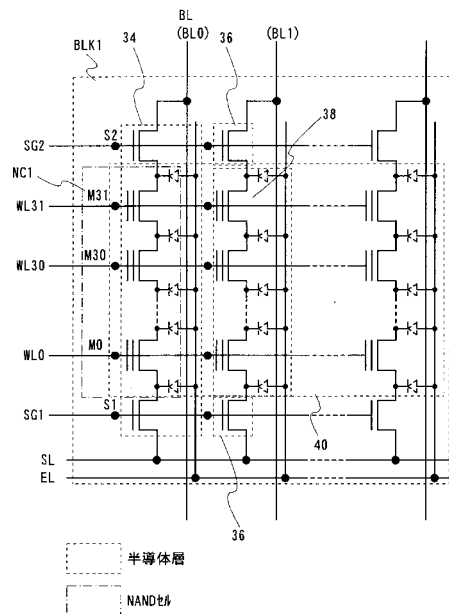
108 第1ゲート絶縁膜

109 第2ゲート絶縁膜

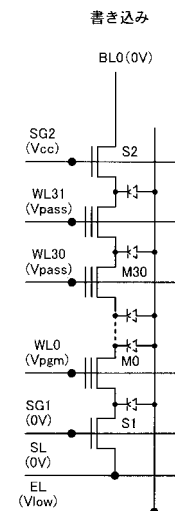
10

20

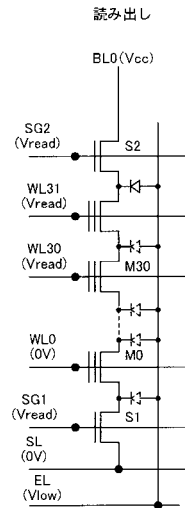
【図 1】



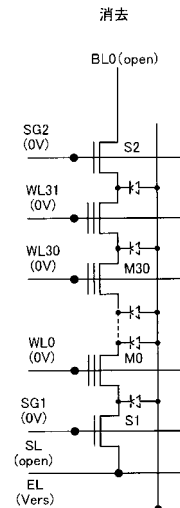
【図 2】



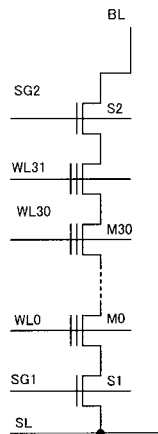
【図 3】



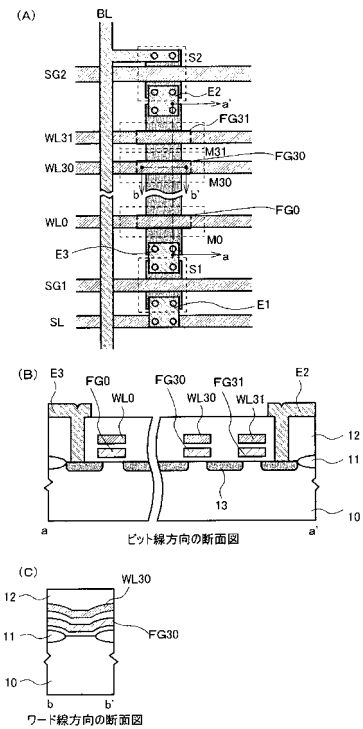
【図 4】



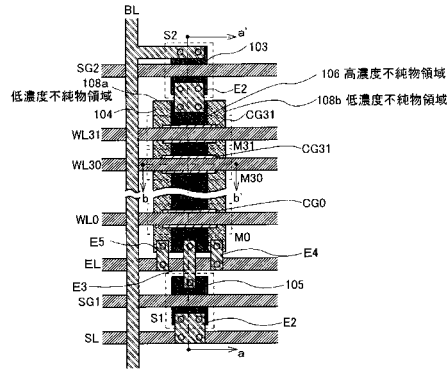
【図 5】



【図 6】



【図 7】



【図 8】

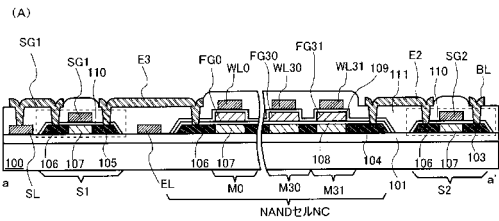


図7のビット線方向の断面図

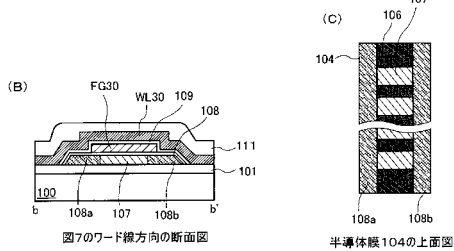
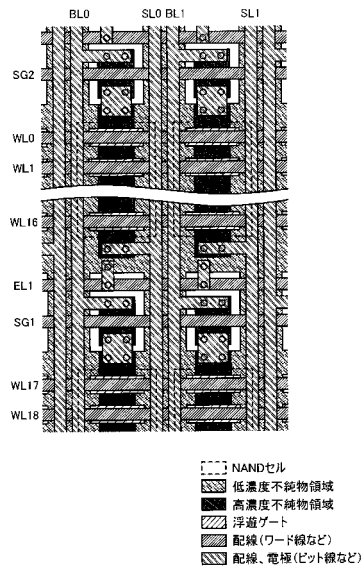


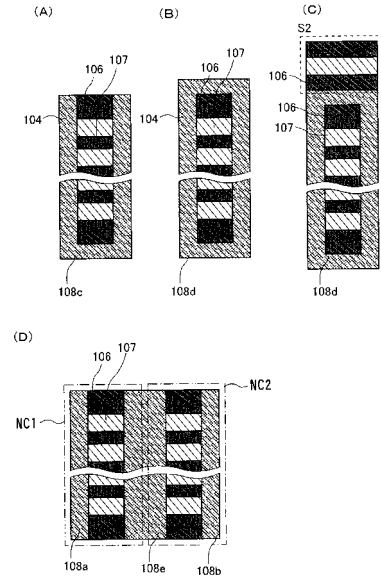
図7のワード線方向の断面図

半導体膜104の上面図

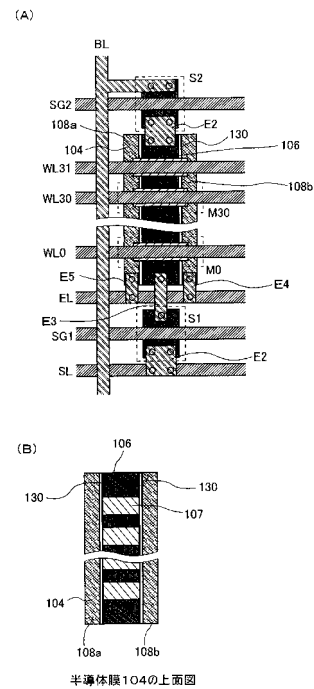
【図 10】



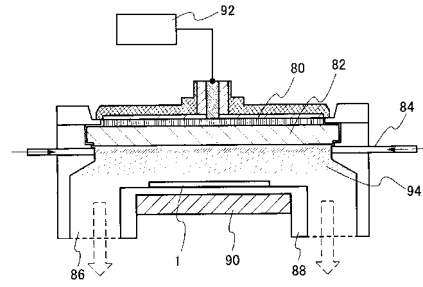
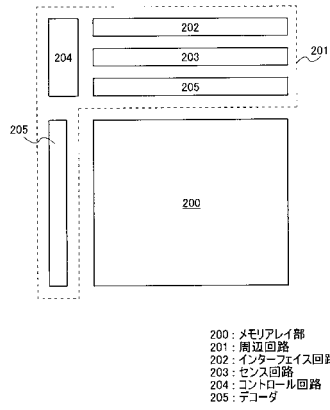
【図 9】



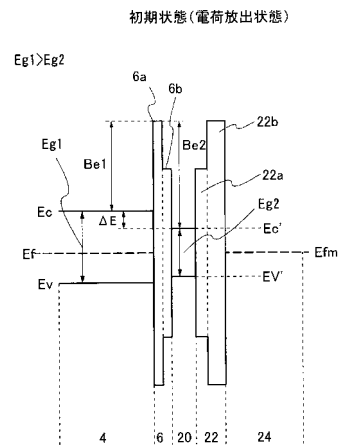
【図 11】



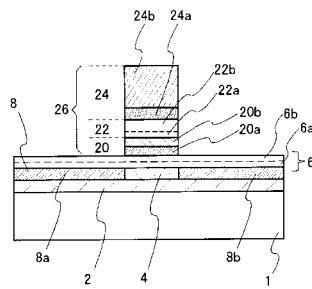
【 図 1 4 】



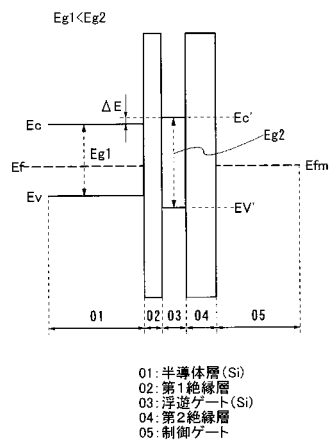
【 図 1 5 】



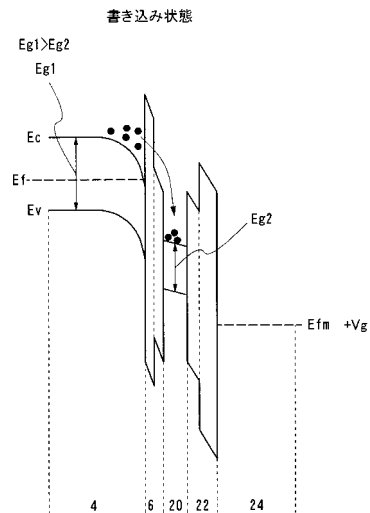
【 図 1 3 】



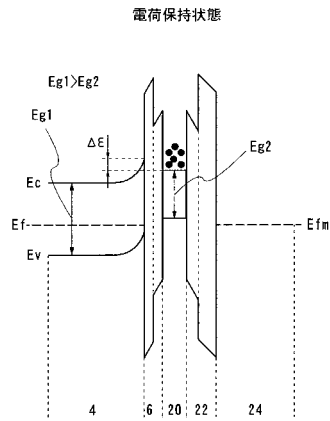
【 図 1 6 】



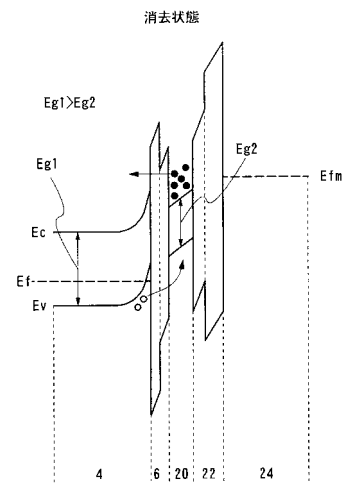
【 図 1 7 】



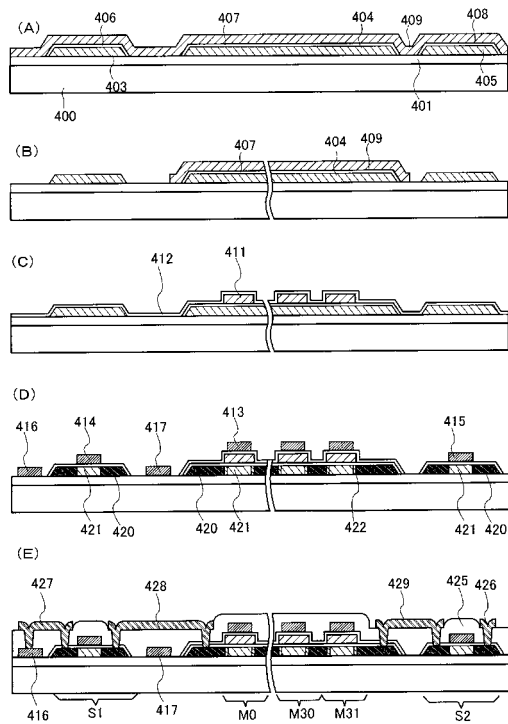
【図 18】



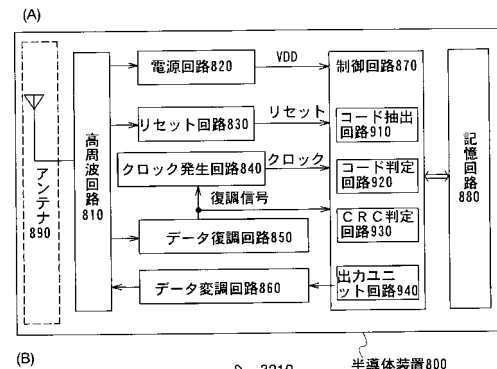
【図 19】



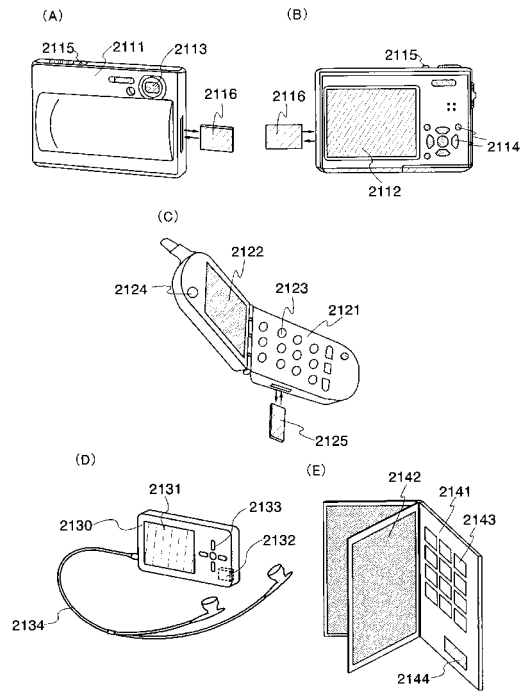
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) G 1 1 C 17/00 6 2 2 E
G 1 1 C 16/04 (2006.01)

審査官 瀧内 健夫

(56)参考文献 特開平 0 4 - 0 2 5 0 7 7 (J P , A)
特開平 1 1 - 1 6 3 3 0 3 (J P , A)
特開 2 0 0 0 - 1 7 4 2 4 1 (J P , A)
特開 2 0 0 0 - 3 5 6 7 8 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2