



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월26일
(11) 등록번호 10-1486406
(24) 등록일자 2015년01월20일

- (51) 국제특허분류(Int. Cl.)
G11C 11/00 (2006.01) G11C 13/00 (2006.01)
G11C 16/00 (2006.01)
- (21) 출원번호 10-2009-7004498
- (22) 출원일자(국제) 2007년08월08일
심사청구일자 2012년08월06일
- (85) 번역문제출일자 2009년03월03일
- (65) 공개번호 10-2009-0057239
- (43) 공개일자 2009년06월04일
- (86) 국제출원번호 PCT/US2007/075521
- (87) 국제공개번호 WO 2008/021912
국제공개일자 2008년02월21일
- (30) 우선권주장
60/836,343 2006년08월08일 미국(US)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR1020080009319 A
US6493272 B1*
US20040085798 A1*
US06919592 B2*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
난테로 인크.
미국 매사추세츠 01801 와반 올림피아 애비뉴 25-디
- (72) 발명자
버턴 클라우드 엘
미국 플로리다주 34292 베니스 소우그래스 브리저 로드 514
웁스 토마스
미국 매사추세츠주 01966 록포트 프레젠티 스트리트 21
(뒷면에 계속)
- (74) 대리인
김태홍

전체 청구항 수 : 총 17 항

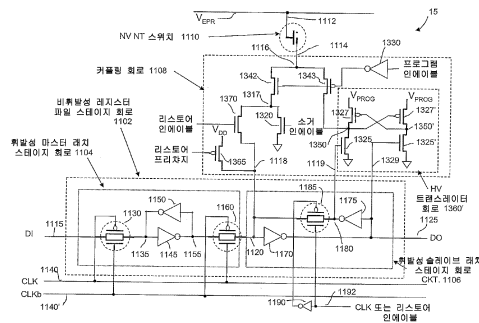
심사관 : 손윤식

(54) 발명의 명칭 스케일러블 2단자 나노튜브 스위치를 갖는 비휘발성 저항 메모리, 래치 회로 및 연산 회로

(57) 요약

비휘발성 저항 메모리가 제공된다. 이 메모리는 하나 이상의 비휘발성 메모리 셀과 선택 회로를 포함한다. 각각의 메모리 셀은 전도성 단자들 사이에 배치되고 전도성 단자들과 전기적으로 통신하는 나노튜브 패브릭 제품(article)을 갖는 2단자 나노튜브 스위칭 소자를 갖는다. 선택 회로는 판독 및 기록 동작을 위하여 2단자 나노튜브 스위칭 소자를 선택하도록 동작가능하다. 제어 신호에 응답하여, 기록 제어 회로는 기록 신호를 선택된 메모리 셀에 제공하여, 나노튜브 패브릭 제품의 저항 변화를 유도하며, 이 저항은 메모리 셀의 정보 상태에 대응한다. 선택된 메모리 셀과 통신하고 있는 저항 감지 회로는 나노튜브 패브릭 제품의 저항을 감지하며, 제어 신호를 기록 제어 회로에 제공한다. 판독 회로는 메모리 셀의 대응하는 정보 상태를 판독한다. 비휘발성 회로 및 복수의 비휘발성 저항기 파일에의 이용을 위한 비휘발성 저항기 파일 구성 회로가 또한 제공된다.

대표도



(72) 발명자

워드 조나단 더블유

미국 버몬트주 22033 페어택스 슬리피 레이크 드라이브 4271

구오 프랑크

미국 캘리포니아주 94506 덴빌 디아블로 란치 플레이스 2486

쿤섹 스티븐 엘

미국 매사추세츠주 02215 보스톤 베이 스테이트 로드 41

메인홀드 밋셀

미국 매사추세츠주 02474 알링톤 넘버2 메이나드 스트리트 7

(30) 우선권주장

60/836,437 2006년08월08일 미국(US)

60/840,586 2006년08월28일 미국(US)

60/855,109 2006년10월27일 미국(US)

60/918,388 2007년03월16일 미국(US)

특허청구의 범위

청구항 1

비휘발성 래치 회로로서,

논리 상태를 입력할 수 있는 하나 이상의 입력 단자와;

논리 상태를 출력할 수 있는 출력 단자와;

2개의 전도성 콘택트들 사이에 배치되고 상기 2개의 전도성 콘택트들과 전기적으로 통신하는 나노튜브 페브릭 제품을 포함한 나노튜브 스위칭 소자로서, 상기 나노튜브 스위칭 소자는 상기 하나 이상의 입력 단자에 입력된 상기 논리 상태의 변경에 응답하여 제1 저항 상태와 제2 저항 상태 사이를 스위칭할 수 있으며, 상기 제1 저항 상태 또는 상기 제2 저항 상태를 비휘발적으로 유지시킬 수 있는 것인, 상기 나노튜브 스위칭 소자와;

상기 입력 단자와 상기 나노튜브 스위칭 소자 사이에 전기적으로 배치되며 상기 입력 단자에 입력된 논리 상태를 수신하고 비휘발적으로 저장할 수 있는 하나 이상의 반도체 소자를 포함한 휘발성 래치 회로를 포함하며,

상기 나노튜브 스위칭 소자가 상기 제2 저항 상태에 있을 때, 상기 휘발성 래치 회로는 제1 논리 상태를 유지시키고 출력 단자에서 상기 제1 논리 상태를 출력시키며, 상기 나노튜브 스위칭 소자가 상기 제1 저항 상태에 있을 때, 상기 휘발성 래치 회로는 상기 출력 단자에 출력된 제2 논리 상태를 유지시키고,

상기 제1 저항 상태의 저항값은 상기 제2 저항 상태의 저항값보다 높은 것인, 비휘발성 래치 회로.

청구항 2

제1항에 있어서, 복수의 전계 효과 트랜지스터들을 포함한 인버터 회로를 더 포함하는, 비휘발성 래치 회로.

청구항 3

제1항에 있어서, 상기 나노튜브 스위칭 소자는 상기 제2 저항 상태와 상기 제1 저항 상태 사이를 복수 회 스위칭할 수 있는 것인 비휘발성 래치 회로.

청구항 4

제1항에 있어서, 상기 비휘발성 래치 회로는 상기 나노튜브 스위칭 소자의 상기 제2 저항 상태를, 상기 출력 단자에서 출력된 상기 제1 논리 상태에 대응하는 제1 전압 레벨로 변환하며,

상기 비휘발성 래치 회로는 상기 나노튜브 스위칭 소자의 상기 제1 저항 상태를, 상기 출력 단자에서 출력된 상기 제2 논리 상태에 대응하는 제2 전압 레벨로 변환하고,

상기 제1 전압 레벨은 상기 제2 전압 레벨보다 높은 것인 비휘발성 래치 회로.

청구항 5

제1항에 있어서, 상기 비휘발성 래치 회로는 메모리 셀과 추가로 전기적으로 통신하고, 상기 비휘발성 래치 회로가 상기 제1 논리 상태를 출력하면, 상기 메모리 셀이 활성 상태이고, 상기 비휘발성 래치 회로가 상기 제2 논리 상태를 출력하면, 상기 메모리 셀이 비활성 상태인 것인 비휘발성 래치 회로.

청구항 6

제5항에 있어서, 상기 비휘발성 래치 회로는 메모리 셀에 대한 리던던시 회로를 포함하며, 상기 메모리 셀이 동작 불가능한 경우 상기 메모리 셀을 바이패스시킬 수 있는 것인 비휘발성 래치 회로.

청구항 7

제5항에 있어서, 메모리 셀을 바이패스시키는 것은 상기 메모리 셀 내의 에러를 수정하는 것을 포함하는 것인 비휘발성 래치 회로.

청구항 8

제1항에 있어서, 상기 비휘발성 래치 회로는 제1 메모리 상태 및 제2 메모리 상태를 저장할 수 있는 메모리 셀과 추가로 전기적으로 통신하고, 상기 제1 메모리 상태는 제1 논리 상태로서 상기 입력 단자에 입력되되 비휘발적으로 유지되며 상기 제1 논리 상태로서 상기 비휘발성 래치 회로에 의해 출력되고, 상기 제2 메모리 상태는 제2 논리 상태로서 상기 입력 단자에 입력되되 비휘발적으로 유지되며 상기 제2 논리 상태로서 상기 비휘발성 래치 회로에 의해 출력되는 것인 비휘발성 래치 회로.

청구항 9

제8항에 있어서, 상기 비휘발성 래치 회로는 메모리 셀에 대한 리던던시 회로를 포함하며 상기 제1 메모리 상태 및 제2 메모리 상태에 각각 대응하는 상기 제1 논리 상태 및 상기 제2 논리 상태를 비휘발적으로 유지시킬 수 있는 것인 비휘발성 래치 회로.

청구항 10

제8항에 있어서, 상기 메모리 셀은 NRAM 어레이 내의 셀을 포함하는 것인 비휘발성 래치 회로.

청구항 11

제9항에 있어서, 상기 제1 논리 상태와 상기 제2 논리 상태 중 한 상태를 비휘발적으로 유지시키는 것은 상기 메모리 셀 내의 에리를 수정하는 것을 포함하는 것인 비휘발성 래치 회로.

청구항 12

제1항에 있어서, 상기 비휘발성 래치 회로는 메모리 회로와 추가로 전기적으로 통신하고, 상기 입력 단자에 입력된 전기 자극들은 시변(time-varying) 전기 자극을 포함하며, 상기 출력 단자에서 출력된 전기 자극들은 시변 전기 자극을 포함하며, 상기 비휘발성 래치 회로는 상기 입력 단자에서의 시변 전기 자극과 상기 출력 단자에서의 시변 전기 자극 사이에 제어가능한 지연을 생성함으로써 상기 메모리 회로의 동작을 제어하는 것인 비휘발성 래치 회로.

청구항 13

제12항에 있어서, 상기 제어가능한 지연을 생성하는 것은 선택된 상승 시간과 선택된 하강 시간을 갖는 바이모드(bi-modal) 신호를 제공하는 것을 더 포함하는 것인 비휘발성 래치 회로.

청구항 14

제1항에 있어서, 나노튜브 스위칭 소자는 상기 제2 저항 상태에서부터 상기 제1 저항 상태로만 스위칭할 수 있는 1회 프로그래밍가능 퓨즈를 포함하는 것인 비휘발성 래치 회로.

청구항 15

제14항에 있어서, 상기 1회 프로그래밍가능 퓨즈는 나노튜브 패브릭 제품 위에 배치된 절연체 물질을 더 포함하는 것인 비휘발성 래치 회로.

청구항 16

제15항에 있어서, 상기 나노튜브 패브릭 제품은 상기 절연체 물질 내의 개구부에 의해 정의된 부분 내에서 노출되며, 상기 1회 프로그래밍가능 퓨즈는 레이저 에블레이션(ablation)에 의해 상기 제2 저항 상태에서부터 상기 제1 저항 상태로 스위칭가능한 것인 비휘발성 래치 회로.

청구항 17

제1항에 있어서, 상기 나노튜브 스위칭 소자는 오프 상태에서부터 온 상태로 스위칭할 수 있는 1회 프로그래밍가능 안티퓨즈를 포함하는 것인 비휘발성 래치 회로.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

명세서

기술분야

- [0001] 본 출원은 다음의 출원들의 35 U.S.C. § 119(e) 하에서의 권리를 주장하며, 여기에서 그 전체 내용을 참조로서 포함한다.
- [0002] 2006년 8월 8일 출원된 발명의 명칭이 "Scalable Nonvolatile Nanotube Switches as Electronic Fuse Replacement Elements"인 미국 특허 가출원 번호 제60/836,343호;
- [0003] 2006년 8월 8일 출원된 발명의 명칭이 "Nonvolatile Nanotube Diode"인 미국 특허 가출원 번호 제60/836,437호;
- [0004] 2006년 8월 28일 출원된 발명의 명칭이 "Nonvolatile Nanotube Diode"인 미국 특허 가출원 번호 제60/840,586호;
- [0005] 2006년 10월 27일 출원된 발명의 명칭이 "Nonvolatile Nanotube Cubes"인 미국 특허 가출원 번호 제60/855,109호; 및
- [0006] 2007년 3월 16일 출원된 발명의 명칭이 "Memory Elements and Cross Point Switches and Arrays of Same Using Nonvolatile Nanotube Blocks"인 미국 특허 가출원 번호 제60/918,388호.
- [0007] 본 출원은 다음 출원들을 부분 계속 출원으로 하며, 그 출원들에 대하여 35 U.S.C. § 120하에서 우선권을 주장하고, 여기에서 그 전체 내용을 참조로서 포함한다.
- [0008] 2005년 11월 15일 출원된 발명의 명칭이 "Two-Terminal Nanotube Devices And Systems And Methods Of Making Same"인 미국 특허 출원 번호 제11/280,786호;
- [0009] 2005년 11월 15일 출원된 발명의 명칭이 "Memory Arrays Using Nanotube Articles With Reprogrammable Resistance"인 미국 특허 출원 번호 제11/274,967호; 및
- [0010] 2005년 11월 15일 출원된 발명의 명칭이 "Non-Volatile Shadow Latch Using A Nanotube Switch"인 미국 특허 출원 번호 제11/280,599호.
- [0011] 본 출원은 다음 출원에 대한 것이며, 여기에서 그 전체 내용을 참조로서 포함한다.
- [0012] 본 출원과 동시에 출원된 발명의 명칭이 "Latch Circuits and Operation Circuits Having Scalable Nonvolatile Nanotube Switches as Electronic Fuse Replacement Elements"인 미국 특허 출원 번호 제(TBA)호;

- [0013] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Resistive Memories Having Scalable Two-terminal Nanotube Switches"인 미국 특허 출원 번호 제(TBA)호;
- [0014] 본 출원과 동시에 출원된 발명의 명칭이 "Memory Elements and Cross Point Switches and Arrays of Same Using Nonvolatile Nanotube Blocks"인 미국 특허 출원 번호 제(TBA)호;
- [0015] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호;
- [0016] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호;
- [0017] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호;
- [0018] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호;
- [0019] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호; 및
- [0020] 본 출원과 동시에 출원된 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호.
- [0021] 본 발명은 일반적으로 나노튜브 스위칭 소자들의 분야에 관한 것이다.

배경 기술

- [0022] **스케일러블 비휘발성 래치 회로**
- [0023] 반도체 산업은 논리 상태의 비휘발성 저장을 위하여 퓨즈 또는 안티퓨즈(antifuse)를 이용한다. 전도 상태 또는 비전도 상태에서의 퓨즈(또는 안티퓨즈)의 비휘발성 저항 상태는 제1 또는 제2 논리 상태를 나타내는데 이용된다. 래치 회로는 퓨즈(또는 안티퓨즈) 비휘발성 저항 상태를 논리 1 또는 0을 나타내는 대응하는 전기 전압 레벨로 변환한다.
- [0024] 때때로 레이저 퓨즈라 불리는 일 유형의 퓨즈에서, 퓨즈 소자는 금속 또는 폴리실리콘 물질로 형성된다. 퓨즈는 레이저 에블레이션에 의해 프로그래밍(꺾김 상태로 되거나 또는 비전도 상태로 됨)되고 대응하는 래치 회로는 예를 들어, 미국 특허 제5,345,110호(그 내용 전체를 참조로서 포함함)에 설명된 바와 같이, 퓨즈의 비휘발성 상태를 관측한다.
- [0025] 반도체 산업은 레이저 퓨즈를 보다 유연성있고 고밀도의 전기적 프로그래밍가능 퓨즈(e-fuse; e-퓨즈) 소자로 대체하여 왔지만, 그러나, e-퓨즈들은 통상적으로 밀리암페어 범위 내에서의 프로그래밍 전류들을 필요로 하며, 90 nm, 65nm, 45nm 및 그 이상의 고밀도와 같은 보다 고밀도의 새로운 기술 노드들을 위하여 보다 더 작은 물리적 치수 및 낮은 프로그래밍 전류 레벨들로 스케일하는 것이 어렵다.
- [0026] 반도체 산업은 또한 레이저 퓨즈들을 보다 유연성있고 보다 고밀도의 전기적 프로그래밍가능 안티퓨즈(a-퓨즈) 소자들로 대체하여 왔다. 안티퓨즈들은 프로그래밍 전류들을 예를 들어, 1-10 μ A와 같은 낮은 마이크로암페어 범위로 감소시키지만, 그러나 프로그래밍 전압은 통상적으로 8 내지 12 볼트 범위에 있다. 안티퓨즈는 보다 고밀도의 새로운 기술 노드들을 위하여 보다 작은 물리적 치수들과 보다 낮은 프로그래밍 전압 레벨들로 스케일하는 것이 어렵다. 퓨즈들과 안티퓨즈들을 이용한 래치들은 Bertin 등의 미국 특허 제6,570,806호에 설명되어 있으며, 여기에서 그 전체 내용을 참조로서 포함한다.
- [0027] 퓨즈로서 또는 안티퓨즈로서 또는 퓨즈와 안티퓨즈 양쪽 모두로서 이용될 수 있는 스케일러블 소자(scalable element) 또는 퓨즈와 안티퓨즈 사이를 복수회(multiple time) 토글링(toggle)할 수 있는 소자, 또는 보다 일반적으로 온 상태와 오프 상태 사이를 복수회 토글링할 수 있는 소자를 제공하는 것이 바람직하며, 실리콘 기술로 보다 쉽게 집적화한 대응 래치 회로들은 더 작은 물리적 치수들로 스케일가능하고 나노암페어 또는 낮은 마이크로암페어 범위의 낮은 전류값을 이용하여 프로그래밍되며, 5 볼트 이하의 보다 낮은 프로그래밍 전압으로 스케일가능하다.
- [0028] 특정 애플리케이션에서, 온 상태와 오프 상태 사이를 스위칭하여 일련의 레지스터 파일들에서의 레지스터 파일

스테이지들을 선택 또는 선택해제(바이패스)하는데 이용될 수 있는 스케일러블 소자를 제공하는 것이 바람직하다. 이러한 스케일러블 소자가 퓨즈로서 이용되는 경우, 대응 레지스터 파일 스테이지는 일련의 레지스터 파일들에서부터 결합성 레지스터 파일 스테이지를 제거하도록 삭제(바이패스)될 수 있다.

[0029] 특정 애플리케이션에서, 온 상태와 오프 상태 사이를 스위칭하여 메모리 셀에 정보 상태들을 제공하는데 이용될 수 있는 스케일러블 소자를 제공하는 것이 또한 바람직하다. 또한, 다른 애플리케이션에서, 복수의 전도 상태들 간을 스위칭하여 메모리 셀에 복수의 정보 상태를 제공하는데 이용될 수 있는 스케일러블 소자가 바람직할 수 있다. 기존의 메모리 기술에 이러한 스케일러블 소자를 통합하는 것이 보다 더 바람직할 수 있다. 상업적으로 이용가능한 기존의 기술들은 일반적으로 비휘발성 - 그러나 이는 램던한 액세스가 불가능하고 낮은 밀도를 갖고 있으며 높은 제조 비용 및 회로 기능의 높은 신뢰성으로 복수의 기록을 허용하기에는 제한된 능력을 가짐 - 이거나, 또는 휘발성이며, 복잡한 시스템 설계를 갖고 있거나 또는 낮은 밀도를 갖고 있다. 적어도 일부 목적을 위한 이상적인 비휘발성 메모리는 복수의 정보 상태의 비휘발성 저장을 가능하게 하는 메모리이며, 메모리 셀들이 선택적으로 활성화되고 정보 상태로 정확하게 프로그래밍되는 메모리이다.

발명의 상세한 설명

[0030] 본 발명은 나노 패브릭 물질들 및 스케일러블 비휘발성 나노튜브 스위치들에 기초하여 스케일러블 래치 회로, 비휘발성 메모리 및 연산 회로를 제공한다.

[0031] 본 발명의 일 형태에 따르면, 비휘발성 래치 회로가 제공된다. 비휘발성 래치 회로는 논리 상태를 입력할 수 있는 입력 단자와, 논리 상태를 출력할 수 있는 출력 단자와, 2개의 전도성 콘택트들 사이에 배치되고 2개의 전도성 콘택트들과 전기적으로 통신하는 나노튜브 패브릭 제품을 갖는 나노튜브 스위칭 소자를 포함한다. 나노튜브 스위칭 소자는 비교적 낮은 저항 상태와 비교적 높은 저항 상태 사이를 스위칭할 수 있으며, 비교적 낮은 저항 상태와 비교적 높은 저항 상태를 비휘발적으로 유지할 수 있다. 비휘발성 래치 회로는 입력 단자와 나노튜브 스위칭 소자 사이에 전기적으로 배치된 하나 이상의 반도체 소자를 갖는 휘발성 래치 회로를 포함하며, 입력 단자에 입력된 논리 상태를 수신하여 휘발적으로 저장가능하다. 나노튜브 스위칭 소자가 비교적 낮은 저항 상태에 있는 경우, 휘발성 래치 회로는 제1 논리 상태를 유지시키며, 출력 단자에서 제1 논리 상태를 출력시킨다. 나노튜브 스위칭 소자가 비교적 높은 저항 상태에 있는 경우, 휘발성 래치 회로는 출력 단자에서 출력되는 제2 논리 상태를 유지시킨다.

[0032] 본 발명의 일 실시예에서, 전자 래치 회로는 복수의 전계 효과 트랜지스터를 포함한 인버터 회로를 포함한다.

[0033] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자는 비교적 낮은 저항 상태와 비교적 높은 저항 상태 사이를 복수회 스위칭가능하다.

[0034] 본 발명의 다른 실시예에서, 전자 래치 회로는 나노튜브 스위칭 소자의 비교적 낮은 저항 상태를 출력 단자에서 출력된 제1 논리 상태에 대응하는 비교적 높은 전압 레벨로 변환한다. 전자 래치 회로는 나노튜브 스위칭 소자의 비교적 높은 저항 상태를 출력 단자에서 출력된 제2 논리 상태에 대응하는 비교적 낮은 전압 레벨로 변환한다.

[0035] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 셀과 전기적으로 통신한다. 비휘발성 래치 회로가 제1 논리 상태를 출력하는 경우, 메모리 셀은 활성 상태이고, 비휘발성 래치 회로가 제2 논리 회로를 출력하는 경우, 메모리 셀은 비활성 상태이다.

[0036] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 셀에 대한 리던던시 회로를 포함하며, 메모리 셀이 동작불가능한 경우에 메모리 셀을 바이패스할 수 있다.

[0037] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 셀과 전기적으로 통신하며, 제1 메모리 상태 및 제2 메모리 상태를 저장할 수 있다. 제1 메모리 상태는 제1 논리 상태로서 입력 단자에 입력되며, 비휘발적으로 유지되고 비휘발성 래치 회로에 의해 제1 논리 상태로서 출력된다. 제2 메모리 상태는 제2 논리 상태로서 입력 단자에 입력되며, 비휘발적으로 유지되며 비휘발성 래치 회로에 의해 제2 논리 상태로서 출력된다.

[0038] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 셀에 대한 리던던시 회로를 포함하며, 제1 메모리 상태 및 제2 메모리 상태에 각각 대응하는 제1 논리 상태 및 제2 논리 상태를 비휘발적으로 유지할 수 있다.

[0039] 본 발명의 다른 실시예에서, 메모리 셀은 NRAM 어레이에서의 셀을 포함한다.

[0040] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 셀에서의 에러에 대해 수정하기 위해 제1 및 제2 논

리 상태 중 한 상태를 유지시킨다.

- [0041] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 메모리 회로와 전기적으로 통신한다. 입력 단자에서 입력된 전기 자극은 시변(time-varying) 전기 자극을 포함한다. 출력 단자에서 출력된 전기 자극은 시변 전기 자극이다. 비휘발성 래치 회로는 입력 단자에서의 시변 전기 자극과 출력 단자에서의 시변 전기 자극 사이의 제어가능한 지연을 생성함으로써 메모리 회로의 동작을 제어한다.
- [0042] 본 발명의 다른 실시예에서, 비휘발성 래치 회로는 실질적으로 선택된 상승 시간과 실질적으로 선택된 하강 시간을 갖는 실질적으로 2개 모드의 신호를 포함한 제어가능 지연을 생성한다.
- [0043] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자는 비교적 낮은 저항 상태에서부터 비교적 높은 저항 상태로만 스위칭할 수 있는 1회 프로그래밍가능 퓨즈를 포함한다.
- [0044] 본 발명의 다른 형태에 따르면, 복수의 비휘발성 레지스터 파일들에 이용하기 위한 비휘발성 레지스터 파일 구성 회로가 제공된다. 비휘발성 레지스터 파일 구성 회로는 입력 전압 단자, 선택 회로 및 입력 전압 단자와 전기적으로 통신하는 복수의 나노튜브 퓨즈 소자를 포함한다. 각각의 나노튜브 퓨즈 소자는 복수의 비휘발성 레지스터 파일들 중 한 파일 및 선택 회로와 전기적으로 통신한다. 각각의 나노튜브 퓨즈 소자는 나노튜브 패브릭 제품과 2개의 전도성 콘택트들을 포함하며, 나노튜브 패브릭 제품은 2개의 전도성 콘택트들 사이에 배치되며, 2개의 전도성 콘택트들과 전기적으로 통신한다. 나노튜브 퓨즈 소자는 온 상태에서 오프 상태로 스위칭할 수 있으며, 온 상태는 제1 단자와 제2 단자 사이에서 비교적 낮은 저항에 대응하며, 오프 상태는 전기 자극에 응답하여 2개의 전도성 콘택트 사이에서 비교적 낮은 저항에 대응한다. 나노튜브 퓨즈 소자가 온 상태에 있는 경우, 대응하는 비휘발성 레지스터 파일은 활성 상태이며, 입력 전압 단자에서의 전기 자극에 응답한다. 나노튜브 퓨즈 소자가 오프 상태에 있는 경우, 대응하는 비휘발성 레지스터 파일은 비활성 상태이며, 입력 전압 단자에서의 전기 자극에 응답하지 않는다. 선택 회로는 각각의 선택된 나노튜브 퓨즈 소자에 전기 자극을 인가하여 대응하는 레지스터 파일을 선택적으로 바이패스할 수 있다.
- [0045] 본 발명의 다른 실시예에서, 선택 회로는 레지스터 파일이 결합된 것에 응답하여 복수의 레지스터 파일 중 한 레지스터 파일을 선택적으로 바이패스한다.
- [0046] 본 발명의 다른 실시예에서, 복수의 나노튜브 퓨즈 소자 중 한 소자가 온 상태에 있는 경우, 대응하는 비휘발성 레지스터 파일이 입력 전압 단자에서의 전기 자극에 응답하여 복수의 정보 상태로 동작가능하다.
- [0047] 본 발명의 다른 실시예에서, 나노튜브 퓨즈 소자는 1회 프로그래밍가능하다.
- [0048] 본 발명의 다른 형태에 따르면, 비휘발성 메모리는 비트 라인, 워드 라인, 및 하나 이상의 비휘발성 메모리 셀을 포함한다. 각각의 메모리 셀은 제1 및 제2 전도성 단자를 포함한 2단자 나노튜브 스위칭 소자와, 제1 및 제2 전도성 단자들 사이에 배치되고 제1 및 제2 전도성 단자들과 전기적으로 통신하는 나노튜브 패브릭 제품을 갖는다. 각각의 메모리 셀은 또한 비트 라인 및 워드 라인과 전기적으로 통신하여, 비트 라인 및 워드 라인 중 적어도 하나의 활성화에 응답하여 판독 동작 및 기록 동작을 위해 2단자 나노튜브 스위칭 소자를 선택하는 셀 선택 회로를 갖는다. 비휘발성 메모리는 나노튜브 패브릭 제품의 저항값이 메모리 셀의 정보 상태에 대응하도록 나노튜브 패브릭 제품의 저항의 변화를 유도하기 위해 제어 신호에 응답하여 선택된 메모리 셀에 기록 신호를 제공하는 기록 제어 회로를 포함한다. 비휘발성 메모리는 선택된 비휘발성 메모리 셀과 통신하여 나노튜브 패브릭 제품의 저항을 감지하고 기록 제어 회로에 제어 신호를 제공하는 저항 감지 회로를 포함한다. 그리고, 비휘발성 메모리는 선택된 비휘발성 메모리 셀과 통신하여 메모리 셀의 대응하는 정보 상태를 판독하는 판독 회로를 포함한다.
- [0049] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자의 제1 전도성 단자는 셀 선택 회로와 전기적으로 통신하며, 나노튜브 스위칭 소자의 제2 전도성 단자는 기준 전압 라인과 전기적으로 통신한다.
- [0050] 본 발명의 다른 실시예에서, 기록 제어 회로는 비트 라인 및 워드 라인과 전기적으로 통신한다.
- [0051] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자의 제1 전도성 단자는 기록 제어 회로에 의해 제공된 기록 신호를 수신하고 나노튜브 스위칭 소자의 제2 전도성 단자는 워드 라인 및 비트 라인 중 적어도 하나와 전기적으로 통신한다.
- [0052] 본 발명의 다른 실시예에서, 기록 신호들을 제공하는 것은 선택된 전압을 갖는 전기 자극을 제공하는 것을 포함한다.

- [0053] 본 발명의 다른 실시예에서, 기록 신호를 제공하는 것은 선택된 전류를 갖는 전기 자극을 제공하는 것을 포함한다.
- [0054] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자는 나노튜브 패브릭 제품의 실질적으로 대향하는 면들에 배치된 제1 및 제2 절연체 영역들을 더 포함한다.
- [0055] 본 발명의 다른 실시예에서, 제1 절연체 영역 및 제2 절연체 영역 중 적어도 하나는 유전체 물질을 포함한다.
- [0056] 본 발명의 다른 실시예에서, 나노튜브 패브릭 제품의 적어도 일부는 제1 절연체 영역 및 제2 절연체 영역 중 한 영역의 절연체의 적어도 일부로부터 갭에 의해 분리된다.
- [0057] 본 발명의 다른 실시예에서, 메모리 셀의 정보 상태는 복수회 프로그래밍가능하고 소거가능하다.
- [0058] 본 발명의 다른 실시예에서, 기록 제어 회로가 3 이상의 기록 신호들을 기록하기 위한 회로를 포함하며, 각각의 3 이상의 기록 신호들은 다른 기록 신호들에 대응하는 저항값들과 다른 나노튜브 패브릭 제품에서의 대응 저항값을 유도할 수 있는 신호이다.
- [0059] 본 발명의 다른 실시예에서, 3 이상의 기록 신호들에 의해 유도되는 대응 저항값들은 복수의 낮은 저항값들과 하나의 높은 저항값을 포함한다.
- [0060] 본 발명의 다른 실시예에서, 복수의 낮은 저항값들은 각각 대략 1kΩ 내지 대략 1MΩ의 범위에 있으며, 높은 저항값은 100 MΩ 이상이다.
- [0061] 본 발명의 다른 실시예에서, 기록 제어 회로는 메모리 셀이 제1 정보 상태, 제2 정보 상태, 제3 정보 상태 및 제4 정보 상태 중 적어도 한 상태를 저장가능하도록 4개의 기록 신호들을 기록하기 위한 회로를 포함한다.
- [0062] 본 발명의 다른 실시예에서, 저항 감지 회로는 선택된 비휘발성 메모리 셀 및 기준 저항값과 전기적으로 통신하는 피드백 회로를 포함하며, 피드백 회로는 선택된 비휘발성 메모리 셀의 나노튜브 패브릭 제품의 저항과 기준 저항값을 비교하고, 선택된 비휘발성 메모리 셀에 대해 기록 신호들을 선택적으로 차단할 수 있다.
- [0063] 본 발명의 다른 실시예에서, 나노튜브 패브릭 제품의 저항값은 비교적 낮은 저항값과 비교적 높은 저항값 중 한 저항값으로부터 선택된다.
- [0064] 본 발명의 다른 실시예에서, 비교적 낮은 저항값은 제1 정보 상태에 대응하고, 비교적 높은 저항값은 제2 정보 상태에 대응한다.
- [0065] 본 발명의 다른 실시예에서, 기록 신호들을 제공하는 것은 선택된 간격으로, 순차적으로 그리고 증가적으로 변화하는 복수의 전압 펄스들을 제공하는 것을 포함한다.
- [0066] 본 발명의 다른 실시예에서, 피드백 회로는 각각의 전압 펄스가 기록 제어 회로에 의해 제공된 후 나노튜브 패브릭 제품의 저항을 감지하고, 나노튜브 패브릭 제품의 저항과 기준 저항값을 비교한다.
- [0067] 본 발명의 다른 실시예에서, 비휘발성 메모리는, 피드백 회로가 나노튜브 패브릭 제품의 저항으로서 비교적 낮은 저항값을 감지하고 기록 신호들을 선택적으로 차단할 때까지 전압 펄스들이 인가되는 제1 기록 동작을 실행할 수 있다.
- [0068] 본 발명의 다른 실시예에서, 비휘발성 메모리는, 피드백 회로가 나노튜브 패브릭 제품의 저항으로서 비교적 높은 저항값을 감지하고 기록 신호들을 선택적으로 차단할 때까지 전압 펄스들이 인가되는 제2 기록 동작을 실행할 수 있다.
- [0069] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자는 1회 프로그래밍가능 나노튜브 퓨즈를 포함하며, 나노튜브 패브릭 제품은 비교적 낮은 저항값으로부터 비교적 높은 저항값으로만 스위칭할 수 있다.
- [0070] 본 발명의 다른 실시예에서, 기록 제어 회로는 저항값들의 범위로부터 기준 저항값을 선택한다.
- [0071] 본 발명의 다른 실시예에서, 피드백 회로는 나노튜브 스위칭 제품의 저항값이 기준 저항값과 대략 동일할 경우 선택된 비휘발성 메모리 셀의 나노튜브 스위칭 소자에 대해 비트 라인 상의 기록 신호들을 선택적으로 차단한다.
- [0072] 본 발명의 다른 실시예에서, 판독 회로는 센스 증폭기 회로를 포함하며, 저항 감지 회로는 센스 증폭기 회로와 전기적으로 통신하고, 저항 감지 회로는 센스 증폭기 회로에 응답하여, 기록 제어 회로에 제어 신호를 제공함으로써, 기록 제어 회로들이 선택된 비휘발성 메모리 셀에 기록 신호들을 제공하는 것을 선택적으로 못하도록 한다.

다.

- [0073] 본 발명의 다른 실시예에서, 센스 증폭기 회로에 의해 저항 감지 회로에 제공된 제어 신호는 기록 제어 회로가 나노튜브 패브릭 제품의 저항 변화를 유도하는 것을 선택적으로 못하게 한다.
- [0074] 본 발명의 다른 실시예에서, 나노튜브 패브릭 제품의 저항값은 복수의 낮은 저항값들과 하나의 비교적 높은 저항값을 포함한 복수의 저항값들 중 한 저항값으로부터 선택된다.
- [0075] 본 발명의 다른 실시예에서, 기록 신호들을 제공하는 것은 선택된 간격으로, 순차적으로 그리고 증가적으로 변화하는 복수의 전압 펄스를 제공하는 것을 포함한다.
- [0076] 본 발명의 다른 실시예에서, 센스 증폭기 회로는 각각의 전압 펄스가 기록 제어 회로에 의해 제공된 후 나노튜브 패브릭 제품의 저항값을 검출한다.
- [0077] 본 발명의 다른 실시예에서, 비휘발성 메모리는 복수의 낮은 저항값들이 센스 증폭기 회로에 의해 검출될 때까지 전압 펄스들이 선택된 비휘발성 메모리 셀에 제공되는 제1 기록 동작을 실행시킬 수 있다.
- [0078] 본 발명의 다른 실시예에서, 센스 증폭기 회로가 선택된 메모리 셀에서 복수의 낮은 저항값들 중 적어도 하나의 저항값을 검출하는 경우, 저항 감지 회로는 센스 증폭기 회로에 응답하여, 기록 제어 회로가 선택된 메모리 셀의 정보 상태를 기록하는 것을 선택적으로 못하게 한다.
- [0079] 본 발명의 다른 실시예에서, 비휘발성 메모리는 비교적 높은 저항값이 검출될 때까지 전압 펄스들이 선택된 비휘발성 메모리 셀에 제공되는 제2 기록 동작을 실행시킬 수 있다.
- [0080] 본 발명의 다른 실시예에서, 센스 증폭기 회로가 선택된 비휘발성 메모리 셀에서 비교적 높은 저항값을 검출하는 경우, 저항 감지 회로는 센스 증폭기 회로에 응답하여, 기록 제어 회로가 선택된 메모리 셀의 정보 상태를 기록하는 것을 선택적으로 못하게 한다.
- [0081] 본 발명의 다른 실시예에서, 나노튜브 스위칭 소자는 제1 저항값으로부터 제2 저항값으로만 스위칭할 수 있는 나노튜브 패브릭 제품을 갖는 1회 프로그래밍가능 나노튜브 퓨즈를 포함한다.

실시예

- [0131] **비휘발성 레지스터 파일**
- [0132] 본 발명은 나노 패브릭 물질과 스케일러블 비휘발성 나노튜브 스위치들에 기초한 스케일러블 래치 회로와 메모리 셀들을 제공한다.
- [0133] 본 발명은 또한 비휘발성 레지스터 파일들을 제공하며, 보다 자세하게는, 수율 증대 목적을 위하여 리던던트 스테이지를 포함한 보다 큰 세트로부터 개개의 비휘발성 레지스터 파일 스테이지들의 보다 작은 서브세트들을 선택함으로써 형성되는 비휘발성 레지스터 파일들을 제공한다.
- [0134] 본 발명은 또한 고속 비동기 로직 및 동기 로직과 메모리 회로들을 제공하며, 여기서, 클록 타이밍과 신호 타이밍이 보다 높은 수율에서 보다 높은 성능을 위하여 나노 패브릭 물질과 스케일러블 비휘발성 나노튜브 스위치들에 기초한 새로운 스케일러블 래치 회로들을 이용하여 개선된다.
- [0135] 퓨즈 래치 회로들이 대응하는 퓨즈(또는 안티퓨즈)의 논리적 상태를 나타내는 논리 상태를 저장할 수 있게 하여, 그 결과, 래치가 다른 회로들에 접속될 때 래치가 예를 들어 제조 날짜 또는 다른 조건들에 관한 트래킹 코드를 저장할 수 있도록 리던던트 메모리 소자들에 대한 어드레스 재배치(relocation), 동작 모드 구성과 같은 프로그래밍 정보를 다른 전자 회로들에 제공하는 것이 종종 바람직하다. 이러한 한 래치 애플리케이션은 비휘발성 레지스터 파일들에 대한 수율 증대의 분야에 있다.
- [0136] 도 1a는 N회 반복되고 본질적으로 동일한 개개의 비휘발성 스테이지들을 갖는 N개의 스테이지들의 직렬 비휘발성 레지스터 파일(10)을 나타내며, 스테이지들은 스테이지 1로 시작하여 스테이지 N으로 끝난다. 비휘발성 레지스터 파일들은 미국 특허 출원 번호 제11/280,599호에 보다 자세하게 설명되어 있다.
- [0137] 데이터 입력(DI)은 NV 레지스터 파일 스테이지(1)의 입력에 제공된다. 스테이지(1)의 데이터 출력은 NV 레지스터 파일 스테이지(2)의 데이터 입력을 구동시키며, NV 레지스터 파일 스테이지(N-1)의 출력이 NV 레지스터 파일 스테이지(N)의 입력을 구동시킬 때까지 이하 동일한 방식으로 이루어진다. NV 레지스터 파일 스테이지(N)의 출력은 데이터 출력(DO)을 제공한다.

[0138] 비휘발성 레지스터 파일(10)은 비휘발성 레지스터 파일(10)의 각각의 스테이지에 제공된 클럭(CLK)으로 동기 모드에서 동작한다. 비휘발성 레지스터 파일(10)의 각각의 스테이지는 비휘발성 슬레이브 래치를 구동시키는 휘발성 마스터 래치를 포함하며, 여기서 비휘발성 슬레이브 래치는 전력이 제거 또는 손실될 때 비휘발성 모드에서 래치 논리 상태를 저장하기 위하여 휘발성 래치 및 대응하여 커플링된 비휘발성 나노튜브를 포함한다. 전력이 제거 또는 손실될 때의 논리 상태는 비휘발성 레지스터 파일(10) 동작을 재개하기 전에 리스토어된다. 비휘발성 레지스터 파일(10)은 선택된 기술 노드에 대응하는 전압 레벨(V_{DD})에서 그리고 전속력으로 정상 휘발성 모드에서 동작한다. V_{DD} 는 예를 들어, 1.5 내지 2.5 볼트일 수 있다. 클럭 주파수는 예를 들어, 1 내지 10 GHz 범위 이상에 있을 수 있다.

[0139] 비휘발성 레지스터 파일(10)을 포함한 칩의 일부분이 전력해제 될 경우(전력 공급원이 제거되거나 손실되는 경우), 비휘발성 레지스터 파일(10)의 각각의 스테이지의 휘발성 부분으로부터의 데이터(논리 상태)는 미국 특허 출원 번호 제11/280,599호에 설명된 바와 같이 비휘발성 나노튜브 스위치에 전달될 수 있다. 클럭(CLK)이 정지하면, 동작 모드 펄스가 전력 차단(power shut-down) 직전에 대응 비휘발성 나노튜브 스위치에서의 각각의 래치의 상태를 저장(save)하는데 이용된다. 그 후, 전력이 비휘발성 레지스터 파일(10) 및 연관된 로직 및 메모리 회로들로부터 제거될 수 있다.

[0140] 정상 비휘발성 레지스터 파일(10) 동작이 리스토어되면, 전력해제되었던 칩의 일부분 또는 모든 전력이 제거 또는 손실된 경우에는 전체 칩이 재전력공급받는다. 다음, 미국 특허 출원 번호 제11/280,599호에 개시된 바와 같이, 동작 모드 펄스가, 각각의 비휘발성 나노튜브 스위치의 데이터(논리 상태)를 비휘발성 레지스터 파일(10)의 자신의 대응하는 비휘발성 레지스터 파일 스테이지에 전달하는데 이용될 수 있다. 그 후, 클럭(CLK)이 시작되고, 고속 동작이 시작된다. 소거, 프로그램 및 판독과 같은 프로그램 모드들은 미국 특허 출원 번호 제 11/280,599호에 설명되어 있다. 비휘발성 나노튜브 스위치 제조, 반도체 공정으로의 집적화, 전기 특성들 및 동작 모드들 및 동작 조건들은 미국 특허 출원 번호 제11/280,786호에 설명되어 있다.

[0141] **비휘발성 레지스터 파일 스테이지 회로**

[0142] 도 1b는 미국 특허 출원 번호 제11/280,599호에 설명된 비휘발성 레지스터 파일 스테이지 회로(15)의 일 실시예를 나타내며, 비휘발성 레지스터 파일 스테이지 회로(15)는 도 1a에서의 비휘발성 레지스터 파일 스테이지들(1... N) 중 임의의 하나에 대응한다. 미국 특허 출원 번호 제11/280,599호는 여러 비휘발성 레지스터 파일 스테이지 회로를 설명하며, 레지스터 파일 스테이지 회로들 중 일부가 커플링 회로에 의해 비휘발성 나노튜브 스위치에 커플링되고 레지스터 파일 스테이지 회로들 중 다른 일부가 비휘발성 나노튜브 스위치에 직접 커플링된다. 이 실시예에서, 레지스터 파일 스테이지 회로(1102)는 회로(1108)에 의해 비휘발성 나노튜브 스위치(1110)에 커플링된다.

[0143] 비휘발성 레지스터 파일 스테이지(15)는 정상 실행 모드와, 전력이 접속 단절될 수 있는 제로 전력 논리 상태(또는 데이터 상태) 비휘발성 보류(retention) 모드인 2개의 동작 모드를 갖고 있다. 휘발성 마스터 래치 스테이지 회로(1104)와 휘발성 슬레이브 래치 스테이지 회로(1106)는 LSSD 레지스터 스테이지로서 또한 불릴 수 있는 레지스터 파일 스테이지 회로(1102)의 한 스테이지를 형성한다.

[0144] 도 1b에 도시된 바와 같이, 휘발성 마스터 래치 스테이지 회로(1104)의 입력 노드(1115)는 데이터 입력 신호(DI)를 수신하고 CMOS 트랜스퍼 게이트(1130)를 구동시키며, CMOS 트랜스퍼 게이트는 교차 결합된(cross coupled) CMOS 인버터(1145 및 1150)에 의해 형성된 저장 노드(1135)에 접속되어 저장 노드(1135)를 구동시킨다. CMOS 트랜스퍼 게이트(1130)는 예를 들어, NMOS-단독 트랜스퍼 게이트 대신에 NMOS 소자와 PMOS 소자 양쪽 모두를 이용하여, 소자 임계 전압 강하(voltage drop)를 제거함으로써 논리 "1" 및 논리 "0" 상태 양쪽 모두가 전체 전력 공급원 레벨과 접지 전압 레벨 간에 트랜지션하는 것을 보장한다. 클럭(CLK; 1140)과 상보 클럭(CLKb; 1140')은 CMOS 트랜스퍼 게이트(1130)를 온과 오프로 전환함으로써 저장 노드(1135)를 구동시키는 것으로부터 입력 노드(1115) 상의 입력 신호(DI)를 인에이블시키거나 또는 차단하도록 하는데 이용되며, 이에 의해, 교차 결합된 CMOS 인버터(1145 및 1150)의 논리 저장 상태를 판정한다. 본 설명에서의 인버터들은 달리 특정되어 있지 않으면 CMOS 인버터들임을 주목해야 한다. CMOS 인버터들은 전력 공급원에 접속된 PMOS 풀업 소자와 접지부에 접속된 NMOS 풀다운 소자를 포함하며, H.B. Bakoglu의 "Circuits, Interconnections, and Packaging for VLSI"[Addison-Wesley Publishing Company, Inc., 1990, pp. 152(여기에서 그 전체 내용을 참조로서 포함함)]에 의해 참조로 설명된 바와 같이 동작한다. 교차 결합된 인버터(1145 및 1150)는 CMOS 트랜스퍼 게이트

(1160)에 접속된 저장 노드(1155)를 구동시킨다. 클록(CLK)과 상보 클록(CLKb)은, CMOS 트랜스퍼 게이트(1160)를 온 및 오프로 전환함으로써 슬레이브 래치 저장 회로(1106) 입력 노드(1120)를 저장된 논리 상태 노드(1155)를 실행 또는 차단하는데 이용된다.

[0145] 도 1b에 나타난 바와 같이, 휘발성 슬레이브 래치 스테이지 회로(1106)의 입력 노드(1120) - 또한 마스터 래치 스테이지 회로(1104)의 출력 노드임 - 는 인버터(1170)를 구동시킨다. 인버터(1170)의 출력은 출력 노드(1125) 상에서의 데이터 출력 신호(DO)이며, 또한 인버터(1175)의 입력을 구동시킨다. 인버터(1175)의 출력(1180)은 CMOS 트랜스퍼 게이트(1185)에 접속된다. 클록(CLK)과 상보 클록(CLKb)은 인에이블될 때, 인버터(1170 및 1175)를 교차 결합시킨 피드백 루프의 제공을 실행하거나 또는 차단하는데 이용된다. 정상 고속 동작 동안, 클록(CLK)은 예를 들어, 130 nm CMOS 기술 노드에 대하여 3 GHz 클록 속도의 고속에서 스위칭한다. 인버터(1190)는 상보 CLKb 또는 RESTORE ENABLE의 상보 신호를 발생시킨다. 데이터를 저장할 때, CMOS 트랜스퍼 게이트(1185)는 온이며, 인버터(1170 및 1175)는 저장 노드로서 역할을 하는 노드(1120)를 갖는 교차 결합된 저장 소자를 형성한다. CMOS 트랜스퍼 게이트(1185)가 오프일 때, 인버터(1170 및 1175)는 교차 결합되지 않으며, 저장 소자를 형성하지 않는다. 슬레이브 래치 스테이지 회로(1106)는 커플링 회로(1108)에 의해 비휘발성 나노튜브 스위치(1110)에 커플링된다.

[0146] 도 1b에 나타난 바와 같이, 비휘발성 나노튜브 스위치(1110)가 커플링 회로(1108)를 이용하여 선택된 동작 모드에 대응하는 소거 전압 펄스(또는 펄스들)를 제공하는 전력 공급 전압(V_{EPR})에 접속된다. 비휘발성 나노튜브 스위치(1110)는 또한 전기 접속부(1114)를 이용하여 커플링 회로(1108)의 노드(1116)에 접속된다. 커플링 회로(1108)는 휘발성 슬레이브 래치 스테이지 회로(1106)에 접속되며, 여기서, 노드(1180 및 1125)에 각각 접속된 전기 접속부(1119 및 1329)가 프로그램 모드에 이용되며, 전기 접속부(1118)가 리스토어 모드에 이용된다.

[0147] 도 1b에 나타난 바와 같이, 커플링 회로(1108)는 소거 기능을 포함한다. 소거 회로는 공통 노드(1317)에 접속된 드레인과, 접지부에 접속된 소스와, 소거 인에이블 펄스(erase enabling pulse)에 접속된 입력 게이트를 갖는 NMOS 트랜지스터(1320)를 포함한다. 소거 동작 동안에, 트랜지스터(1342)는 제로 볼트에서 프로그램 인에이블 펄스에 의해 활성화되며, 공통 노드(1317)는 소거 동작을 실행시키기 위하여 비휘발성 나노튜브 스위치(1110)에 접속된 공통 노드(1116)에 접속된다.

[0148] 도 1b에 나타난 바와 같이, 커플링 회로(1108)는 또한 공통 노드(1116)에 접속된 드레인과, 공통 노드(1350)에 접속된 소스와, 인버터(1330)의 출력에 접속된 게이트를 갖는 PMOS 트랜지스터(1343)를 포함한 프로그래밍 기능을 포함하며, 인버터(1330)의 입력은 프로그래밍 인에이블 입력에 접속된다. 공통 노드(1350)는 고전압 트랜스레이트 회로(1360')를 형성하는, 교차 결합된 NMOS 트랜지스터(1325 및 1325')와 PMOS 트랜지스터(1327 및 1327')에 접속된다. NMOS 트랜지스터(1325 및 1325')의 소스는 접지부에 접속되어 있고, PMOS 트랜지스터(1327 및 1327')의 소스는 프로그램 전압(V_{PROG})에 접속된다. 상보 입력(1119 및 1329)이 고전압 트랜스레이트 회로(1360') 입력 NMOS 트랜지스터(1325)와 NMOS 트랜지스터(1325')에 각각 접속됨으로써, 고전압 트랜스레이트 회로(1360')의 논리 상태가 휘발성 슬레이브 래치 스테이지(1106)의 상태에 대응하게 된다. V_{PROG} 전압은 휘발성 슬레이브 래치 스테이지 전압 회로(1106) 보다 더 높을 수 있다. 프로그래밍 전압이 PMOS 트랜지스터(1327)를 통하여 공통 노드(1350)에 인가되며, 이어서 PMOS 트랜지스터(1343)를 통하여 공통 노드(1116) 및 비휘발성 나노튜브 스위치(1110)에 인가된다. 공통 노드(1350)가 NMOS 트랜지스터(1325)에 의해 접지 상태로 유지되는 경우, 프로그래밍 전압이 공통 노드(1350)에 인가되지 않으며, 비휘발성 나노튜브 스위치(1110)가 프로그래밍되지 않는다.

[0149] 도 1b에 나타난 바와 같이, 커플링 회로(1108)는 또한 V_{DD} 에 접속된 소스와, 커넥터(1118)에 의해 휘발성 슬레이브 래치 스테이지 회로(1106) 입력(1120)에 접속된 드레인을 갖는 PMOS 트랜지스터(1365)를 포함한다. 리스토어 동작 동안에, PMOS 트랜지스터(1365)는 입력 노드(1120)를 V_{DD} 로 프리차지하는데 이용되며, 그 후, 오프로 전환된다. NMOS 트랜지스터(1370)는 커넥터(1118)에 의해 입력(1120)에 접속된 소스와, 공통 노드(1317)에 접속된 드레인과, 리스토어 인에이블 입력에 접속된 게이트를 갖는다. 리스토어 동안에 온 상태에 있는 NMOS 트랜지스터(1342)는 비휘발성 나노튜브 스위치(1110)를 통하여 입력 노드 공통 노드(1317)와 V_{EPR} 사이의 방전 경로를 제공한다. V_{EPR} 는 리스토어 동작 동안에 제로 볼트에 있다. 트랜지스터(1370)가 리스토어 인에이블 입력에 의해 활성화될 때, 비휘발성 나노튜브 스위치(1110)가 온이면, 입력 노드(1120)가 방전되며, 비휘발성 나노튜브 스위치(1110)가 오프이면, 입력 노드가 V_{DD} 로 유지된다. 휘발성 슬레이브 래치 스테이지 회로(1106)의 상태는 비휘발성

나노튜브 스위치(1110)의 비휘발성 상태에 대응하는 상태로 리스토어된다.

- [0150] 정상 실행 모드에서, 커플링 회로(1108)가 비활성 상태이면, 비휘발성 나노튜브 스위치(1110)는 V_{ERR} 에 의한 전력을 공급받지 않으며, 또한 휘발성 슬레이브 래치 스테이지 회로(1106)로부터 디커플링된다. 따라서, 휘발성 마스터 래치 스테이지 회로(1104)와 휘발성 슬레이브 래치 스테이지 회로(1106)는 130 nm 기술 노드를 이용하여 제조된 논리 제품들에 대하여 $V_{\text{DD}} = 1.3$ 볼트에서 일반적으로 3 GHz인 고속 클록 속도로 정상(통상적인) 동기화된 논리 마스터/슬레이브 레지스터 실행 동작 모드에서 동작한다.
- [0151] 정상 실행 모드에서, 클록 사이클의 시작시, 클록(CLK; 1140)은 하이 전압에서 로우 전압으로 트랜지션하고 제1 1/2 클록 사이클 동안 로우 전압으로 유지되며, 상보 클록(CLKb; 1140')은 로우 전압에서 하이 전압으로 트랜지션하고 제1 1/2 클록 사이클 동안 하이 전압으로 유지된다. CMOS 트랜스퍼 장치(1130)는 온으로 전환하여, 저장 노드(1135)에 입력 노드(1115) 전압(V_{IN})을 커플링한다. CMOS 트랜스퍼 장치(1160)는 오프로 전환하고 휘발성 슬레이브 래치 스테이지 회로(1106)의 입력 노드(1120)로부터 휘발성 마스터 래치 스테이지 회로(1104)의 출력을 분리시킨다. 정상 실행 모드에서, 클록(CLK)은 휘발성 슬레이브 래치 스테이지 회로(1106)의 모드 입력(1192)에 접속되고, 클록(CLK)은 CMOS 트랜스퍼 장치(1185)에 접속되며, 인버터(1190)의 상보 클록(CLKb) 출력은 또한 CMOS 트랜스퍼 장치(1185)에 접속됨으로써, CMOS 트랜스퍼 장치가 또한 오프로 전환하여, 노드(1120)가 저장 노드로서 역할을 하지 않도록 인버터(1175)의 출력(1180)과 인버터(1170)의 입력(1120) 사이의 피드백 경로를 차단한다. 제2 1/2 클록 사이클의 시작시에 클록 트랜지션 전에 저장 노드(1155) 상에 대응 논리 상태를 저장하도록 교차 결합된 인버터(1145 및 1150)에 대하여 충분한 시간이 유지된다고 가정하면, DI 신호는 제1 1/2 클록 사이클의 종점 이전의 임의의 시간에 정확한 논리 상태에 대응하는 전압값으로 트랜지션할 수 있다.
- [0152] 정상 실행 모드에서, 클록(CLK; 1140)은 제2 1/2 클록 사이클의 시작시 로우 전압에서 하이 전압으로 트랜지션하며, 하이 전압으로 유지되며, 상보 클록(CLKb; 1140')은 하이 전압에서 로우 전압으로 트랜지션하며, 제2 1/2 클록 사이클 동안 로우 전압으로 유지된다. CMOS 트랜스퍼 장치(1130)는 오프로 전환하여 저장 노드(1135)로부터의 입력 노드(1115) 입력 신호(DI)를 디커플링하며, 저장 노드(1135)는 제1 1/2 클록 사이클의 종점에서 입력 신호(DI)에 대응하는 상태로 유지되며, 저장 노드(1155)는 저장 노드(1135)에 대한 상보 상태로 유지된다. CMOS 트랜스퍼 장치(1160)는 온으로 전환하고, 출력 노드(1125)를 데이터 출력 신호(DO)로 구동하고 또한 인버터(1175)의 입력을 구동하는 인버터(1170)의 입력(1120)에 저장 노드(1155)의 상태를 전달한다. 정상 실행 모드에서, 클록(CLK)은 휘발성 슬레이브 래치 스테이지 회로(1106)의 모드 입력(1192)에 접속되며, 클록(CLK)은 CMOS 트랜스퍼 장치(1185)에 접속되고, 인버터(1190)의 상보 클록(CLKb) 출력은 또한 CMOS 트랜스퍼 장치(1185)에 접속됨으로써, 노드(1120)가 저장 노드로서의 역할을 하도록 CMOS 트랜스퍼 장치가 또한 온으로 전환하여, 인버터(1175)의 출력(1180)과 인버터(1170)의 입력(1120) 사이에 피드백 경로를 형성한다. CMOS 트랜스퍼 장치(1185)가 온으로 전환되면, 인버터(1175)의 출력(1180)은 클록 사이클의 제2 스테이지가 끝날 때까지 인버터(1170)의 입력을 구동시키고 슬레이브 래치 상태 스테이지 회로의 상태를 저장한다.
- [0153] 제로 전력 논리 상태(또는 데이터) 비휘발성 보류 모드에서 커플링 회로(1108)가 비활성 상태인 동안, 비휘발성 나노튜브 스위치(1110)는 V_{ERR} 에 의한 전력을 공급받지 않으며, 또한 휘발성 슬레이브 래치 스테이지 회로(1106)로부터 디커플링된다. 휘발성 마스터 래치 저장 회로(1104)와 휘발성 슬레이브 래치 스테이지 회로(1106) 전력 공급은 제로 볼트에 있다.
- [0154] 동작시, 정상 실행 모드에서 제로 전력 비휘발성 보류 모드로 트랜지션하는 경우, 전력이 오프로 전환되기 전에, 커플링 회로(1108)는 휘발성 슬레이브 래치 스테이지 회로(1106)로부터 비휘발성 나노튜브 스위치(1110)로 논리 상태를 전달한다. 전력이 온으로 유지되는 동안, 클록(CLK)은 로우 전압 상태에서 정지되어 있으며, 상보 클록(CLKb)은 하이 전압 상태에서 정지되어 있고, 여기서 하이 전압 상태는 V_{DD} 에 있고(예를 들어, 1.3 내지 2.5 볼트) 로우 전압 상태는 제로 볼트에 있다. 비휘발성 나노튜브 스위치(1110)가 소거되지 않았고, 따라서 이전의 논리 상태를 저장하고 있다면, 커플링 회로(1108)는 프로그램 동작이 뒤따르는 소거 동작을 수행하도록 명령받는다. 비휘발성 나노튜브 스위치(1110)가 소거 상태에 있다면, 프로그램 모드는 커플링 회로(1108)를 이용하여 개시된다.
- [0155] 소거 동작 동안, 프로그램 인에이블 입력 전압은 제로 볼트에 있고, 트랜지스터(1342)는 인버터(1330)의 출력에 의해 온 상태로 유지된다. 소거 인에이블 펄스는 제로 볼트로부터 V_{DD} (예를 들어, 1.3 내지 2.5 볼트)로 트랜지션하여, 트랜지스터(1320)를 온으로 전환하고, 도 1b에 나타난 바와 같이, 온 트랜지스터(1342 및 1320)를 통하여 노드(1116)와 접지부 사이에 전도성 경로를 제공한다. 제로 볼트에 있는 프로그램 인에이블 전압에서는 트랜

지스터(1343)가 인버터(1330)의 출력에 의해 오프 상태로 유지된다. 리스토어 인에이블 전압은 제로 볼트에 있으며, 트랜지스터(1370)는 오프로 되고, 리스토어 프리차지 전압은 V_{DD} 에 있고 트랜지스터(1365)는 오프이며, 입력(1120)은 노드(1120)에서의 휘발성 슬레이브 래치 스테이지 회로(1106)의 상태가 교란되지 않도록 분리된다. 진폭(V_E)의 V_{EPR} 소거 전압 펄스가 비휘발성 나노튜브 스위치(1110) 단자에 인가되며, 여기서, V_E 는 예를 들어, 5 내지 10 볼트의 범위에 있을 수 있다. 비휘발성 나노튜브 스위치(1110)가 온 상태에 있는 경우에도, 직렬 연결된 트랜지스터(1342 및 1320)의 저항은 비휘발성 나노튜브 스위치(1110)의 저항보다 훨씬 더 낮다. 스위치(1110)가 온 상태에 있는 경우, 전류는 노드(1112) 사이에서 스위치(1110)와 전기 접속부(1114) 및 온 트랜지스터들(1342 및 1320)의 채널을 통하여 접지부로 흐르며, 비휘발성 나노튜브 스위치(1110)는 오프로(소거 상태로) 스위칭된다. 스위치(1110)가 오프 상태에 있는 경우, 스위치는 오프(소거된) 상태로 유지된다. 비휘발성 나노튜브 스위치(1110)는 프로그래밍 전의 임의의 시간에 소거될 수 있음을 주목해야 한다. 스위치(1110)가 소거 상태에 있는 것으로 알려진 경우, 프로그래밍은 즉시 시작할 수 있다. 본 발명의 일부 실시예들에 따른 소거 자극은 미국 특허 출원 번호 제11/280,786호에 보다 자세하게 설명되어 있다.

[0156] 소거 동작 동안에, 트랜지스터들(1370, 1365, 및 1343)은 모두 오프가 되어, 휘발성 슬레이브 래치 스테이지 회로(1106)로부터 비휘발성 나노튜브 스위치(1110)를 분리시킴을 주목해야 한다. 따라서, 소거 동작은 휘발성 슬레이브 래치 스테이지 회로(1106)의 성능에 충격을 주지 않고 정상 실행 모드 동안에 임의의 횟수 실시될 수 있고, 따라서, 소자의 논리 연산에 투명하게 만들어질 수 있다.

[0157] 개개의 비휘발성 나노튜브 스위치들의 실험용 테스트는 도 1b에 개략적으로 나타내고 또한 도 9에 대하여 아래 자세하게 설명된 스위치(1110)와 같은 비휘발성 나노튜브 스위치들이 도 1c에서의 그래프(16)에 의해 나타낸 바와 같이 5억회 보다 더 많이 사이클링되었음을 나타낸다. 전도 상태 저항은 통상적으로 10 kΩ 내지 50 kΩ의 범위에 있는 한편, 비전도 상태 저항은 통상적으로 1 GΩ을 초과하여, 전도 상태와 비전도 상태 간의 저항값들보다 5차수 더 큰 정도의 크기 차이가 존재한다.

[0158] 비휘발성 나노튜브 스위치들의 수율은 요구되는 온/오프 사이클의 개수에 의존한다. (전도 상태에서 비전도 상태) 1/2 사이클 동안, 수율은 100%에 근접한다. 수천 또는 수백만 사이클들을 달성하는 것은 나노패브릭의 품질, 전체적인 처리, 패시베이션, 및 다른 요인들에 의존한다. 기술의 초기 단계에서는, 충분한 비휘발성 레지스터 파일 수율을 보장하기 위해 리던던시를 이용하는 것이 바람직하다.

[0159] **비휘발성 레지스터 파일들의 한계들**

[0160] 미국 특허 출원 번호 제11/280,599호에 설명된 바와 같이, 반도체 산업이 전력 소실을 관리하면서, 훨씬 더 높은 성능을 요구함에 따라, 비휘발성 나노튜브 스위치들과 같은 새로운 소자들이 더 큰 유연성을 위해 도입될 수 있다. 이러한 새로운 소자들은, 수율 학습이 이러한 리던던트 기능에 대한 필요성을 감소시키거나 또는 제거시키기에 충분할 때까지 결합성 비휘발성 레지스터 파일(10) 개개의 스테이지들을 바이패스하는 수단이나 추가적인 리던던트 기능을 추가함으로써 제조하는 초기에 수율 증대를 요구할 수 있다.

[0161] 도 1a에 나타낸 비휘발성 레지스터 파일(10)에 대해, 원하는 양호 스테이지들의 개수는 N이며, 예를 들어, 256 비트이다. 추가적인 M개의 스테이지들이 추가될 수 있고, 예를 들어, 이용가능 스테이지들의 총 개수(N + M)가 372가 되도록 M = 116 비트이다. 선택 수단들이 결합성 레지스터들을 바이패스하는데 이용될 수 있음으로써, 372개의 총 이용가능 스테이지들 중 256개 레지스터 스테이지들이 비휘발성 레지스터 파일(10)에 기능적으로 등가인 비휘발성 레지스터 파일을 형성하는데 이용될 수 있다.

[0162] 선택 수단은 예를 들어, 미국 특허 제5,345,110호의 레이저 퓨즈와 같은 통상의 퓨즈 래치 소자들을 포함할 수 있다. 선택 수단은 Bertin 등의 미국 특허 제6,570,802호(여기에서 그 전체 내용을 참조로서 포함함)에 설명된 바와 같은 유형의 복수의 퓨즈(및 안티 퓨즈)를 갖는 퓨즈 래치들을 포함할 수 있다. 다른 선택 수단은 미국 특허 제6,750,802호에 설명된 바와 같이 100 kΩ의 범위에서의 실질적으로 더 높은 저항 트립 포인트(trip point)를 가진 퓨즈 래치들을 포함할 수 있다. 이러한 래치들은 예를 들어, 10 kΩ(또는 그 이하) 내지 50 kΩ의 온 저항 범위와, 1 MΩ를 초과하는 오프 (프로그래밍되거나 또는 끊긴) 저항 범위를 갖는 퓨즈들을 수용하며, 금속 또는 폴리실리컨 물질을 이용한 통상적인 퓨즈 유형들을 미국 특허 출원 번호 제11/280,786호에 설명된 전기적 특성들을 갖는 비휘발성 나노튜브 스위치들과 같은 새로운 비휘발성 퓨즈 유형으로 대체하는데 매우 적합하다. 통상적인 퓨즈 래치들은 통상적으로 OTP(1회 프로그래밍가능함)이다. 비휘발성 나노튜브 스위치들을 이용한 새로운 래치들은 OTP 모드에서 동작될 수 있거나 또는 예를 들어, 수천 회 프로그래밍되고 소거될 수 있다.

[0163] 또 다른 선택 수단은 양호한 비휘발성 레지스터 파일 스테이지들을 식별하는데 이용될 수 있는 도 1에 도시된 비휘발성 레지스터 파일(10)의 변형된 버전인 비휘발성 리던던트 레지스터 파일을 포함할 수 있다.

[0164] 통상의 퓨즈 래치 또는 새로운 퓨즈 래치의 상태에 의해 또는 비휘발성 리던던트 레지스터 파일 스테이지들에 의해 제어되는, 개개의 비휘발성 레지스터 파일 스테이지들을 포함시키거나 또는 바이패스하는데 이용되는 스티어링 회로(steering circuit)가, 아래 보다 자세히 설명된 변형된 비휘발성 레지스터 파일(10)의 모든 래치 스테이지마다 포함된다.

[0165] **휘발성 마스터 및 슬레이브 래치 스테이지들의 성능의 최적화**

[0166] 아래 자세히 설명된 비휘발성 레지스터 파일들은 예를 들어, 스테이지마다 마스터 및 슬레이브 래치와, 각각의 슬레이브 래치에 커플링된 비휘발성 나노튜브 스위치(NV NT 스위치)를 통상적으로 포함한 고속 휘발성 레지스터들을 포함한다. NV NT 스위치는 슬레이브 래치에 직접 커플링될 수 있거나 또는 커플링 회로를 이용하여 커플링될 수 있다. 위에서 자세히 설명된 바와 같이 비휘발성 레지스터 파일 래치의 비휘발성 동작의 수율을 최적화하는 것에 더하여, 휘발성 레지스터의 고속 성능도 또한 최적화할 필요가 있다. 또한, 모든 레지스터 파일이 비휘발성일 필요가 있는 것은 아니다. 그러나, 레지스터 파일은 고속(높은 클럭 속도) 동기화 동작을 필요로 한다.

[0167] 예를 들어, 1 GHz를 초과하는 높은 클럭 속도에서, 레지스터 래치의 수율은 논리 지연 변동 또는 캐시 지연 변동을 야기하는 소자 파라미터 변동에 의해 감소될 수 있다. 이러한 파라미터 변동들은 제조 동안에 로트마다(from lot-to-lot) 발생할 수 있고 또한 소자 파라미터 변화(드리프트)에 의해 야기되는 필드 하에서 변한다. 예를 들어, 동기 CPU와 온보드 캐시는 캐시로부터 관독되는 데이터가 CPU 데이터 요청이 개시된 후에 1 클럭 사이클 동안 CPU 단자들에서 준비 상태에 있는 것을 보장하기 위해 예를 들어, 170 ps의 캐시 액세스 시간을 필요로 할 수 있다.

[0168] 퓨즈로서 또는 안티퓨즈로서 또는 퓨즈와 안티퓨즈 양쪽 모두로서 이용될 수 있거나 또는 보다 자세하게는 일반적으로 비휘발성 온과 오프 상태 사이에서 복수회 토글링할 수 있는 비휘발성 스케일러블 소자와 대응하는 래치 회로를 제공하는 것이 바람직할 것이다. 제조 시간에서와 필드에서 타이밍을 최적화(임계 타이밍 경로들을 조정)하여, 증대된 신뢰성을 갖고 더 높은 수율로 성능을 최적화하기 위해 이러한 래치 회로와 지연 제어 회로들을 통합하는 것이 이용될 수 있다.

[0169] **리던던트 스테이지들을 갖는 비휘발성 레지스터 파일**

[0170] 도 2는 N + M개 스테이지들의 비휘발성 레지스터 파일(20)을 나타내며, N + M회 반복되는 개개의 비휘발성 스테이지들을 갖고, 스테이지(22-1; 비휘발성 레지스터 파일 스테이지 1)로 시작하여 스테이지(22-(N+M); 비휘발성 레지스터 파일 스테이지 N+M)로 끝난다. 각각의 스테이지들(22-1 내지 22-(N+M))은 실질적으로 동일하며, 또한 비휘발성 레지스터 파일(10; 도 1)에서의 각각의 NV 레지스터 파일 스테이지(1) 내지 NV 레지스터 파일 스테이지(N)와 실질적으로 동일하다. 스테이지(1 내지 N+M)의 N개 스테이지의 임의의 서브세트가 N개 스테이지를 갖는 비휘발성 레지스터 파일(20)을 형성하는데 이용될 수 있다.

[0171] 비휘발성 레지스터 파일(20)의 N개 스테이지들을 형성하는 경우 임의의 스테이지(22-1 내지 22-(N+M))를 선택(포함)하거나 또는 선택해제(바이패스)하도록 스위치들(SW1 내지 SW(N+M))이 2입력 1출력 멀티플렉서들(MUX들)로서 이용된다. 각각의 비휘발성 레지스터 파일 스테이지는 대응 스위치를 갖는다. 예를 들어, 스테이지(22-1)의 출력은 스위치(SW1)에 대한 대응하는 제1 입력으로 진행하며, 스테이지(22-1)의 입력(DI)은 또한 스테이지(22-1)를 바이패스하고 스위치(SW1)에 대한 제2 입력으로 직접 진행한다. 스테이지(22-1)가 바이패스될 경우, 스위치(SW1)의 출력은 스테이지(22-1)의 출력일 수 있거나 또는 스테이지(22-1)의 입력(DI)일 수 있다. 선택 신호(S1)는 비휘발성 레지스터 파일(20)을 형성할 때 스테이지(22-1)가 선택되는지 또는 바이패스되는지를 판정한다.

[0172] 스테이지(22-1)와 스테이지(22-(N+M)) 사이의 임의의 스테이지(22-K)에 대해, 스테이지(22-K)의 출력은 스위치(SWK)에 대한 대응하는 제1 입력으로 진행하며; 스위치(SW(K-1))의 출력인 스테이지(22-K)에 대한 입력은 또한 스테이지(22-K)를 바이패스하고 스위치(SWK)에 대한 제2 입력으로 직접 진행한다. 스위치(SWK)의 출력은 스테이지(22-K)의 출력일 수 있거나 또는 스테이지(22-K)에 대한 입력일 수 있으며, 이에 의해, 스테이지(22-K)를 바이패스한다. 선택 신호(SK)는 비휘발성 레지스터 파일(20)을 형성할 때 스테이지(22-K)가 선택되는지 또는 바이

패스되는지를 판정한다. 스테이지(22-(K-1))가 바이패스되었다면, 스테이지(22-K)에 대한 입력은 예를 들어, 스테이지(22-(K-1))의 출력일 수 있거나 또는 스테이지(22-(K-2))의 출력일 수 있다. 복수의 스테이지들이 바이패스될 수 있다. 예를 들어, 스테이지(K) 앞에 있는 모든 스테이지들이 바이패스되었다면, 스테이지(22-K)에 대한 입력은 스테이지(1)에 대한 입력인, DI일 수 있다.

[0173] 마지막 스테이지(22-(N+M))의 출력은 스위치(SW(N+M))에 대한 대응하는 제1 입력으로 진행하고, 스테이지(22-(N+M))에 대한 입력은 또한 스테이지(22-(N+M))를 바이패스하고 스위치(SW(N+M))에 대한 제2 입력으로 직접 진행한다. 스위치(SW(N+M))의 출력은 데이터 출력(DO)이다. 비휘발성 레지스터 파일(20) 데이터 출력(DO)은 스테이지(22-(N+M))의 출력일 수 있거나 또는 스테이지(22-(N+M))가 바이패스될 수 있다. 데이터 출력(DO) 신호는 예를 들어, 스테이지(K)와 같은 임의의 이전의 스테이지로부터 올 수 있다. 선택 신호(S(N+M))는 비휘발성 파일(20)을 형성할 때 스테이지(22-(N+M))가 선택되는지 또는 바이패스되는지를 판정한다.

[0174] 제어 신호들(S1 ... S(N+M))은 대응하는 비휘발성 구성 래치(1(24-1)) 내지 비휘발성 구성 래치(N+M(24-(N+M)))에 의해 제공된다. 각각의 비휘발성 구성 래치(K(24-K))는 아래 보다 자세히 설명될 바와 같이 비휘발성 레지스터 파일 상태(K)를 선택 또는 선택해제(바이패스)하는 출력 신호(SK)를 제공한다. 구성 선택 회로(26)는 비휘발성 구성 래치들 중 어느 것이 프로그램되고 어느 것이 그 상태 그대로 남겨지는지를 선택하는데 이용될 수 있다.

[0175] 구성 선택 회로(26)는 미국 특허 제5,345,110호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 바와 같이, 메모리 어레이의 예비의 로우 또는 컬럼 선택에 이용되는 것과 같은 제어 입력을 가진 디코더 로직일 수 있다. 다른 방법으로, 구성 선택 회로(26)는 미국 특허 제Re.34,363호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 바와 같이 적절 구성 제어 레지스터를 이용할 수 있다. 구성 선택 회로는 아래 보다 자세히 설명되어 있다.

[0176] **비휘발성 레지스터 파일 스테이지들을 선택하는데 이용된 스위치를 라우팅**

[0177] 도 3a는 도 2에 나타난 비휘발성 레지스터 파일(20)을 형성할 때 대응하는 비휘발성 레지스터 파일 스테이지를 바이패스하거나 또는 포함하는데 이용될 수 있는 스위치 회로(30)를 나타낸다. 스위치 회로(30) 출력(C)은 각각의 CMOS 트랜스퍼 장치(TR1 및 TR2)의 일측에 접속되며, 여기서, CMOS 트랜스퍼 장치는 통상의 산업적 실시예 기초하여, 도 3a에 나타난 바와 같이, 병렬의 PFET 및 NFET 소자들을 이용하여 형성된다. 트랜스퍼 장치(TR1)의 반대 측은 신호 A에 접속되고 트랜스퍼 장치(TR2)의 반대 측은 신호 B에 접속된다. 제어 신호(SK)는 인버터(INV1)의 입력을 구동시킨다. 인버터(INV1)의 출력은 인버터(INV2)의 입력과 TR1의 PFET 제어 게이트 및 TR2의 NFET 제어 게이트를 구동시킨다. 인버터(INV2)의 출력은 TR1의 NFET 제어 게이트와 TR2의 PFET 제어 게이트를 구동시킨다.

[0178] 도 3b는 도 2에 도시된 비휘발성 레지스터 파일(20)을 형성할 때 대응하는 비휘발성 레지스터 파일 스테이지를 포함하거나 또는 바이패스하는데 이용될 수 있는 스위치 회로(35)를 나타낸다. 스위치 회로(35) 단자(C)는 각각의 CMOS 트랜스퍼 장치(TR1 및 TR2)의 일측에 접속되며, 여기서, CMOS 트랜스퍼 장치들은 통상의 산업적 실시예 기초하여 도 3b에 나타난 바와 같이 병렬의 PFET 및 NFET 소자들을 이용하여 형성된다. 트랜스퍼 장치(TR1)의 반대 측은 단자(A)에 접속되며, 트랜스퍼 장치(TR2)의 반대 측은 단자(B)에 접속된다. 제어 신호(SK)는 TR2의 PFET 제어 게이트와 TR1의 NFET 제어 게이트를 구동시킨다. 상보 제어 신호(SKb)는 TR2의 NFET 제어 게이트와 TR1의 PFET 제어 게이트를 구동시킨다.

[0179] 동작시, 도 3c에 나타난 바와 같이, 입력 제어 신호(SK)가 하이(예를 들어, 1.5 내지 2.5 볼트)이면, CMOS 트랜스퍼 게이트(TR1)는 온으로 되어, 대응하는 PFET 및 NFET 병렬 소자들 양쪽 모두 온 상태에 있으며, 단자(C)는 단자(A)에 접속된다. CMOS 트랜스퍼 장치(TR2)는 오프이다. 그러나, 입력 신호(SK)가 로우(예를 들어, 제로 볼트)이면, CMOS 트랜스퍼 게이트(TR2)는 온으로 되어, 대응하는 PFET 및 NFET 병렬 소자 양쪽 모두가 온 상태에 있으며, 단자(C)는 단자(B)에 접속된다. CMOS 트랜스퍼 장치(TR1)는 오프이다. SK가 하이일 경우, SKb는 로우이며, SK가 로우일 경우 SKb는 하이이다.

[0180] 도 3에 나타난 바와 같이, 스위치 회로(30) 또는 스위치 회로(35)의 동작시, 단자(A)와 단자(B)는 제어 신호(SK)(또는 제어 신호들(SK 및 SKb))의 함수로서 출력(C)에 라우팅될 수 있는 입력 신호일 수 있다. 다른 방법으로, 단자(C)는 제어 신호(SK)(또는 제어 신호들(SK 및 SKb))의 함수로서, 단자(A) 또는 단자(B)에 라우팅될 수 있는 입력 신호일 수 있다. 도 2에 나타난 바와 같이, 스위치 회로(30) 또는 스위치 회로(35)가 스위치들(SW1

... SW(M+N)) 중 대표 스위치(SK)로서 이용된 경우, 단자(A)는 예를 들어, 출력 대응 비휘발성 레지스터 파일 스테이지(K)에 접속된 제1 입력으로서 이용될 수 있고 단자(B)는 비휘발성 레지스터 파일 스테이지(K)의 입력에 접속된 제2 입력으로서 이용될 수 있으며, 이는 도 2에 나타난 비휘발성 레지스터 파일(20) 동작에 대하여 위에서 보다 자세하게 설명된 바와 같이 예를 들어, 대응하는 비휘발성 레지스터 파일 스테이지(K)를 바이패스하는데 이용될 수 있다.

[0181] **비휘발성 신호 소스에 의한 라우팅 스위치 제어**

[0182] 도 2 및 도 3에 대하여 위에서 보다 자세히 설명된 바와 같이 비휘발성 레지스터 파일 스테이지(K)와 같은 개개의 비휘발성 레지스터 파일 스테이지들을 선택 또는 선택해제하는데 이용된 라우팅 회로(30 또는 35)에 대한 제어 신호들은 예를 들어, 각각의 스위치마다 하나의 래치인 비휘발성 래치에 의해 제공될 수 있다. 한 접근 방식은 레이저 에블레이션을 이용하여 프로그래밍된 레이저 퓨즈들에 기초하여 여러 래치들을 이용하는 것이다. 이들 레이저 퓨즈는 예를 들어, 패터닝된 금속 또는 폴리실리콘 소자들로 형성될 수 있다. 다른 방식으로, 이러한 레이저 퓨즈들은 2005년 9월 20일 출원되고 공동 소유이며 발명의 명칭이 "Resistive Elements using Carbon Nanotubes" 인 미국 특허 출원 번호 제11/230,876호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 나노패브릭 기초 저항기들과 유사한 패터닝된 나노패브릭 저항기를 이용하여 형성될 수 있다.

[0183] 다른 접근 방식은 Bertin 등의 미국 특허 제6,570,806호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 바와 같이 전자 퓨즈들 또는 전자 안티퓨즈들에 기초하여 래치들을 이용하는 것이다. 이들 래치 유형은 OTP(1회 프로그래밍가능) 래치들로서 이용된다.

[0184] 또 다른 접근 방식은 미국 특허 출원 번호 제11/280,786호에 설명된 스위치와 같은 논리 상태 퓨즈 또는 안티퓨즈 저장 소자들로서 비휘발성 나노튜브 스위치들의 저항에 기초하여 새로운 래치들을 도입하는 것이다. 비휘발성 나노튜브 스위치들의 저항에 기초하여 논리 상태를 저장하는 새로운 래치들은 OTP일 수 있거나 또는 미국 특허 출원 번호 제11/280,786호에 설명된 소거/프로그램/판독 모드로 1보다 많이 (복수회) 이용될 수 있다. 미국 특허 출원 번호 제11/280,599호에 설명된 비휘발성 레지스터 파일 스테이지 또는 아래 보다 자세하게 설명된 바와 같은 스테이지들의 변경예들이 비휘발성 논리 상태 저장 래치들로서 이용될 수 있음을 주목해야 한다.

[0185] 모든 경우, 닫힌 상태(전도 상태) 또는 열린 상태(비전도 상태)에서의 퓨즈 또는 안티퓨즈의 비휘발성 저항 상태는 제1 또는 제2 논리 상태를 나타내는데 이용된다. 래치 회로는 퓨즈(또는 안티퓨즈) 비휘발성 저항 상태를, 논리 1 또는 논리 0을 나타내는 대응하는 전기 전압 레벨로 변환한다. 이 대응 전압 레벨은 도 3에 나타난 라우팅 회로(30 또는 35)에 대한 제어 신호로서 전송된다. 이러한 방식으로, 비휘발성 래치의 논리 상태는 도 2에 나타난 바와 같이 비휘발성 레지스터 파일 스테이지를 선택 또는 선택해제(바이패스)하는데 이용될 수 있다.

[0186] **프로그래밍 수단으로서 퓨즈의 레이저 에블레이션을 이용한 비휘발성 래치에 기초한 비휘발성 신호 소스들**

[0187] 도 4는 노드(42)에서 스트로브 소자(트랜지스터; T5)에 접속된 제1 퓨즈 단자와, 노드(43)에서 접지부에 접속된 제2 퓨즈 단자를 갖는 것으로 도시된 퓨즈 소자(41)를 포함한 OTP 퓨즈 래치 회로(40)를 나타낸다. 단자(45)에 접속된 스트로브 소자(T5)의 제2 단자는 트랜지스터(T1, T2, T3)와 인버터 소자(46)에 의해 형성된 래치 회로에 또한 접속된다. 래치 프리차지 소자(트랜지스터; T4)가 또한 전력 공급원(V_{PS})과 단자(45)에 접속된 것으로 도시된다. 이 래치 회로(40)에서, 칩 파워 업 동안에, 프리차지 및 스트로브 전압들은 로우(예를 들어 접지 상태)로 유지되고 노드(45)는 프리차지 트랜지스터(T4)에 의해 양의 전압(V_{PS})으로 프리차지되고, 래치 회로(40)는 노드(45)가 하이 전압에 있고 노드(47) 상의 V_{OUT}이 로우 전압에 있는 제1 논리 상태에 있다. 칩 파워 업 동안에, 트랜지스터(T2)는 로우 프리차지 전압에 의해 오프 상태로 유지함에 따라, 래치 회로(40) 피드백 경로를 열린 상태로 유지하여, 칩 파워 업이 완료된 후 래치 회로(40)가 제1 논리 상태(V_{OUT} = 0)에서 유지되는 것을 보장한다. 칩 파워 업이 완료된 후, 프리차지 전압은 (도 5에 대하여 아래 보다 자세하게 설명된) 스트로브 하이 전압 트랜지션 이전에 하이 값으로 트랜지션함으로써, 트랜지스터(T2)를 온으로 전환시키고 래치 회로(40)에서의 제1 논리 상태를 래치(저장)하는 한편, 프리차지 소자(T4)를 오프로 전환시킨다. 트랜지스터(T2)가 온 상태에 있으면, 래치 회로(40)가 제1 논리 상태를 저장할 수 있도록 래치 회로(40) 피드백 경로가 완성된다. 래치 회로(40)는 2개의 논리 상태를 중 한 상태를 나타내기 위해 금속 또는 폴리실리콘 비휘발성 저항 퓨즈 소자(41)를 이용한다. 예를 들어, 스트로브 트랜지스터(T5)가 활성화될 때, 퓨즈 소자(41)가 그 상태 그대로(전도 상태) 남겨진 경우,

노드(45)가 방전되고 래치 회로(40)는 제2 논리 상태로 트랜지션함으로써, 노드(45)가 로우 전압에 있고, 노드(47) 상의 V_{OUT} 은 하이 전압에 있다. 그러나, 퓨즈(41)가 레이저 에블레이션에 의해 프로그래밍되었다면(비전도 상태로 되었다면), 노드(45)는 방전되지 않고, 래치 회로(40)는 제1 논리 상태로 유지된다. 즉, 래치 회로(40)는 비휘발성 퓨즈의 저항 값을, 논리 0(제1 논리 상태) 또는 논리 1(제2 논리 상태)을 나타내는 전기 전압 레벨로 변환한다.

[0188]

도 2에 나타난 비휘발성 래지스터 파일(20)은 제조 후에 테스트되고 총 N+M개 이용가능 스테이지들로부터 기능적인(양호) 비휘발성 래지스터 파일 스테이지와 비기능적인(불량) 비휘발성 래지스터 파일 스테이지가 식별된다. 충분한 개수의 양호한 비휘발성 래지스터 파일 스테이지들이 식별되면, 이 예에서, 적어도 256개의 스테이지들이 식별되면, 양호 스테이지 또는 불량 스테이지를 나타낸 테스터-발생 맵(수율 맵)이 발생된다. 비휘발성 래지스터 파일 스테이지(K)와 같은 스테이지가 비휘발성 래지스터 파일(20)의 형성에 포함될 경우, 비휘발성 래치(K)에 대응하는 퓨즈(41)는 그 상태 그대로(전도 상태)로 남겨지며, 대응하는 래치 회로(40)가 제2 논리 상태로 트랜지션한다. 그러나, 스테이지(J)와 같은 비휘발성 래지스터 파일 스테이지가 바이패스될 경우 즉, 비휘발성 래지스터 파일(20)로부터 제외될 경우, 비휘발성 래치(J)에 대응하는 퓨즈(41)는 레이저 에블레이션에 의해 높은 저항 상태(끊김 상태)로 프로그래밍(기록)되고, 대응하는 래치 회로(40)는 제1 논리 상태로 유지된다. 테스터 발생 수율 맵은 레이저 에블레이션 툴, 일반적으로, 출하 대기 상태의 산업 표준 레이저 툴을 이용하여 레이저 에블레이션에 대한 퓨즈 위치 좌표(예를 들어, X, Y)로 변환된다.

[0189]

도 4에 도시된 래치 회로(40)에 의해 수행된 통상적인 관독 동작은 도 5에 나타난 파형들(50)에 의해 다음과 같이 나타난다. 먼저, 프리차지 트랜지스터 장치(T4)가 신호(51)에 의해 펄싱되고 노드(45)를 전압(V_{PS})으로 프리차지하고 래치 회로(40)를 제1 논리 상태로 프리차지한 다음 오프로 전환한다. 제1 논리 상태에서, 래치 회로(40) 노드(45) 전압은 하이이고, 노드(47)에서의 출력 전압(V_{OUT})은 로우 전압에 있다. 후속하여, 스트로브 소자(T5)는 신호(52)에 의해 온으로 펄싱된다. 퓨즈 소자(41)가 그 상태 그대로 있는 경우, 퓨즈 소자가 전도 상태에 있고 노드(45)로부터의 프리차지 전압을 유출시켜, 래치 회로(40)로 하여금 노드(45)가 로우 전압에 있고 노드(47) 상의 V_{OUT} 이 하이 전압에 있는 제2 논리 상태에 있도록 한다. 퓨즈 소자(41)가 프로그래밍되었다면, 퓨즈 소자(41)는 래치 노드(45)로부터 충분히 전하를 유출시켜 래치의 논리 상태를 변경할 정도로 충분히 더 이상 전도시키지 못한다. 이 경우, 스트로브 소자가 활성화되면, 래치 회로(40)는 노드(45)가 하이 전압에 있고 단자(47)상의 출력 전압(V_{OUT})이 로우에 있는 제1 논리 상태로 유지시킨다.

[0190]

비휘발성 파일 래치 스테이지(K)가 도 2에 나타난 비휘발성 래지스터 파일(20)에서의 스테이지로서 포함된 경우, 대응하는 래치 회로(40)에서의 퓨즈(41)는 전도 상태에서 그 상태 그대로 남겨진다. 따라서, 대응하는 래치 회로(40)가 스트로브되면 래치 회로는 위에서 보다 자세히 설명된 바와 같이 노드(45)가 로우 전압에 있고 노드(47)상의 전압(V_{OUT})이 하이 전압에 있는 제2 논리 상태로 트랜지션한다. 라우팅 스위치(30)가 비휘발성 래지스터 파일(20)에 이용되는 경우, 출력(47)상의 양의 전압(V_{OUT})은 선택 신호 입력(SK)에 전달되며, 도 3a에 대해 위에서 보다 자세히 설명한 바와 같이, CMOS 트랜스퍼 게이트(TR1)가 활성화되고, CMOS 트랜스퍼 게이트(TR2)가 비활성화된다. 라우팅 스위치(30)는 입력(A)과 출력(C)을 접속시키고, 출력(C)은 비휘발성 래지스터 파일(20) 스테이지(K)의 출력을 비휘발성 래지스터 파일(20) 스테이지(K+1)의 입력에 전달하여 비휘발성 래지스터 파일(20)에 스테이지(K)를 포함시킨다.

[0191]

도 3b에 나타난 라우팅 스위치(35)가 라우팅 스위치(30) 대신에 이용되었다면, 노드(47)상의 V_{OUT} 에 대응하는 선택 신호 입력(SK)과, 래치 회로(40)의 노드(45)에 대응하는 상보 선택 신호 입력(SKb) 양쪽 모두가 제공됨을 주목해야 한다. 따라서, 라우팅 스위치(35)가 입력(A)과 출력(C)을 접속시키고 출력(C)이 비휘발성 래지스터 파일(20) 스테이지(K)의 출력을 비휘발성 래지스터 파일(20) 스테이지(K+1)의 입력에 전송하여, 이에 따라 비휘발성 래지스터(20)에 스테이지(K)를 포함시킨다.

[0192]

비휘발성 파일 래치 스테이지(J)가 도 2에 나타난 비휘발성 래지스터 파일(20)에서 스테이지로서 제외될 경우, 대응하는 래치 회로(41)에서의 퓨즈(41)가 비전도 상태로 프로그래밍된다. 따라서, 대응하는 래치 회로(40)가 스트로브되는 경우, 위에서 보다 자세히 설명된 바와 같이, 노드(45)가 하이 전압에 있고 노드(47) 상의 V_{OUT} 이 로우 전압에 있는 제1 논리 상태로 유지된다. 라우팅 스위치(30)가 비휘발성 래지스터 파일(20)에 이용되면, 출력(47) 상의 로우(거의 제로) 전압(V_{OUT})이 선택 신호 입력(SJ)에 전달되며, 도 3a에 대하여 위에서 보다 자세히 설명된 바와 같이 CMOS 트랜스퍼 게이트(TR2)는 활성화되고 CMOS 트랜스퍼 게이트(TR1)는 비활성화된다. 라우팅

스위치(30)는 입력(B)와 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(J)의 출력을 비휘발성 레지스터 파일(20) 스테이지(J+1)의 입력에 대해 바이패스시키고, 따라서, 비휘발성 레지스터 파일(20)에 스테이지(J)를 제외시킨다.

[0193] 도 3b에 나타난 라우팅 스위치(35)가 라우팅 스위치(30) 대신에 이용되었다면, 노드(47)상의 V_{OUT} 에 대응하는 선택 신호 입력(SJ)과, 래치 회로(40)의 노드(45)에 대응하는 상보 선택 신호 입력(SJb) 양쪽 모두가 제공됨을 주목해야 한다. 따라서, 라우팅 스위치(35)가 입력(B)과 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(J)의 출력을 비휘발성 레지스터 파일(20) 스테이지(J+1)의 입력에 대해 바이패스시키고, 따라서, 비휘발성 레지스터 파일(20)에 스테이지(J)를 제외시킨다.

[0194] **프로그래밍 수단으로서 패터닝된 나노패브릭 퓨즈들의 레이저 에블레이션을 이용하는 비휘발성 래치에 기초한 비휘발성 신호 소스들**

[0195] 금속 또는 폴리실리콘 저항기 소자를 이용한 패터닝된 레이저 퓨즈들(저항기들)은 레이저 에블레이션 동안에 비교적 큰 양의 물질의 제거를 필요로 한다. 통상의 산업적 실시는 비교적 큰 양의 물질(금속 또는 반도체) 때문에 퓨즈 물질들이 레이저 에블레이션 동안에 개구부를 통하여 배출되도록 유전체층들을 관통하여 퓨즈 영역들을 노출시키는 개구부를 필요로 한다.

[0196] 패터닝된 나노튜브 층으로부터 형성된 레이저 퓨즈는 반도체 공정에서의 임의의 시점에 쉽게 통합된다. 또한, 퓨즈 형성된(저항기 형성된), 패터닝된 나노튜브 층은 레이저 에블레이션 동안 작은 양의 물질의 제거를 필요로 한다. 따라서, 패터닝된 나노튜브 레이저 퓨즈는 유전체층들을 관통하는 개구부를 이용하여 레이저 에블레이션 될 수 있거나, 또는 유전체층들이 레이저 에너지에 대하여 투명하다면 보호성 절연막으로 덮힌 상태에서 레이저 에블레이션될 수 있다. 패터닝된 나노패브릭 저항기들은 미국 특허 출원 번호 제11/230,876호에 설명되어 있다.

[0197] 금속 및 폴리실리콘 퓨즈는 퓨즈의 부적합한 굵김으로 인하여 자체 치유(self-heal)될 수 있어, 저항기에 매우 작은 갭을 생성한다. 소자가 높은 방사성 환경에서와 같은 고온 환경에 채용된 경우, 이전에 굵긴 저항기를 단락시킬 물질 확산이 발생할 수 있어, 퓨즈 소자를 통한 누설 경로를 발생시킨다. 나노튜브 패브릭의 매우 작은 크기와 나노튜브에 존재하는 강한 C-C 결합의 특성으로 인하여, 굵긴 패브릭의 재접속 능력은 최소 내지 아예 존재하지 않는다.

[0198] 도 6은 도 4에 나타난 래치 회로(40)에서의 퓨즈(41)에 대체될 수 있는 패터닝된 나노패브릭 퓨즈 및 대응하는 콘택트를 나타낸다. 도 6 퓨즈들은 반도체(또는 세라믹, 유기물 또는 다른 패키징) 공정에서의 임의의 수직층에 포함될 수 있는 패터닝된 나노패브릭 기초 저항기(예를 들어, 이들은 미국 특허 출원 번호 제11/230,876호에 도시되어 있음)에 대응한다. 패터닝된 나노패브릭 퓨즈들은 프로세서, 컨트롤러, 디지털 신호 처리기, ASIC, 프로그래밍가능 논리 어레이, 및 다른 논리 제품들과 같은 임의의 논리 제품에 이용될 수 있다. 패터닝된 나노패브릭 퓨즈들은 또한 DRAM, SRAM, EEPROM, CRAM, FeRAM, MRAM 및 NRAM과 같은 메모리 제품에 이용될 수 있다. 비휘발성 레지스터 파일 래치들(20)의 경우, 도 2에 나타난 비휘발성 레지스터 파일(20) 스테이지들에 이용된 비휘발성 나노튜브 스위치들이 하나 이상의 성막된 나노패브릭 층들을 이용하여 형성되며, 이후에, 래치 회로(40)에서의 퓨즈 소자(41)가 특별하게 이용될 수 있을 때 나노패브릭 층들은 패터닝된 나노패브릭 퓨즈들을 이용하여 특정 포토리소그래피 방법들을 이용해 비휘발성 나노튜브 스위치들 내에 패터닝된다. 퓨즈(41)를 형성하는데 이용된 나노패브릭 층들은 수직으로 집적화된 구조체에서의 어느 곳에도 성막될 수 있다. 다른 방법으로, 나노튜브 퓨즈들은 비휘발성 레지스터 파일 스테이지들에 이용된 비휘발성 나노튜브 스위치들을 제조하는데 이용된 동일 나노패브릭 층을 이용하여 형성될 수 있다. 이 나노패브릭 층은 수직으로 집적화된 구조체에 어느곳이든지 위치될 수 있다. 나노패브릭 층들과 소자들을 형성하는 방법은 포함된 특허 참조 문헌에 보다 자세히 설명되어 있다.

[0199] 도 6a는 콘택트(62)와 콘택트(62')를 갖는 패터닝된 나노패브릭(61) 저항기를 포함한 (절연체층 성막 이전에) 제조시 그대로의 패터닝된 나노패브릭 저항기 퓨즈(60)의 평면도를 나타낸다. 패터닝된 나노패브릭 소자(61)의 시트 저항은 나노패브릭의 다공성과, 나노패브릭 소자(61)를 형성하는데 이용된 나노튜브 패브릭 층들의 개수를 다른 변수들과 함께 제어함으로써 제어된다. 나노패브릭은 나노패브릭의 전기 특성들이 제어될 수 있도록 하는 신뢰성있는 균일한 방식으로 표면에 도포될 수 있다. 나노패브릭 층은 예를 들어, 스핀온 또는 스프레이 온 기술을 이용하여 도포될 수 있다. 패터닝된 나노패브릭(61)은 예를 들어, 1 kΩ 내지 1 MΩ의 시트 저항으로 제어될 수 있다. 접촉 저항과 시트 저항의 여러 예들은 미국 특허 출원 번호 제11/230,876호에 제공된다. 도 6b는 레이

저 에블레이션이 영역(63)을 제거한 후의 퓨즈(60)를 나타낸다.

[0200] 콘택트(62 및 62')는 절연체 성막 이후에 도시된 도 6c의 단면도에 나타난 바와 같이, 콘택트용 및 상호접속용 양쪽 모두로 이용될 수 있다. 절연체(68)는 절연된, 패터닝된 나노패브릭 저항기 퓨즈(65)를 완성하기 위해 절연성 보호층으로서 성막될 수 있다. 도 6d는 레이저 에블레이션이 영역(63)을 제거한 후의 퓨즈(65)의 단면도를 나타낸다. 미국 특허 출원 번호 제11/230,876호에 보다 자세히 설명된 바와 같이, 콘택트 및 상호접속 물질의 예들은 Ru, Ti, Cr, Al, Au, Pd, Ni, W, Cu, Mo, Ag, In, Ir, Pb, Sn와 같은 기초 금속 뿐만 아니라, TiAu, TiCu, TiPd, PbIn 및 TiW와 같은 합금이며, 다른 적절한 도체, 또는 RuN, RuO, TiN, TaN, CoSix 및 TiSix와 같은 다른 전도성 질화물, 전도성 산화물 또는 전도성 규화물이 이용될 수 있다. 절연체 층은 SiO₂, SiNx, Al₂O₃, BeO, 폴리이미드, 마이라(Mylar) 또는 다른 적절한 절연성 물질일 수 있다.

[0201] 패터닝된 나노패브릭 저항기 퓨즈(65)는 단자(62)가 노드(42)와 접촉하고 단자(62')가 단자(43)에 접촉하도록 절연되고 패터닝된 나노패브릭 저항기 퓨즈(65)를 성막함으로써 도 4에 나타난 래치 회로(40)에서의 퓨즈(41)로서 이용될 수 있다.

[0202] 퓨즈(65)는 그 상태 그대로 남겨질 수 있거나 또는 레이저 에블레이션에 의해 프로그래밍(끊김 상태)될 수 있다. 도 6b 및 도 6d는 레이저 에블레이션 이전 및 이후의 도 6a 및 도 6c를 각각 나타낸다. 금속 또는 폴리실리콘과 같은 퓨즈 물질은 비교적 큰 양의 물질 제거를 필요로 하고 위에서 보다 자세히 설명된 바와 같이 통상적으로 절연되지 않은 상태로 남겨진다. 1 내지 5nm, 또는 5 내지 20 nm의 범위에서 각각 직경을 갖는 복수의 SWNT들 및/또는 MWNT들로 구성된 나노패브릭은, 절연체층이 이용된 레이저 광학 파장에 대하여 투명하다고 가정하면, 퓨즈(65)가 절연체층의 존재하에서 프로그래밍(끊김 상태)될 수 있도록 작은 부피의 물질을 수반한, 복수의 SWNT들 및/또는 MWNT들의 제거(레이저 에블레이션)를 가져온다. 다른 방법으로, 패터닝된 나노패브릭(61) 소자 상의 절연체 물질(68)의 일부가 레이저 에블레이션을 위해 제거될 수 있다(도시 생략).

[0203] 동작시, 도 4에 나타난 래치(40)의 논리 연산은 래치(40)에서의 퓨즈(41)로서 이용된 패터닝된 나노패브릭 저항기 퓨즈(65)의 저항 상태를 반영한다. 예를 들어, 퓨즈 소자(41)가 도 6a 또는 도 6c에 나타난 바와 같이 있는 그 상태 그대로(전도 상태) 남겨진 경우, 스트로브 트랜지스터(T5)가 활성화되고 노드(45)가 방전되며, 노드(45)가 로우 전압에 있고, 노드(47) 상에서의 V_{OUT}이 하이 전압에 있도록 래치 회로(40)가 제2 논리 상태로 트랜지션한다. 그러나, 도 6b 또는 도 6d에 나타난 바와 같이 퓨즈(41)가 레이저 에블레이션에 의해 프로그래밍(비전도 상태로 됨)되었다면, 노드(45)는 방전되지 않고, 래치 회로(40)는 제1 논리 상태로 유지된다. 즉, 래치 회로(40)는 비휘발성 퓨즈(65) 저항값을 논리 0 (제1 논리 상태) 또는 논리 1(제2 논리 상태)을 나타내는 전기 전압 레벨로 변환한다.

[0204] **프로그래밍 수단으로서 전기 퓨즈 또는 안티 퓨즈 양쪽 모두를 이용하는 비휘발성 래치에 기초한 비휘발성 신호 소스들**

[0205] 레이저 에블레이션은 퓨즈가 레이저 스폿 크기 및 정렬로 인해 그리고 인접하는 회로에 대해 필요한 클리어런스 때문에 큰 치수(큰 풋프린트)를 갖는 영역에 배치될 필요가 있다. 어떠한 장치도 퓨즈들 아래에 배치될 수 없다.

[0206] 금속 또는 폴리실리콘 저항성 트레이스들로 구성된 전자 퓨즈들(e-퓨즈들)은 레이저 에블레이션을 이용한 퓨즈에 요구되는 것보다 더 작은 면적을 갖는 영역에 적합할 수 있다. 또한, 전자 퓨즈들은 칩이 패키징된 후 또는 패키징되기 전에 활성화될 수 있다. 전자 퓨즈들은 제조된 그대로 일반적으로 수백 Ω에서의 온(전도 상태) 저항 상태에 있으며, 국소화된 IR 가열을 야기하는 전기 전류에 의해 100 kΩ 내지 1 MΩ 범위보다 더 큰 오프(비전도 상태) 저항 상태로 프로그래밍된다. 일반적으로, 이러한 프로그래밍 전류는 밀리암페어 범위에 있다. e-퓨즈가 때때로 퓨즈로 간단히 불릴수 있음을 주목해야 한다.

[0207] 전자 안티퓨즈(e-안티퓨즈)는 일반적으로 금속 또는 폴리실리콘 커패시터 판 및 박막 절연체 예를 들어, SiO₂ 및/또는 SiN_x를 포함한 커패시터 구조체로 형성된다. 전자 안티퓨즈들은 제조된 그대로 일반적으로 10 MΩ 및 그 이상의 범위에 있는 오프(비전도) 상태에 있으며, 8 내지 12 볼트의 전압과 마이크로암페어 범위에서의 프로그래밍 전류를 인가함으로써 온(전도) 저항 상태로 프로그래밍(끊김)된다. 온(전도) 저항값들은 일반적으로 1kΩ 내지 50kΩ 범위에 있다. e-안티퓨즈는 종종 안티퓨즈로서 간단히 불릴 수 있음을 주목해야 한다.

- [0208] 도 7은 Bertin 등의 미국 특허 제6,570,806호에 설명된 바와 같이, 전자적 프로그래밍가능 (OTP) e-퓨즈와 전자적 프로그래밍가능 (OTP) e-안티퓨즈 양쪽 모두를 수용하도록 설계된 유니버설 퓨즈 래치(70)의 대표도를 나타낸다. 유니버설 퓨즈 래치(70)는 미국 특허 제6,570,806호에 설명된 바와 같이 온 상태와 오프 상태 저항값에서의 차이들을 수용하도록 서로 다른 퓨즈 또는 안티퓨즈 래치 회로 유형에 대하여, 고유 래치 트립 저항으로 불리는 서로 다른 래치 저항성 트립 포인트들을 제공하도록 구성된다. 래치(70)는 도 2에서의 비휘발성 구성 래치(1(24-1)) 내지 비휘발성 구성 래치(N+M (24-(N+M)))로서 이용될 수 있다.
- [0209] 도 7에 나타난 유니버설 래치 회로(70)에서, 도 4에 나타난 퓨즈 래치 회로(40)는 제1 e-퓨즈 또는 트랜지스터들(T5 및 T6)을 경유한 스트로브 경로(80)를 포함하도록 변형되었으며, 트랜지스터(T6)의 노드(72)와 소스 전압(V_{SOURCE_F}) 노드(73)에 접속된 전기 퓨즈 소자(71)를 포함한다. 트랜지스터(T6)는 미국 특허 제6,570,806호에 설명된 바와 같이 e-퓨즈(71)의 저항(예를 들어, 일반적으로 200 Ω)과 결합될 때 10 k Ω 의 래치 저항성 트립 포인트를 가져오는 채널 저항을 가진 선형 영역 내에 유지되어 있다. 10 k Ω 의 저항성 트립 포인트는 수 백 Ω 의 e-퓨즈 온 저항 및 적어도 100 k Ω 의 오프 저항에 부합한다. 래치(70)의 상태가 설정될 때 노드(73)가 제로 볼트(접지 볼트)에 있음을 주목해야 한다.
- [0210] 트랜지스터(T7)는 e-퓨즈 프로그래밍 목적으로 노드(72)와 접지 사이에 추가되었다. e-퓨즈 프로그래밍 동안, 전압 소스(V_{SOURCE_F})가 노드(73)에 인가된다. 트랜지스터(T7)가 입력 프로그래밍 활성화 전압(V_{P_F})에 의해 온으로 전환되는 경우, 프로그래밍 전류는 퓨즈(71)를 통해 흐르며, 퓨즈(71)는 높은 저항 상태로 트랜지션한다. 트랜지스터(T7)가 오프로 유지되면, 퓨즈(71)는 프로그래밍되지 않고, 낮은 저항(온) 상태로 유지된다. e-안티퓨즈(74)는 1회만 프로그래밍될 수 있다. 일반적으로, 밀리암페어 범위에서의 프로그래밍 전류가 필요하게 된다. 폴리실리콘 퓨즈의 예들과 프로그래밍 요건들은 미국 특허 제6,624,499호 및 제6,008,523호에 설명되어 있으며, 여기서는 그 전체 내용을 참조로서 포함한다.
- [0211] 도 7에 나타난 유니버설 래치 회로(70)에서, 도 4에 나타난 퓨즈 래치 회로(40)는 제2 e-안티퓨즈 또는 트랜지스터들(T8 및 T9)을 경유한 스트로브 경로(81)를 포함하도록 변경되었으며, 트랜지스터(T9)의 노드(75)에 및 소스 전압(V_{SOURCE_AF}) 노드(76)에 접속된 전기 안티퓨즈 소자(74)를 포함한다. 트랜지스터(T9)는 미국 특허 제6,570,806호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 바와 같이, e-안티퓨즈(74)의 저항(예를 들어, 일반적으로 10 k Ω 내지 50 k Ω)과 결합할 때 100 k Ω 의 래치 저항성 트립 포인트를 가져오는 채널 저항을 가진 선형 영역 내에 유지된다. 100 k Ω 의 저항성 트립 포인트는 수 천 Ω 의 e-안티퓨즈 온 저항과 적어도 1 M Ω 의 오프 저항에 부합한다. 래치(70)의 상태가 설정될 때 노드(76)가 제로(접지) 전압에 있음을 주목해야 한다.
- [0212] 트랜지스터(T10)는 e-안티 퓨즈 프로그래밍 목적으로 노드(75)와 접지 사이에 추가되었다. e-안티퓨즈 프로그래밍 동안에, 전압 소스(V_{SOURCE_AF})가 노드(76)에 인가된다. 트랜지스터(T10)가 입력 프로그래밍 활성화 전압(V_{P_AF})에 의해 온으로 전환되는 경우, 프로그래밍 전압이 e-안티퓨즈(74) 양단에 걸쳐 인가되고, 작은 전류(마이크로 암페어)가 흐르며, e-안티퓨즈(74)가 낮은 저항 상태로 트랜지션한다. 트랜지스터(T10)가 오프로 유지되면, e-안티퓨즈(74)는 프로그래밍되지 않으며, 높은 저항(오프) 상태로 유지된다. 퓨즈는 1회만 프로그래밍가능할 수 있다. 일반적으로, V_{SOURCE_AF} 는 8 내지 12 볼트 범위에 있으며, 대응하는 프로그래밍 전류는 마이크로암페어 범위에 있다. 안티퓨즈의 예들과 프로그래밍 요건들은 미국 특허 제5,956,282호에 설명되어 있으며, 여기서는 그 전체 내용을 참조로서 포함한다.
- [0213] 유니버설 래치 회로(70) 출력 노드(78)는 래치 회로(40) 출력 노드(47)에 대응한다. 유니버설 래치 회로(70) 노드(77), 상보적인 출력 노드(78)는 래치 회로(40) 노드(45)에 대응한다. 유니버설 래치 회로(70)의 고유 래치 트립 저항이 100 k Ω 로 설계되는 경우, 유니버설 래치 회로(70)는 알파입자 발생 정공-전자 쌍들의 우주선(cosmic-ray)에 의해 업셋될 정도로 래치 회로(40)보다 더 민감할 수 있다. 따라서, 안정 저항(ballast) 커패시터(79)가 출력 노드(78)에 추가될 수 있고, 안정 저항 커패시터(79')가 상보 노드(77)에 추가될 수 있다. 안정 저항 커패시터 값들은 예를 들어 10 내지 20 fF일 수 있다.
- [0214] 스트로브 경로(80)에서의 e-퓨즈(71)를 이용할 때 유니버설 래치 회로(70)에 대한 관독 동작은 퓨즈(41)를 이용하는 래치 회로(40)에 대한 관독 동작과 동일하다. 따라서, 비휘발성 파일 래치 스테이지(K)가 도 2에 나타난 비휘발성 래지스터 파일(20)에서의 스테이지로서 포함될 경우에, 대응하는 유니버설 래치 회로(70)에서의 e-퓨즈(71)가 전도 상태에서 그 상태 그대로 남겨진다. 따라서, 대응하는 유니버설 래치 회로(70)가 스트로브되는 경우에, 래치 회로는 위에서 보다 자세히 설명된 바와 같은 노드(77)가 로우 전압에 있고 노드(78)상의 V_{OUT} 가 하이 전압에 있는 제2 논리 상태로 트랜지션된다. 라우팅 스위치(30)가 비휘발성 래지스터 파일(20)에 이용된

경우, 출력(78)상의 양의 전압(V_{OUT})은 도 3a에 대하여 보다 자세히 설명된 바와 같이, 선택 신호 입력(SK)에 전달되며, CMOS 트랜스퍼 게이트(TR1)는 활성화되고 CMOS 트랜스퍼 게이트(TR2)는 비활성화된다. 라우팅 스위치(30)는 입력(A)와 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(K)의 출력을 비휘발성 레지스터 파일(20) 스테이지(K+1)의 입력에 전달하고, 따라서, 비휘발성 레지스터 파일(20)에 스테이지(K)를 포함시킨다.

[0215]

스트로브 경로(80)에서의 e-퓨즈(71)를 이용할 때 유니버설 래치 회로(70)의 판독 동작은 퓨즈(41)를 이용한 래치 회로(40)에 대한 판독 동작과 동일함을 주목해야 한다. 따라서, 비휘발성 파일 래치 스테이지(J)가 도 2에 나타난 비휘발성 레지스터 파일(20)에서의 스테이지로서 제외될 경우, 대응하는 유니버설 래치 회로(70)에서의 e-퓨즈(71)는 비전도 상태로 프로그래밍된다. 따라서, 대응하는 유니버설 래치 회로(70)가 스트로브될 경우, 래치 회로는 위에서 보다 자세히 설명된 바와 같이, 노드(77)가 하이 전압에 있고 노드(78) 상의 V_{OUT} 가 로우 전압에 있는 제1 논리 상태로 유지된다. 라우팅 스위치(30)가 비휘발성 레지스터 파일(20)에 이용된 경우, 출력(78) 상의 로우(거의 제로) 전압(V_{OUT})이 선택 신호 입력(SJ)에 전달되고, 도 3a에 대하여 위에서 보다 자세하게 설명된 바와 같이 CMOS 트랜스퍼 게이트(TR2)가 활성화되고 CMOS 트랜스퍼 게이트(TR1)가 비활성화된다. 라우팅 스위치(30)는 입력(B)과 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(J)의 출력을 비휘발성 레지스터 파일(20) 스테이지(J+1)의 입력에 대하여 바이패스킴에 따라 비휘발성 레지스터 파일(20)에서 스테이지(J)를 제외시킬 수 있다.

[0216]

유니버설 래치 회로(70)에 대하여, 노드(78)가 양의 값이고, 또한 노드(78) 출력이 선택 신호 입력(SK)에 대해 이용가능하게 이루어지고 상보 노드(77) 출력이 스위치 회로(35)의 선택 신호 입력(SKb)에 대해 이용가능하게 이루어지면, 스테이지(K)는 레지스터 파일(20)에 포함될 것임을 주목해야 한다. 그러나, 노드(78)가 제로이고 그 출력이 선택 신호 입력(SJ)에 대해 이용가능하게 이루어지고 상보 노드(77)의 출력이 스위치 회로(35)의 선택 신호 입력(SJb)에 대해 이용가능하게 이루어지면, 스테이지(J)는 래치 회로(40)에 대해 위에서 보다 자세하게 설명된 바와 같이 레지스터 파일(20)에서 제외될 것이다.

[0217]

스트로브 경로(81)에서의 e-안티퓨즈(74)를 이용할 때의 유니버설 래치 회로(70)에 대한 판독 동작은 프로그래밍에 대하여 퓨즈(41)를 이용한 래치 회로(40)에 대한 판독 동작과 반대된다. 따라서, 비휘발성 파일 래치 스테이지(K)가 도 2에 나타난 비휘발성 레지스터 파일(20)에서의 스테이지로서 포함될 경우, 대응하는 유니버설 래치 회로(70)에서의 e-안티퓨즈(74)가 그 상태 그대로인 일반적인 비전도 상태에서부터 전도 상태로 프로그래밍된다. 따라서, 대응하는 유니버설 래치 회로(70)가 스트로브되는 경우, 래치 회로는 위에서 보다 자세히 설명된 바와 같이 노드(77)가 로우 전압에 있고 노드(78) 상의 V_{OUT} 이 하이 전압에 있는 제2 논리 상태로 트랜지션한다. 라우팅 스위치(30)가 비휘발성 레지스터 파일(20)에 이용되는 경우, 출력(78) 상의 양의 전압(V_{OUT})은 선택 신호 입력(SK)에 전달되며, 도 3a에 대하여 위에서 보다 자세히 설명된 바와 같이 CMOS 트랜스퍼 게이트(TR1)가 활성화되고 CMOS 트랜스퍼 게이트(TR2)가 비활성화된다. 라우팅 스위치(30)는 입력(A)과 출력(C)을 접속시키며, 비휘발성 레지스터 파일(20) 스테이지(K)의 출력을 비휘발성 레지스터 파일(20) 스테이지(K+1)의 입력에 전달함에 따라, 스테이지(K)를 휘발성 레지스터 파일(20)에 포함시킨다.

[0218]

스트로브 경로(81)에서의 e-안티퓨즈(74)를 이용할 때의 유니버설 래치 회로(70)의 판독 동작은 프로그래밍에 대하여 퓨즈(41)를 이용한 래치 회로(40)에 대한 판독 동작과 반대된다. 따라서, 비휘발성 파일 래치 스테이지(J)가 도 2에 나타난 비휘발성 레지스터 파일(20)에서의 스테이지로서 제외될 경우, 대응하는 유니버설 래치 회로(70)에서의 e-안티퓨즈(74)가 비전도 상태에서 그 상태 그대로 남겨진다. 따라서, 대응하는 유니버설 래치 회로(70)가 스트로브되는 경우, 래치 회로는 위에서 자세하게 설명된 바와 같이, 노드(77)가 하이 전압에 있고, 노드(78) 상의 V_{OUT} 가 로우 전압에 있는 제1 논리 상태로 유지된다. 라우팅 스위치(30)가 비휘발성 레지스터 파일(20)에 이용되는 경우, 출력(78) 상의 로우(거의 제로) 전압(V_{OUT})이 선택 신호 입력(SJ)에 전달되고, 도 3a에 대하여 위에서 설명된 바와 같이, CMOS 트랜스퍼 게이트(TR2)가 활성화되며, CMOS 트랜스퍼 게이트(TR1)가 비활성화된다. 라우팅 스위치(30)는 입력(B)와 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(J)의 출력을 비휘발성 레지스터 파일(20) 스테이지(J+1)의 입력에 대해 바이패스킴으로써, 비휘발성 레지스터 파일(20)에서 스테이지(J)를 제외시킨다.

[0219]

유니버설 래치 회로(70)에 대해, 노드(78)는 양이고, 노드(78) 출력이 신호 입력(SK)을 선택하도록 이용가능하게 되며, 상보 노드(77) 출력이 스위치 회로(35)의 신호 입력(SKb)을 선택하도록 이용가능한 경우, 스테이지(K)가 레지스터 파일(20)에 포함될 것임을 주목해야 한다. 그러나, 노드(78)가 제로이고 신호 입력(SJ)에 이용가능하게 되며, 상보 노드(77) 출력이 스위치 회로(35)의 선택 신호 입력(SJb)에 이용가능하게 이루어지게 되는

경우, 스테이지(J)는 래치 회로(40)에 대하여 보다 자세히 설명된 바와 같이 래지스터 파일(20)에서 제어될 것이다.

[0220] **프로그래밍 수단으로서의 전자 퓨즈들 또는 안티퓨즈들로서 비휘발성 나노튜브 스위치를 이용하는 비휘발성 래치들에 기초한 비휘발성 신호 소스**

[0221] 통상적으로, 금속 또는 폴리실리콘 트레이스들을 이용한 OTP 전자 퓨즈들은 통상적으로 100Ω 범위에서의 비교적 작은 저항값들을 갖고 있으며, 퓨즈가 전도 상태에서 비전도 상태로 트랜지션할 수 있도록 하기에 충분히 높은 I^2R 전력 소실에 도달하기 위해 밀리암페어 범위의 비교적 큰 전류를 필요로 한다. 또한, 전자 퓨즈 길이는 통상적으로 매우 더 높은 전류를 필요로 하는 것을 피하게 하기에 충분한 저항을 실현하기 위해 최소 치수보다 더 길다. 그 결과, 전자 퓨즈들은 기술 치수들이 각각의 새로운 세대의 기술을 이용하여 감소될 때에도 양호하게 스케일화하지 않고 크기에 있어 비교적 크게 유지된다.

[0222] 통상적으로, OTP 전자 안티퓨즈들은 얇은 절연체 층의 어느 한쪽면(예를 들어, SiO₂ 및/또는 SiN_x의 5 내지 10 nm)상의 금속 또는 반도체(예를 들어, 폴리실리콘) 물질의 커패시터 판들을 갖는 커패시터 구조체를 이용하고, 쉽게 스케일러블하지 않은 예를 들어, 8 내지 12 볼트 범위에서의 비교적 높은 브레이크다운 전압들을 필요로 한다. 전자 안티퓨즈들은 기술 치수들이 각각의 새로운 세대의 기술을 이용하여 감소될 때에도 양호하게 스케일하지 않고 크기에 있어 비교적 크게 유지된다.

[0223] CMOS 및 바이폴라 메모리와 같은 실리콘 집적 회로 기술에 로직, 믹싱 신호 등을 쉽게 통합하고, 새로운 기술 세대가 도입될 때 크기, 프로그래밍 전압 및 전류에 있어 감소될 수 있는 스케일러블 퓨즈 및/또는 스케일러블 안티퓨즈가 필요하게 된다. (미국 특허 출원 번호 제11/280,786호에 설명된) 비휘발성 나노튜브 스위치들은 공정 흐름에서의 임의의 편리한 시점에서 추가될 수 있는 스케일러블 비휘발성 나노튜브 스위치들이다. 이들 스케일러블 비휘발성 나노튜브 스위치들이 비휘발성 전자 퓨즈 또는 안티퓨즈들을 대체하는데 이용될 수 있다.

[0224] 도 8은 미국 특허 출원 번호 제11/280,786호에 연결되고 도 9에 대하여 아래 자세히 요약되어 있는 비휘발성 나노튜브 스위치(83)를 수용하도록 설계된 래치 회로(82)를 나타낸다. 래치 회로(82)는 미국 특허 제6,570,806호(여기서는 그 전체 내용을 참조로서 포함함)에 설명된 바와 같이 100 kΩ의 고유 래치 트립 저항으로서 불리는 래치 저항 트립 포인트를 제공하도록 설계된다. 도 1c에 나타난 바와 같이 비휘발성 나노튜브 스위치 온 저항이 통상적으로 10 kΩ 내지 50 kΩ 저항 범위에 있기 때문에 100 kΩ의 고유 래치 트립 저항이 선택된다. 비휘발성 나노튜브 스위치의 오프 저항은 도 1c에 나타난 바와 같이 통상적으로 1 GΩ 이상보다 더 크다.

[0225] 도 8에 나타난 래치 회로(82)에서, 도 7에 나타난 유니버설 래치 회로(70)는 트랜지스터들(T5 및 T6')을 경유한 비휘발성 나노튜브 스위치 스트로브 경로(86)를 포함하도록 변형되었으며, 트랜지스터(T6')의 노드(85)와 전압 소스(V_{SOURCE}) 노드(84)에 접속된 비휘발성 나노튜브 스위치 소자(83)를 포함한다. 트랜지스터(T6')는 미국 특허 제6,570,806호에 설명된 바와 같이 비휘발성 나노튜브 스위치의 저항(통상적으로, 예를 들어, 10 kΩ 내지 50 kΩ)과 결합할 때 100 kΩ의 래치 저항성 트립 포인트를 가져오는 채널 저항을 갖는 선형 영역으로 유지된다. 100 kΩ의 래치 저항 트립 포인트는 10 kΩ 내지 50 kΩ 범위에서의 비휘발성 나노튜브 스위치 온 저항 및 적어도 1 MΩ의 오프 저항에 부합한다(비휘발성 나노튜브 스위치 오프 저항은 통상적으로 1 GΩ 이상이다). 래치(82)의 상태가 설정될 때 노드(84)가 제로 전압(접지 전압)에 있음을 주목해야 한다.

[0226] 도 8에 대하여 위에서 자세히 설명된 래치 회로(82)는 한 단자가 프로그램/소거 펄스(또는 펄스들)(V_{OUT})가 인가되는 노드(84)에 접속되어 있고, 또 다른 단자가 공통 노드(85)와 동작 모드 선택 트랜지스터(T7')의 드레인에 접속되어 있는 NV NT 스위치(83)를 나타낸다. 래치 회로(82)의 동작이 10 kΩ 내지 50 kΩ 범위의 비교적 높은 저항 범위에서의 NV NT 스위치(83)에 대하여 설명된다. 그러나, NV NT 스위치(83)가 예를 들어 100 Ω 내지 10 kΩ 범위와 같은 보다 낮은 저항 범위에 있을 수 있다.

[0227] 래치 회로(82)가 인버터(INV)로 구성된 공통 노드(85)에 접속된 특정 래치 구성에 대하여 또한 설명되며, 피드백 인에이블/디스에이블 수단을 가진 인버터가 트랜지스터(T1, T2 및 T3) 및 대응하는 상호접속 수단에 의해 형성된다. 또한, 공통 노드(85)에 접속된 통상적으로 선형 영역에 있는 바이어스 트랜지스터(T6') 뿐만 아니라 프리차지 및 스트로브 트랜지스터(T4 및 T5) 및 이들의 상호접속부가 각각 포함된다. 래치 회로(82)에 대하여 설명된 바와 같이 대응하는 기능 및 동작을 실현하기 위해 서로 다른 래치 구성들이 공통 노드(85)에 접속될 수 있다. 래치 회로(82) 및 당해 산업에 알려진 많은 다른 래치 회로 구성들이 NV NT 스위치(83)의 낮은 저항과 높

은 저항을 하이 전압 출력(V_{OUT}) 값 및 로우 전압 출력(V_{OUT}) 값에 대응하는 논리 "1" 및 논리 "0" 상태로 변환하는데 이용될 수 있다. 또한, 추가적인 래치 안정성을 위해 이용된 커패시터(89 및 89')는 선택적이며, 많은 구성들에서는 이용되지 않는다. 이들 커패시터는 래치 회로(82)로부터 역시 생략될 수 있다.

[0228] 예를 들어, 도 7에 나타난 래치(70)와 같은 비휘발성 래치들에 이용된 OTP 비휘발성 전자 퓨즈들(e-퓨즈들)과 도 1 및 도 2에 나타난 비휘발성 레지스터 파일(10, 15 및 20)에 이용된 스케일러블 비휘발성 나노튜브 스위치들 간에는, 프로그래밍된 상태로 언급될 때 용어적 차이들이 존재한다. 이들 용어 차이는 동일한 명세서에서 비휘발성 래치와 비휘발성 레지스터 파일들 양쪽 모두를 설명할 때 혼란을 일으킬 수 있다. 표 1과 표 2는 명료화 목적을 위해 용어에서의 차이를 설명한다.

[0229] 표 1에서, 래치에 이용된 e-퓨즈는 제조된 그대로 온 상태에 있고, 오프 상태에 대해 1회 프로그래밍(OTP)될 수 있다. 따라서, e-퓨즈 오프 상태는 이 명세서에서의 대응하는 통상적인 용어와 대응하는 텍스트에서 프로그래밍 상태로 언급된다.

[0230] 대조적으로, 표 2에서 알 수 있는 바와 같이, 도 1 및 도 2에 나타난 바와 같은 비휘발성 레지스터 파일에 통상적으로 이용된 비휘발성 나노튜브 스위치(NV NT 스위치)는 제조된 그대로 온 상태에 있으며, 이 명세서에서의 대응하는 텍스트와 포함된 특허 참조 문헌에서는 오프 상태에서 소거되는 것으로서 언급된다. NV NT 스위치들이 복수회 사이클링될 수 있기 때문에, 오프 상태/온 상태 트랜지션으로 인하여 발생된 온 상태는 이 명세서에서의 대응하는 텍스트와 포함된 특허 참조 문헌에서 프로그래밍되는 것으로서 언급된다

[0231] [표 1]

[0232]

소자의 유형	온 상태 (전도 상태)	오프 상태 (비전도 상태)	코멘트
e-퓨즈	제조된 그대로	프로그래밍됨	▶ 금속 또는 반도체 ▶ 공통 용어 이용 ▶ OTP 단독으로 동작
NV NT 스위치	제조된 그대로 또는 프로그래밍됨	소거	▶ NV NT 스위치 ▶ 복수의 온 및 오프 사이클
OTP 단독(nt-퓨즈)	제조된 그대로	(프로그래밍됨)	▶ OTP 단독으로 동작

[0233] [표 2]

[0234]

소자의 유형	온 상태 (전도 상태)	오프 상태 (비전도 상태)	온 상태 (전도 상태)	코멘트
NV NT 스위치	제조된 그대로	소거됨	프로그래밍됨	▶ 공통 용어 이용

[0235] 표 1을 참조하여 보면, e-퓨즈가 래치에서 스케일러블 비휘발성 나노튜브 스위치(NV NT 스위치)에 의해 대체되었던 경우에는, 용어는 애플리케이션에 의존한다. NV NT 스위치 애플리케이션이 온 상태와 오프 상태 간의 복수회 변환을 필요로 하는 경우, 오프 상태는 소거 상태로 간주되고 온 상태는 프로그래밍 상태(또는 제조된 그대로의 상태)로 간주된다. 그러나, NV NT 스위치가 OTP e-퓨즈 대응으로서 이용될 경우, NV NT 스위치는 나노튜브 퓨즈(nt-퓨즈)라는 새로운 용어로 언급될 수 있다. 따라서, OTP 모드에서는, 오프 상태가 소거 상태 대신에 표 1에 나타난 바와 같이 프로그래밍 상태로서 언급될 수 있다. 프로그래밍된 오프 상태는 도 8에서의 비휘발성 래

치(82)(래치(82)가 OTP 모드로 이용된 경우에만)에 대해서만 이용된다. 래치(82)에서, 용어 nt-퓨즈는 OTP 모드에서 이용된 때의 NV NT 스위치(83)에 대응한다.

- [0236] e-퓨즈들과 달리, NV NT 스위치들은 비휘발성 나노튜브 스위치들이기 때문에 비휘발성 나노튜브 스위치로서 동작하며, 따라서, 온 상태와 오프 상태 간을 복수회 변환할 수 있음을 주목해야 한다. 따라서, NV NT 스위치들은 OTP e-퓨즈보다는 보다 더 다용도이다. 제품 구성은 NV NT 스위치들이 래치 회로들의 일부로서 이용된 경우의 분야에서 조차도 프로그래밍된 후에 변경될 수 있다. 예를 들어, 도 2에 나타난 비휘발성 래지스터 파일(20)은 256개의 스테이지들 중 하나 이상의 스테이지에서 장애를 경험할 수 있다. 이는 정상 동작 조건 하에서 발생할 수 있거나 또는 필드 인가에서의 동작시 높은 레벨의 방사, 높은 온도, 또는 다른 환경들과 같은 거친 환경에 대한 노출 결과로서 발생할 수 있다. 이 장애가 발생하면, 이용되지 않은 여분의 래치가 존재한다고 가정하고, 이용된 비휘발성 구성 제어 래치들이 도 8에 나타난 래치(82)와 유사했다고 가정하면, 구성 선택 회로(26)가, 대응하는 NV NT 스위치들의 온 및 오프 상태를 변경하여 비휘발성 래지스터 파일(20) 동작을 리스토어함으로써 필요에 따라 비휘발성 구성 래치들을 리셋시킬 수 있다.
- [0237] e-퓨즈들을 이용한 비휘발성 래치에 대해 이용된 용어는 표 1에 나타나 있고 미국 특허 제6,570,806호에 설명되어 있다. NV NT 스위치들을 이용한 비휘발성 래지스터 파일에 대하여 이용된 용어는 표 1 및 표 2에 나타나 있고 미국 특허 출원 번호 제11/280,786호 및 제11/280,599호에 설명되어 있다.
- [0238] 트랜지스터(T7')는 NV NT 스위치 프로그래밍 목적을 위하여 노드(85)와 접지부 사이에 추가되었다. NV NT 스위치 프로그래밍 동안에, 전압 소스(V_{SOURCE})가 노드(84)에 인가된다. 트랜지스터(T7')는 입력 프로그램/소거 활성화 전압(V_{PE})에 의해 V_{SOURCE} 트랜지션 전 또는 트랜지션 후에 온으로 전환될 수 있고, 하나(또는 수개의) 전압 펄스들이 인가될 수 있고, 전류가 NV NT 스위치(83)를 통해 흐를 수 있으며, NV NT 스위치가 원하는 동작에 따라, 낮은 저항 상태에서부터 높은 저항 상태로 또는 높은 저항 상태에서부터 낮은 저항 상태로 트랜지션할 수 있다. 트랜지스터(T7')가 오프 상태로 유지되면, NV NT 스위치(83)도 동일한 상태로 유지된다. NV NT 스위치(83)은 온 상태와 오프 상태 사이에서 1회 상태 변경될 수 있거나 또는 복수회 사이클링될 수 있다.
- [0239] 도 9a는 2단자 비휘발성 나노튜브 스위치(90)의 대표적인 단면도를 나타낸다. 나노 패브릭 소자(93)는 복수의 절연체(95) 층을 포함한 기관(95)상에 배치된다. 채널 길이(L_{CHANNEL})의 나노 패브릭 소자(93)는 양쪽 모두가 나노 패브릭 소자(93) 상에 직접 성막되어 있는 2개의 단자들, 예를 들어, 전도성 소자들(91 및 92)와 적어도 부분적으로 오버랩한다. 나노 패브릭 소자들을 형성하는 방법은 포함된 특허 문헌에 보다 자세히 설명되어 있다.
- [0240] 비휘발성 나노튜브 스위치(90) 패시베이션은 비휘발성 나노튜브 스위치들 상에 적절한 유전체 층(96)을 성막하는 것을 수반한다. 이러한 접근 방식의 일례는 예를 들어, 비휘발성 나노튜브 스위치들과 직접 접촉하여 스핀 코팅된 폴리비닐레텐플루오르화물(PVDF), 폴리이미드, 또는 다른 절연체를 이용하는 것이다. 그 후, 알루미늄이나 또는 실리콘 산화물과 같은 적절한 이차유전체 패시베이션 막이 하부에 있는 PVDF, 폴리이미드, 또는 다른 절연체를 밀봉하여, 비휘발성 나노튜브 스위치 동작에 대하여 견고한 패시베이션을 제공하는데 이용된다. 비휘발성 나노튜브 스위치들(90 또는 90')은 집적 회로 공정 흐름에서의 임의의 시점에서 포함(삽입)될 수 있다. 스위치들(90 또는 90')에 대한 통상의 프로그래밍 및 소거 전류는 대략 1 내지 50 마이크로암페어이거나, 또는 통상적인 e-fuse 전류를 프로그래밍하는데 통상적으로 필요한 전류보다 2 내지 3차수 더 낮은 크기이다.
- [0241] 도 9b는 2단자 비휘발성 나노튜브 스위치(90')의 대표적인 단면도를 나타낸다. 나노 패브릭 소자(93')는 절연체(97)와 콘택트(91' 및 92') 상에 배치된다. 절연체(97)와 콘택트(91' 및 92')는 절연체(94')를 포함하는 기관(95') 상에 배치된다. 절연체(97)는 절연체(94')보다 더 낮은 열전도율을 가질 수 있다. 채널 길이(L_{CHANNEL})의 나노패브릭 소자(93')는 양쪽 모두가 나노패브릭 소자(93')의 성막 전에 성막되는 2개의 단자들 예를 들어, 전도성 소자(91'와 92')를 적어도 부분적으로 오버랩한다. 스위치(90')는 스위치(90) 보다 반도체 공정에서 보다 쉽게 집적화될 수 있다.
- [0242] 구조체(90')의 이점은 큰 양의 I²R 전력이 기관에 대해 소실된다는 점이며, 따라서, 절연체(94') 보다 작은 열전도율을 가진 절연체(97)가 선택된 경우, 하부에 있는 기관에 대하여 보다 적은 열 손실로 인하여, 보다 낮은 전류에서의 나노튜브 패브릭에서의 스위칭이 용이하게 이루어진다. 이론에 의해 구속받는 것을 원함이 없이, 발명자 등은 미국 특허 출원 번호 제11/280,786호에 설명된 바와 같이 2개의 단자 나노튜브 스위치가 탄소-탄소 및/또는 탄소-금속 결합의 분해 및 개질(breaking and reforming)을 야기하는 패브릭 내의 가열 처리로 인하여 주로 기능할 수 있다고 믿는다. 따라서, 기관에 대해 손실되는 보다 작은 열에 의해, 보다 작게 인가된 전압이

나노튜브 스위치를 '브레이크시켜', 스위치를 오프 상태로 전환가능하게 할 수 있다.

- [0243] 비휘발성 나노튜브 스위치(90') 패시베이션은 비휘발성 나노튜브 스위치들 상에 적절한 유전체 층(97')을 성막하는 것을 수반한다. 이러한 접근 방식의 일례는 비휘발성 나노튜브 스위치와 직접 접촉하는, 예를 들어, 스핀 코팅된 폴리비닐리덴플루오르화물(PVDF), 폴리이미드, 또는 다른 절연체를 이용하는 것이다. 그 후, 알루미늄이나 또는 실리콘 이산화물과 같은 적절한 2차 유전체 패시베이션 막이 하부에 있는 PVDF, 폴리이미드, 또는 다른 절연체를 밀봉하여, 비휘발성 나노튜브 스위치 동작에 대해 견고한 패시베이션을 제공하는데 이용된다. 비휘발성 나노튜브 스위치(90 또는 90')는 집적 회로 공정 흐름에서의 임의의 시점에 포함(삽입)될 수 있다. 비휘발성 나노튜브 스위치(90 및 90')는 미국 특허 출원 번호 제11/280,786호 및 제11/280,599호에 보다 자세히 설명되어 있다. 비휘발성 나노튜브 스위치(90')에 대한 통상적인 프로그래밍(소거) 전류는 1 내지 20 마이크로암페어의 범위에 있거나 또는 통상의 e-퓨즈 전류를 프로그래밍하는데 통상적으로 요구되는 10 밀리 암페어의 전류 크기보다 3차수 더 낮다.
- [0244] 도 9c는 패시베이션 이전의 비휘발성 나노튜브 스위치(90")의 SEM 이미지를 나타내며, 도 9b의 단면도에서의 비휘발성 나노튜브 스위치(90')에 대응한다. 비휘발성 나노튜브 스위치(90")는 나노패브릭 소자(93"), 콘택트(91" 및 92") 및 절연체(94")를 포함한다. 비휘발성 나노튜브 스위치들(90 및 90')은 250 nm 내지 22 nm 로 스케일화된 채널 길이(L_{CHANNEL})를 갖고 제조되었고 이에 의해 아래 보다 자세히 설명된 바와 같이, 비휘발성 나노튜브 스위치 크기를 감소시키고 프로그래밍 전압을 낮춘다.
- [0245] 도 9d는 부유상태(suspended)의 나노튜브 패브릭(98)을 갖는 부유 상태의 갭 영역(99 및 99')을 포함한 2 단자 NRAM 스위치(90''')의 변형예를 나타낸다. 이 구조체는 미국 특허 출원 번호 제11/280,786호에 설명된 나노튜브 스위치에 대하여 최적의 전기적 특성 및 열적 특성을 갖는다. 90''''의 개선된 스위칭 능력의 이유는 부유 상태의 영역에서는, 열이 주변 기관에 대하여 손실되지 않기 때문이다. 따라서, (위에서와, 미국 특허 출원 번호 제 11/280,786호에 설명된 바와 같이) 스위칭이 발생하는 원하는 온도에 대해 나노튜브를 가열하는데 보다 작은 전압 및 전류가 요구된다. 채널 길이는 금속 콘택트들(91'''' 및 92''') 사이의 활성 영역의 전체 길이에 대하여 ~ 50 nm의 범위일 수 있다. 이 구조체의 다른 이점은 보다 낮은 스위칭 전압을 실현하기 위해 보다 낮은 리소그래피 노드들에 대한 스케일화가 필요하지 않다는 점이다. 단지 하위 갭(99)을 이용하는 것만으로 충분할 수 있음을 주목해야 한다.
- [0246] 적합한 설계 조건하에서는, 나노튜브가 부유 상태의 영역에서만 끊길 것으로 예상되지 않는다. 패브릭에서의 나노튜브들의 부분(proportion)이 기관(97''') 상에서 오프로 스위칭되어, NRAM 스위치를 사이클링되도록 할 것으로 예상된다.
- [0247] 부유 상태 영역에 이용된 공동은 또한, 나노튜브 퓨즈를 끊기게 하는데 필요한 전류를 추가로 감소시키기 위해 O₂ 또는 O₃와 같은 산화 가스로 충전될 수 있다. 이는 재프로그래밍될 필요가 없는 OTP 장치에 대하여 매우 유용하다.
- [0248] 도 9에 나타난 비휘발성 나노튜브 스위치들은 통상적으로 제조된 그대로 온 상태에 있다. 도 1c에 나타난 NV NT 스위치들(16)과 같은 비휘발성 나노튜브 스위치들이 도 1c에 나타난 바와 같이, 수백만회 온 상태와 오프 상태 사이에 사이클링될 수 있지만, 이들은 초기에 비교적 높은 저항 스위치들로서 형성된다. 도 8에 나타난 비휘발성 래치(82)를 참조하면, 비휘발성 나노튜브 스위치들(83)이 NV NT 스위치(16)와 유사한 경우, 전도 상태에 있는 R_{ON}은 10 kΩ 내지 50 kΩ 저항 범위를 통상적으로 가질 것이다. 래치 회로(82) NV NT 스위치들(83)에 대하여 설명된 바와 같은 NV NT 스위치들이 NV NT 스위치(16)와 유사한 경우, 비전도 상태의 R_{OFF}는 통상적으로 1 GΩ 이상의 저항값들을 가질 것이다.
- [0249] 도 10a 곡선(100)은 L_{CHANNEL}이 250 nm 이상에서부터 50 nm로 감소된 때의 비휘발성 나노튜브 스위치들에 대하여, 소거 전압에 대한 채널 길이(L_{CHANNEL})의 전압 스케일 효과를 나타낸다. 이용된 온 상태 및 오프 상태 관련 용어는 표 2에 정의된 바와 같음을 주목해야 한다. L_{CHANNEL}은 도 9에 대하여 설명된 같이 채널 길이로서 언급된다. 채널 길이 감소의 효율성은 채널 길이 감소 및 소거 전압과 소거/프로그램 사이클링 수율의 함수로서 소거 전압에 의해 나타내어지며, 여기서 각각의 데이터 포인트는 22개의 장치들을 나타내며, 온/오프 소거/프로그램 사이클의 횟수는 5회이다. 도 10a에 나타난 곡선(100)에 의해 나타난 바와 같이, 비휘발성 나노튜브 스위치 채널 길이가 250 nm에서 50 nm로 감소될 때, 소거 전압은 채널 길이의 강한 상관 관계 함수이며, 8 볼트에서부터 5 볼트로 감소(스케일)된다. 대응하는 프로그래밍 전압(도시 생략)이 소거 전압보다 더 작으며, 예를 들어, 통상적으로 3

내지 5 볼트의 범위이다. 가변 채널 폭의 구조체에 대한 소거 전압 측정값(데이터가 도시되지 않음)은 채널 폭이 500 nm에서부터 150 nm로 변할 때 장치 채널 폭에 대한 소거 전압의 현저한 의존성이 없음을 보여준다. 가변하는 나노패브릭/콘택트 단자 오버랩 길이들의 구조체의 소거 전압 측정값(데이터가 도시되지 않음)은 오버랩 길이가 대략 800 nm에서부터 20 nm로 변할 때 오버랩 길이에 대한 소거 전압의 현저한 의존성이 없음을 보여준다.

[0250] 도 10b는 8 볼트의 소거 전압과 15 마이크로암페어의 대응하는 소거 전류를 갖는 장치에 대한 시간의 함수로서 소거 전압 및 대응하는 소거 전류의 곡선(125)을 나타낸다. 음의 전압이 테스트받는 비휘발성 나노튜브 스위치에 인가되었음을 주목해야 한다. 비휘발성 나노튜브 스위치들은 양의 인가 전압 또는 음의 인가 전압에 의해 동작하고 어느 방향에서든 전류가 흐른다. 소거 전류들은 채널 영역에서의 나노 패브릭의 활성화 SWNT들의 개수에 따라 통상적으로 1 내지 20 μA 의 범위에 있다. 프로그래밍 전류도 또한 1 내지 20 μA 범위에 있다. 일부 NV NT 스위치들에 대하여, 프로그래밍 동안의 전류 흐름을 제어하는 것은 프로그래밍 특성을 향상시킬 수 있음이 관찰되었다. 전류 흐름을 제어하는 방법은 도 17에 대하여 아래 보다 자세히 설명되어 있으며, 이들 방법은 프로그래밍 동작 및 소거 동작 양쪽 모두의 동안에 전류의 제어에 적용될 수 있다. 도 10b에 나타난 소거 데이터와 대응하는 측정값 세부 내용은 미국 특허 출원 번호 제11/280,786호에 설명되어 있다. 통상적으로, e-퓨즈 프로그램 전류는 10의 밀리암페어 범위에 있으며, 이에 의해 nt-퓨즈들이 대략 1000X만큼 프로그래밍 전류를 감소시킨다.

[0251] 도 10c는 대략 22 nm 채널 길이와 대략 22 nm의 채널 폭을 갖는 장치에 대한 최신 사이클링 데이터(150)를 나타낸다. 대략 20 nm의 채널 길이를 갖는 장치들은 통상적으로 4 내지 5 볼트 범위에서의 소거 전압을 갖는다. 도 10c에 나타난 특정 장치는 5 볼트의 소거 전압, 4 볼트의 프로그래밍 전압을 가지며, 100회의 소거/프로그램 사이클을 겪었다. 온 저항(R_{ON})은 100 k Ω 아래로 양호하며, 오프 저항(R_{OFF})은 100 M Ω 이상으로 양호하다.

[0252] 도 1 및 도 2에 나타난 비휘발성 레지스터 파일에서의 새도우 장치(shadow device)로서 이용된 비휘발성 나노튜브 스위치들은 예를 들어, 10^4 내지 10^6 회의 동작 사이클을 요구하며, 따라서, 추가적인 (리던던트) 비휘발성 레지스터 파일 스테이지들이 도 2에 도시된 바와 같이 도입된다. OTP 모드에서의 래치 회로(82) NV NT 스위치들(83)에 대하여, 스위치로서 이용된 비휘발성 나노튜브 스위치(83)에서의 단일 프로그램 동작(프로그램 정의에 대해서는 표 1을 참조할 것)은 100%에 근접하는 비휘발성 나노튜브 스위치 수율을 가질 것이다. 나노튜브 스위치(83)가 적은 수의 온/오프 사이클들에 노출되었던 경우에도, 그 수율은 여전히 100%에 근접할 것이다.

[0253] 스트로브 경로(86)에서 NV NT 스위치(83)를 이용할 때의 래치 회로(82)에 대한 판독 동작은 전자 퓨즈(71)를 이용한 래치 회로(70)에 대한 판독 동작과 동일하다. 따라서, 비휘발성 파일 래치 스테이지(K)가 도 2에 나타난 비휘발성 레지스터 파일(20)에서의 스테이지로서 포함될 경우, 대응하는 유니버설 래치 회로(82)에서의 NV NT 스위치(83)는 전도 상태에서 그 상태 그대로 남겨진다. 따라서, 대응하는 래치 회로(82)가 스트로브될 때, 래치 회로는 위에서 자세히 설명된 바와 같이 노드(87)가 로우 전압에 있고 노드(88) 상의 V_{OUT} 가 하이 전압에 있는 제2 논리 상태로 트랜지션한다. 라우팅 스위치(30)가 비휘발성 레지스터 파일(20)에 이용되는 경우, 출력(88)상의 양의 전압(V_{OUT})이 선택 신호 입력(SK)에 전달되고, 도 3a에 대하여 위에서 보다 자세히 설명된 바와 같이, CMOS 트랜스퍼 게이트(TR1)는 활성화되며, CMOS 트랜스퍼 게이트(TR2)는 비활성화된다. 라우팅 스위치(30)는 입력(A)과 출력(C)을 접속시켜, 비휘발성 레지스터 파일(20) 스테이지(K)의 출력을 비휘발성 레지스터 파일(20) 스테이지(K+1)의 입력으로 전달하고, 따라서, 비휘발성 레지스터 파일(20)에 스테이지(K)를 포함시킨다.

[0254] 스트로브 경로(86)에서의 NV NT 스위치(83)를 이용하는 경우 래치 회로(82)에 대한 판독 동작은 전자 퓨즈(71)를 이용한 래치 회로(70)에 대한 판독 동작과 동일하다. 따라서, 비휘발성 래치 파일 스테이지(J)가 도 2에 나타난 비휘발성 레지스터 파일(20)에서의 스테이지로서 제어될 경우, 대응하는 래치 회로(82)에서의 NV NT 스위치(83)는 비전도 상태로 프로그래밍된다. 따라서, 대응하는 유니버설 래치 회로(82)가 스트로브되는 경우, 래치 회로는 위에서 자세히 설명된 바와 같이 노드(87)가 하이 전압에 있고, 노드(88) 상의 V_{OUT} 가 로우 전압에 있는 제1 논리 상태로 유지된다. 라우팅 스위치(30)가 비휘발성 레지스터 파일(20)에 이용된 경우, 출력(88) 상의 로우(거의 제로) 전압(V_{OUT})은 선택 신호 입력(SJ)에 전달되고, 도 3a에 대하여 자세히 설명된 바와 같이, CMOS 트랜스퍼 게이트(TR2)는 활성화되고 CMOS 트랜스퍼 게이트(TR1)는 비활성화된다. 라우팅 스위치(30)는 입력(B)와 출력(C)을 접속시키고, 비휘발성 레지스터 파일(20) 스테이지(J)의 출력을 비휘발성 레지스터 파일(20) 스테이지(J+1)의 입력에 대하여 바이패스시키고, 따라서, 비휘발성 레지스터 파일(20)에서 스테이지(J)를 제외시킨다.

[0255] 유니버설 래치 회로(82)에 대하여, 노드(88)가 양이고, 노드(88)가 선택 신호 입력(SK)에 대하여 이용가능하게

되고 상보 노드(87) 출력이 스위치 회로(35)의 선택 신호 입력(SKb)에 대해 이용가능하게 되면, 스테이지(K)는 레지스터 파일(20)에 포함될 것임을 주목해야 한다. 그러나, 노드(88)가 제로이고 선택 신호 입력(SJ)에 대하여 이용가능하게 되며, 상보 노드(87) 출력이 스위치 회로(35)의 선택 신호 입력(SJb)에 대하여 이용가능하게 되면, 스테이지(J)는 래치 회로(70)에 대하여 위에서 자세히 설명된 바와 같이 레지스터 파일(20)에서 제외될 것이다.

[0256] 래치(82) NV NT 스위치(83)가 온 상태에서 오프 상태로 변경될 수 있으며 그 후, 온 상태로 다시 변경되고, 다시 오프 상태로 변경되어, 복수회 변경될 수 있음을 주목해야 한다. 따라서, 래치(82)의 설정은 필요에 따라 복수회 변경될 수 있다. NV NT 스위치(83) 소자가 제조자와 필드 업그레이드가 가능하고 재구성가능한 제품에 대하여 모듈 레벨에서 유용한 유연성을 제공하기 때문에 이러한 고유한 특성이 래치(82)에 의해 제공된다.

[0257] 래치 회로(82) 출력 노드(88)는 유니버설 래치 회로(70) 출력 노드(78)에 대응한다. 출력 노드(88)의 상보적인 래치 회로(82) 노드(87)는 래치 회로(70) 노드(77)에 대응한다. 래치 회로(82)의 고유 래치 트립 저항이 100 kΩ으로 설계된 경우, 래치 회로(82)는 알파입자 발생 정공-전자 쌍들의 우주선(cosmic-ray)에 의해 업셋될 정도로 더 민감할 수 있다. 안정 저항 커패시터(89)가 출력 노드(88)에 추가될 수 있고, 안정 저항 커패시터(89')가 상보 노드(87)에 추가될 수 있다. 안정 저항 커패시터 값들은 예를 들어 10 내지 20 fF일 수 있다.

[0258] **구성 선택 회로를 이용한 비휘발성 래치 회로 선택**

[0259] 위에서 보다 자세히 설명된 유니버설 래치 회로(70)(도 7), 및 래치 회로(82)(도 8)는 전자적으로 프로그래밍된 비휘발성 구성 래치(1 내지 N+M)로서 이용될 수 있고, 도 2에 나타난 대응하는 출력 신호(S1 내지 S(N+M))를 제공할 수 있다. 구성 선택 회로(26)(도 2)는 래치 회로 출력들의 상태를 판단하여, 이에 의해 어느 비휘발성 레지스터 파일 스테이지들이 비휘발성 레지스터 파일(20)에 포함될지를 판단하는데 이용될 수 있다. 래치 회로(70 및 82)는 메모리, 로직, 디지털 및 아날로그 독립형 및 내장형 제품에 범용으로 적용가능하며, 비휘발성 레지스터 파일 예로 제한되지 않는다. 래치 회로(40)의 상태가 레이저 에블레이션에 의해 결정되기 때문에 래치 회로(40)(도 4)는 구성 선택 회로(26)를 필요로 하지 않음을 주목해야 한다.

[0260] 일 구현예에서, 구성 선택 회로(26)는 메모리 어레이의 예비의 로우 또는 컬럼 선택에 이용되는 것과 같은 제어 입력을 가진 디코더 논리일 수 있다. 구성 선택 회로는 아래 보다 자세히 설명되어 있다. DRAM 및 SRAM 메모리에서의 로우 및 컬럼 라인들을 리던던트 로우 및 컬럼 라인을 대체하는 재구성 래치 회로들의 이용은 Itoh, Kiyoo의 "VLSI Memory Chip Design"[Springer- Verlag Berlin Heidelberg 2001, pp. 178-183; 여기서는 그 전체 내용을 참조로서 포함함]의 참조문헌 책에 설명되어 있다.

[0261] 대체 구현예에서, 구성 선택 회로(26)는 미국 특허 제Re 34,363호에 설명된 바와 같은 구성 제어 레지스터를 이용할 수 있다. 비휘발성 레지스터 파일 래치 스테이지들과의 통합의 용이성 때문에, 이 예에서는 구성 제어 레지스터를 구성 선택 회로(26)로서 선택하여, 도 2에 나타난 비휘발성 레지스터 파일(20)을 형성하도록 하였다.

[0262] 도 11은 미국 특허 제Re. 34,363호에 보다 자세히 설명된 멀티스테이지 시프트 레지스터의 2개의 스테이지를 나타내는 구성 제어 레지스터(110)의 대표도를 나타낸다. 구성 제어 레지스터(110)는 2개의 시프트 레지스터 셀들을 나타내고 있지만, 실제 구성 제어 레지스터는 논리 소자를 구성하는데 필요한 만큼 많은 셀들을 포함하며, 이 예에서는, N+M개의 시프트 레지스터 셀들을 포함한다. 기본 시프트 레지스터 셀은 인버터(INV-1)와 직렬로 된 트랜스퍼 장치(116-1)와 함께 인버터(INV-1')와 직렬로 된 트랜스퍼 장치(112-1)를 포함한다. 인버터(INV-1)의 출력은 CELL-1을 인에이블시키는 트랜스퍼 장치(114-1)를 통하여 인버터(INV-1')의 입력에 피드백되어, 전력원이 구성 제어 레지스터(110)에 대해 유지되고(휘발성 시프트 레지스터 동작) HOLD 전압이 하이로 유지되는 한, 논리 상태를 저장한다. 인버터(INV-1)의 출력은 또한 시프트 레지스터 CELL-2의 입력에 접속하며 - 이 레지스터 CELL-1은 시프트 레지스터 셀 1에 일치함 -, 또한 트랜스퍼 장치(118- 1)의 한 단자에 접속한다. 인버터(INV-1')의 출력은 트랜스퍼 장치(116-1)의 입력에 접속한다. 2개의 오버랩하지 않는 클록들(Ψ 1 및 Ψ 2)은 트랜스퍼 장치(112-1 및 116-1)의 제어 게이트들에 각각 접속하며, 다른 시프트 레지스터 셀들에서의 대응하는 트랜스퍼 장치에 접속한다. 트랜스퍼 장치(114-1)와 다른 셀들에서의 대응하는 소자들은 HOLD 입력의 상태에 따라 INV-1 출력과 INV-1' 입력 사이의 피드백 경로를 인에이블 또는 디스에이블시킨다. 리던던트 데이터는 LOGIC INPUT 신호에 의해 구성 제어 레지스터(110)에 전달된다. APPLY 제어 입력이 활성화될 경우, 출력(C1, C2, ... C(N+M))은 예를 들어, 래치(70)와 래치(82)와 같은 래치들의 프로그래밍 입력들에 전달된다. 이 예에서, 구성 제어 레지스터(110)는 도 2의 구성 선택 회로(26)로서 이용된다.

- [0263] 동작시, 전체 구성 제어 레지스터(110)는 $\Psi 1$ 및 $\Psi 2$ 전압을 하이로, HOLD 전압을 로우로 설정함으로써 하이 또는 로우 전압으로 설정될 수 있다. 하이 전압으로 설정된 유지(HOLD)에서, 클록($\Psi 1$ 및 $\Psi 2$)은 테스트 결과들(수율 맵)에 기초하여 비휘발성 구성 래치(1 ... N+M)를 프로그래밍하기 위해(또는 프로그래밍하지 않기 위해) 1 및 0의 논리 패턴을 시프트 레지스터 내에 전달하는데 이용될 수 있다. INPUT 신호가 전체 길이의 구성 제어 레지스터(110)를 전파할 수 있도록 하는데 충분한 시간이 허용되어야 한다. 이 시점에서, APPLY는 양의 전압으로 트랜지션할 수 있고 인버터 출력(C1, C2, ... C(N+M))은 대응하는 구성 제어 래치들(1 ... N+M)에 전달될 수 있다.
- [0264] 도 2를 참조하여 보면, 구성 제어 레지스터(110)는 비휘발성 레지스터 파일(20)에 대한 구성 선택 회로(26)로서 이용될 수 있으며, 출력(C1 ... C(N+M))이 비휘발성 구성 래치 1 ... 비휘발성 구성 래치(N+M)의 상태를 제어한다. 비휘발성 구성 제어 래치(1 ... (N+M))는 대응하는 구성 제어 레지스터(110) 논리 상태들을 유지하도록 프로그래밍된다.
- [0265] 래치 회로(70)가 비휘발성 구성 제어 래치로서 이용되면, OTP 상태가 각각의 비휘발성 구성 래치에 저장되고, 개개의 비휘발성 파일 레지스터 스테이지들은 N + M개의 개개의 비휘발성 파일 레지스터 스테이지로부터 선택되어, 비휘발성 레지스터 파일(20)을 형성하도록 상호접속된다. 이 레지스터 파일 구성은 변경될 수 없다.
- [0266] 다른 방법으로, 래치 회로(82)가 비휘발성 구성 제어 래치 상태로서 이용된 경우, 비휘발성 온 또는 오프 상태가 NV NT 스위치(83)에 저장된다. NV NT 스위치(83)가 비휘발성 나노튜브 스위치이기 때문에, NV NT 스위치(83)는, 구성 제어 래치들이 수개의 논리 상태들을 거쳐 사이클링될 수 있고, 따라서, 비휘발성 레지스터 파일(20)의 구성이 필드에서조차도 자신의 초기 상태로부터 변경될 수 있도록 온 상태와 오프 상태 사이에서 복수회 사이클링될 수 있다.
- [0267] **프로그래밍 수단으로서 비휘발성 나노튜브 스위치를 이용하여 비휘발성 레지스터 파일들에 기초한 비휘발성 신호 소스**
- [0268] 도 12에 나타난 바와 같이, 출력(S1 내지 S(N+M))을 갖는 비휘발성 구성 레지스터 파일 스테이지들(1 내지 N+M)을 포함한 비휘발성 구성 파일(122)에 의해 도 2에서의 구성 선택 회로(26)와 비휘발성 구성 래치들(1 내지 N+M)을 대체하는 것이 가능하다. 비휘발성 구성 파일(122)과 비휘발성 레지스터 파일(124)의 결합은 비휘발성 레지스터 파일(120)을 형성한다. 비휘발성 레지스터 파일(120)은 비휘발성 레지스터 파일(20)에 대응한다.
- [0269] 비휘발성 구성 제어 레지스터 파일 스테이지(1) ... 스테이지(N+M)를 포함한 비휘발성 구성 제어 레지스터(122)의 제1 구성에서, 입력 데이터는 논리 "1"들과 논리 "0"들의 입력 데이터 스트림의 형태로 레지스터(122) 내에 로딩된다. 비휘발성 구성 레지스터 파일 스테이지들은 비휘발성 레지스터 파일 스테이지들에 일치한다. 그러나, 사이클의 횟수는 제한된다. 예를 들어, 이 경우, OTP 동작에 대하여, 소거(래치 용어에서 "프로그래밍")가 선택된 비휘발성 나노튜브 스위치들 상에서 1회만(1/2 사이클) 수행된다. 수율은 예를 들어, 99 내지 100% 사이로 높고, 출력들(S1 내지 S(N+M))은 래치 회로(70 및 82)에 대하여 위에서 자세히 설명된 대응하는 접근 방식으로 비휘발성 레지스터 파일 스테이지들을 선택 또는 선택해제(바이패스)한다. 래치 회로(70)에 대하여, 전자 퓨즈 끊김 접근 방식 때문에 OTP 단독의 프로그래밍이 가능하다. 래치 회로(82)에 대하여, 전자적으로 끊긴 퓨즈들이 비휘발성 나노튜브 스위치들로 대체되기 때문에 수개의 동작 사이클들이 가능하다.
- [0270] 동작시, 이 제1 구성 비휘발성 구성 레지스터(122)는 도 1에 대하여 설명된 바와 같이 동작 모드 입력을 이용하여 소거 및 프로그래밍 사이클들을 견딜으로써 수회 변경될 수 있다. 예를 들어, 소수의 사이클들, 1 내지 3회의 사이클로의 변경을 제한함으로써, 비휘발성 구성 제어 레지스터(122) 수율이 99% 내지 100% 사이에서 유지되는 한편, 공장에서 비휘발성 레지스터 파일들을 구성하도록(여러 스테이지들을 포함 또는 제외(바이패스)하도록) 또는 필요에 따라 제품 출하 후에 현장에서 비휘발성 레지스터 파일을 재구성하도록(포함된/제외된 스테이지들을 변경하도록) 하는 능력을 제공한다.
- [0271] **프로그래밍 수단으로서 비휘발성 나노튜브 스위치들을 이용하여 신규 구성 직렬 래치들에 기초한 비휘발성 신호 소스들**
- [0272] 제2 구성에서는, 비휘발성 구성 제어 레지스터(132)가 도 13a에 나타나 있다. 비휘발성 구성 제어 레지스터

(132)는 도 13b에 대하여 아래 보다 자세히 설명된 바와 같이 대응하는 비휘발성 나노튜브 스위치 수율을 99 내지 100 %로 증대시키도록 1회만의 소거(래치 용어에서는 "프로그램") 1/2 사이클이 수행될 수 있도록 하는 변경된 버전의 래지스터(122)이다. 도 13a에서, 비휘발성 나노튜브 스위치들의 소거는 전자 퓨즈를 프로그래밍하는 것에 대응하는 것임을 주목해야 한다. 도 13b는 도 1b에서의 래지스터 스테이지(15)의 변형된 버전이다. 비휘발성 구성 래지스터 파일(132)은 래지스터(132) 내에 로딩되는 논리 "1"들 및 논리 "0"들의 입력 데이터 스트림의 형태로 입력 데이터를 수신한다. 비휘발성 구성 래지스터 파일 스테이지들은 99 내지 100% 범위로 수율을 증대시키기 위해 1회만의 소거 1/2 사이클 동작이 허용되도록 하는, 도 1b에 대하여 위에서 자세히 설명된 비휘발성 파일 스테이지들의 변형된 버전이다. 이러한 면에서, 비휘발성 구성 래지스터 파일(132) 동작은 OTP 모드에서 동작될 때, 소거(래치 용어에서의 "프로그램") 1/2 사이클을 가능하게 하는 비휘발성 구성 래지스터 파일(122)의 동작과 유사하며, 예를 들어, 제어 신호들(S1 ... S(N+M))을 제공하기 위해 구성 제어 래지스터(110)를 이용한 구성 선택 회로(26)와, 래치 회로(70) 또는 래치 회로(82)를 이용한 비휘발성 구성 래치(1 ... (N+M))를 갖는 도 2와 또한 유사하다.

[0273] 동작시, 이 제2 비휘발성 구성 래지스터(132)는 1/2 사이클 소거 동작을 이용하여 1회만 변경될 수 있다. 이 동작 모드는 도 13b에 대하여 아래 보다 자세히 설명된다.

[0274] OTP 비휘발성 래지스터 래치(135)는 도 1b에 나타난 비휘발성 래지스터 파일(15)의 변형예이며, 여기에서, erase_enable_NFET(1320)가 제거되고, NFET들(1321, 1322)과 인버터(1323) 및 대응하는 접속으로 대체된다. NFET(1321)의 한 단자는 접지부에 접속되고, 다른 단자는 NFET(1322)에 접속되며, 이어서 NFET(1322)가 노드(1116')에 접속된다. NFET(1321)에 대한 입력은 하이 전압 트랜스레이터 회로(1360')의 출력(1350')에 의해 제어되고, NFET(1322)의 입력은 인버터(1323)의 출력에 의해 제어된다. 인버터(1323)의 입력은 인버터(1330)의 출력에 접속되며 인버터(1330)의 출력은 또한 PFET(1343)의 게이트를 구동시킨다.

[0275] 동작시, 도 13b에 나타난 비휘발성 구성 제어 스테이지(135)에 나타난 바와 같이, 도 1b에 나타난 비휘발성 래지스터 파일 스테이지(15)의 PROGRAM ENABLE은 제거되어, OTP ERASE ENABLE 입력으로 변환되었다. 프로그래밍은 제거되었고, 1회 소거 1/2 사이클이 허용된다.

[0276] **임계 경로 타이밍들을 증가된 수율과 함께 고속으로 최적화하는데 이용된 나노튜브 비휘발성 래치들에 기초한 비휘발성 신호 제어 소스들**

[0277] 위에서 자세히 설명된 비휘발성 래지스터 파일들은 스테이지마다 마스터 및 슬레이브 래치와, 예를 들어, 각각의 슬레이브 래치에 접속된 비휘발성 나노튜브 스위치(NV NT 스위치)를 통상적으로 포함하는 고속 휘발성 래지스터들을 포함한다. NV NT 스위치는 슬레이브 래치에 직접 접속될 수 있거나 또는 커플링 회로를 이용하여 커플링될 수 있다. 위에서 자세히 설명된 바와 같이 비휘발성 래지스터 파일 래치들의 비휘발성 동작의 수율을 최적화하는 것에 더하여, 휘발성 래지스터의 고속 성능 역시 최적화할 필요가 있다. 또한, 모든 래지스터 파일들이 비휘발성일 필요가 있는 것은 아니다. 그러나, 래지스터 파일들은 고속의 (높은 클럭 속도의) 동기화 동작을 필요로 한다.

[0278] 예를 들어, 1 GHz를 초과하는 높은 클럭 속도에서, 래지스터 래치들의 수율은 논리 지연 또는 캐시 지연들을 야기하는 소자 파라미터 변동으로 인해 감소된다. 이러한 파라미터 변동은 제조 동안에 로트마다 발생하며, 또한 필드 이용 하에서 변한다. 예를 들어, 동기 CPU와 온 보드 캐시(on-board cache)는 CPU 데이터 요청이 개시된 후 캐시로부터 관독된 데이터가 CPU 단자들에서 1회의 클럭 사이클로 준비 상태에 있는 것을 보장하기 위하여 예를 들어, 170 ps 또는 심지어 그 이하의 캐시 액세스 시간을 필요로 할 수 있다.

[0279] 제조 동안의 로트 마다의 파라미터 변동 및 필드에서의 제품 동작 동안의 (파라미터 드리프트와 같은) 파라미터 변경으로 인한 수율 손실을 최소화하고 성능을 최적화하기 위해 가변 지연 회로가 임계 클럭킹 및/또는 신호 경로들에 도입될 수 있다. 온 상태 및 오프 상태에 있을 수 있고 온 상태와 오프 상태 사이에서 토글링될 수 있는 비휘발성 나노튜브 스위치들(NV NT 스위치들)을 갖는 래치 회로가 임계 타이밍 경로를 최적화하는데 이용된다.

[0280] 도 14a는 비동기 모드로 동작되고 최신식 고속 동작을 위하여 설계된 래지스터 파일들(1407, 1412, 1418; 및 그 외의 래지스터 파일들은 도시하지 않음)에 의해 분리되는 비동기 논리 스테이지(1410 및 1414; 및 그 외의 것은 도시하지 않음)를 포함한, 2개의 오버랩하지 않는 클럭(CLK1 및 CLK2)을 이용한 파이프라인형 동기 논리 기능부(1400)를 나타낸다. 예시적인 래지스터(1412)는 마스터 (L1) 래치(1420M) 및 슬레이브 (L2) 래치(1420S)로 구성된다. 마스터 (L1) 래치(1420M)는 래지스터 셀들(1-n)로 구성되며, 슬레이브 (L2) 래치(1420S)는 래지스터 셀

들(1'-n')로 구성된다. 레지스터 스테이지(1416)가 대응하는 레지스터 셀들(k 및 k')로 구성되는 것과 같이, 레지스터 스테이지는 대응하는 쌍의 레지스터 셀들로 구성된다. 논리 스테이지들(1410 및 1414)은 예를 들어, 비동기식 랜덤 논리 스테이지들로 구성될 수 있거나 또는 예를 들어, 고속 Sync SRAM L1 캐시와 같은 동기식 온보드 캐시일 수 있음을 주목하는 것이 중요하다. 마스터 (L1) 래치(1420M)와 같은 마스터 (L1) 래치는 클록(CLK1)에 의해 활성화될 때 선행하는 논리 스테이지(1410)로부터 데이터를 받아들이고, 입력 데이터를 캡처링하여 유지시킨다. 슬레이브 (L2) 래치(1420S)와 같은 슬레이브 (L2) 래치는 클록(CLK2)에 의해 활성화될 때 대응하는 마스터 (L1) 래치(1420M)로부터 정보를 받아들이고 정보를 다음의 논리 스테이지(1414)에 전송한 다음 CLK2 클록 사이클의 단부 근처에서 정보를 래치시킨다. 레지스터(래치) 설계의 예들은 참조 문헌인, H. B. Bakoglu의 "Circuits, Interconnections, and Packaging for VLSI"[Addison-Wesley Publishing Company, Inc, pp. 338-349]에 설명되어 있으며, 여기서는 그 전체 내용을 참조로서 포함한다.

[0281] 트랜지스터 전기 특성 및 상호접속 라인 저항 및 용량에서의 변동을 야기하는 공정 파라미터들은 논리 에러를 도입하는 논리 경쟁 상태들(logic race condition)을 가져올 수 있다. 예를 들어, 도 14a에서의 논리 1은 CLK1 트랜지션이 마스터 (L1) 래치(1420M)에 의해 샘플링한 논리 1 상태를 가져오기 전에 논리 연산의 완료를 방해하는 비교적 긴 지연 시간들을 갖는 하나 이상의 논리 경로들을 포함할 수 있다. 논리 1 상태의 때이른 샘플링은 정확하지 않은 논리 상태의 래칭 및 전송을 가져온다. 이러한 경쟁 상태 문제는 이 예에서는 논리 1과 같은 특히 민감한 하나의 논리 회로에서만 또는 수개의 논리 회로 경로들에서만 발생할 수 있다. 파라미터 변동들에 대해 민감한 임계적 설계 경로들은 논리 시뮬레이션의 결과로 일반적으로 알려져 있다. 클록(CLK1 및 CLK2) 타이밍에서 이러한 경쟁 상태 문제들을 피하기 위한 고려가 이루어진다. 그러나, 예를 들어, 클록 레이트들이 1Gb 내지 2Gb로부터 5Gb보다 더 크게 증가함에 따라 성능 최적화가 보다 중요하게 되고, 수율 손실이 높은 클록 레이트에서 발생할 수 있다.

[0282] 도 14b는 성능 최적화된 파이프라인형 동기식 논리 기능부(1400')를 나타낸다. 논리 1 회로의 논리 상태를 샘플링하는 마스터 (L1) 래치(1420M)의 트랜지션을 지연시키고, 또한, 마스터 (L1) 래치(1420M)에 대하여 슬레이브 (L2) 래치(1420S)의 트랜지션 시간을 지연시키기 위하여, 제어가능 지연 회로(1425 및 1425')가 CLK1 및 CLK2 클록 신호 경로들에 각각 추가되었다. 제어가능 지연 회로 소자들은 하나 이상의 타이밍 임계적인 (또는 민감한) 신호 경로들에 또는 모든 신호 경로들에 추가될 수 있다. 제어가능 지연 회로(1425 및 1425')에 의해 도입된 클록 신호 지연에 대하여, 회로 예들이 아래 자세히 설명되어 있다.

[0283] 도 15a는 CPU(1510) 및 캐시(1515)를 포함한 동기식 CPU 및 캐시 시스템(1500)을 나타내며, CPU 및 캐시는 로크 신호(CLK)에 의해 동기된다. 메모리 어드레스 로케이션 및 제어 신호들은 CPU(1510)에 의해 캐시(1515)에 제공되며, 데이터는 기록 동작을 이용하여 CPU(1510)에 의해 캐시(1515)에 저장될 수 있거나 또는 데이터는 판독 동작을 이용하여 캐시(1515)에서부터 CPU(1510)에 이동될 수 있다. 도 15b는 캐시 데이터가 데이터 요청 후에 1 클록 사이클에서 CPU(1510)에 이용가능하게 되는 고성능 캐시 판독 동작에 대한 타이밍도(1525)를 나타낸다. 클록(1530)은 데이터 요청 시간에서 로우 전압에서부터 하이 전압으로 트랜지션한다. 데이터 요청 클록 트랜지션의 시간에, 제어 신호들이 원하는 동작, 이 예에서는 판독 동작을 식별한다. 또한, 어드레스들이 유효 상태이다. 캐시(1515)는 1 클록 사이클에서 판독 동작을 완료하고, 데이터 출력(V_{DATA})이 종종 "데이터 아이(data eye)"로서 언급되는 유효 데이터 윈도우(1535)에 이용가능하게 되도록 한다. 클록(1530) 요청 트랜지션 후에 1 사이클에서 CPU(1510)에 대한 클록(1530) 데이터 캡처 트랜지션이 데이터 윈도우(1535)의 중심에서 발생하도록 타이밍된다. 도 15a는 참조 문헌, K. Itoh의 "VLSI Memory Chip Design"[Springer, 2001, pp. 358-363]로부터 적용되며, 여기서는 그 전체 내용을 참조로서 포함한다.

[0284] 출력 드라이버(1520)는 캐시(1515) 온칩 데이터 경로를 통하여 신호(V_{SIG})를 수신한다. 출력 드라이버(1520)는 3상 드라이버로서 도시되지만, 그러나, 3상이 아닌 것도 일부 적용예들에 이용될 수 있다. 3상 드라이버는 당해 산업에 잘 알려져 있으며, 예를 들어, R.J. Baker의 "CMOS: Circuit Design, Layout, and Simulation"[IEEE Press, 1998, p. 226]를 참조하며, 여기서는 그 전체 내용을 참조로서 포함한다. 출력 인버터(드라이버)가 NFET 트랜지스터(T1)와 PFET 트랜지스터(T2)를 이용하여 형성되며, 각각의 T1 및 T2 게이트는 공통 인버터 입력(1522)에 전기적으로 접속되며, T2 드레인 및 T1 드레인은 공통 출력 단자(1523)에 접속된다. 3상 PFET(T4)의 드레인은 T2의 소스에 접속되며, T4의 소스는 V_{DD} 와 같은 전력 공급원에 접속되고, T4의 게이트는 그 입력이 공통 3상 입력(1524)에 접속된 인버터(INV)의 출력에 접속된다. 3상 NFET(T3)의 드레인은 T1의 소스에 접속되며, T3의 소스는 접지부에 접속되고, T3의 게이트는 공통 3상 입력(1524)에 접속된다.

[0285] 동작시, 3상 드라이버(1520)는 3상 모드 활성화되었으며, $V_{TRI-STATE} = 0$ 볼트이고, T4 및 T3는 오프 상태에 있다.

출력 노드(1523)는 임의의 신호값(V_{SIG})에 대하여 전력 공급원(V_{DD}) 또는 접지부에 접속될 수 없다. 따라서, 노드(1523) 전압은 3상 드라이버(1520)에 의해 한정되지 않지만, 대신에, 노드(1523)를 공유하는 다른 3상 드라이버들(도시 생략)에 의해 설정될 수 있다. 캐시(1515)가 도 15b에 나타난 바와 같이 데이터에 대한 요청에 의해 활성화되는 경우, 캐시 메모리 컨트롤러는 $V_{TRI-STATE}$ 로 하여금 제로에서부터, T3 및 T4 트랜지스터들을 온 상태로 전환시키는 양의 전압으로 트랜지션하도록 한다. 이 3상 비활성화된 모드에서, 트랜지스터(T2) 드레인은 트랜지스터(T4)를 통하여 V_{DD} 에 접속되며, 트랜지스터(T1) 소스는 트랜지스터(T3)를 통하여 접지부에 접속되며, V_{SIG} 는 노드(1523) 상에서 V_{DATA} 출력 신호를 제어한다. 도 15b에 나타난 바와 같이, CPU(1510) 데이터 요청에 응답하여, 인버터 드라이브 신호(V_{SIG})는 프리드라이버(predriver) 스테이지(도시 생략)를 포함할 수 있는 캐시(1515) 온칩 데이터 경로에 의해 제공된다.

[0286] 동작시, 동작 동안에 필드에서의 시간에 따른 파라미터 드리프트 뿐만 아니라 제조로 인한 트랜지스터 파라미터에서의 변동들은 유효 데이터 윈도우(1535)의 위치에서의 가변성을 야기할 수 있다. 도 15d 파형(1540)은 출력 데이터(V_{DATA})가 클럭(1530) 사이클에서 조기에 이용가능하게 되는 고속 데이터 경로 유효 데이터 윈도우(1545)를 나타낸다. 클럭(1930) 판독 데이터 트랜지션은 도 15d에 나타난 바와 같이 데이터가 결합적일 수 있는 유효 데이터 윈도우(1545)의 트레일링 에지(trailing edge)에서 발생한다. 도 15e 파형(1540')은 출력 데이터(V_{DATA})가 클럭(1530) 사이클에서 늦게 이용가능하게 되는 저속 데이터 경로 유효 데이터 윈도우(1550)를 나타낸다. 클럭(1530) 판독 데이터 트랜지션은 도 15e에 나타난 바와 같이 데이터가 결합적일 수 있는 유효 데이터 윈도우(1550)의 리딩 에지에서 발생한다. 시스템 성능, 수율 및 신뢰성을 최적화하기 위해 유효 데이터 윈도우 변동들을 최소화하는 것이 필요하다.

[0287] 도 15f는 동기식 CPU 및 캐시 시스템(1500)의 캐시(1515)가 캐시(1515') 데이터 출력(V_{DATA})에 대한 유효 데이터 윈도우를 최적화하기 위해 제어가능 지연 회로를 추가함으로써 변형되었던 동기식 CPU 및 캐시 시스템(1500')을 나타낸다. 하나의 제어가능 지연 회로 소자 또는 1보다 많은 제어가능 지연 회로 소자가 센스/래치 회로들과 출력 드라이버들 사이에서의 캐시(1515') 데이터 경로에 추가될 수 있다.

[0288] 도 15g는 제어가능 지연 회로(1560) 입력이 데이터 신호(V_{SIG})에 접속되고, 제어가능 지연 회로 출력(C)이 출력 드라이버(1520')의 공동 인버터 입력(1522')에 접속되어 있는 한 방식을 나타낸다. 제어가능 지연 회로(1560)는 아래 보다 자세히 설명되어 있다. 공통 인버터 입력(1522')에 입력된 V_{SIG} 는 제어가능 지연 회로(1560)에 의해 설정된 제어된 시간만큼 지연된다. 공통 출력 단자(1523') 상의 출력 데이터 신호(V_{DATA})는 제어가능 지연 회로(1560)에 의해 설정된 V_{SIG} 시간 지연량에 대응하는 시간만큼 지연된다. 제어가능 지연 회로(1560)의 추가를 제외하고는, 출력 드라이버(1520')의 회로 소자들, 소자들의 상호접속 및 동작은 출력 드라이버(1520)의 설명과 일치한다. $V_{TRI-STATE}$ 의 타이밍은 필요에 따라 조정될 수 있다(도시 생략).

[0289] 동작시, 동작 동안에 필드에서의 시간에 따른 파라미터 드리프트 뿐만 아니라 제조로 인한 트랜지스터 파라미터에서의 변동들로 인한 유효 데이터 윈도우의 로케이션에서의 변동이 도 15h에서의 파형(1540'')으로 나타난 바와 같이 제거된다. 파형(1540'')은 유효 데이터 윈도우(1555)의 중심에서 CLK(1930) 데이터 캡처 트랜지션을 갖는 파형(V_{DATA})을 나타낸다.

[0290] 도 16은 4개의 지연 경로들(1-4) 중 한 경로를 선택하는 것을 수반하도록 설계된 제어가능 지연 회로(1600)를 나타낸다. 예를 들어, 클럭(CLK)이 CLK_{DEL} 를 일으키도록 지연될 수 있거나, 또는 V_{SIG} 가 신호(V_{SIG_DEL})를 일으키도록 지연될 수 있다. 칩들은 복수의 제어가능 지연 회로들(1600)을 포함할 수 있다.

[0291] 일례에서, 제어가능 클럭 지연들이 도 14b에 나타난 파이프라인형 동기식 논리 기능부(1400')와 같은 파이프라인형 동기식 논리 기능부들에 도입될 수 있으며, 여기서, 제어가능 지연 회로(1600)가 제어가능 지연 회로들(1425 및 1425')로서 이용될 수 있다.

[0292] 다른 예에서, 제어가능 신호 지연은 도 15에 나타난 동기식 CPU 및 캐시 시스템(1500')에 도입될 수 있으며, 여기서 제어가능 지연 회로(1600)가 제어가능 지연 회로(1560)로서 이용될 수 있다. CPU(1510)는 170 ps의 1 클럭 사이클 캐시(1515') 액세스 시간을 갖고 2 GHz의 클럭 주파수에서 동작할 수 있다. 따라서, CPU(1510) 데이터 요청에서부터 캐시(1515') 데이터 이용가능할 때 까지가 170 ps이다. 유효 데이터 윈도우가 150 ps인 것으로 가정하면, 지연 경로들(1 - 4)은 다음과 같이, 경로 1은 대략 제로이고, 경로 2는 대략 30 ps이고, 경로 3은 대략

80 ps 이고, 경로 4는 대략 150 ps인 것으로 설정될 수 있다. 제어가능 지연 회로(1600)는 도 15h에서의 파형(1540")으로 나타난 바와 같이, 클록(1530) 데이터 트랜지션 시간 근처에서 또는 트랜지션 시간에서 유효 데이터 윈도우(1555)의 중심을 포지셔닝하도록 데이터 경로들(1-4) 중 한 경로를 선택한다.

[0293]

도 16은 4개의 지연 경로들(1-4)을 갖는 지연 회로(1605)를 포함하고 있지만, 보다 많거나 또는 보다 적은 수의 지연 경로들(또는 옵션)이 포함될 수 있다. 지연 회로(1605)에 대한 입력은 제어된 양만큼 지연된 클록(CLK) 또는 신호(V_{SIG}) 파형이다. 논리 지연 블록(1610)은 (이 예에서는) 4개의 지연 경로들(1-4) 중 한 경로를 선택함으로써 대응하는 지연된 클록(CLK_{DEL}) 또는 지연된 신호(V_{SIG_DEL}) 파형을 출력한다. 지연 선택 로직(1615)은 4개의 CMOS 트랜스퍼 장치(TD1, TD2, TD3, 또는 TD4) 중 한 소자를 선택하는데 이용되는 지연 선택 신호들(S1, S2, S3 및 S4)을 제공한다. 대응하는 인버터들(I-S1, I-S2, I-S3 및 I-S4)은 상보 논리 신호들(S1, S2, S3 및 S4)을 각각 발생시켜, CMOS 트랜스퍼 장치들(TD1 ... TD4) 각각에서 참(true) 및 보수(complement) 선택 신호 양쪽 모두를 인에이블시킨다.

[0294]

지연 선택 로직(1615) 입력(V_{OUT-1} 및 V_{OUT-2})이 4개의 선택 신호들(S1 ... S4) 중 하나를 선택하는데 이용된다. V_{OUT-1} 및 V_{OUT-2} 은 각각 NT 스위치 래치(1620) 및 NT 스위치 래치(1620')의 출력이다. NT 스위치 래치(1620 및 1620')는 스케일된 나노튜브 퓨즈들(nt-퓨즈)을 이용하고 복수회 프로그래밍 및 소거될 수 있는 비휘발성 나노튜브 스위치(83)를 포함한 도 8에 나타난 래치 회로(82)에 대응한다. 위에서 자세히 설명된 용어가 이용된다. 예를 들어, 래치 회로 애플리케이션에서, 온 상태에서부터 오프 상태로의 트랜지션은 프로그래밍(NV NT 스위치에서의 소거)이라 언급되며, 오프 상태에서부터 온 상태로의 트랜지션은 소거(NV NT 스위치에서의 프로그래밍)이라 언급된다. 입력 신호들($V_{PRECHARGE}$, V_{STROBE} , V_{BIAS} , V_{PE} 및 V_{SOURCE})은 래치(82)에 대하여 위에서 자세히 설명되어 있다. 이들 입력 신호는 지연 컨트롤러(1625)에 의해 제공된다. 지연 컨트롤러(1625)에 대한 논리 입력들은 각각의 NT 스위치 래치(1620 및 1620')의 프로그래밍을, 래치(82)에 대하여 위에서 자세히 설명된 바와 같이 하이 또는 로우 전압 상태에서의 V_{OUT-1} 에 의하여 그리고, 하이 또는 로우 전압 상태에서의 V_{OUT-2} 에 의해 프로그래밍된 상태 또는 소거된 상태로 인에이블시킴으로써 4개의 지연 경로들(1-4) 중 한 경로를 선택하는데 이용된다. 드라이버 회로(1630 및 1630')는 아래 보다 자세히 설명된 바와 같이, V_{SOURCE} 신호 입력을 발생시킨다. 지연 컨트롤러(1625)에 대한 논리 입력은 제조기의 테스터기에 의해 로직(도시 생략)을 통하여 제공될 수 있거나 및/또는 필드 업그레이드된 성능 최적화를 위하여 온보드 빌트인 셀프테스트(BIST; built-in self-test) 테스트 엔진에 의해 제공될 수 있다.

[0295]

도 16에 나타난 지연 회로(1605)에 대하여, 지연 경로(1)는 대략 제로이고, 지연 경로(2)는 인버터(12-1 및 12-2)가 각각 15 ps 지연량으로 설계된 경우, 30 ps로 설정될 수 있으며, 지연 경로(3)는 인버터(12-1, 13-2, 13-3, 및 13-4)가 20 ps 지연량으로 설계된 경우, 80 ps로 설정될 수 있으며, 지연 경로(4)는 인버터(14-1, 14-2, 14-3, 14-4, 14-5 및 14-6)가 25 ps 지연량으로 설계된 경우, 150 ps로 설정될 수 있다. CMOS 인버터 설계는 알려진 산업적 실시예에 따른다. 도 15h에 나타난 파형(1540")에 대하여, 예를 들어, 150 ps의 유효 데이터 윈도우(1555)에 대해, 신호 경로들(1-4) 중 한 경로를 선택하는 것은 유효 데이터 윈도우(1555)의 중간점에서 또는 중간점 근처에서 클록(1530) 데이터 타이밍 트랜지션을 발생시킬 수 있다. 회로(1605)는 보다 정교한 신호 지연 제어 증가를 위하여 더 많은 데이터 경로들 또는 데이터 경로들의 조합으로 설계될 수 있다.

[0296]

드라이버 회로(1630 및 1630')는 도 8에 나타난 래치 회로(82)에서의 NV NT 스위치들(83)과 같은 NV NT 스위치의 상태를 변경할 때 활성화되며, 여기서, 래치 회로(82) 동작은 위에서 자세히 설명된 바와 같은 비휘발성 NT 스위치 래치(1620 및 1620')의 동작에 대응한다. 3개의 드라이버 회로들(1630 및 1630') 예들이 도 17에 제공된다. 도 17a에 나타난 제1 드라이버 회로(1700)는 전류 제어 없이 출력 소스 전압(V_{SOURCE} ; 도 16에 나타난 $V_{SOURCE-1}$ 및 $V_{SOURCE-2}$ 에 대응함)을 제공하기 위해 전압 트랜스레이터 회로를 이용한다. 도 17b에 나타난 제2 드라이버 회로(1700')는 출력 전압(V_{OUT})을 제공하기 위해 전압 트랜스레이터를 이용하고 또한 필요에 따라 전류 흐름을 제한하기 위해 직렬 트랜스레이터의 게이트에 제공되는 전압($V_{I_CONTROL}$)을 이용하여 출력 전류(I)를 제어하는 수단을 이용한다. 도 17c에 나타난 제3 드라이버 회로(1700'')는 전압 트랜스레이터를 이용하여 전압 출력을 전류 미러에 제공하며, 이어서 전류 미러가 V 출력과 연관된 출력 전류(I)를 제어한다.

[0297]

예를 들어, 드라이버 회로들(1700 또는 1700' 또는 1700'')을 이용할 수 있는 드라이버 회로들(1630 및 1630')은 각각의 NV 스위치 래치(1620 및 1620')에서의 NV NT 스위치의 상태를 변경할 수 있고, 따라서 표 3에 나타난 바

와 같이 V_{OUT-1} 및 V_{OUT-2} (하이 전압 또는 로우 전압)의 상태를 판단할 수 있다. 도 8에 나타난 래치 회로(82)에 대하여 위에서 자세히 설명된 바와 같이 하이 전압(HIGH V) 출력은 온 포지션에서의 NV NT 스위치에 대응하며, 로우 전압(LOW V) 출력은 오프 포지션에서의 NV NT 스위치에 대응한다. 도 1c에 나타난 NV NT 스위치 사이클링 결과들(16)은 대략적으로 10 kΩ 내지 50 kΩ의 범위에서의 온 저항(R_{ON})과 10 GΩ보다 큰 오프 저항(R_{OFF})을 갖는 NV NT 스위치 동작 범위를 보여준다.

[0298] [표 3]

V_{OUT-1}	V_{OUT-2}	S1	S2	S3	S4
하이 V	하이 V	X			
하이 V	로우 V		X		
로우 V	하이 V			X	
로우 V	로우 V				X

[0299]

[0300]

도 17은 도 16에 나타난 바와 같이 NT 스위치 래치에 또는 미국 특허 출원 번호 제11/280,786호 및 제 11/280,599호에 설명된 NRAM 메모리 어레이 비트 라인들과 같은 NRAM 메모리 어레이 비트 라인들에 V_{SOURCE} 를 제공할 때 비휘발성 나노튜브 스위치 상태 변화 동안에 전류를 제한하는데 이용될 수 있는 회로를 나타낸다. 전류 제한은 일반적으로 프로그램 NV NT 스위치 동작으로서 불리는 오프 상태에서부터 온 상태로의 트랜지션 동안에 가장 유용하며, 일반적으로 소거 NV NT 스위치 동작으로서 불리는 온 상태에서부터 오프 상태로의 트랜지션에는 통상적으로 이용되지 않는다. 도 1c에 나타난 NV NT 스위치 온 및 오프 저항 사이클링 결과들(16)은 10 GΩ 초과인 오프 저항 범위로부터 10 kΩ 내지 50 kΩ의 온 저항 범위의 프로그램 오프/온 상태 트랜지션 동안 전류 제한 상태에서 프로그래밍가능 실험용 전압(laboratory voltage) 소스에 의해 활성화되었다.

[0301]

도 17a에 나타난 드라이버 회로(1700)는 드라이버(1705), 인버터(INV-1), 및 전압 트랜스레이터(1710)를 포함한다. 드라이버(1705)는 지연 컨트롤러(1625)와 같은 지연 컨트롤러에 의해 제공되는 입력(1707)을 갖는다. 드라이버 회로(1700)의 출력(1709)은 NFET(T20)의 게이트와 인버터(INV-1)의 입력을 구동시키고, 인버터(INV-1)의 출력은 트랜지스터(T10)의 게이트를 구동시킨다.

[0302]

전압 트랜스레이터(1710)는 소스가 접지부에 접속되고, 드레인들이 PFET(T30 및 T40)의 드레인들에 각각 접속된 NFET(T10 및 T20)를 포함한다. PFET(T30 및 T40)의 소스는 양쪽 모두 전압 소스(V_{HIGH})에 접속된다. 전압 소스(V_{HIGH})는 도 10a에서의 곡선(100)으로 나타난 바와 같이 래치 회로들(1620 및 1620')에 이용된 NV NT 스위치들의 채널 길이에 따라 통상 8 볼트의 값에서부터 5 볼트 미만의 값까지의 범위에 있을 수 있다. PFET들(T30 및 T40)의 게이트 접속들이 교차 결합된다. 전압 트랜스레이터(1710) 출력 단자(1730) 상의 출력 전압(V_{SOURCE})은 추가적인 전류 제어 회로들 없이 출력 전압을 제어한다. 단자(1730)는 래치 회로에서의 NV NT 스위치의 한 단자, 예를 들어, 도 8에 나타난 래치 회로(82)의 단자(84)에 접속된다.

[0303]

동작시, 드라이버(1705)의 출력이 양의 전압, 예를 들어, 2.5 볼트인 경우, NFET(T20)는 온이고, NFET(T10)는 오프이다. 출력 단자(1730)는 접지 상태에서, PFET(T30)를 온으로 전환하여, 단자(2130')를 V_{HIGH} 로 구동시켜, PFET(T40)를 오프로 전환시킨다. V_{SOURCE} 는 제로 전압에 있다. 그러나, 드라이버(1705)가 제로 전압에 있다면, NFET(T20)는 오프이고, NFET(T10)는 온이다. 단자(1730')는 제로 볼트에 있고, 이는 PFET(T40)를 온으로 전환하여, 단자(1730)를 V_{HIGH} 로 구동시킴으로써 PFET(T30)를 오프로 전환시킨다. V_{SOURCE} 는 예를 들어, 통상적으로 5 내지 8 볼트 범위에 있는 V_{HIGH} 에 있음으로써, 단자(84)에 접속된 단자(1730)를 갖는 도 8에 나타난 래치(82)에서의 NV NT 스위치(83)와 같이, 접속된 NV NT 스위치에 대한 상태 변화를 가져온다.

[0304]

도 8에 나타난 스위치(83)와 같은 NV NT 스위치를 구동시킬 때, 전류 제한 회로의 추가는 온 상태에서부터 오프 상태로의 트랜지션 또는 오프 상태에서부터 온 상태로의 트랜지션을 용이하게 한다. 전압 트랜스레이터(1710)의 출력 노드(1730)가 트랜스퍼 장치(1715)의 제1 단자에 접속되며, 트랜스퍼 장치(1715)의 게이트(제2 단자)가 $V_{LCONTROL}$ 에 의해 제어되며, 제3 단자가 전류(I)에서 출력 전압(V_{SOURCE})을 제공하는 것을 제외하면, 드라이버(1700')는 드라이버(1700)와 동일하다. 전류(I)는 단자들(1730 및 1735) 상의 전압 뿐만 아니라 전압($V_{LCONTROL}$) 입력 전압에 의해 결정된다. 트랜스퍼 장치(1715)는 선형 영역에서 또는 전류 포화 영역에서 동작될 수 있다.

드라이버 회로(1700)는 출력 단자(1735)에서 V_{SOURCE} 와 전류 제한값(I) 양쪽 모두를 제공한다. V_{SOURCE} 는 예를 들어, 통상적으로 5 내지 8 볼트 범위에 있는 전압(V_{HIGH})에 있음으로써, 단자(84)에 접속된 단자(1735)를 갖는 도 8에 나타난 래치(82)에서의 NV NT 스위치(83)와 같이, 접속된 NV NT 스위치에 대한 상태 변화를 가져온다. 전류(I)는 통상적으로 1 내지 50 μA 범위로 제어될 수 있다.

[0305] 동작시, 출력 전압(V_{SOURCE})을 제공할 때, 전류가 전류(I)로 제한되는 것을 제외하면, 드라이버(1700')는 위에서 자세히 설명된 드라이버(1700)의 동작과 유사하다.

[0306] 도 8에 나타난 스위치(83)와 같은 NV NT 스위치를 구동시킬 때, 도 17b에 나타난 트랜스퍼 게이트(1715)와 같은 트랜스퍼 게이트를 이용한 전류 제한 회로의 추가는 충분한 전류 제어를 제공할 수 없다. 도 17c에 나타난 드라이버(1700")는 전류(I')의 보다 정밀한 제어를 위하여 전류 미러(1720)를 도입한다. 전류(I')는 게이트가 드레인에 접속되고, 소스가 V_{SS} 에 접속된 NFET(T50)와 직렬연결된 저항기(R)에 의해 결정된다. NFET(T50)는 또한 V_{SS} 에 접속된 소스와, NFET(T50)의 게이트에 접속된 게이트와 PFET(T60)의 드레인에 접속된 드레인을 갖고 있다. PFET(T60)의 소스는 전압 트랜스레이터(1710)의 출력(1730)에 접속되며, PFET(T60)의 게이트 및 드레인이 접속된다. 출력 PFET(T65)는 PFET(T60)의 게이트에 접속된 게이트를 갖고 있으며, PFET(T65)의 소스는 단자(1730)에 접속되며, PFET(T65)의 드레인은 NV NT 스위치의 한 단자에 접속된 출력(1740)을 구동시킨다. PFET(T65) 소자는 I'로 구속되는 전류와 V_{SOURCE} 를 공급한다. 드라이버 회로(1700")는 출력 단자(1740)에서 V_{SOURCE} 및 I'로 제한되는 전류를 제공한다. V_{SOURCE} 는 예를 들어, 통상적으로 5 내지 8 볼트 범위에 있는 전압(V_{HIGH})에 있음으로써, 단자(84)에 접속된 단자(1740)를 갖는 도 8에 나타난 래치(82)에서의 NV NT 스위치(83)와 같이, 접속된 NV NT 스위치에 대한 상태 변화를 가져온다. 전류(I')는 통상적으로 1 내지 50 μA 범위로 제어될 수 있다.

[0307] 동작시, 출력 전압(V_{SOURCE})을 제공할 때, 전류 미러가 이용되어 전류가 전류(I')로 제한되는 것을 제외하면, 드라이버(1700")는 위에서 자세히 설명된 드라이버(1700')의 동작과 유사하다. 전류 미러(1720)는 출력 전류의 보다 우수한 제어를 제공한다. 전류 미러 동작은 참조 문헌인 R.J. Baker의 "CMOS: Circuit Design, Layout, and Simulation"[IEEE Press, 1998, pp. 427-433]에 설명되어 있다.

[0308] 도 1c에 나타난 NV NT 스위치 사이클링 결과들(16)은 대략적으로 10 k Ω 내지 50 k Ω 의 범위에서의 온 저항(R_{ON})과 10 G Ω 보다 큰 오프 저항(R_{OFF})을 갖는 NV NT 스위치 동작 범위를 보여준다. NV NT 스위치 저항값의 이러한 온 및 오프 범위는 위에서 자세히 설명된 바와 같이 제조시 및 필드에서의 제품 동작 동안에 타이밍 최적화를 위하여 지연 회로(1600)의 복수의 조정에 이용될 수 있다.

[0309] NV NT 스위치 R_{ON} 및 R_{OFF} 값들은 (온 상태에서) 제조된 그대로 그리고 사이클링 후에 측정되었다. 일부 NV NT 스위치들은 제조된 그대로의 R_{ON} 값들과 사이클링된 R_{ON} 값들에 대하여 유사한 값들을 나타낸다. 다른 NV NT 스위치들은 더 낮은 제조된 그대로의 R_{ON} 값들과 더 높은 사이클링된 R_{ON} 값들에 대하여 유사한 값들을 나타내며, 일부 경우에, 사이클링된 R_{ON} 값들은 예를 들어, 10X 더 높을 수 있다. R_{OFF} 값은 통상적으로 1 G Ω 이상에 있다.

[0310] **NRAM 메모리에서의 비휘발성 나노튜브 스위치 온 저항 제어 회로 및 집적화**

[0311] NV NT 스위치 저항은 도 9c에서의 NV NT 스위치(90")에 나타난 바와 같이 2개의 단자 사이에 연속적인 전기적 경로들을 형성하는 SWNT 대 SWNT; MWNT 대 MWNT의 직렬/병렬 조합 및 SWNT 대 MWNT 조합들에 의해 형성된다. NV NT 스위치 오프 저항 값들은 통상적으로 100 M Ω 이상이며, 종종 10 G Ω 보다 더 크며, 통상적으로 온 저항값보다 수 차수 더 큰 크기이다. NV NT 스위치 온 저항값은 예를 들어, 1 k Ω 내지 1 M Ω 의 범위일 수 있다. 도 1c에 나타난 NV NT 스위치 온 및 오프 저항 사이클링 결과들(16)은 10 G Ω 초과에서부터 10 k Ω 내지 50 k Ω 의 온 저항 범위의 프로그램 오프 상태에서부터 온 상태로의 트랜지션 동안 전류 제한 상태에서 프로그래밍가능 실험용 전압 소스를 이용하였다. 미국 특허 출원 번호 제11/280,786호 및 제11/280,599호에 설명된 NRAM 어레이들과 같은 특정 애플리케이션에서는, 예를 들어, 2X 이하의 저항 범위 변동과 같이 더욱 치밀한 온저항 분포를 실현하는 것이 바람직하다. NV NT 회로들을 프로그래밍하기 위한 저항 제어 회로는 아래 자세히 설명되어 있다.

[0312] 도 17d는 선택된 상태에서 NRAM 어레이 셀(1760)을 구동시키는 비휘발성 나노튜브 스위치 저항 제어 회로(1755)를 나타내며, 여기서, NV NT 스위치 저항 제어 회로(1755)는 프로그래밍 동작(NV NT 스위치 오프 상태에서부터

터 온 상태로의 트랜지션) 동안에 발생한 비휘발성 나노튜브 스위치(SW) 저항값(R_{SW})을 제어하는데 이용된다. 비휘발성 나노튜브 스위치(SW) 저항(R_{SW})은 프로그래밍 사이클의 시작시에 소거된 높은 저항 상태, 예를 들어, 100 MΩ 내지 1GΩ 이상에 있는 것으로 추정된다. 워드 라인(WL)은 직렬 저항(R_{ON})에 의해 선택 트랜지스터(T_{SEL})를 온으로 전환하는 하이 전압에 이르게 됨으로써, NRAM 어레이 셀(1760)에서의 비휘발성 나노튜브 스위치(SW)가 선택된다. 비트 라인(BL) 간의 다른 선택 트랜지스터들은 비트 라인(BL) 간의 다른 비휘발성 나노튜브 스위치들이 프로그래밍을 위해 선택되지 않도록 오프 상태로 유지된다.

[0313]

도 17d에 나타난 비휘발성 나노튜브 스위치 저항 제어 회로(1755)는 변형된 온칩 차동 증폭기(1745), 비트 라인 드라이버(1750), 저항기(R1 및 R2) 및 출력 PFET(T6)를 포함한다. 차동 증폭기 설계, 동작 및 시뮬레이션은 참조 문헌인 R. Baker 등의 "CMOS Circuit Design, Layout, and Simulation"[IEEE Press, 1998, pp. 579-595]에 설명되어 있으며, 드라이버 회로 설계 및 동작은 참조 문헌인 H. G. Bakoglu의 "Circuits, Interconnections, and Packaging for VLSI"[Addison- Wesley Publishing Co., 1990, pp. 171-178]에 설명되어 있으며, 여기서는 이들 전체 내용을 참조로서 포함한다. 전압(V_A)을 갖는 노드(A)를 갖고 있고 전류(I)를 전달하는 직렬 연결된 저항 네트워크(R1 및 R2)는 도 17d에 나타난 바와 같이 또한 NFET(T2)의 게이트인 차동 증폭기(1745)의 제1 입력에 추가되었다. 도 17d는 또한 채널 길이(L)에 대한 폭(W)[W/L] 비값이 큰, 예를 들어, W/L 비값이 10/1 내지 100/1 이상이고, T6의 소스가 전압 비트 라인 드라이버(1750) 출력(V_{DR})에 접속되고 T6의 드레인이 NV NT 스위치 저항 제어 회로(1755)의 전압(V_B)에서 공통 노드(B)에 접속되어 있는 출력 (PMOS) 장치(76)를 포함한다. PFET(T6)의 게이트는 차동 증폭기(1745) 출력(D)에 접속되어 있다. NV NT 스위치 저항 제어 회로(1755) 출력 노드(B)는 NFET(T3)의 게이트인 차동 증폭기(1745)에 또한 접속되어 있고 그리고 또한 NRAM 어레이 셀(1760)의 비트 라인(BL)에 접속되어 있다. 비트 라인 드라이버(1750) 출력 전압(V_{DR})은 저항기(R1)의 한 단자, PFET(T6)의 소스 및 차동 증폭기(1745)에 대한 전압 공급원에 제공된다. R1, R2, PFET(T3)의 채널 저항 및 R_{SW} 를 포함한 저항네트워크가 형성되며, 여기서, R_{SW} 는 NRAM 어레이 셀(1760)에서의 비휘발성 나노튜브 스위치(SW)의 저항이며, 이 저항 네트워크는 도 17d에 나타난 바와 같이 스위치(SW)의 프로그래밍된 저항값(R_{SW})을 제어하는데 이용된다. 동작시, 아래 자세히 설명된 바와 같이, 프로그램 전압($V_B = V_{PROG}$)과 전류(I_{BL})는 오프 상태에서 온 상태로의 스위치(SW)의 트랜지션을 가져오며, 전류 흐름은 프로그램 전압(V_B)이 전압(V_A)과 대략적으로 동일할 때 프로그램 전류값 아래로 감소된다. 프로그램 전류 값은 미국 특허 출원 번호 제11/280,786호에 설명된 바와 같이 1 μA 내지 50 μA 의 범위에 있을 수 있다.

[0314]

동작시, 트랜지스터들(T1, T2 및 T4)은 통상적으로 온 상태에 있다. 트랜지스터(T2)는 저항(R1 및 R2)에 의해 제어되는 선형 영역에 있다. PFET(T5)의 게이트 상의 전압은 공통 노드(C)에 의해 제어된다. 트랜지스터(T3)는 공통 노드(D)의 레벨을 제어한다. PFET(T6)는 높은 저항 오프 상태에서부터 낮은 저항 온 상태로의 R_{SW} 의 초기 트랜지션 동안에 온 상태(선형 영역)에 있다. NV NT 스위치 저항 제어 회로(1755)에서의 FET들의 W/L 비값은 주어진 기술적 노드에서 FET들에 대하여, 그리고 선택된 채널 길이 및 폭의 대응하는 비휘발성 나노튜브 스위치(SW)에 대하여 알려진 회로 시뮬레이션 기술(예를 들어, Baker 등의 위의 참조문헌을 참고할 것)을 이용하여 최적화됨으로써, NV NT 스위치(SW)의 R_{SW} 가 소정의 온 저항 값에 있을 때 NV NT 스위치 저항 제어 회로(1755)가 트랜지스터(T3)를 오프로 전환시켜, 노드(D)가 상승하도록 하고, PFET(T6)를 오프로 전환시키고 따라서, NV NT 스위치(SW) 온 저항값(R_{SW})에서 프로그램 사이클을 종료한다. NV NT 스위치(SW)의 온 저항값은 예를 들어, 1 kΩ 내지 1 MΩ 범위의 소정의 저항값으로 프로그래밍될 수 있으며, 이는 V_B 가 V_A 와 대략적으로 동일할 때 발생한다.

[0315]

V_{DR} 가 예를 들어, 통상적으로 3.5 내지 8 볼트 범위의 프로그램 전압값(V_{PROG})에 근접할 때, R_{SW} 가 프로그래밍되고 R_{SW} 가 온 상태로 트랜지션한다. R_{SW} 의 값이 프로그래밍 동안에 NV NT 스위치 저항 제어 회로(1755)와 같은 회로를 이용하여 직접 제어되지 않을 경우, R_{SW} 의 포스트 프로그램(post-program) 온 저항값은 예를 들어, 1 kΩ 내지 1 MΩ 범위에서, 비휘발성 나노튜브 스위치(SW)의 온 상태에서 활성화된 직렬/병렬 경로들의 개수의 함수일 수 있다. 스위치가 소거/프로그램에서부터 소거/프로그램으로의 사이클을 수백만 사이클 동안 겪을 때, R_{SW} 의 온 저항값은 예를 들어, 동일한 스위치에 대하여 1 kΩ 내지 1 MΩ 범위일 수 있다. 스위치 저항 제어 회로(1755)는 스위치(SW)의 온 저항(R_{SW})이 1 kΩ 내지 1 MΩ 범위에서의 값과 대략 동일하게 되는 것을 보장하며, 예를 들어, 25 kΩ이 선택될 수 있다.

- [0316] 도 17e는 NRAM 어레이 셀(1760), 제어된 NV NT 스위치 온 저항 프로그래밍 및 또한 소거, 관독을 위한 NV NT 스위치 저항 제어 회로(1755), 컨트롤러, 데이터 I/O 버퍼, 센스 증폭기, 및 도 17e에 나타내고 아래 자세히 설명된 다른 회로들을 포함한 저항 제어된 NV NT 스위치 메모리 서브시스템(1765)을 나타낸다.
- [0317] 입력(INP1 내지 INPN)을 갖는 컨트롤러(1770)가 논리 함수 및 타이밍 제어 신호들을 제공하는데 이용된다. PFET(T10)는 소거 및 관독과 같은 다른 동작 동안에, 비트 라인(BL)으로부터 NV NT 스위치 저항 제어 회로(1755)를 분리하는데 이용된다. PFET(T10)의 W/L 비값은 PFET(T10)의 온 저항이 예를 들어, 트랜지스터(T6)의 온 저항에 비해 무시가능할 정도로 충분히 크다.
- [0318] 프로그램 동작시, 컨트롤러(1770)는 I/O 신호 노드로부터 입력 데이터를 수신하는 데이터 I/O 버퍼(1785)를 활성화시킨다. 컨트롤러(1770)는 PFET(T10)를 온으로 전환시켜 NV NT 스위치 저항 제어 회로(1755)와 비트 라인(BL)을 전기적으로 접속시킨다. 컨트롤러(1770)는 또한 제어된 스위치 저항 프로그래밍 동작을 위해 도 17d에 대하여 위에서 자세히 설명된 바와 같이 출력(V_{DR})을 제공하는 NV NT 스위치 저항 제어 회로(1755)에서의 비트 라인 드라이버(1750)를 활성화시킨다.
- [0319] 관독 프리차지 회로(1775)는 PFET(T12)와 NFET(T14) 및 프리차지 PFET(T16)에 의해 형성된 인버터를 포함하며, 비트 라인(BL), 전압 소스(V_{READ}) 및 컨트롤러(1770)에 접속된다. 비트 라인(BL)은 또한 관독 동작 동안에 온으로 전환되는 분리 트랜지스터(isolating transistor; T18)를 통하여 센스 증폭기/래치(1780)에 접속된다. 센스 증폭기/래치(1780)는 또한 데이터 I/O 버퍼(1785)와, 예를 들어, 1 내지 5 볼트일 수 있는 전압 소스(V_{SENSE})와, 예를 들어 1 내지 2 볼트일 수 있는 V_{REF} 와, 컨트롤러(1770)에 접속된다.
- [0320] 관독 동작시, 제어 신호는 프리차지 회로(1775)에 프리차지 활성화 신호(V_{pc})를 인가하여, 비트 라인(BL)을 예를 들어, 1 내지 2 볼트의 V_{READ} 로 프리차지한다. 컨트롤러(1770)는 또한 분리 트랜지스터(T18)를 활성화시키고, 센스 증폭기 활성화 신호(V_{sp} 및 V_{sn})를 제공하며, 센스 증폭기/래치(1780)로부터 관독 출력 신호를 수신하고 I/O 신호 노드에 대응하는 논리 출력 신호를 인가하도록 데이터 I/O 버퍼(1785)를 설정한다. 컨트롤러(1770)는 프로그래밍 회로 NV NT 스위치 저항 제어 회로(1755), 분리 PFET(T10) 및 소거 드라이버(1790)를 비활성화한다.
- [0321] 소거 드라이버(1790)는 비트 라인(BL), 소거 전압 소스(V_{ERASE}) 및 컨트롤러(1770)에 접속된다. V_{ERASE} 는 통상적으로 예를 들어, 5 내지 12 볼트의 범위에 있다.
- [0322] 소거 동작 동안에, NRAM 어레이 셀(1760)은 T_{SEL} 트랜지스터를 온으로 전환함으로써 활성화된다. 그 후, 소거 드라이버(1790) 출력 전압은 제로에서부터 V_{ERASE} 로 램핑된다. 스위치(SW)가 온 상태에 있는 경우, 스위치(SW)는 오프 상태로 트랜지션한다. 스위치(SW)가 오프 상태에 있는 경우, 스위치는 오프 상태로 유지된다. 스위치(SW)가 소거된 후, 소거 드라이버(1790) 출력 전압은 제로 전압으로 트랜지션한다. 오프 상태에서의 소거 드라이버(1790)는 비트 라인(BL)에 하이 임피던스를 제공한다. 컨트롤러(1770)는 프로그래밍 회로 NV NT 스위치 저항 제어 회로(1755), 분리 PFET(T10), 프리차지 회로(1775), 센스 증폭기(1780) 및 분리 NFET(T18)를 비활성화시킨다.
- [0323] 도 18a는 80 k Ω 내지 700 k Ω 의 범위에서 서로 다른 NV NT 스위치들의 제조된 그대로의 R_{ON} 저항값(1800)을 나타낸다. 도 18b는 50 사이클 후에 11개의 NVNT 스위치들의 R_{ON} 및 R_{OFF} 저항 분포(1800')를 나타낸다. 사이클링 후의 R_{ON} 분포는 700 k Ω 내지 8 M Ω 의 범위에 있다. 모든 11개의 스위치들을 저항 오프로 사이클링한 R_{ON} 은 복수의 사이클 대상으로 하기에는 너무 높다. 그러나, 타이밍이 제조자로부터 출하되기 전에 최적화되는 OTP 애플리케이션에 대해서는, 제조된 그대로의 R_{ON} 이 높고 온 상태에서부터 오프 상태로 스위치하는데 낮은 전류를 필요로 하기 때문에 80 k Ω 내지 200 k Ω 에서의 제조된 그대로의 R_{ON} 저항값을 갖는 11개의 스위치들 중 9개의 스위치가 대상이 된다. 래치 회로 저항 트립 포인트는 비교적 높은 제조된 그대로의 R_{ON} 값들을 수용하도록 400 k Ω 내지 500 k Ω 만큼 높게 증가될 수 있다. 저항 트립 포인트 조정은 도 7 및 도 8에 대하여 위에서 자세히 설명되어 있다.
- [0324] **비휘발성 나노튜브 스위치 저항 제어를 이용한 비휘발성 나노튜브 스위치 멀티레벨 스트리치**

[0325]

NV NT 스위치 저항은 제1 콘택트/SWNT/SWNT/제2 콘택트(first-contact-to-SWNT-to-SWNT-to-second-contact) 저항; 제1 콘택트/MWNT/MWNT/제2 콘택트(first-contact-to-MWNT-to-MWNT-to-second-contact) 저항; 제1 콘택트/SWNT/MWNT/제2 콘택트(first-contact-to-SWNT-to-MWNT-to-second-contact) 저항; 제1 콘택트/SWNT/제2 콘택트(first-contact-to-SWNT-to-second-contact) 저항; 제1 콘택트/MWNT/제2 콘택트(first-contact-to-MWNT-to-second-contact) 저항; 및 다른 조합과 같은 개개의 나노튜브 및 콘택트 단자의 경로(또는 네트워크) 저항/임피던스의 직렬/병렬 조합에 의해 형성될 수 있다. 제1 콘택트 및 제2 콘택트 사이의 NV NT 스위치 저항은 기록 0 동작이라 또한 불릴 수 있는 소거 동작에 의해 100 MΩ 내지 1 GΩ과 같은 높은 저항 상태(R_{OFF}) 및 심지어 예를 들어, 10 GΩ을 초과하는 높은 저항 상태(R_{OFF})로 스위칭될 수 있다. NV NT 스위치의 전압 대비 SEM은 본 출원과 동시에 출원되고 발명의 명칭이 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and Systems Using Same and Methods of Making Same"인 미국 특허 출원 번호 제(TBA)호에 설명되었으며, R_{OFF} 에 대한 제1 콘택트와 제2 콘택트 사이의 불연속적인 전기적 경로(네트워크)를 보여준다. 다른 방법으로, 제1 콘택트와 제2 콘택트 사이의 NV NT 스위치 저항은 기록 1 동작이라 또한 불릴 수 있는 프로그램 동작에 의해 예를 들어, 1 kΩ 내지 1 MΩ 사이의 낮은 저항 상태(R_{ON})로 스위칭될 수 있다. 동일한 NV NT 스위치의 전압 대비 SEM 스위치는 위에 자세히 설명되어 있으며, R_{ON} 에 대한 제1 콘택트와 제2 콘택트 사이의 연속적인 전기적 경로(네트워크)를 보여준다. 소거(기록 0), 프로그램(기록 1) 및 판독과 같은 NRAM 메모리 어레이 동작은 미국 특허 출원 공개 번호 제2006/0250856호 설명되어 있으며, 여기서는 그 전체 내용을 참조로서 포함한다.

[0326]

NRAM 어레이 셀(1760)에 나타난 NV NT 스위치(SW)의 NV NT 스위치 저항값(R_{SW})은 도 17e에 나타난 NRAM NV NT 스위치 메모리 시스템(1765)에 의해 피드백 접근 방식을 이용하여 소정의 값으로 설정될 수 있다. 도 17e는 트랜지스터들(T6 및 T10)을 통하여 NRAM 어레이 셀(1760)에 전압 및 전류를 제공하는 비트 라인 드라이버에 의해 전력공급받는 저항 제어 회로(1755)(본질적으로 차동 증폭기)를 나타낸다. 트랜지스터들(T6, T10) 및 T_{SEL} 의 FET 채널 온 저항은 통상적으로 NV NT 스위치 저항(R_{SW}) 보다 훨씬 더 낮기 때문에, 거의 모든 비트 라인 드라이버(1750) 전압(V_{DR})은 NV NT 스위치(SW) 양단에 걸쳐 발생한다. 컨트롤러(1770)는 비트 라인 드라이버(1750)가 증가하는 진폭(V_{DR})의 소정의 램프(ramp) 또는 복수의 펄스들을 비트 라인(BL)에 인가하도록 하며, 이어서 소정의 램프(ramp) 또는 복수의 펄스들이 선택 트랜지스터(T_{SEL})를 통하여 NV NT 스위치(SW)에 인가된다. NRAM 어레이 셀(1760)에서의 NV NT 스위치(SW)가 소거 또는 R_{OFF} 상태인 것으로 가정하면, 인가된 증가하는 진폭(V_{DR})의 소정의 램프(ramp) 또는 복수의 펄스들은 NV NT 스위치(SW)의 저항이 온 상태(R_{ON})로 트랜지션하도록 한다. V_{DR} 은 $R_{SW} \approx R_2$ 까지 계속해서 증가하며, 이 때, 저항 제어 회로(1755)(차동 증폭기)는 트랜지스터(T6)를 오프로 전환하고, 원하는 R_{ON} 값에 대한 프로그램 동작(기록 1)이 완료된다. 따라서, NV NT 스위치(SW) R_{ON} 값(R_{SW} 에 대응함)은 R_2 와 대략적으로 동일하다. R_2 는 예를 들어, kΩ 범위에서의 R_{ON} 저항값들의 폭넓은 범위에 걸쳐 있는 R_{ON} (R_{SW}) 값들을 가져오는 넓은 범위의 값들에 걸쳐 변할 수 있다. R_{ON} 및 R_{OFF} 는 인가된 전압이 없는 경우에서도 유지되는 비휘발성 저항 상태들이다. 저항 제어 회로(1755)에 이용된 차동 증폭기와 같은 차동 증폭기 동작의 설명은 Baker 등의 "CMOS Circuit Design, Layout, and Simulation"[IEEE Press pp. 579-591 (1998)]에서 찾을 수 있다.

[0327]

저항 제어 회로(1755)는 도 17e에 나타난 NRAM NV NT 스위치 메모리 서브시스템(1765)에 의해 주어진 이 예에서 NRAM 어레이 셀(1760)에서의 NV NT 스위치(SW)의 R_{ON} 저항값을 프로그램하는데 이용되는 한편, 컨트롤러(1770) 및 센스 증폭기/래치(1780)는 저항 제어 회로(1755) 없이 R_{ON} 저항 값 제어를 실현하는데 이용될 수 있다. 아래 자세히 설명된 바와 같이, 미국 특허 출원 공개 번호 제2006/0250856호에 설명된 NRAM 메모리 어레이에 대응하는 제조된 8Kb NRAM 메모리와 대응 NRAM NV NT 스위치 메모리 서브시스템(1765)이 저항 제어 회로(1755) 없이 테스트되었고, 100 MΩ을 초과하는 높은 저항(R_{OFF}) 상태(대부분의 NV NT 스위치 저항값들이 1 GΩ을 초과함)로부터 대략 50 kΩ 내지 1 MΩ의 저항 범위에서 프로그래밍된 복수의 낮은 비휘발성 R_{ON} 저항 상태들로의 저항 변화가 논의되었다. 전압 조정에 의해 복수의 비휘발성 R_{ON} 저항 상태를 프로그래밍하는 것은 복수의 증가하는 비트 라인 전압 프로그래밍 펄스의 인가에 의해 실현되었으며, 각각의 전압 펄스 인가 후의 NV NT 스위치 저항 상태의 셀 판독(read out)가 포함된다. 미국 특허 출원 공개 번호 제2006/0250856호의 NRAM 메모리 어레이는 비휘발성 스토리지 셀들(COO 내지 Cnm)의 매트릭스를 포함한다. NRAM 메모리 어레이는 또한 소거(기록 0), 프로그램(기록

1) 및 판독 워드 라인들(WL0, WL1 내지 WLn); 소거(기록 0), 프로그램(기록 1) 및 판독 2차 워드 라인들(WWL0, WWL1 내지 WWLn); 및 소거(기록 0), 프로그램(기록 1) 및 판독 비트 라인들(BL0, BL1 내지 BLm)을 포함한다. 워드 라인 신호 발생기(도시 생략)는 메모리 셀들에 워드 라인 신호들을 제공한다. 2차 워드 라인 신호 발생기(도시 생략)는 메모리 셀들에 2차 워드 라인 신호들을 제공한다. 일부 애플리케이션에서, 2차 워드 라인들은 접지 전압과 같은 기준 전압에 모두 접속된다. 비트 라인 신호 발생기(도시 생략)는 메모리 셀들에 비트 라인 신호들을 제공한다. 제조된 8Kb NRAM 메모리 어레이는 센스 증폭기/래치(1780)와 유사한 전압 감지부 또는 전류 감지부의 선택가능한 옵션들을 포함한다. 전류 감지부는 예를 들어, 도 27의 전류 차동 센스 증폭기와 같은 임의의 알려진 전류 감지 회로를 포함할 수 있으며, Baker 등의 "CMOS Circuit Design, Layout, and Simulation"[IEEE Press, PP.607-608 (1998)]에 대응하는 설명이 있다.

[0328] 비휘발성 R_{ON} 저항 상태의 전류 조절에 의한 프로그래밍은 복수의 증가하는 비트 라인 전류 프로그래밍 펄스의 인가에 의해 위에서 자세히 설명된 제조된 8Kb NRAM 메모리 어레이를 이용하여 또한 측정되었으며, 각각의 전류 인가 단계 후의 복수의 NV NT 스위치 저항 상태의 셀 판독을 포함한다. 비휘발성 R_{ON} 저항의 전류 조절은 아래 자세히 설명되어 있다.

[0329] NV NT 스위치들은 아래 자세히 설명된 바와 같이 넓은 범위의 저항 상태에 걸쳐 프로그래밍될 수 있다. 스토리지 소자로서 이용된 NV NT 스위치들의 환경에서, 멀티 레벨 스토리지는 각각의 NV NT 스위치 상의 복수의 저항 상태들을 의미하며, 동일한 NV NT 스위치 상의 복수의 논리 상태들의 스토리지에 대응한다. 따라서, 예를 들어, R_{OFF} 및 R_{ON} 과 같은 2개의 저항 상태들은 NV NT 스위치마다 1개의 논리 상태 또는 1 정보 비트의 스토리지에 대응한다. 그러나, R_{OFF} 및 3개의 R_{ON} 저항 상태(값)는 NV NT 스위치 마다 2개의 논리 상태 또는 2 정보 비트에 대응한다. 멀티레벨 스토리지 또는 상태가 복수의 NV NT 스위치 저항 상태들을 의미하기 때문에, 다중상태 스토리지, 다중저항 상태, 복수의 저항 상태들, 및 다른 변형예들과 같은 다른 용어가 아래의 자세한 설명에서 이용될 수 있다.

[0330] **비휘발성 나노튜브 스위치 저항의 프로그래밍 전압 조절을 이용한 복수의 NRAM 셀 저항 상태들의 프로그래밍**

[0331] 메모리 테스터가, 위에서 자세히 설명된 제조된 8Kb NRAM 메모리를 제어하는데 이용되었다. 메모리 테스터는 제조된 8Kb NRAM 메모리 동작에 대한 어드레스, 데이터, 타이밍 및 다른 기능들을 제공한다. 모듈 레벨에서의 일부 테스트를 이용하여 웨이퍼 레벨에서 테스트되었다. 다른 실시예에서, 다른 테스트 메카니즘이 이용될 수 있다. 이 예에서, 위에서 자세히 설명된 8Kb NRAM 메모리의 1Kb NRAM 서브세트가 접지된 2차 워드 라인들, 및 워드 라인 및 비트 라인을 이용하여 액세스되는 NRAM 메모리 어레이 셀들로 테스트되었다. 소거(기록 0) 동작이 실행되었고, 1000 비트 이상에서 적어도 100 MΩ의 오프 저항(R_{OFF}) 상태로 스위칭되었다. 그 후, 비트 라인 전압 펄스들이 선택 FET 소자들을 통하여 활성화된 워드 라인들에 대해 대응하는 NV NT 스위치들에 인가되었다. 인가된 비트 라인 프로그래밍 전압 펄스들은 2.4 볼트에서 시작하였고, 200 mV (0.2 V) 단계씩 증가되어 7 볼트까지 증가하였다. 각각의 펄스 후에, 1000+ 비트 중 얼마나 많은 비트가 대략 1 μ A 전류 검출 레벨을 갖는 전류 센스 증폭기/래치를 이용하여 대략 1V의 인가된 판독 전압과 함께 적어도 1 μ A의 전류를 전도하였는지를 판단하기 위해 테스트 판독을 실행하였다. 또한, 실제 셀 전류 측정값이 메모리 테스터에 의해 기록되었다. 적어도 1 μ A의 전류를 전도하는 NV NT 스위치들이 복수의 비휘발성 R_{ON} 저항 상태에 있다. 도 19는 본 테스트 예의 결과들의 여러 그래픽도들을 제공한다.

[0332] 도 19a는 비트 라인에 인가된 프로그래밍 전압(V_{PP})의 함수로서, 1 V의 판독 전압과 함께 적어도 1 μ A의 전류를 전도하는 비트들의 개수의 그래픽도(1900)를 나타낸다. 증가하는 진폭의 더 많은 전압 펄스(V_{PP})가 인가될수록, 더 많은 스위치들이 높은 오프 저항 상태($R_{OFF} > 100$ MΩ)에서부터 복수의 R_{ON} 저항 상태들로 트랜지션한다. 도 19b는 측정된 셀 전류의 함수로서 비트들(셀들)의 수의 그래픽도(1910)를 나타낸다. NV NT 스위치 저항이 선택 FET 채널 저항보다 훨씬 더 크기 때문에 거의 모든 1 볼트 판독 전압이 NV NT 스위치 양단에 걸쳐 발생한다. NFET 직렬 저항이 NV NT 스위치 저항보다 훨씬 더 작기 때문에, NV NT 스위치 저항은 1 볼트 판독 전압을 대응하는 셀 읽어내기 전류로 나눔으로서 계산될 수 있다. 도 19c는 1000보다 작은 스위치들에 대한 복수의 R_{ON} 저항 상태들의 함수로서 비트들의 수를 나타내는 그래픽도(1920)를 나타낸다. R_{ON} 저항 상태 값들은 대략 50 kΩ 내지 1 MΩ의 범위에 있으며, 대응하는 셀 전류들은 대략 제로(이 예에서는, 2 비트들이 스위치하지 않고 연산불가능

하며, 통상적으로 리던던트 비트 대입(substitution)에 의해 고정됨) 내지 대략 20 μA 의 범위에 있다. R_{OFF} 저항 상태는 100 M Ω 을 초과하면서 전류가 10 nA 보다 훨씬 작게 된다.

[0333]

NV NT 스위치 복수의 저항 상태들은 그래픽도(1920)에 나타난 바와 같이 3개의 R_{ON} 범위들과 1개의 R_{OFF} 범위로 나누어진다. 비트(스위치들)의 대략 10%가 150 k Ω 보다 작은 R_{ON} 을 가져, 대응하는 셀 읽어내기 전류가 1 볼트의 관독 전압에 대하여 7 μA 보다 크게 되고, 비트(스위치들)의 대략 30%가 150 k Ω 내지 250 k Ω 범위의 R_{ON} 을 가져, 대응하는 셀 읽어내기 전류가 1 볼트의 관독 전압에 대하여 6 μA 내지 4 μA 의 범위에 있게 되고, 비트(스위치들)의 대략 60%가 250 k Ω 내지 1 M Ω 범위의 R_{ON} 을 갖는다. 이 예에서, 우리는 모든 1000+ 비트들을 프로그래밍하도록 선택하였다. 프로그래밍되지 않은 비트들은 100 M Ω 보다 큰 범위의 R_{OFF} 를 가져, 대응하는 셀 읽어내기 전류가 통상적으로 1 볼트의 관독 전압에 대하여 10 nA 보다 작게 된다. 다른 예들에서는, 다른 저항 범위들이 바람직할 수 있다.

[0334]

그래픽도(1920)에 의해 나타난 8Kb NRAM 메모리의 1000+ 비트 서브세트의 테스트 결과들은 4개의 대응하는 읽어내기 전류 범위들과 함께 4개의 저항 상태 범위를 보여준다. Baker 등의 "CMOS Circuit Design, Layout, and Simulation"[IEEE Press, PP.607-608 (1998)]에 대응 설명이 있는, 도 27의 전류 차동 센스 증폭기로 나타난 바와 같은 전류 센스 증폭기들은 복수의 전류 센스 증폭기 기준값들을 이용함으로써 복수의 전류 범위들을 검출할 수 있다. 이 예에서, 4개의 저항 범위들이 3개의 R_{ON} 저항 상태와 1개의 R_{OFF} 저항 상태를 포함한 동일한 NV NT 스위치들에 대해 정의될 수 있다. 이들 4개의 저항 상태는 전류 센스 증폭기/래치에 의해 대응하는 논리 상태(00, 01, 10, 11)로 트랜스레이션될 수 있다. 각각의 비트가 1 및 0 값으로 구성되면, NV NT 스위치마다 2비트가 저장될 수 있다. 저항 상태들의 개수는 4개로 한정되지 않으며, 실질적으로 이 보다 더 클 수 있어, 각각의 NV NT 스위치 상에 4개 보다 많은 논리 상태 또는 2 보다 많은 비트를 저장할 수 있다.

[0335]

위에서 자세히 설명된 바와 같이 R_{OFF} 상태로부터 원하는 R_{ON} 값으로 저항을 감소시키기 위해 복수의 R_{ON} 저항 상태들이 복수의 프로그램(기록 1) 펄스를 NRAM 메모리 어레이 셀에 인가함으로써 실현되는 한편, 증가하는 진폭의 복수의 소거(기록 0)가 R_{ON} 저항을 점차적으로 하이 R_{ON} 값들로 증가시키고 또한 높은 저항 상태(R_{OFF})로 증가시킴을 보여주는 테스트가 또한 수행되었음(그 결과는 도시하지 않음)을 주목해야 한다. 따라서, 프로그램 및 소거 동작들 양쪽 모두를 이용하여 원하는 NV NT 스위치 저항값들을 실현하도록 복수의 전압 펄스들이 이용될 수 있다.

[0336]

비휘발성 나노튜브 스위치 저항의 프로그래밍 전류 조정을 이용한 복수의 NRAM 셀 저항 상태들의 프로그래밍

[0337]

이 예에서, 위에서 설명된 제조된 8Kb NRAM 메모리는 전압 펄스들을 NRAM 메모리 어레이 비트 라인들에 인가하도록 설계되었다. 복수의 R_{ON} 저항 상태들을 프로그램하기 위한 전류 펄스의 이용을 평가하기 위하여, 위에서 설명된 테스트 방법들이 변경되었다. 메모리 테스터 동작 동안에, 8 Kb NRAM 메모리 어레이 셀들의 선택된 블록이 높은 저항 R_{OFF} 상태로 소거되었다. 그 후, 선택된 2차 워드 라인들이 6.7 볼트의 프로그래밍 전압으로 펄싱되었고, 비트 라인들이 접지되었으며, 선택된 워드 라인들이 각각의 셀에서의 선택 트랜지스터들의 게이트 전압을 조정하기 위해 이용되었으며, 이에 의해, 대응하는 스위치를 통하여 흐르는 전류를 제어하였다. 각각의 6.7 볼트 프로그래밍 펄스 후에, 선택된 2차 워드 라인들이 접지되었고, 1 볼트의 관독 전압이 선택된 비트 라인들에 인가되었으며, 선택된 워드 라인들이 활성화되었고, 위에서 자세히 설명된 바와 같이 메모리 테스터에 의해 셀 전류 관독 측정이 행해졌다.

[0338]

이 예에서, 인가된 2차 워드 라인 전압 6.7 볼트는 대응하는 FET 전도 채널을 형성하기 위해 선택 FET 트랜지스터에 인가된 워드 라인 전압 보다 훨씬 더 크기 때문에, FET는 자신의 동작 포화 영역에 있다. FET 포화 전류 (I_{SAT})는 또한 FET와 직렬의 NV NT 스위치를 통하여 흐른다. 도 19d의 표(1930)는 0.9 볼트 내지 1.4 볼트의 범위에 있는 인가된 워드 라인 전압들(V_{WLO})의 범위와 계산된 대응 포화 전류(I_{SAT})를 보여준다. I_{SAT} 는 직접 측정되지 않으며, 각각의 프로그램 사이클 후에 수행된 셀 관독 동작 동안에 측정된 관독 전류(I_{READ})로부터 계산된다. 중간 셀 관독 전류(I_{READ})는 1 볼트의 비트 라인 전압으로 측정되었으며, 도 19d에 기록된다. 중간 I_{READ} 전류 값은 15,000개 이상의 전류 값들에 대응한다.

- [0339] 프로그래밍(기록 1) 동작 동안에, FET 채널 저항은 NV NT 스위치 저항값보다 훨씬 더 작다. 따라서, 선택된 2차 워드 라인에 인가된 6.7 볼트 거의 모두가 대응하는 NV NT 스위치 양단에 걸쳐 발생된다. 선택 FET 트랜지스터에 의해 제어되고 대응하는 NV NT 스위치를 통하여 흐르는 포화 전류(I_{SAT})는 $I_{SAT} \times R_{SW}$ ($I_{SAT} \times R_{ON}$)의 스위치를 통한 전압 강하를 가져온다. NV NT 스위치 양단에 걸친 전압이 대략 6.7 볼트이기 때문에, 프로그래밍된 저항값(R_{ON})은 $R_{ON} \approx 6.7 / I_{SAT}$ 이다. I_{SAT} 는 직접 측정가능하지 않다. 그러나, R_{ON} 이 비휘발성 저항값이고, 1 볼트의 관독 전압이 너무 낮아 비휘발성 저항 상태를 교란시킬 수 없기 때문에, R_{ON} 의 값은 관독 동안에, 프로그램(기록 1) 동작 후에 그 상태 그대로의 것과 동일하다. 따라서, $I_{READ} \times R_{ON} = 1$ 볼트이고, $I_{SAT} \approx I_{READ} \times 6.7/1$. 따라서, 도 19d에 나타난 I_{SAT} 값들은 중간 I_{READ} 전류 값에 6.7배를 곱함으로써 계산된 중간 포화 전류 값들이다. 중간 R_{ON} 저항 값들은 중간 I_{SAT} 값들에 대응하며, I_{SAT} 들을 6.7 볼트로 나눔으로써 계산될 수 있다.
- [0340] 도 19e는 중간 포화 전류(I_{SAT}) 대 중간 스위치 저항(R_{ON})의 그래프도(1940)를 나타낸다. 그래프도(1940)는 대략 $3.5 \mu A$ 내지 $8 \mu A$ 의 증가하는 전류 진폭의 복수의 전류 펄스(I_{SAT})를 이용하여 NV NT 스위치들에 인가된 전류 프로그래밍 펄스들이 대략 $1.9 M\Omega$ 내지 $830 k\Omega$ 의 범위에 있는 중간 R_{ON} 저항을 가져옴을 보여준다. 따라서, 복수의 저항 상태(R_{ON})의 프로그래밍은 위에서 자세히 설명된 전압 프로그래밍 뿐만 아니라 전류 프로그래밍을 이용하여 실현될 수 있다.
- [0341] 도 19는 많은 수의 비트들의 거동을 보여주는 제조된 8 Kb NRAM 메모리 블록들을 테스트함으로써, 비휘발성 저항 상태(R_{OFF})와 복수의 비휘발성 온 저항 상태(R_{ON})에서의 많은 개수의 NV NT 스위치들을 나타낸다. 위에서 자세히 설명된 바와 같이 소거, 프로그램 및 관독 방법들이 이용된다. 이들 테스트 결과들은 직렬 FET 트랜지스터에 의해 선택되고 비휘발성 스토리지 노드들로서 이용되는 NRAM 메모리 셀들에서의 개개의 NV NT 스위치들이 복수의 비휘발성 저항 상태들을 저장하도록 소거 또는 프로그래밍될 수 있음을 나타낸다. 이들 복수의 비휘발성 저항 상태들은 각각의 NRAM 메모리 셀에, 각각의 NV NT 스위치 상의 복수의 논리 상태들을 저장하는데 이용될 수 있다. 프로그래밍 방법들은 R_{ON} 의 값을 감소시키는 증가하는 진폭의 전류 펄스들과 증가하는 진폭의 전압 펄스들을 포함한다. 복수의 소거 전압 펄스들은 하위 R_{ON} 값으로부터 상위 R_{ON} 값으로 또는 높은 저항 상태(R_{OFF}) 값으로 R_{ON} 값을 증가시키는데 이용될 수 있다. 다른 프로그래밍 방법들이 가능하며 특정 애플리케이션에 바람직할 수 있다.
- [0342] **다중상태 스토리지 및 재프로그래밍가능 비휘발성 임피던스 네트워크를 포함한 비휘발성 나노튜브 플래시(NFlash) 메모리들을 형성하는데 이용된 메모리 셀들의 구현**
- [0343] R_{OFF} 및 하나의 R_{ON} 상태에 의한 논리 상태들 또는 R_{OFF} 및 복수의 R_{ON} 값들을 포함한 멀티레벨 스토어를 저장하는 NRAM 메모리가, 직렬로 연결된 선택 FET와 NV NT 스위치를 갖는 NRAM 메모리 어레이 셀들에 대하여 위에서 자세히 설명되어 있다. 그러나, NRAM 메모리 애플리케이션에 대하여 위에서 자세히 설명된 바와 같이 R_{OFF} 및 하나의 R_{ON} 또는 R_{OFF} 및 복수의 R_{ON} 값들을 포함한 멀티레벨(다중저항) 스토어를 또한 저장할 수 있는 선택 FET와 NV NT 스위치의 병렬 결합을 형성하는 것도 또한 가능하다. FET와 NV NT 스위치의 병렬 결합은 다양한 새로운 메모리, 로직 및 아날로그 애플리케이션을 가져오는데, 그 이유는, 선택 방법들이 서로 다르기 때문이며 또한 병렬의 FET/NV NT 스위치가 FET 트랜지스터 위에 배치된 NV NT 스위치로 형성될 수 있어, 이에 의해 직렬 결합보다 더 작은 면적을 점유할 수 있다. NV NT 전기적 특성들은 전압 극성 및 전류 흐름의 방향과 무관하다.
- [0344] 도 20은 공통 노드(2040)에 접속된 NV NT 스위치(2030)와 FET 트랜지스터(2010)의 직렬 결합을 포함하고 또한 NRAM 메모리 어레이 셀들에 대하여 위에서 자세히 설명되어 있는 직렬 회로(2000)를 나타낸다. FET(2010)는 FET의 채널 영역 전도성을 제어하는 게이트(G)와, 단자(T1)에 접속된 드레인(2050)과, FET(2010) 소스를 갖고 있으며, NV NT 스위치(2030)의 한 단자가 공통 노드(2040)에 접속되어 있다. NV NT 스위치(2030)의 또 다른 단자(2060)는 단자(T2)에 접속되어 있다. FET(2010)는 대칭형 장치이기 때문에, 드레인과 소스가 상호교환가능하게 이용될 수 있다. FET(2010)의 온 채널 저항은 NV NT 스위치(2030)의 어떠한 복수의 저항값들보다도 훨씬 더 낮다(예를 들어, 적어도 10x만큼 더 낮다).

- [0345] 도 21은 FET(2120)와 NV NT 스위치(2130)의 병렬 결합을 포함한 병렬 회로(2100)를 나타낸다. FET(2120)는 FET 채널 영역 전도성을 제어하는 게이트(G')를 갖고 있다. FET(2120) 드레인은 단자(T1)에 또한 접속되어 있는 공통 노드(2140)에서 NV NT 스위치(2130) 단자들 중 하나에 접속되며, FET(2120) 소스는 단자(T2)에 또한 접속되어 있는 공통 단자(2145)에서 다른 NV NT 스위치(2130) 단자에 접속된다. 여러 제조 방법들이 보다 높은 고밀도로 FET(2120) 상에 NV NT 스위치(2130)를 위치시키는데 이용될 수 있다. FET(2120)의 온 채널 저항은 NV NT 스위치(2130)의 어떠한 복수의 저항값들보다도 훨씬 더 낮다(예를 들어, 적어도 10x만큼 더 낮다). NV NT 스위치(2130)의 최고 저항값은 병렬 회로(2100)에 대한 온 전도 상태와 오프 전도 상태 사이에 충분한 전류 흐름 제어를 보장하기 위해 FET(2120)의 오프 저항값보다 실질적으로 더 높지 않도록 제어될 수 있다. 따라서, 예를 들어, NV NT 스위치(2130)는 도 19c에 나타낸 그래픽도(1920)에 도시한 대략 50 kΩ 내지 1 MΩ 저항 범위로 프로 그래밍될 수 있다.
- [0346] 도 22는 FET(2210), FET(2220) 및 NV NT 스위치(2230)의 직렬/병렬 결합을 포함한 직렬/병렬 회로(2200)를 나타낸다. FET(2220)는 FET 채널 영역 전도성을 제어하는 게이트(G')를 갖고 있다. FET(2220) 드레인은 FET(2210) 소스에 또한 접속되어 있는 공통 노드(2240)에서 NV NT 스위치(2230) 단자들 중 하나에 접속되어 있다. FET(2210) 채널 영역 전도성은 게이트(G)에 의해 제어되며, 드레인(2250)은 단자(T1)에 접속된다. FET(2220) 소스는 단자(T2)에 또한 접속된 공통 노드(2245)에서 다른 NV NT 스위치(2230) 단자에 접속된다. 여러 제조 방법들이 보다 높은 고밀도로 FET(2220) 상에 NV NT 스위치(2230)를 위치시키는데 이용될 수 있다. FET(2220)의 온 채널 저항은 병렬 회로(2100)에 대하여 위에서 자세히 설명된 바와 같이, NV NT 스위치(2230)의 어떠한 복수의 저항값들보다도 훨씬 더 낮다(예를 들어, 적어도 10x만큼 더 낮다). 직렬 FET(2210) 온 채널 저항도 또한 직렬 회로(2000)에 대하여 위에서 자세히 설명된 바와 같이, NV NT 스위치(2230)의 어떠한 복수의 저항값들보다도 훨씬 더 낮다(예를 들어, 적어도 10x만큼 더 낮다).
- [0347] 도 21에 나타낸 병렬 회로(2100)의 복수의 결합이 이 애플리케이션에서 NFlash 메모리로서 언급되고 아래 자세히 설명된 고밀도(dense) 나노튜브 기초 비휘발성 플래시 메모리들을 형성하도록 메모리 애플리케이션들에 이용될 수 있다. 병렬 회로(2100)와 직렬/병렬 회로(2200)의 복수의 직렬 및 직렬/병렬 결합들은 아래 자세히 설명된 저항 및 용량 아날로그 네트워크와 같은 비휘발성 프로그래밍가능 임피던스 네트워크들을 형성하는데 이용될 수 있다.
- [0348] **멀티레벨(다중 저항) 상태 스토리지를 포함한 비휘발성 나노튜브 플래시(NFlash)**
- [0349] 직렬 비휘발성 FET들을 갖는 플래시 NAND 메모리 어레이는, K. Itoh의 "VLSI Memory Chip Design"[Springer, 2001, pp. 41-44]에 설명되고 도 1.35, 1.36에 나타낸 바와 같이 메모리 어레이 밀도를 증대시키는데 이용된다. 플래시 NAND 메모리는 직렬로 연결된 부동 게이트(FG) FET 트랜지스터들 상에 전하들로서 정보를 저장하여, 이에 의해 Itoh의 참조 문헌에 설명된 바와 같이, 각각의 직렬 FG FET 장치들의 임계 전압을 제어한다. NAND 구성된 메모리 어레이들에서의 이들 직렬 FG FET들에 대한 선택 방법들은 Itoh의 참조 문헌의 페이지 38-41에 설명된 랜덤 액세스 NOR 구성된 플래시 메모리 선택 방법들과 다르다. NOR-플래시 선택 방법들은 위에서 자세히 설명된 NRAM 메모리들의 선택 방법들과 유사하다. 예를 들어, 다른 FG FET들과 직렬로 연결된 FG FET 소자의 상태를 관독할 때, 모든 직렬 FG FET들이 관독된 FG FET 소자를 제외하고 하이 워드 라인 전압으로 선택(온으로 전환)된다. 관독된 FG FET 소자에는, 게이트에 제로 워드 라인 전압이 인가된다. 선택된 FG FET 소자가 온 상태에 있도록 프로그래밍되었을 경우, 전류가 직렬 회로로 흘러 비트 라인을 방전시킨다. FG FET 소자가 오프 상태에 있도록 프로그래밍되었을 경우, 전류가 직렬 회로로 흐르지 않고, 비트 라인은 하이 전압 레벨로 유지될 것이다.
- [0350] 이 애플리케이션에서 NFlash 메모리라 불리는 비휘발성 나노튜브 플래시 메모리를 형성하도록 Itoh 참조 문헌에서의 도 1.35 및 1.36에 나타낸 FG FET 트랜지스터를 병렬 회로(2100)로 대체할 수 있다. 프로그래밍되거나 소거되거나 관독되어 오프 상태에 있는 NV NT 스위치와 병렬로 연결된 FET를 제외하고 병렬 회로(2100) 유형의 NFlash 메모리 어레이 셀들에서의 모든 직렬 FET들을 온으로 전환함으로써 NFlash 메모리의 동작을 또한 수행한다. 그 후, 위에서 자세히 설명된 NRAM 메모리에 대하여 설명된 것들과 유사한 소거, 프로그램 또는 관독 동작들이 이용될 수 있다.
- [0351] 도 23a는 나노튜브 유형 NAND 서브어레이(2310 및 2320)를 갖는 NFlash 메모리 배선도(2300)를 나타낸다. 각각의 서브어레이는 도 21에 나타낸 병렬 회로(2100)를 이용하여 형성된 NV NT 스위치 기초 셀들의 직렬 결합을 이용하여 형성된다. 직렬 연결된 4개의 NV NT 스위치 기초 비휘발성 셀들이 각각의 서브어레이들(2310 및 2320)

내에 도시되어 있다. 서브어레이(2310)는 NV NT 스위치(SW1)와 병렬 FET(TR1)와, NV NT 스위치(SW2)와, FET(TR2)와, NV NT 스위치(SW3)와, FET(TR3)와, NV NT 스위치(SW4)와 FET(TR4)를 포함한다. 제1 선택 FET(TRS1)는 공통 노드(2330)와 비트 라인(BL1)을 접속시키고, 제2 선택 FET(TRS2)는 공통 노드(2340)와 기준 라인(REF)을 접속시킨다. 서브어레이(2320)는 NV NT 스위치(SW5)와 병렬 FET(TR5), NV NT 스위치(SW6)와, FET(TR6)와, NV NT 스위치(SW7)와 FET(TR7)와, NV NT 스위치(SW8) 및 FET(TR8)를 포함한다. 제1 선택 FET(TRS1X)는 공통 노드(2350)와 비트 라인(BL2)을 접속시키고 제2 선택 FET(TRS2X)는 공통 노드(2360)와 기준 라인(REF)을 접속시킨다. 선택 라인(SL1)은 FET들(TRS1 및 TRS1X)의 게이트들에 접속되고, 선택 라인(SL2)은 FET들(TRS2 및 TRS2X)의 게이트들에 접속되고, 워드 라인(WL1)은 FET들(TR1 및 TR5)의 게이트들에 접속되며, 워드 라인(WL2)은 FET들(TR2 및 TR6)의 게이트들에 접속되며, 워드 라인(WL3)은 FET들(TR3 및 TR7)의 게이트들에 접속되며, 워드 라인(WL4)은 FET들(TR4 및 TR8)의 게이트들에 접속되어, NFlash 메모리 배선도(2300)를 형성한다. NFlash 메모리 배선도(2300)는 8 비트 플래시 메모리를 나타내지만, 복수의 저항값들이 2가지, 3가지 등으로 각각의 NV NT 스위치 상에 저장될 수 있고 비트의 수가 16, 32 등으로 저장된다. 또한, 병렬 회로(2100)를 이용한 수백 및 심지어 수천 개의 NV NT 스위치 기초 셀들이 형성될 수 있고, 각각의 셀이 복수의 저장 상태들과 대응하는 논리 상태들을 저장할 수 있다.

[0352] NFlash 메모리 배선도(2300)가 각각의 NAND 서브어레이(2310 및 2320)에서 2개의 선택 FET들을 보여주고 있지만, 하나의 선택 FET도 NFlash 메모리 동작을 위하여 충분함을 주목해야 한다. 도 23b는 NAND 서브어레이(2360)가 단지 하나의 선택 FET(TRS1)를 이용하고, NAND 서브어레이(2370)가 단지 하나의 선택 FET(TRS1X)를 이용하는 것을 제외하면, NFlash 메모리 배선도(2300)와 동일한 NFlash 메모리 배선도(2350)를 나타낸다. NFlash 메모리들은 NRAM 메모리 배선도(2300 또는 2350) 또는 이들의 변형을 이용하여 형성될 수 있다.

[0353] 동작시, 임의의 NV NT 스위치 기초 셀들이 판독, 소거 또는 프로그램 동작을 위해 선택될 수 있다. NFlash 메모리 배선도(2300)를 참조로 예를 들면, 대표적인 스위치(SW3)의 상태가 판독 상태에 있다면, 오프(선택되지 않은) 상태로 유지되고 있는 FET(TR3)를 제외하고, 비트 라인(BL1)과 기준 라인(REF) 사이의 모든 직렬 FET 소자들이 온으로 전환된다. 비트 라인(BL1)이 1 볼트와 같은 전압으로 프리차지된다. SW3가 온 상태에 있다면, BL1이 방전된다. 그러나, SW3가 오프 상태에 있다면, BL1은 방전되지 않는다. SW3는 복수의 저항 상태가 판독될 수 있도록 다양한 온 저항 상태에 있을 수 있다. 판독 동작은 각각의 NV NT 스위치 상에 복수의 저항 상태를 저장하는 멀티 레벨 NRAM 메모리에 대하여 위에서 자세히 설명된 판독 동작과 유사하다.

[0354] 동작시, NFlash 메모리 배선도(2300)를 참조로 예를 들면, 대표적인 스위치(SW3)의 상태가 프로그래밍된 상태에 있다면, 오프(선택되지 않은) 상태로 유지되고 있는 FET(TR3)를 제외하고, 비트 라인(BL1)과 기준 라인(REF) 사이의 모든 직렬 FET 소자들이 온으로 전환된다. 비트 라인(BL1)은 예를 들어, 2.4 볼트 내지 7 볼트 사이의 증가하는 전압 레벨에서 펄싱된다. SW3가 오프 상태에 있고 BL1이 펄싱되면, NV NT 스위치가 복수의 온 저항(R_{ON}) 상태 중 한 저항 상태로 프로그래밍되어, 이에 의해, 복수의 저항 상태들이 NV NT 스위치(SW3) 상에 저장될 수 있다. 프로그램 동작은 각각의 NV NT 스위치 상에 복수의 저항 상태들을 저장하는 멀티레벨 NRAM 메모리들에 대하여 위에서 자세히 설명된 프로그램 동작과 유사하다.

[0355] 동작시, NFlash 메모리 배선도(2300)를 참조로 예를 들면, 대표적인 스위치(SW3)의 상태가 소거된 상태에 있다면, 오프(선택되지 않은) 상태로 유지되고 있는 FET(TR3)를 제외하고, 비트 라인(BL1)과 기준 라인(REF) 사이의 모든 직렬 FET 소자들이 온으로 전환된다. 비트 라인(BL1)은 NRAM 메모리 어레이에 대하여 위에서 자세히 설명된 바와 같이 증가하는 전압 레벨들에서 펄싱된다. SW3가 온 상태에 있고 BL1이 펄싱되면, NV NT 스위치가 상위 온 저항(R_{ON}) 상태 값으로 또는 오프 상태(R_{OFF})로 소거된다. 소거 동작은 각각의 NV NT 스위치 상에 복수의 저장 상태들을 저장하는 멀티레벨 NRAM 메모리들에 대하여 위에서 자세히 설명된 소거 동작과 유사하다.

[0356] 도 24는 NFlash 메모리 배선도(2300)에 대응한 평면도(2400)를 나타내며, NAND 서브어레이(2410)의 평면도는 NAND 서브어레이(2310)의 개략도에 대응하며, NAND 서브어레이(2420)의 평면도는 NAND 서브어레이(2320)의 개략도에 대응한다. 도 24는 패터닝된 나노패브릭 1(2440)과 패터닝된 나노패브릭 2(2441)과, 측벽 스페이서(2442), 폴리실리콘 또는 금속 WL와 게이트 영역(2444)과 콘택트(2446)와, 폴리실리콘 또는 금속 영역(2448)과 콘택트(2450)를 포함한다. 도 25는 NAND 서브어레이(2410)의 단면도(2500)를 나타낸다. 스택드 비아들(2510)과 결합한 패터닝된 나노패브릭 1(2540)과 패터닝된 나노패브릭 2(2541)는 각각의 나노패브릭의 영역들과 대응하는 FET 확산부를 접속시키며, NV NT 스위치 길이를 정의한다(폭은 에칭 수행 동작에 의해 정의됨). 일부 실시예들에서, NAND 서브어레이(2410)는 p형 기판(2520) 상에 배치된다. 여러 제조 방법들이 대응하는 FET 상에 NV NT 스위치들을 형성하는데 이용될 수 있다.

- [0357] 예를 들어, 병렬로 연결된 SW3 및 TR3은 도 21에 나타난 병렬 회로(2100)에 대응하는 대표적인 NV NT 스위치 기초 셀들을 형성한다. 인접하는 NV 스위치 기초 셀들에 의해 공유되는 한 쌍의 스테드 비아들(2510)은 NV NT 스위치 길이 치수와, 대표적인 스위치(SW3)에 대한 콘택트 영역을 정의하며, 하부에 있는 FET(TR3)의 대응하는 N+ 확산부에 대한 전기 접속부를 형성한다.
- [0358] NFlash 메모리들은 NRAM 메모리들의 동작에 대응하는 동작들에서 소거되고 프로그래밍되고 판독된다. 비트라인/NV NT 스위치와 NV NT 스위치/기준 라인 경로들을 형성하는 모든 직렬 트랜지스터들이 형성되고, 선택된 NV NT 스위치와 병렬로 연결된 FET가 오프로 전환되면, 소거, 프로그램 및 판독 동작들은 위에서 자세히 설명된 NRAM 들에서의 NV NT 스위치들을 프로그래밍하는데 이용되는 동작에 대응한다.
- [0359] **저항기들과 커패시터들을 포함한 비휘발성 나노튜브 프로그래밍가능 임피던스 네트워크**
- [0360] 도 21 및 도 22에 나타난 프로그래밍가능 비휘발성 나노튜브 다중저항 상태 병렬 회로(2100)와 프로그래밍가능 비휘발성 다중저항 상태 직렬/병렬 회로(2200)는 각각 저항기들과 커패시터들의 전자적으로 제어된(튜닝된) 아날로그 네트워크들의 형성을 가능하게 한다. 동작적으로, 이들 전자적으로 제어된(튜닝된) 임피던스 네트워크를 형성하는데 이용된 개개의 NV NT 스위치들의 상태를 소거, 프로그래밍 및 판독하는 것은 NFlash 메모리 동작에 대하여 도 23, 도 24 및 도 25에 대해 위에서 자세히 설명된 것과 유사하다.
- [0361] 도 26a는 나노튜브 직렬 저항기 네트워크(2620)가 도 23a에서 설명된 NAND 서브어레이(2310)와 NAND 서브어레이(2320)에 대하여 위에서 자세히 설명된 것과 유사한 동작들을 이용하여 프로그래밍되는(또는 소거되는) 전자적으로 제어되는 직렬 저항 네트워크(2600)를 나타낸다. NV NT 스위치들(SW1, SW2, SW3 및 SW4)에 대한 저항값들은 도 23에 대하여 위에서 자세히 설명되고 저항기 설정 및 동작 모드 컨트롤러(2610)를 이용하여 제어되는 프로그램, 소거 및 판독 동작 방법들을 이용하여 설정된다. 프로그램 및 소거와 같은 NV NT 스위치 저항 설정 동작 동안에, 단자(RT1)와 공통 노드(2630) 사이의 FET TRS1A는 단자(RT1)에 접속될 수 있는 회로들을 교란시키지 않도록 오프로 전환된다. 이와 유사하게, 단자(RT2)와 공통 노드(2640) 사이의 FET TRS2A는 단자(RT2)에 접속될 수 있는 회로들을 교란시키지 않도록 오프로 전환된다. 그 후, FET들(TRS1B 및 TRS2B)은 온으로 전환된다. FET들(TRS1B 및 TRS2B)은 도 23a에 도시된 FET들(TRS1 및 TRS2)에 각각 대응한다. 그 후, 저항기 설정 및 동작 모드 컨트롤러(2610)는 도 23a 동작에 대하여 위에서 자세히 설명된 기준 라인 전압(REF)과 비트 라인(BL1) 펄스에 대응하는 전압 펄스를 인가하였다. 대표적인 스위치(S3)와 같은 개개의 NV NT 스위치들이 도 23a 동작에 대하여 위에서 자세히 설명된 바와 같이 선택된다. 각각의 NV NT 스위치들(SW1, SW2, SW3 및 SW4)의 저항 상태가 설정된 후, 저항기 설정 및 동작 모드 컨트롤러(2610)는 FET들(TRS1B, TRS2B, TR1, TR2, TR3 및 TR4)를 오프로 전환시키고, 단자들(RT1 및 RT2)과 공통 노드들(2630 및 2640)을 각각 전기적으로 접속시키는 FET들(TRS1A 및 TRS1B)을 활성화시킨다(온으로 전환한다).
- [0362] 전자적으로 제어된 직렬 저항 네트워크(2600)는 제조 후에 또는 제조 동안에 공장에서 또는 출하 후의 현장에서 회로 기능을 최적화하도록 나노튜브 직렬 저항기 등가 회로(2620)를 설정하는데 이용될 수 있거나 전자적 구성 요소의 수명 동안에 조정될 수 있다. 또한, 기능은 전자적 구성요소의 라이프 사이클 동안에 임의의 시간에 변화되거나 변경될 수 있다.
- [0363] 도 26b는 나노튜브 직렬 저항기 네트워크(2620)에 대응하는 나노튜브 직렬 저항기 등가 회로(2620')와, 공통 단자(2630 및 2640)에 대응하는 단자(2630' 및 2640')를 각각 포함하는 직렬 저항기 등가 회로(2650)를 나타낸다. 동작시, 이 예에서는, 개개의 저항기 양단에 걸친 전압은 프로그램 교란을 방지하기 위해 2.5 볼트를 초과하지 않아야 한다.
- [0364] 도 27은 기준 전압(V_{REF})을 발생시키기 위해 전자적으로 제어되는 직렬 저항 네트워크(2705)와, 노드(2790)에서의 $V_{ON-CHIP VOLTAGE}$ 을 V_{REF} 와 동일하도록 설정하여 제어하는 온칩 전압 레귤레이터(2750)를 이용하여 형성된, 나노튜브 기초 전자적으로 튜닝된 온칩 전압 레귤레이터(2700)를 나타낸다. $V_{ON-CHIP VOLTAGE}$ 은 온칩 전력 공급원으로서 이용되며, 복수의 온칩 회로들에 분배된다. 출력 전압(V_{REF})은 NV NT 스위치 저항 값의 비값을 이용하여 전력 공급원 전압(V_{PP})을 $V_{REF} = [(R_{SW1} + R_{SW2}) / (R_{SW1} + R_{SW2} + R_{SW3} + R_{SW4})] V_{PS}$ 으로 감소시킴으로써 발생되며, 넓은 범위의 전압에 걸쳐 조정될 수 있다. 전자적으로 튜닝되는 온 칩 전압 레귤레이터(2700)는 도 26a에 나타난 전자적으로 제어되는 직렬 저항 네트워크(2600)와 동작적으로 유사하며, 나노튜브 직렬 저항기 네트워크(2720)는 나노튜브 직렬 저항기 네트워크(2620)에 대응하며, 공통 노드(2730)는 공통 노드(2630)에 대응한다. 그러나,

FET(TRS1A 및 TRS1B)가 제거되었고, 공통 노드(2730)는 접지부에 직접 접속된다. 또한, NFET(TRS2A)는 선택 트랜지스터 양단에 걸친 임계 전압 강하를 피하기 위하여, PFET(TRSX)에 의해 대체되었다.

[0365] 온칩 전압 레귤레이터(2750)는 반도체 산업에서의 이용시 온칩 레귤레이터와 유사하다. 차동 증폭기(2760) 동작은 위에서 자세히 설명된 Baker 등의 참조 문헌에 설명되어 있다. 대규모 PFET(2780)는 노드(2790)에서 출력 전압 및 전류를 제어하고, 피드백 인버터(2770)는 차동 증폭기(2760)에 반도체 산업에서 잘 알려진 바와 같이 출력 전압(2790)을 V_{REF} 와 대략적으로 동일하게 되도록 제어하는 수단을 제공한다.

[0366] 도 27은 나노튜브 직렬 저항기 네트워크(2620)에 의해 발생된 기존 전압 기준 전압(V_{REF})을 나타낸다. 그러나, 2개의 추가적인 기준 전압은 FET들(TR1 및 TR2와 TR3 및 TR4) 사이에 공유 노드들을 또한 태핑시킴으로써 발생될 수 있다. 각각의 이들 2개의 추가적인 레퍼런스 전압들은 3개의 서로 다른 $V_{ON-CHIP VOLTAGE}$ 값들을 발생시키도록 온칩 전압 레귤레이터(2750)와 유사한 다른 온칩 전압 레귤레이터(도시 생략)에 커플링될 수 있다.

[0367] 도 26과 도 27에 대하여 위에서 각각 설명된, 전자적으로 제어된 직렬 저항 네트워크(2600), 및 이 네트워크의 나노튜브 기초 전자적으로 튜닝된 온칩 전압 레귤레이터(2700)에의 애플리케이션은 각각이 다중저항 상태들을 갖는 복수의 NV NT 스위치들에 기초한 많은 유용한 아날로그 네트워크의 일례이다. 각각이 다중저항 상태를 갖는 복수의 NV NT 스위치들에 기초한 네트워크들의 다른 예들이 계획된다. 도 28a는 도 21 및 도 22에 각각 나타낸 병렬 회로(2100)와 직렬/병렬 회로(2200)의 결합에 의해 형성된 전자적으로 제어된 직렬/병렬 저항 네트워크(2800)를 나타낸다. 도 28a에 나타낸 바와 같이, 개개의 NV NT 스위치들을 효과적으로 분리시키기 위해, 직렬 FET 및 병렬 FET 양쪽 모두가 직렬/병렬 네트워크들에 필요하다. 저항기 설정 및 동작 모드 컨트롤러(2810)는 추가적인 출력이 프로그래밍 및 소거 동작 동안에 직렬 FET들을 온과 오프로 전환하는 것을 제외하고는 저항기 설정 및 동작 모드 컨트롤러(2610)와 유사한 방식으로 동작한다. FET들(TRS1B 및 TRS2B)은 도 26a에 대하여 위에서 자세히 설명된 바와 같이 소거, 프로그램 및 판독 동작들을 위한 전압 펄스를 제공한다. 이 예에서, 공통 노드(2830)는 단자(RT1')에 직접 커플링되고, 공통 노드(2840)는 단자(RT2')에 직접 커플링된다. 그러나, 다른 회로들이 예를 들어, 프로그래밍 동안에 채워질 수 있는 경우에, 도 26a에 나타낸 바와 같이, 직렬 디커플링 FET들이 이용될 수 있다.

[0368] 나노튜브 직렬/병렬 저항기 네트워크(2820)에서의 개개의 NV NT 스위치들은 도 26a에 대하여 위에서 자세히 설명된 것과 유사한 동작 방법들을 이용하여 소거, 프로그래밍 및 판독된다. 예를 들어, NV NT 스위치(SW3)는 FET들(TR1, TR3')을 온으로 전환시키고, FET들(TR2', TR3 및 TR4')를 오프로 전환시키며, 전압 펄스들을 공통 노드들(2830 및 2840) 사이에 인가함으로써 복수의 저항 상태들 중 한 저항 상태로 선택되어 튜닝될 수 있다. 다른 예를 들어, NV NT 스위치(SW2)는 FET들(TR1 및 TR2')을 온으로 전환시키고 TR2 및 TR3'를 오프로 전환시키며, 공통 노드들(2830 및 2840) 사이에 전압 펄스를 인가함으로써 복수의 저항 상태들 중 한 저항 상태로 선택되어 튜닝될 수 있다. 이용된 전압 펄스들은 도 26a, 도 23a 및 도 18에 대하여 위에서 자세히 설명된 것과 유사하다.

[0369] 개개의 스위치들의 프로그램 또는 소거가 완료된 후에, 동작시, 모든 직렬 FET들을 온으로 전환시키고, 모든 병렬 FET들을 오프로 전환시킨다.

[0370] 도 28b는 나노튜브 직렬/병렬 저항기 네트워크(2820)에 대응하는 나노튜브 직렬/병렬 저항기 등가 회로(2820')와, 공통 단자들(2830 및 2840)에 각각 대응하는 공통 단자들(2830' 및 2840')을 포함하는 직렬/병렬 저항기 네트워크(2850)를 나타낸다. 동작시, 이 예에서는, 개개의 저항기 양단에 걸친 전압은 프로그램 교란을 방지하기 위해 2.5 볼트를 초과하지 말아야 한다.

[0371] 도 28a에 나타낸 전자적으로 제어된 직렬/병렬 저항 네트워크(2800)는 도 29a에 나타낸 전자적으로 제어된 저항/커패시터 네트워크(2900)로 변경될 수 있다. 도 29a에 나타낸 바와 같이, 도 21 및 도 22에 각각 나타낸 병렬 회로(2100)와 직렬/병렬 회로(2200)는 직렬 연결로 이용되며, 커패시터는 병렬 연결로 이용된다. 저항기 설정 및 동작 모드 컨트롤러(2910)는 저항기 설정 및 동작 모드 컨트롤러(2810)와 유사한 방식으로 동작한다. FET들(TRS1B 및 TRS2B)은 도 28a에 대하여 위에서 자세히 설명된 바와 같이 소거, 프로그램, 및 판독 동작들을 위한 전압 펄스를 제공한다. 이 예에서, 공통 노드(2930)는 단자(RCT1)에 직접 커플링되고, 공통 노드(2940)는 단자(RCT2)에 직접 커플링된다. 그러나, 예를 들어 프로그래밍동안에 다른 회로들로 채워질 수 있는 경우, 직렬 디커플링 FET들이 도 26a에 나타낸 바와 같이 이용될 수 있다.

[0372] 나노튜브 직렬/병렬 저항기/커패시터 네트워크(2920)에서의 개개의 NV NT 스위치들은 도 26a 및 도 28a에 대하여 위에서 자세히 설명된 것과 동일한 동작 방법들을 이용하여 소거, 프로그래밍 및 판독될 수 있다. 예를

들어, NV NT 스위치(SW2)는 FET들(TR1, TR2')을 온으로 전환시키고, FET들(TR2)를 오프로 전환시키며, 전압 펄스들을 공통 노드들(2830 및 2840) 사이에 인가함으로써 복수의 저항 상태들 중 한 저항 상태로 선택되어 튜닝될 수 있다. 이용된 전압 펄스들은 도 28a, 도 26a, 도 23a 및 도 18에 대하여 위에서 자세히 설명된 것과 유사하다.

- [0373] 개개의 스위치들의 프로그램 또는 소거가 완료된 후에, 동작시, 모든 직렬 FET들을 온으로 전환시키고, 모든 병렬 FET들을 오프로 전환시킨다.
- [0374] 도 29b는 나노튜브 직렬/병렬 저항기/커패시터 네트워크(2920)에 대응하는 나노튜브 직렬/병렬 저항기/커패시터 등가 회로(2920') 및 공통 단자(2930 및 2940)에 각각 대응하는 단자(2930' 및 2940')를 포함하는 직렬/병렬 레지스터/커패시터 등가 회로(2950)를 나타낸다. 동작시, 이 예에서는, 개개의 저항기 양단에 걸친 전압은 프로그램 교란을 방지하기 위해 2.5 볼트를 초과하지 말아야 한다.
- [0375] 저항값들(R_{SW1} 및 R_{SW2})을 조정함으로써, RC 시간 상수를 큰 범위의 값들에 걸쳐 튜닝할 수 있다. 또한, R_{SW1} 및 R_{SW2} 이 비교적 낮은 저항값으로 프로그래밍되는 경우, RC 시간 상수들보다 큰 상승 시간 및 하강 시간을 가진 파형들에 대하여, 커패시터들(C1, C2 및 C3)이 하나의 커패시터($C = C1 + C2 + C3$)로 나타날 수 있다. 다른 변형 예들도 가능하다.
- [0376] [포함된 특허 참조문헌]
- [0377] "포함된 특허 참조문헌"으로서 언급된 다음의 공동 소유된 특허 참조문헌들은, 나노튜브 소자들(나노튜브 패브릭 물질 및 스위치들)을 형성하기 위한 여러 기술들, 예를 들어, 나노튜브 패브릭을 형성하여 패터닝하는 기술들을 설명하며, 여기서는 그 전체 내용을 참조로서 포함한다.
- [0378] Electromechanical Memory Array Using Nanotube Ribbons and Method for Making Same(미국 특허 출원 번호 제09/915,093호, 현재는 미국 특허 제6,919,592호) 2001년 7월 25일 출원됨
- [0379] Electromechanical Memory Having Cell Selection Circuitry Constructed With Nanotube Technology (미국 특허 출원 번호 제09/915,173호, 현재는 미국 특허 제6,643,165호) 2001년 7월 25일 출원됨
- [0380] Hybrid Circuit Having Nanotube Electromechanical Memory (미국 특허 출원 번호 제09/915,095호, 현재는 미국 특허 제6,574,130호) 2001년 7월 25일 출원됨
- [0381] Electromechanical Three-Trace Junction Devices (미국 특허 출원 번호 제10/033,323호, 현재는 미국 특허 제6,911,682호)2001년 12월 28일 출원됨
- [0382] Methods of Making Electromechanical Three-Trace Junction Devices (미국 특허 출원 번호 제10/033,032호, 현재는 미국 특허 제6,784,028호)2001년 12월 28일 출원됨
- [0383] Nanotube Films and Articles (미국 특허 출원 번호 제10/128,118호, 현재는 미국 특허 제6,706,402호) 2002년 4월 23일 출원됨
- [0384] Methods of Nanotube Films and Articles (미국 특허 출원 번호 제10/128,117호, 현재는 미국 특허 제6,835,591호) 2002년 4월 23일 출원됨
- [0385] Methods of Making Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (미국 특허 출원 번호 제10/341,005호)2003년 1월 13일 출원됨
- [0386] Methods of Using Thin Metal Layers to Make Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (미국 특허 출원 번호 제10/341,055호) 2003년 1월 13일 출원됨
- [0387] Methods of Using Pre-formed Nanotubes to Make Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (미국 특허 출원 번호 제10/341,054호) 2003년 1월 13일 출원됨
- [0388] Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (미국 특허 출원 번호 제10/341,130호) 2003년 1월 13일 출원됨

- [0389] Non-volatile Electromechanical Field Effect Devices and Circuits using Same and Methods of Forming Same (미국 특허 출원 번호 제10/864,186호, 미국 특허 출원 공개 번호 제2005/0062035호) 2004년 6월 9일 출원됨
- [0390] Devices Having Horizontally-Disposed Nanofabric Articles and Methods of Making the Same, (미국 특허 출원 번호 제10/776,059호, 미국 특허 출원 공개 번호 제2004/0181630호) 2004년 2월 11일 출원됨
- [0391] Devices Having Vertically-Disposed Nanofabric Articles and Methods of Making the Same (미국 특허 출원 번호 제10/776,572호, 현재는 미국 특허 제6,924,538) 2004년 2월 11일 출원됨
- [0392] Patterned Nanoscopic Articles and Methods of Making the Same (미국 특허 출원 번호 제10/936,119호, 미국 특허 출원 공개 번호 제2005/0128788호)
- [0393] 본 발명은 본 발명의 본질적인 특징들 또는 사상으로부터 벗어남이 없이 다른 특정 형태들로 구현될 수 있다. 따라서, 본 실시예들은 설명적인 것이지만 제한적인 것으로 간주되어서는 안 된다.

도면의 간단한 설명

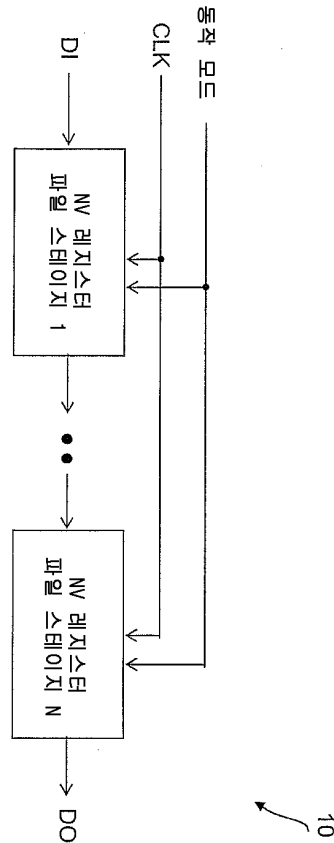
- [0082] 도 1a는 비휘발성 레지스터 파일 배선도의 일 실시예의 설명도이다.
- [0083] 도 1b는 비휘발성 레지스터 파일 스테이지 회로의 일 실시예의 설명도이다.
- [0084] 도 1c는 본 발명의 일 실시예에 따라, 비휘발성 나노튜브 스위치에 대한 사이클링 데이터의 결과의 설명도이다.
- [0085] 도 2는 본 발명의 다른 실시예에 따라 추가적인 리던던트 비휘발성 레지스터 파일 스테이지와 대응 선택 회로를 갖는 도 1a의 비휘발성 레지스터 파일의 개략도이다.
- [0086] 도 3a 내지 도 3c는 본 발명의 다른 실시예에 따라, 마지막 비휘발성 레지스터 파일을 형성하는 경우, 비휘발성 레지스터 파일을 선택 또는 선택해제(바이패스)하는데 이용된 스위치들을 나타내는 개략도이다.
- [0087] 도 4는 본 발명의 다른 실시예에 따라, 도 2에 나타난 비휘발성 레지스터 파일 회로의 일부로서 이용될 수 있는 레이지 퓨즈 래치의 래치 회로 개략도이다.
- [0088] 도 5는 본 발명의 다른 실시예에 따라, 도 4에 나타난 래치 회로의 동작에 이용된 파형들의 설명도이다.
- [0089] 도 6a 내지 도 6d는 본 발명의 다른 실시예에 따라 패터닝된 나노 패브릭 저항기들의 설명도이다.
- [0090] 도 7은 본 발명의 다른 실시예에 따라, 도 2에 나타난 비휘발성 레지스터 파일 회로의 일부로서 이용될 수 있는 전자 퓨즈 또는 전자 안티퓨즈를 이용한 래치 회로의 설명도이다.
- [0091] 도 8은 본 발명의 다른 실시예에 따라 도 2에 나타난 비휘발성 레지스터 파일 회로의 일부로서 이용가능한 프로그래밍 소자로서 비휘발성 나노튜브 스위치를 이용한 래치 회로의 설명도이다.
- [0092] 도 9a 내지 도 9d는 본 발명의 다른 실시예에 따라 비휘발성 나노튜브 스위치의 단면도와 SEM 평면도의 설명도이다.
- [0093] 도 10a는 본 발명의 다른 실시예에 따라 소거 전압들의 스케일화를 나타낸 가변 채널 길이의 수개의 비휘발성 나노튜브 스위치들의 그래픽도이다.
- [0094] 도 10b는 본 발명의 다른 실시예에 따라, 소거 전압 및 소거 전류를 시간 함수로서 나타낸 비휘발성 나노튜브 스위치의 그래픽도이다.
- [0095] 도 10c는 본 발명의 다른 실시예에 따라, 100 사이클 동안에 측정된 온 상태 저항과 오프 상태 저항을 나타낸 나노튜브 스위치의 그래픽도이다.
- [0096] 도 11은 본 발명의 다른 실시예에 따른 구성 제어 레지스터의 개략도이다.
- [0097] 도 12는 본 발명의 다른 실시예에 따라, 추가적인 리던던트 비휘발성 레지스터 파일 스테이지들 및 대응 선택 회로를 가진 도 1a의 비휘발성 레지스터 파일의 (도 2에 대한) 대안의 개략도이다.
- [0098] 도 13a는 본 발명의 다른 실시예에 따라, 추가적인 리던던트 비휘발성 레지스터 파일 스테이지들 및 대응 선택 회로를 가진 도 1a의 비휘발성 레지스터 파일의 (도 12에 대한) 대안의 개략도이다.

- [0099] 도 13b는 본 발명의 이 실시예에 따라 도 13a에 이용된 비휘발성 구성 제어 레지스터의 회로도이다.
- [0100] 도 14a는 본 발명의 다른 실시예에 따른 동기화된 레지스터 파일 아키텍처 애플리케이션을 나타낸다.
- [0101] 도 14b는 본 발명의 다른 실시예에 따라, 클록 타이밍을 최적화하기 위해 제어형 지연 회로를 가진 동기화된 레지스터 파일 아키텍처를 나타낸다.
- [0102] 도 15a 내지 도 15e는 본 발명의 다른 실시예에 따라 CPU와 캐시 사이에 동기화된 임계 타이밍의 일례를 나타낸다.
- [0103] 도 15f 내지 도 15h는 본 발명의 다른 실시예에 따라, 제어가능한 지연 회로를 이용한 CPU와 캐시 사이의 최적화된 타이밍을 나타낸다.
- [0104] 도 16은 본 발명의 다른 실시예에 따라 타이밍 제어를 위해 비휘발성 나노튜브 스위칭 기초 래치들을 이용하는 지연 제어 회로를 나타낸다.
- [0105] 도 17a는 본 발명의 다른 실시예에 따라 전압 소스를 이용하여 래치 회로에서의 비휘발성 나노튜브 스위치들의 상태를 변경하는데 이용된 드라이버 회로를 나타낸다.
- [0106] 도 17b는 본 발명의 다른 실시예에 따라 전류 임계값을 갖는 전압 소스를 이용하여 래치 회로들에서의 비휘발성 나노튜브 스위치들의 상태를 변경하는데 이용된 드라이버 회로를 나타낸다.
- [0107] 도 17c는 본 발명의 다른 실시예에 따라 전류 미러에 의해 제어된 전류를 갖는 전압 소스를 이용하여 래치 회로들에서의 비휘발성 나노튜브 스위치들의 상태를 변경하는데 이용되는 드라이버 회로를 나타낸다.
- [0108] 도 17d는 본 발명의 다른 실시예에 따라 NRAM 어레이 셀을 소정의 저항값으로 구동시키는 비휘발성 나노튜브 스위치 저항 제어 회로를 나타낸다.
- [0109] 도 17e는 본 발명의 다른 실시예에 따라 NRAM 메모리 시스템에 통합된 도 17d의 회로를 나타낸다.
- [0110] 도 18a는 본 발명의 다른 실시예에 따라 제조된 그대로의 비휘발성 나노튜브 스위치들의 온 저항값들을 나타낸다.
- [0111] 도 18b는 본 발명의 다른 실시예에 따라, 50 사이클 후에 비휘발성 나노튜브 스위치들의 온 및 오프 저항값들을 나타낸다.
- [0112] 도 19a는 본 발명의 다른 실시예에 따라 선택된 전압 레벨들에서 프로그래밍된 복수의 나노튜브 스위치들의 일례를 나타낸다.
- [0113] 도 19b는 본 발명의 다른 실시예에 따른 1 볼트 비트라인 판독 전압에 대응하는 여러 판독 전류들에서의 복수의 프로그래밍된 나노튜브 스위치들의 일례를 나타낸다.
- [0114] 도 19c는 본 발명의 본 실시예에 따라 저항값들이 1 볼트에서 도 19b 판독 전류에 대응하는 경우 선택된 저항범위들 내에서 동작하는 복수의 나노튜브 스위치들의 일례를 나타낸다.
- [0115] 도 19d는 본 발명의 본 실시예에 따라 선택된 전압 레벨들에서의 대응 포화 전류 레벨과 중간 전류 레벨들의 일례를 나타낸다.
- [0116] 도 19e는 본 발명의 본 실시예에 따라 선택된 중간 스위치 온 상태 저항 레벨들에서의 중간 포화 전류 레벨들의 일례를 나타낸다.
- [0117] 도 20은 본 발명의 일 실시예에 따른 직렬 회로를 나타낸다.
- [0118] 도 21은 본 발명의 다른 실시예에 따른 병렬 회로를 나타낸다.
- [0119] 도 22는 본 발명의 다른 실시예에 따른 결합형 직렬/병렬 회로를 나타낸다.
- [0120] 도 23a는 본 발명의 다른 실시예에 따른 NFlash 메모리 개략도를 나타낸다.
- [0121] 도 23b는 본 발명의 다른 실시예에 따른 NFlash 메모리 개략도를 나타낸다.
- [0122] 도 24는 본 발명의 다른 실시예에 따른 NFlash 메모리에 대응하는 평면도를 나타낸다.
- [0123] 도 25는 본 발명의 다른 실시예에 따른 NAND 서브 어레이의 횡단면도를 나타낸다.

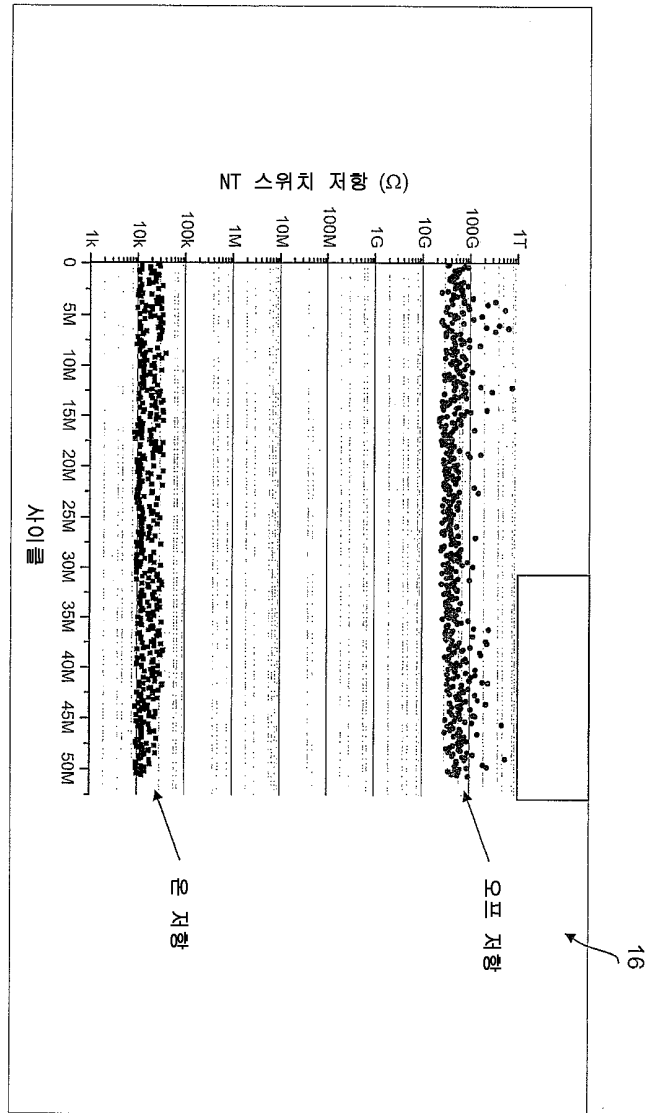
- [0124] 도 26a는 나노튜브 직렬 저항기 네트워크가 본 발명의 다른 실시예에 따른 프로그램 동작 또는 소거 동작을 이용하여 전자적으로 형성되고 튜닝되는 전자적으로 제어된 직렬 저항 네트워크를 나타낸다.
- [0125] 도 26b는 본 발명의 다른 실시예에 따른 나노튜브 직렬 저항기 등가 회로를 나타낸다.
- [0126] 도 27은 본 발명의 다른 실시예에 따른 나노튜브 기초 전자적으로 튜닝된 온칩 전압 레귤레이터를 나타낸다.
- [0127] 도 28a는 본 발명의 다른 실시예에 따른 전자적으로 형성되고 튜닝된 결합 직렬/병렬 저항 네트워크를 나타낸다.
- [0128] 도 28b는 본 발명의 다른 실시예에 따른 결합 직렬/병렬 저항기 등가 회로를 나타낸다.
- [0129] 도 29a는 본 발명의 다른 실시예에 따른 전자적으로 형성되고 튜닝된 저항/커패시터 네트워크를 나타낸다.
- [0130] 도 29b는 본 발명의 다른 실시예에 따른 결합 직렬/병렬 저항기/커패시터 등가 회로를 나타낸다.

도면

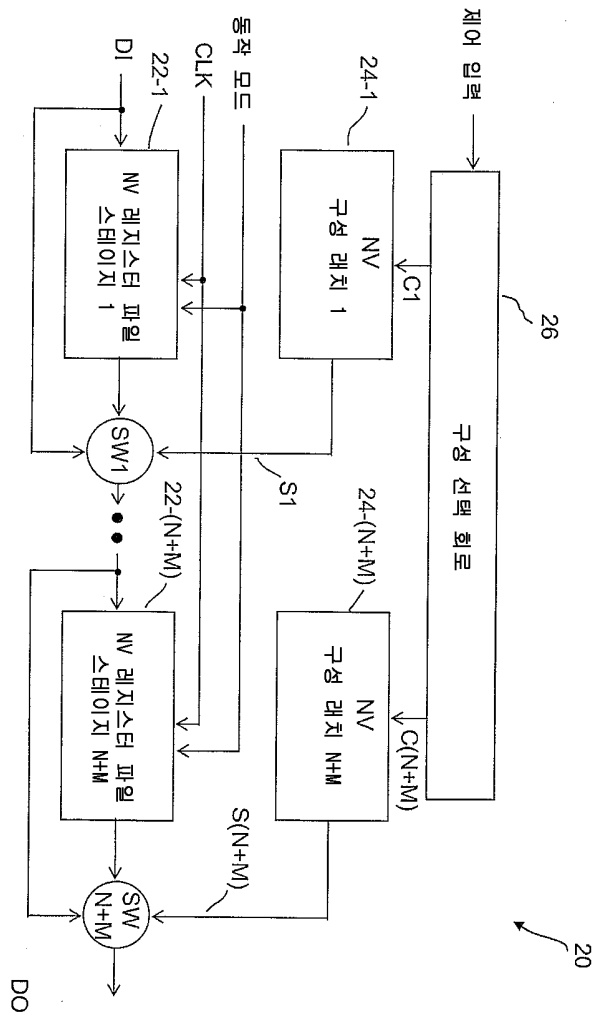
도면1a



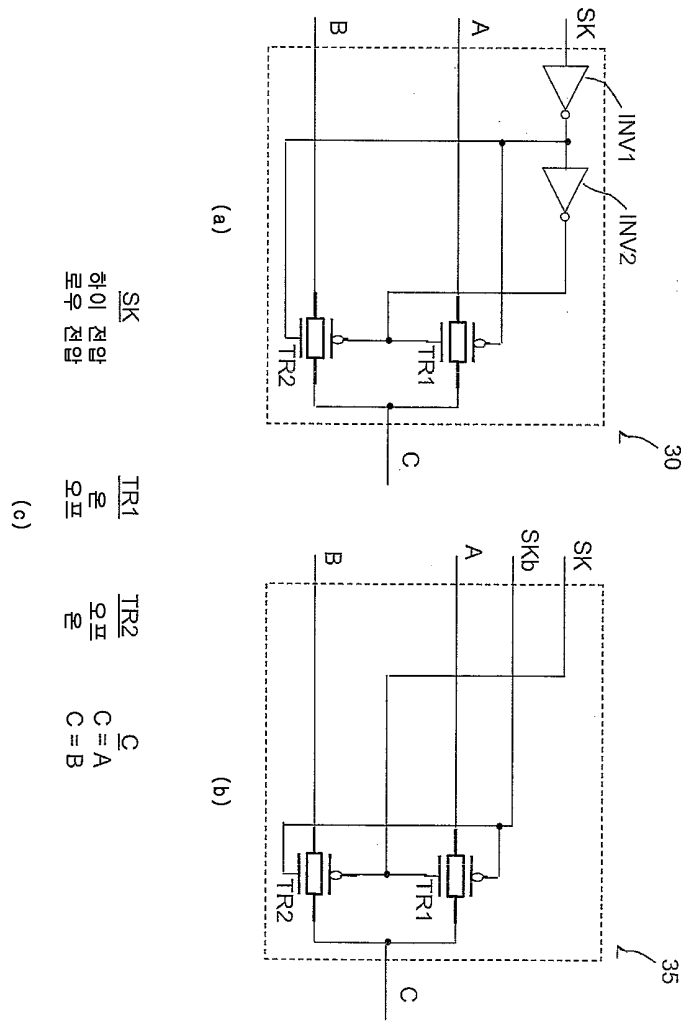
도면1c



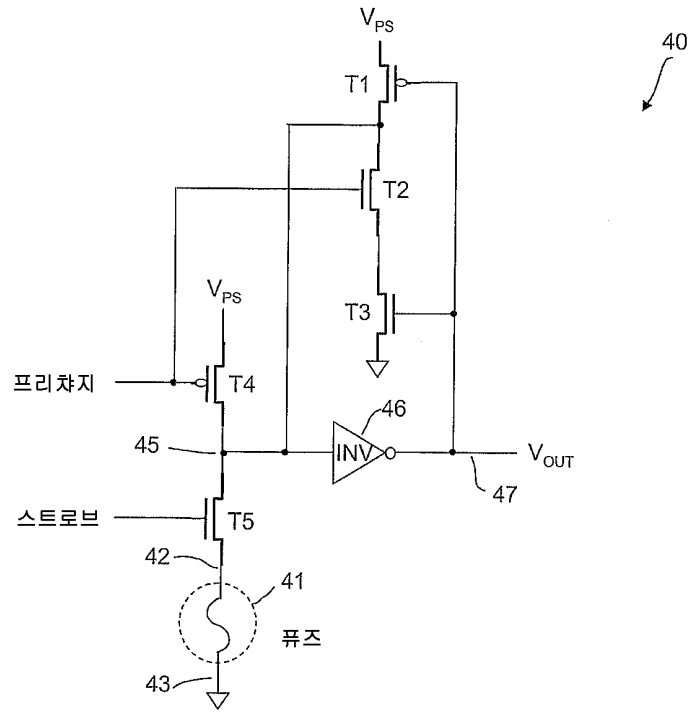
도면2



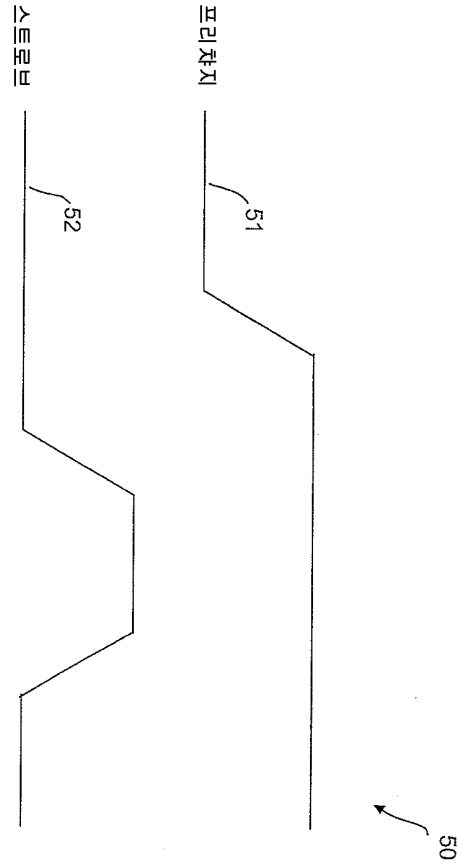
도면3



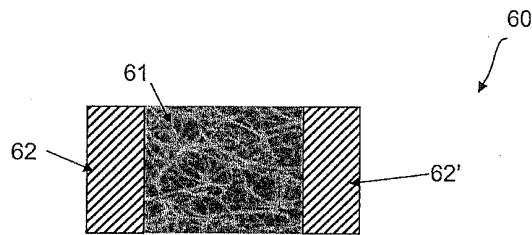
도면4



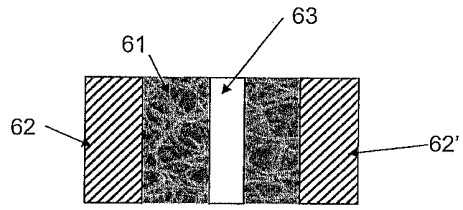
도면5



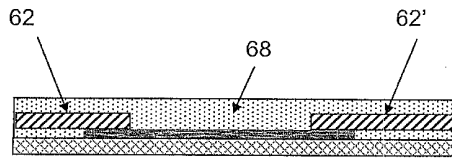
도면6a



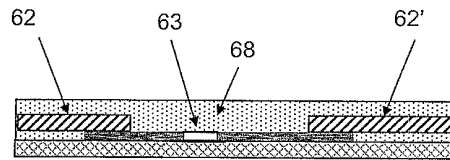
도면6b



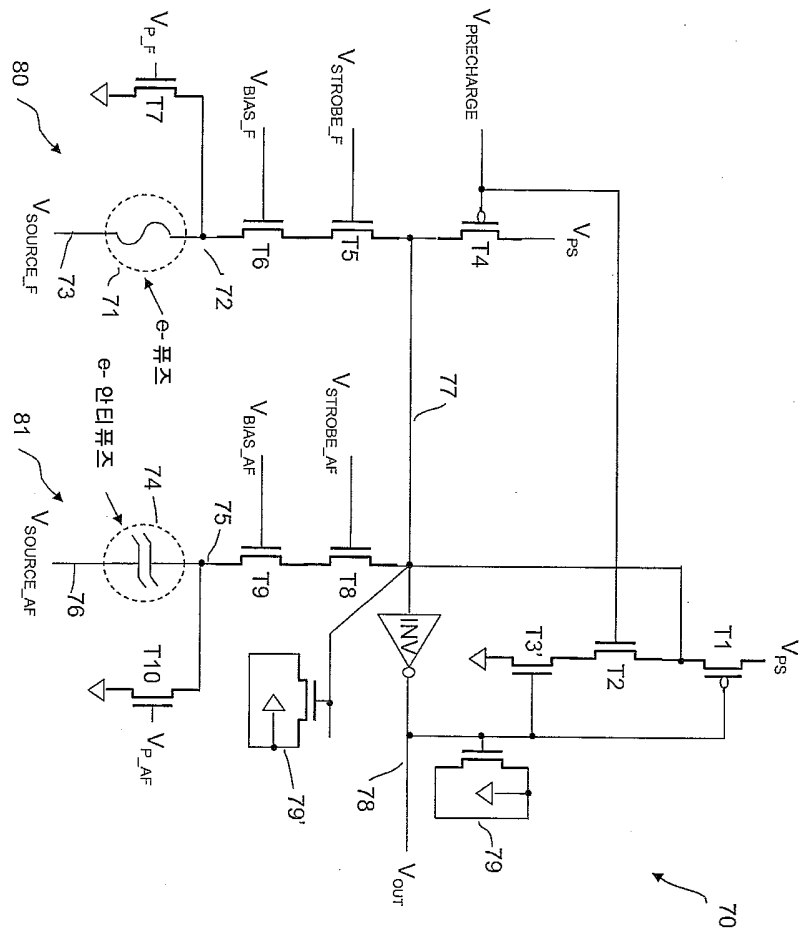
도면6c



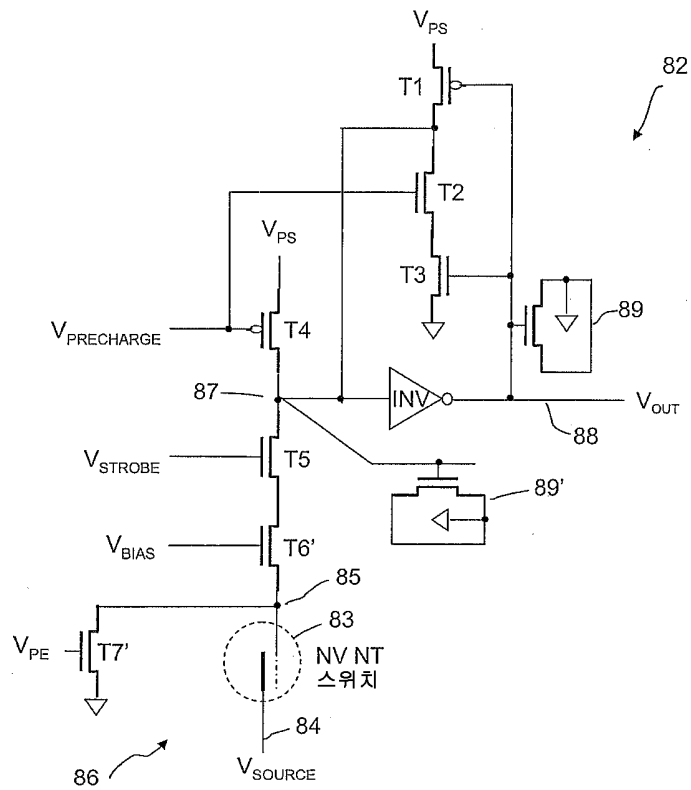
도면6d



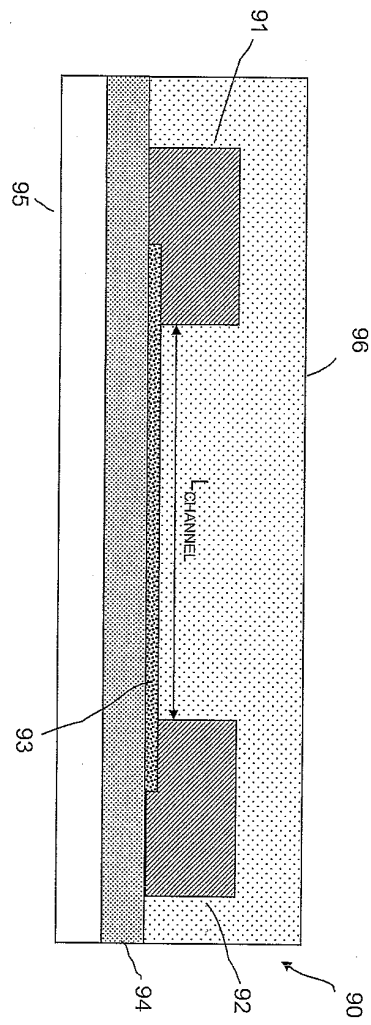
도면7



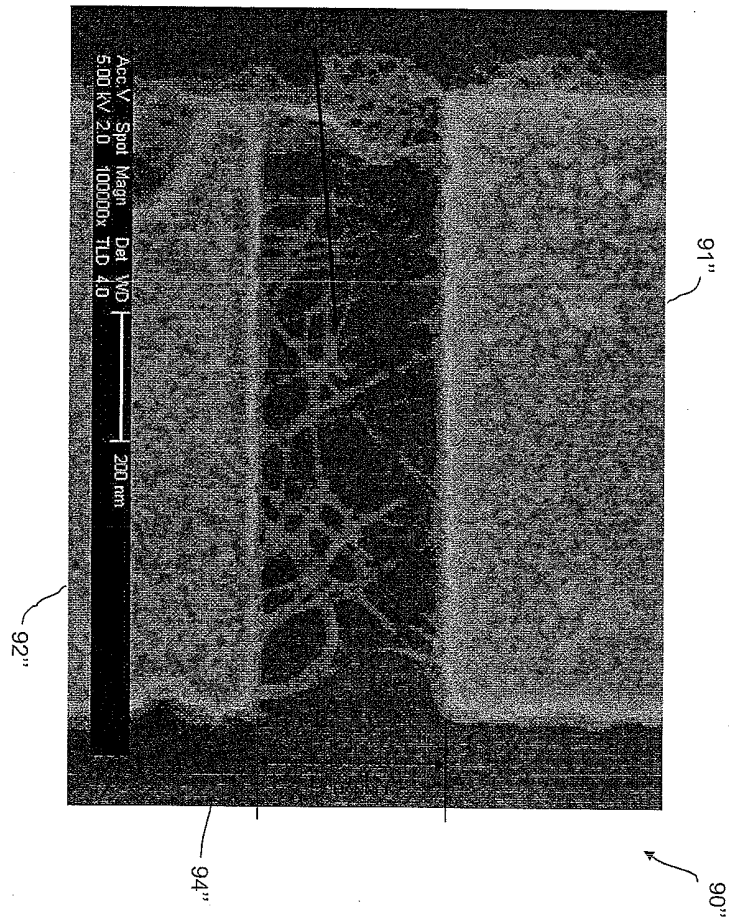
도면8



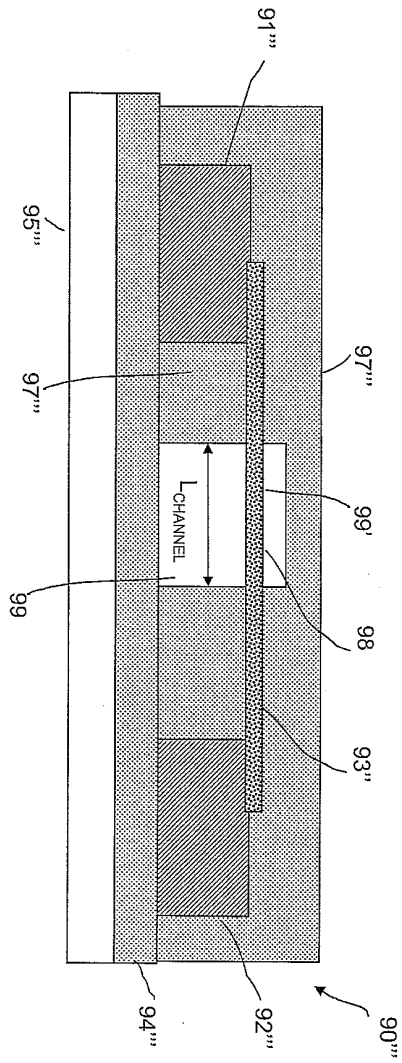
도면9a



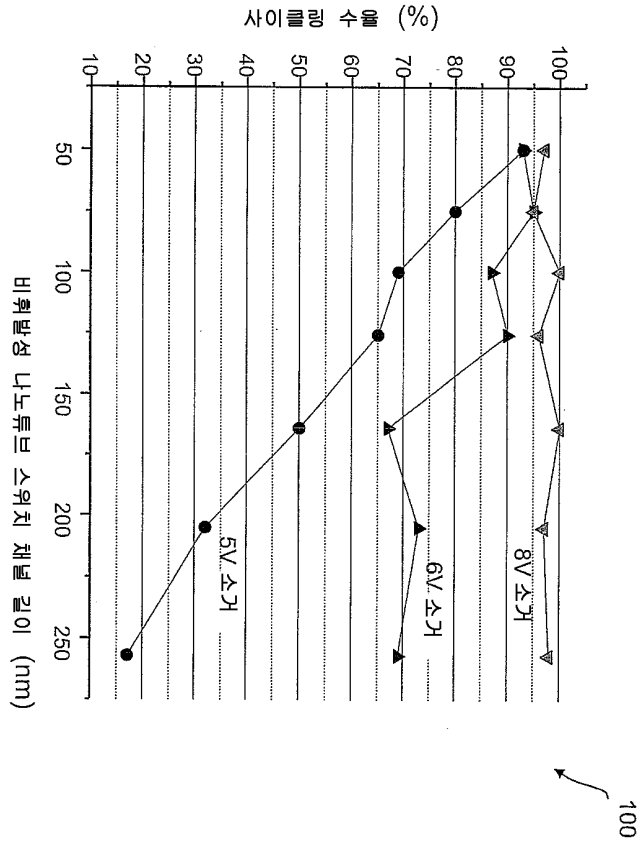
도면9c



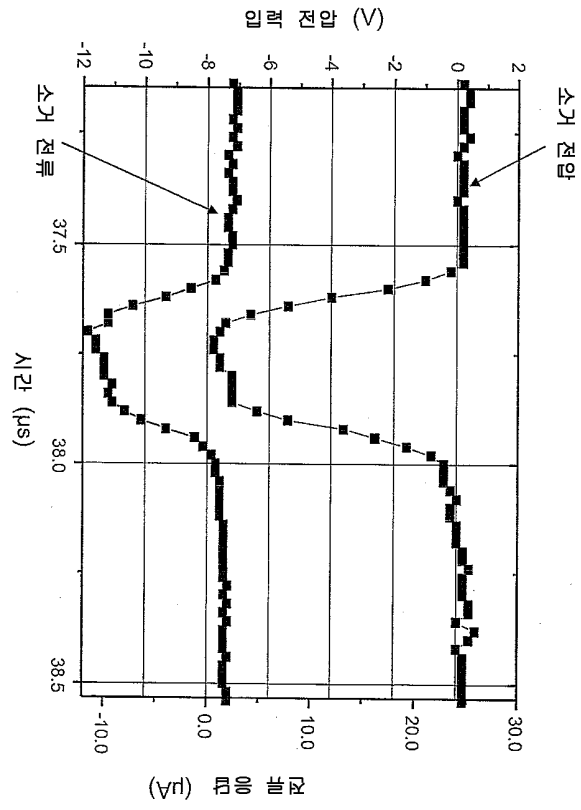
도면9d



도면10a

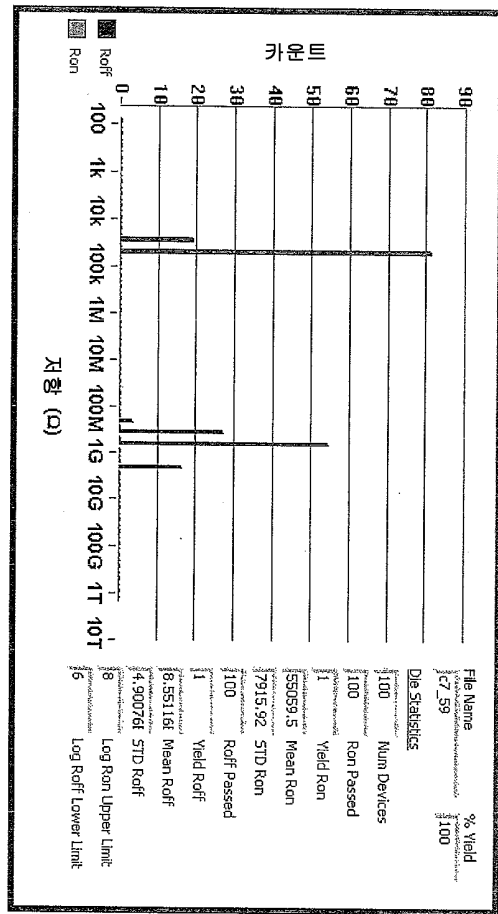


도면10b



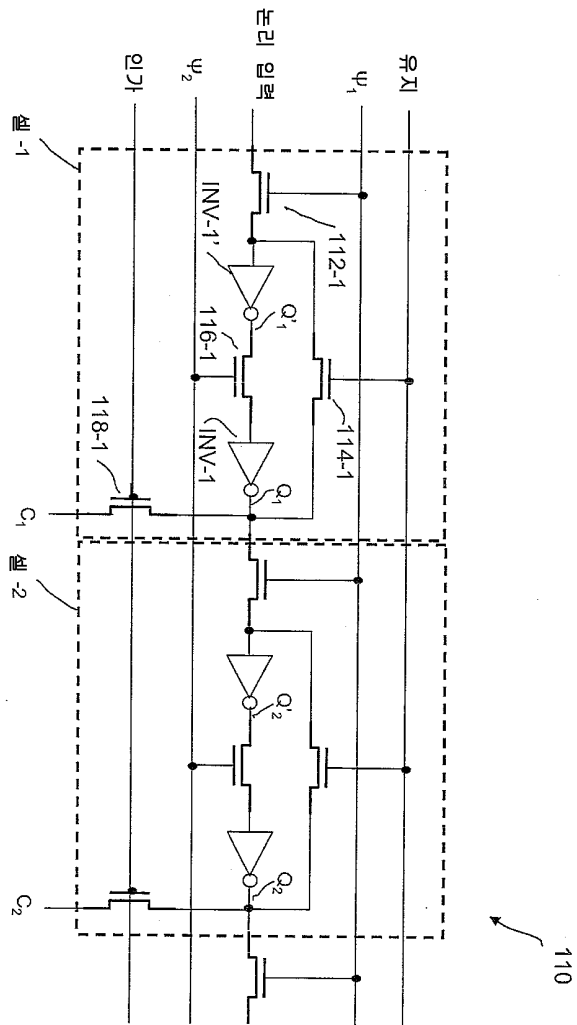
125

도면10c

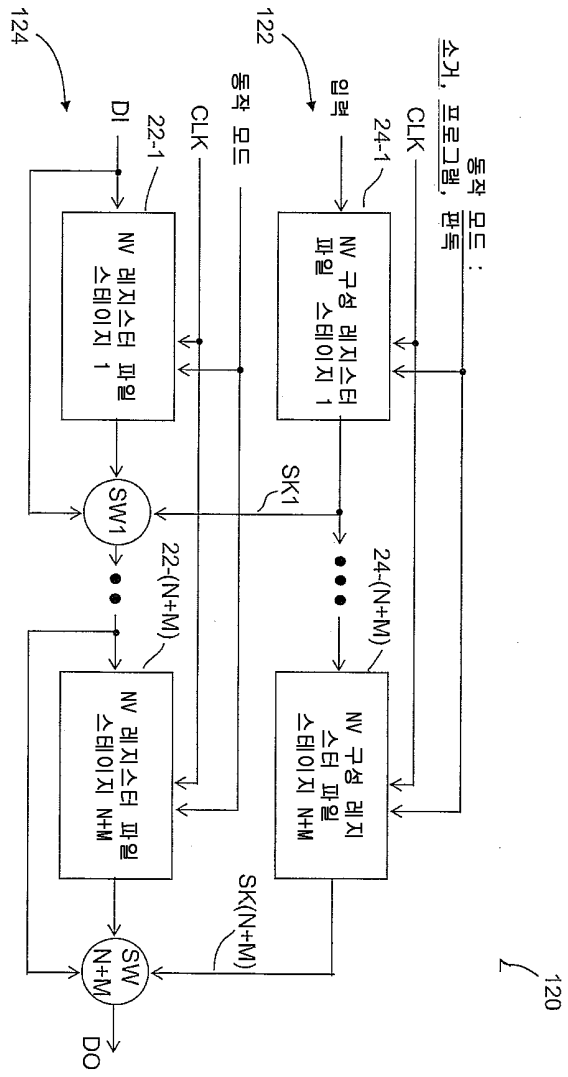


150

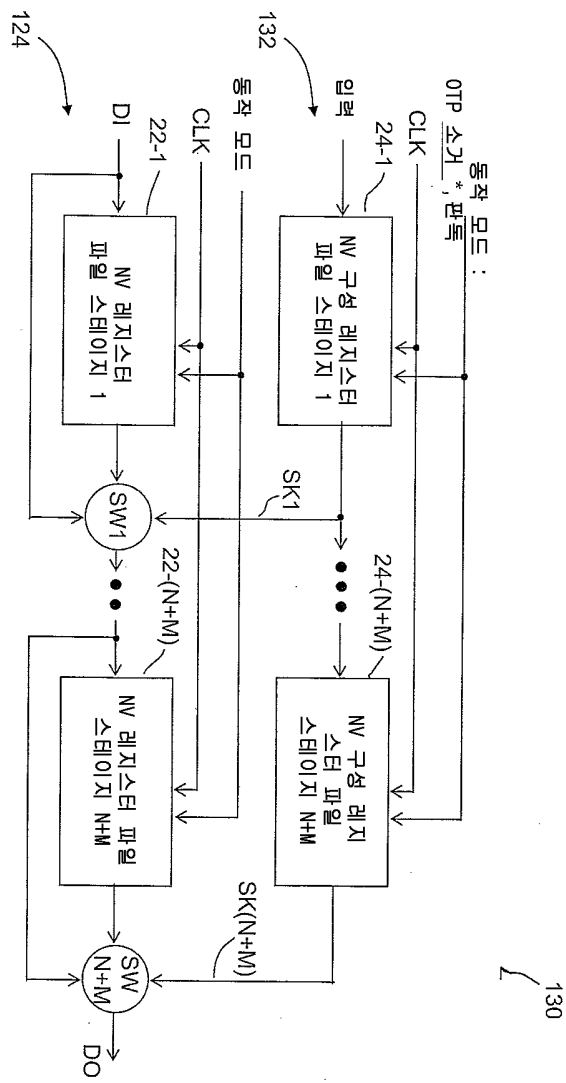
도면11



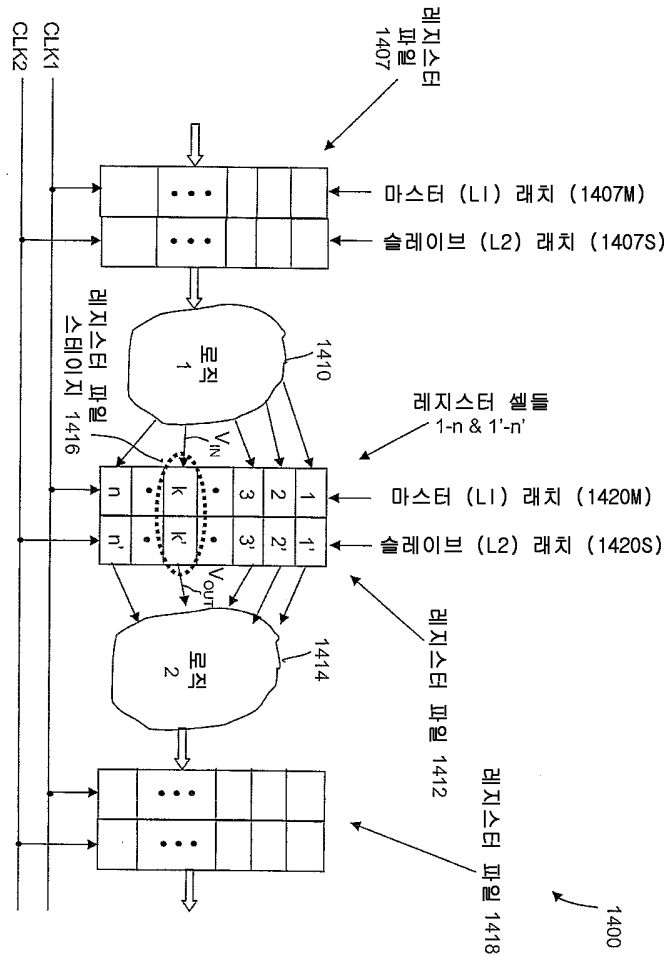
도면12



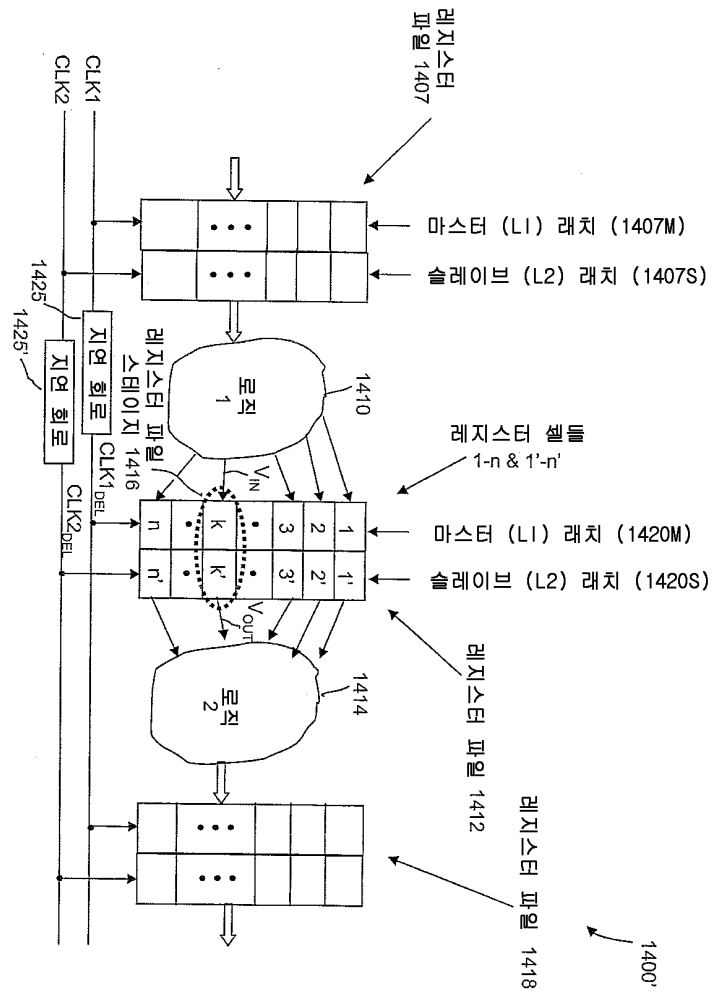
도면13a



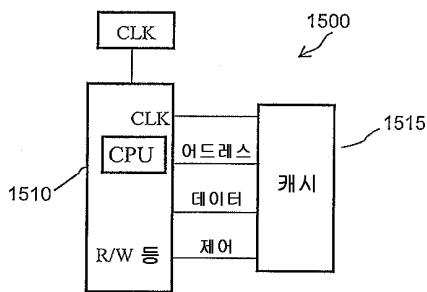
도면14a



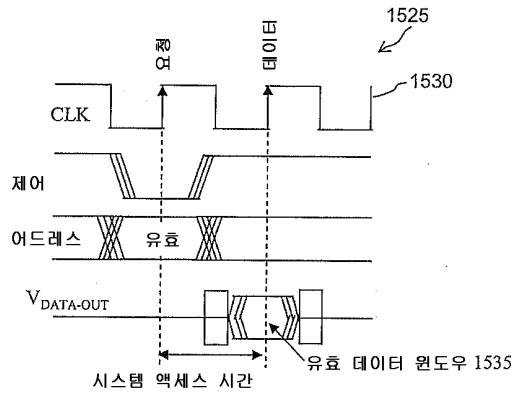
도면14b



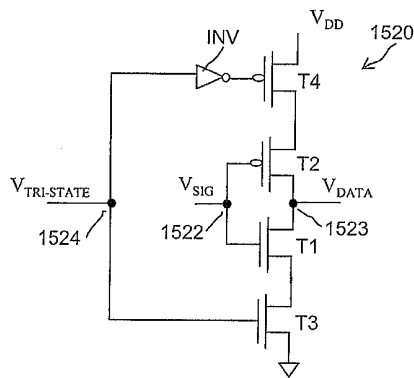
도면15a



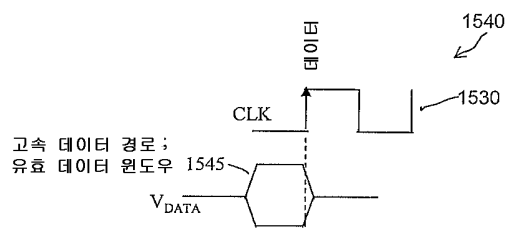
도면15b



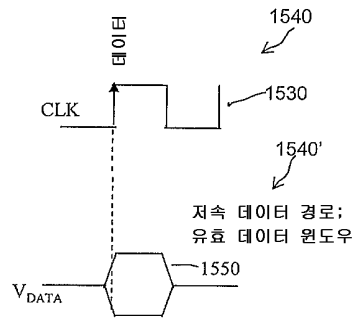
도면15c



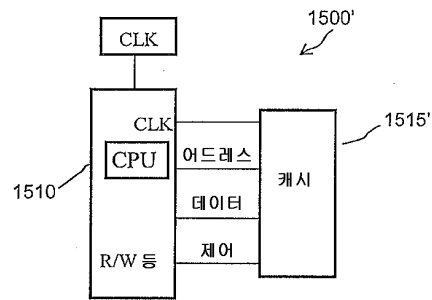
도면15d



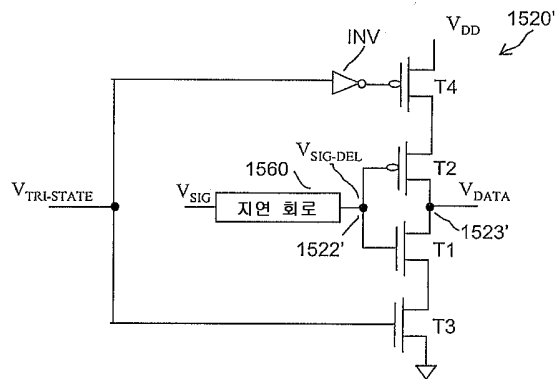
도면15e



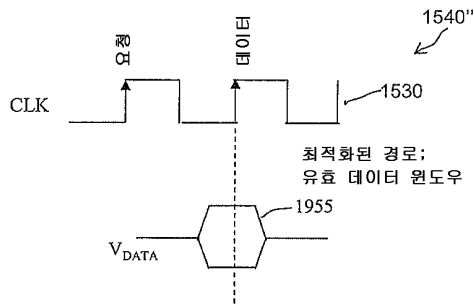
도면15f



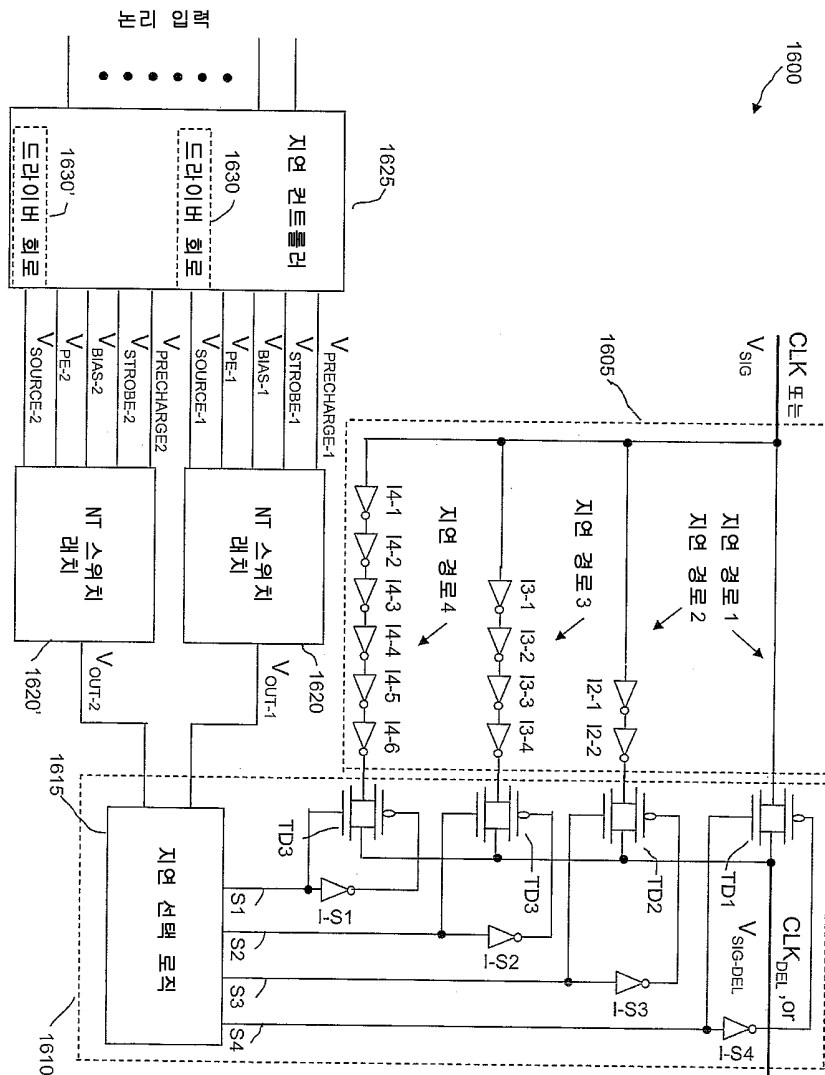
도면15g



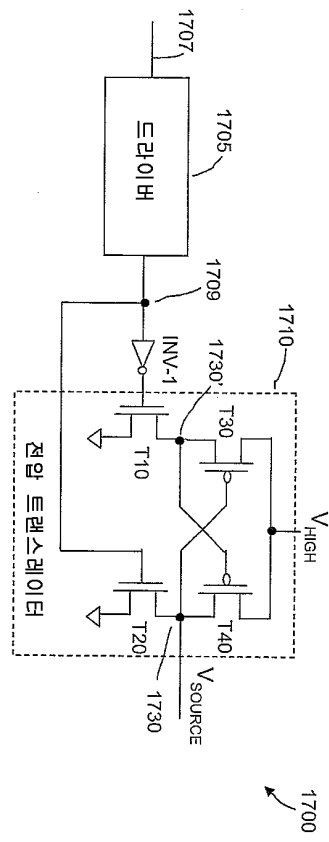
도면15h



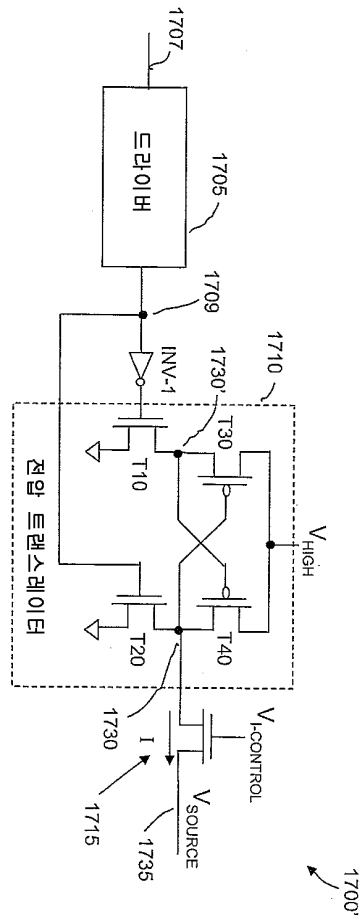
도면16



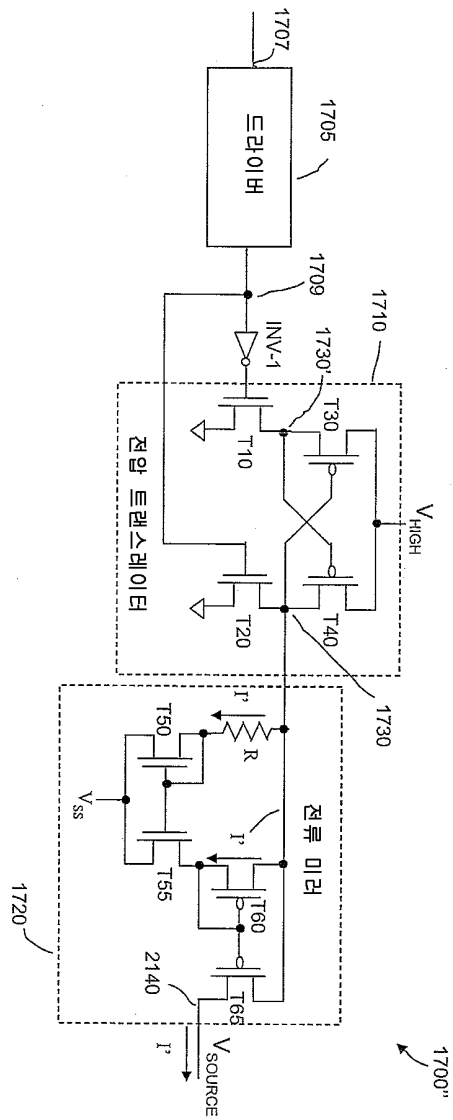
도면17a



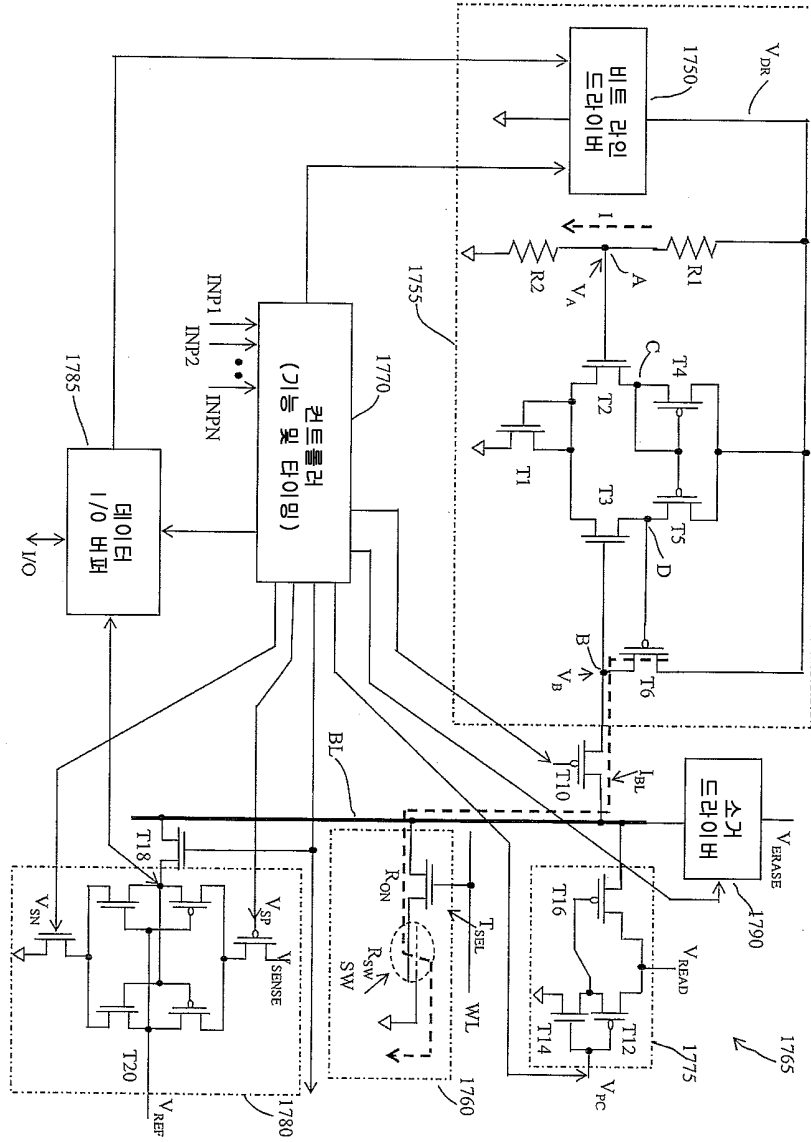
도면17b



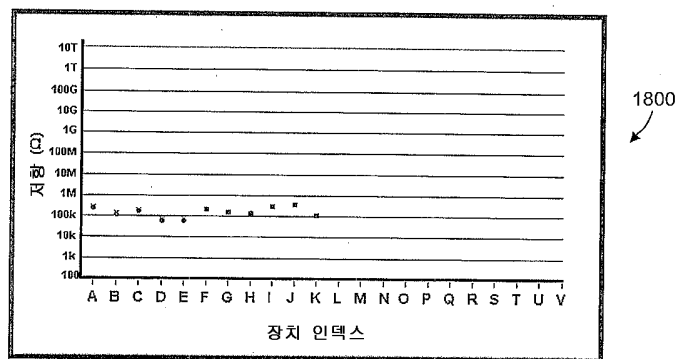
도면17c



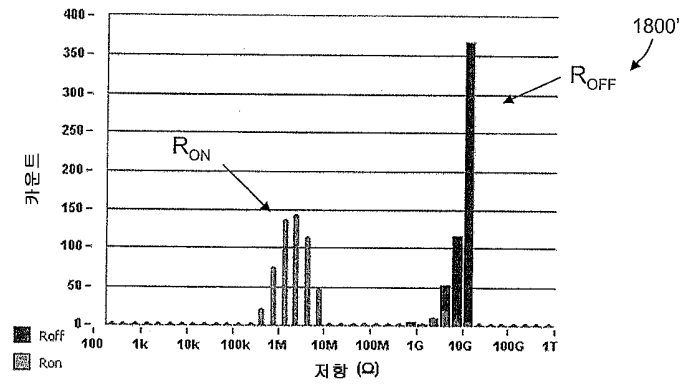
도면17e



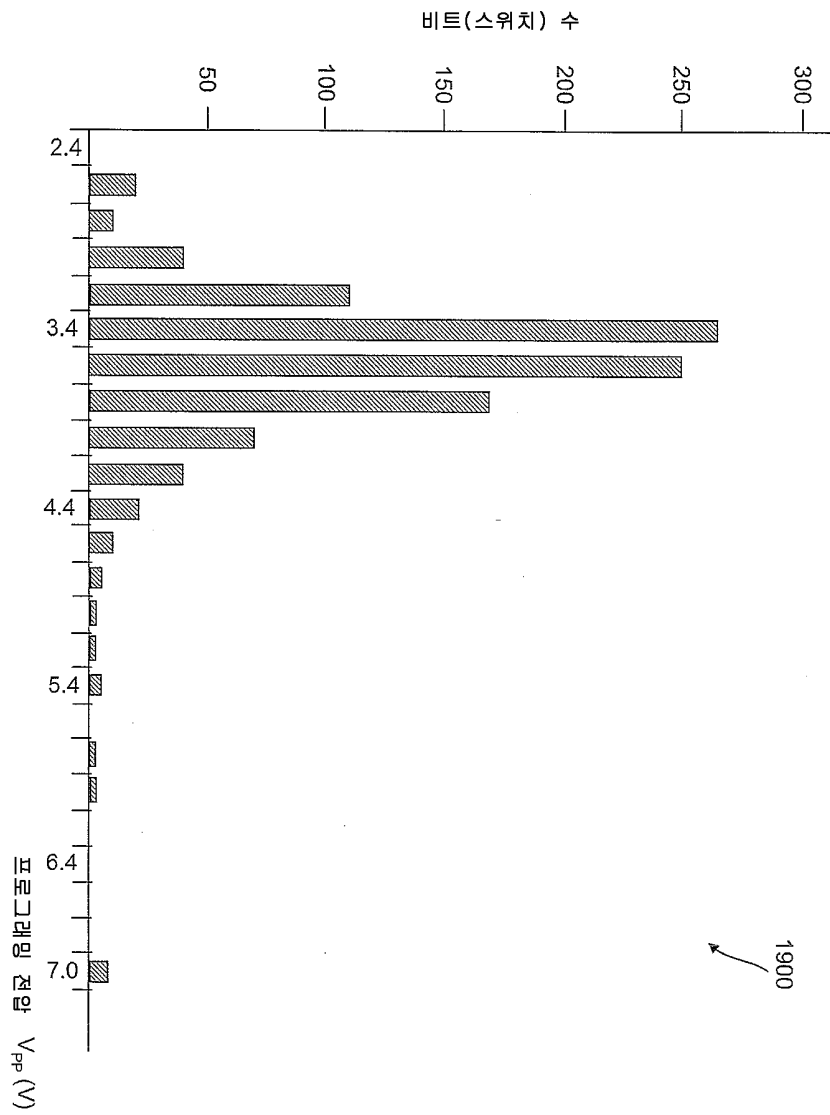
도면18a



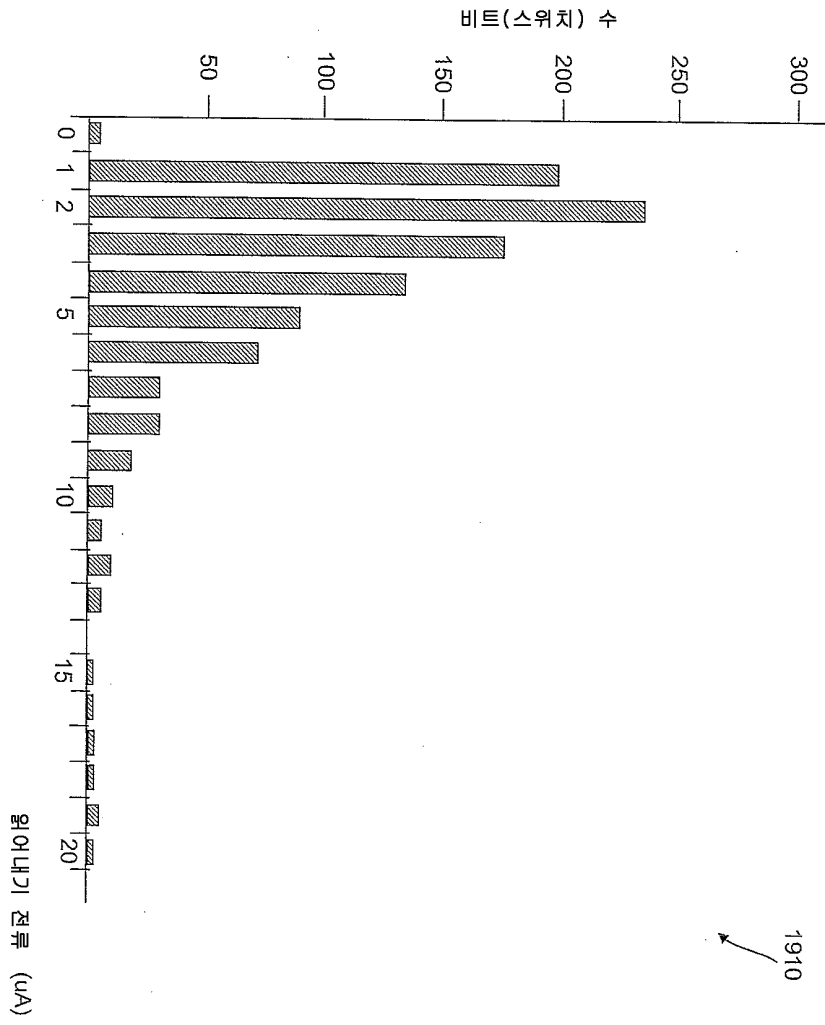
도면18b



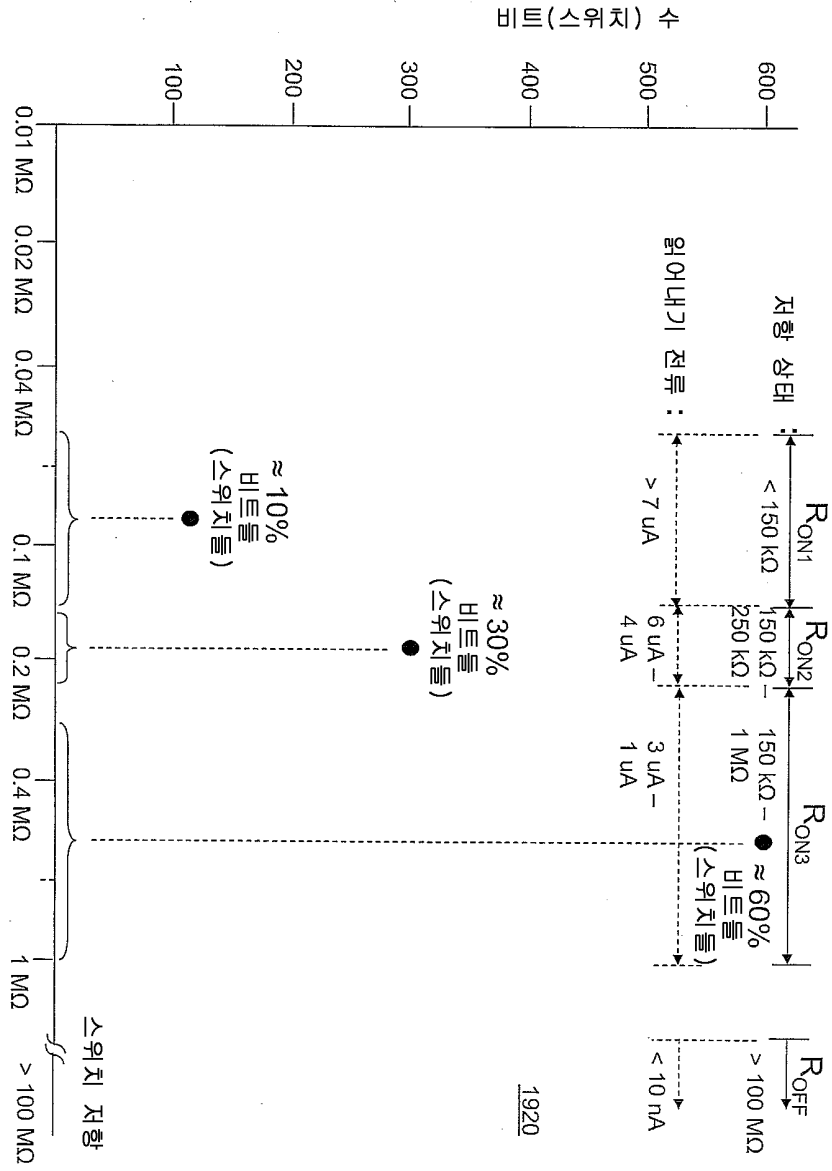
도면19a



도면19b



도면19c

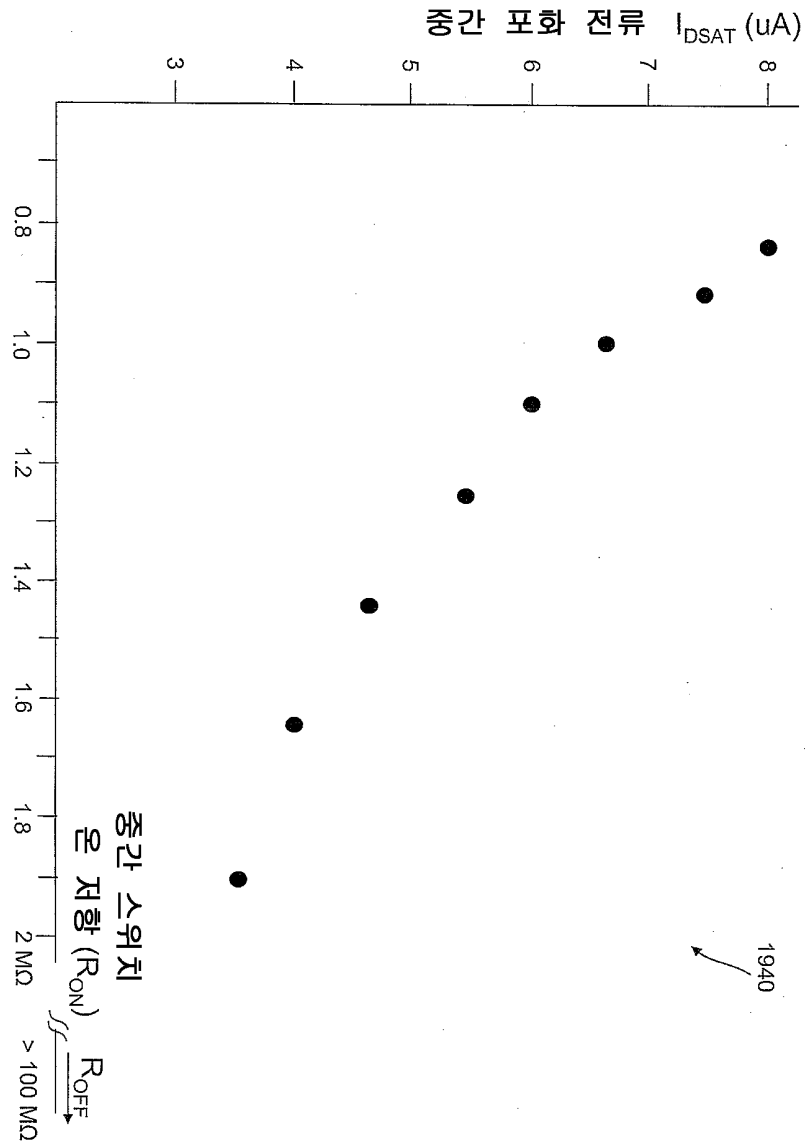


도면19d

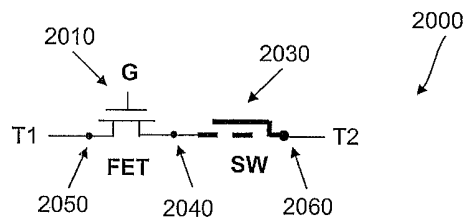
V_{WLO} (V)	1볼트에서의 중간 I_{READ} (μA)	중간 대응 I_{SAT} (μA)
0.9	0.52	3.48
0.96	0.6	4.02
1.02	0.7	4.69
1.08	0.8	5.36
1.16	0.9	6.03
1.22	1.0	6.7
1.28	1.1	7.37
1.4	1.2	8.04

1930

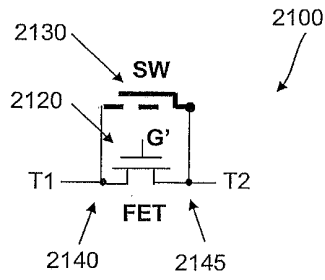
도면19e



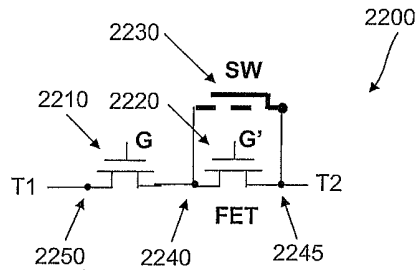
도면20



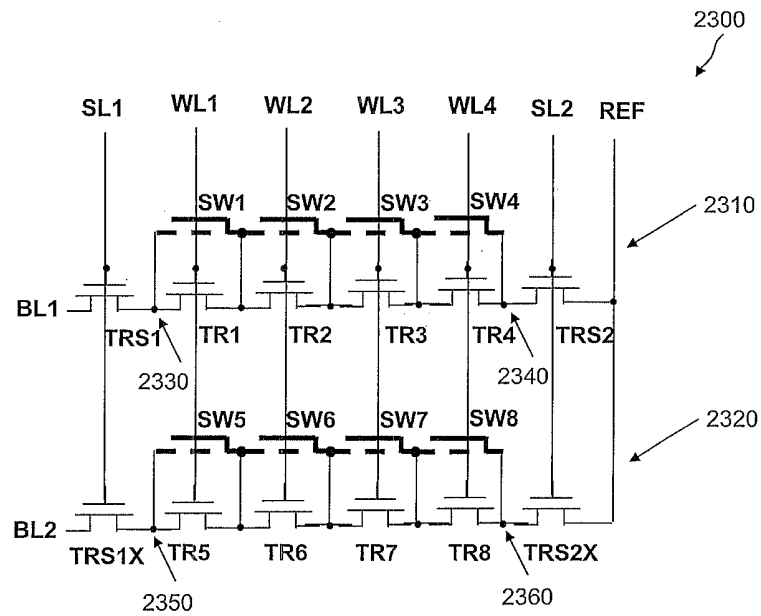
도면21



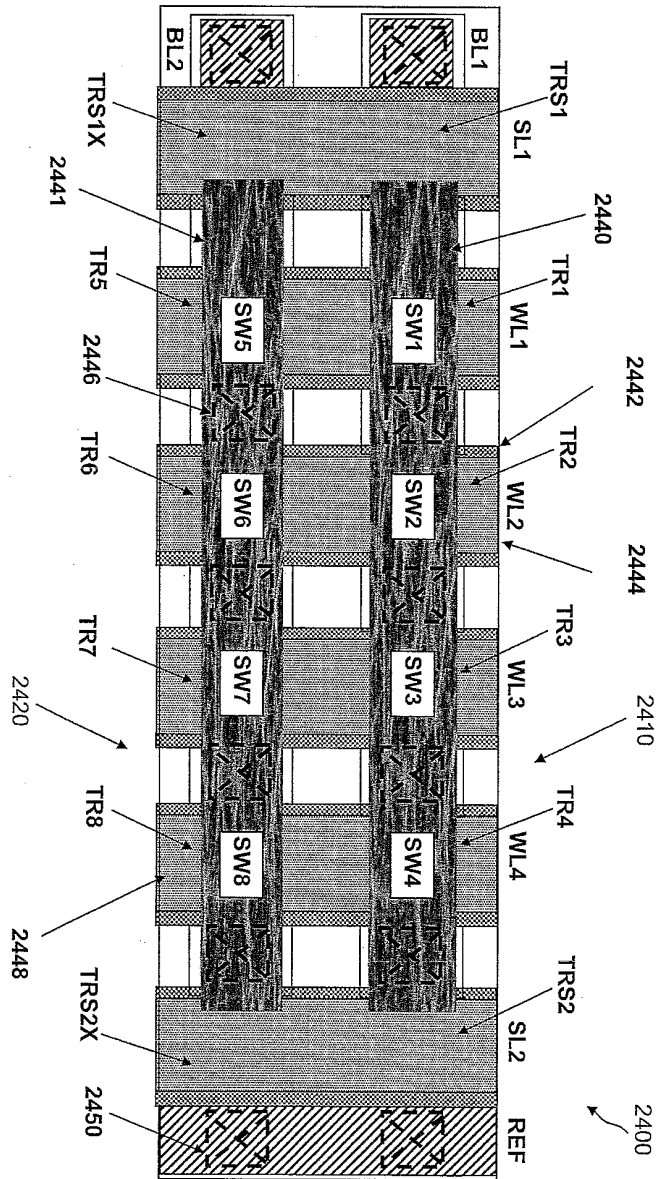
도면22



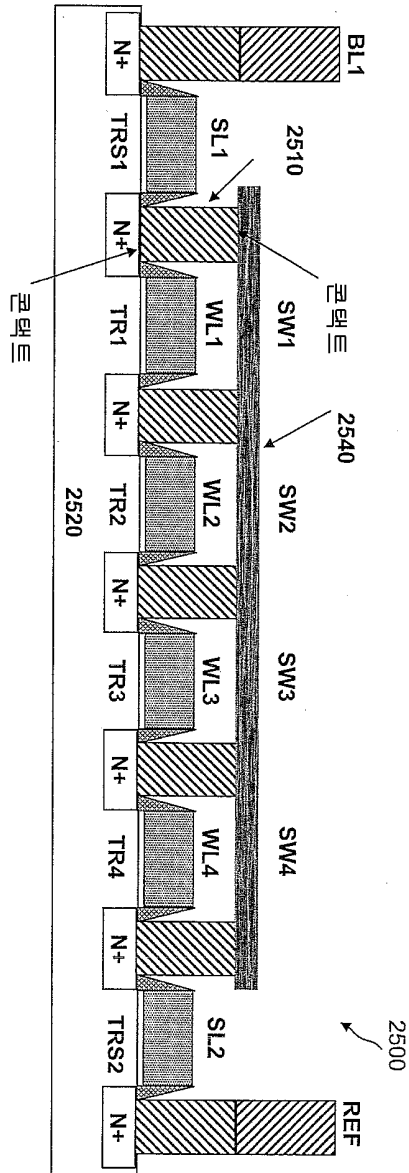
도면23a



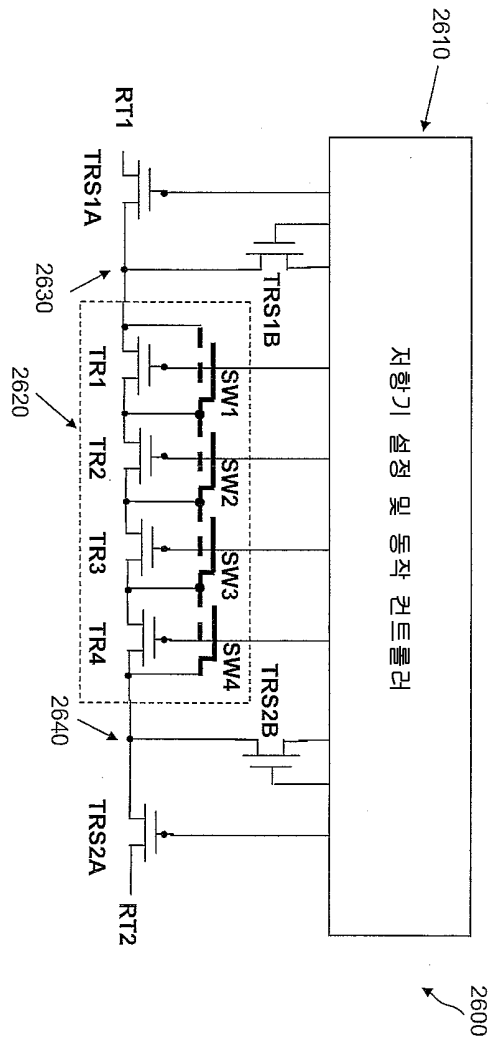
도면24



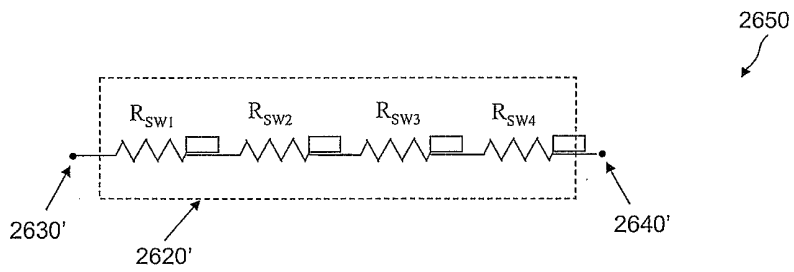
도면25



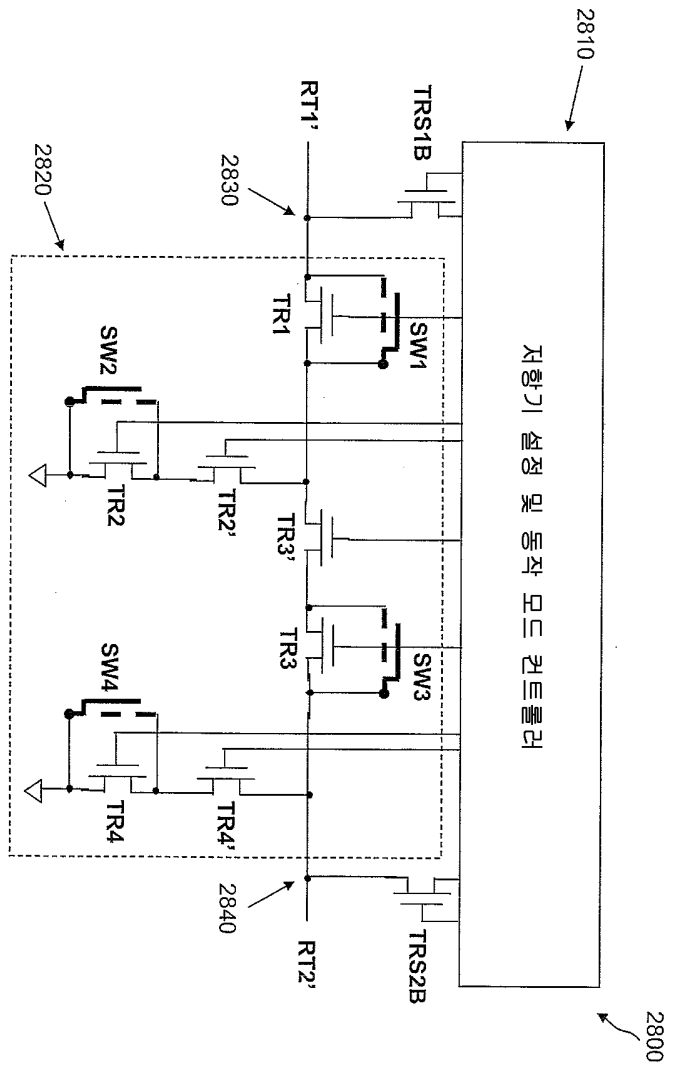
도면26a



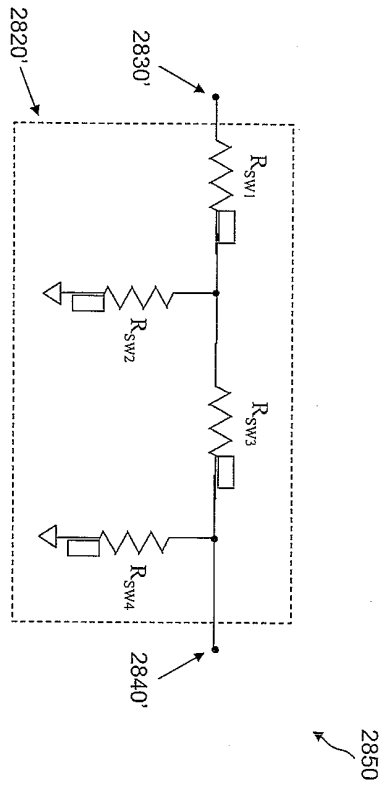
도면26b



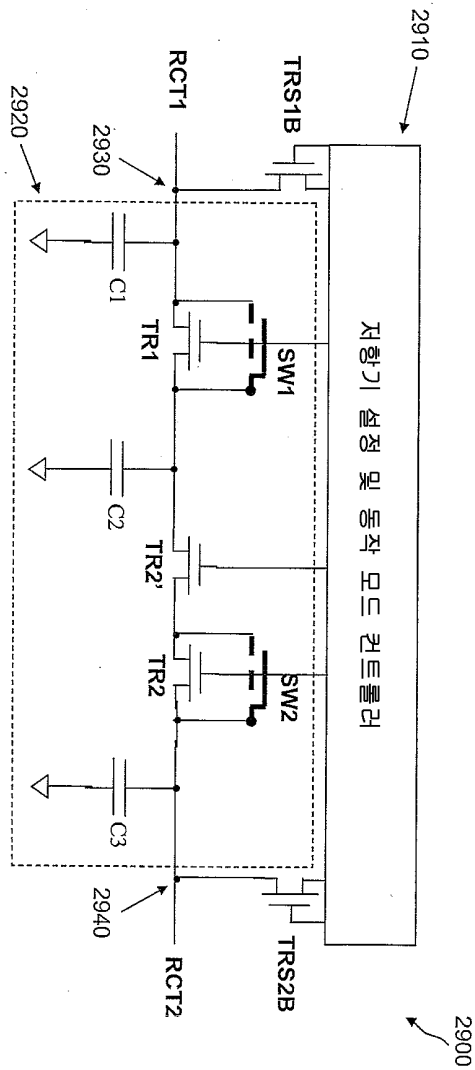
도면28a



도면28b



도면29a



도면29b

