

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和6年7月26日(2024.7.26)

【国際公開番号】WO2022/029541

【出願番号】特願2022-541320(P2022-541320)

【国際特許分類】

G 0 6 F 12/00(2006.01)

G 1 1 C 5/04(2006.01)

G 0 6 N 3/063(2023.01)

G 0 6 G 7/60(2006.01)

H 0 1 L 29/786(2006.01)

H 1 0 B 12/00(2023.01)

H 1 0 B 99/00(2023.01)

H 1 0 B 41/70(2023.01)

10

【F I】

G 0 6 F 12/00 5 6 0 F

G 1 1 C 5/04 2 2 0

G 0 6 N 3/063

G 0 6 G 7/60

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 2 B

H 1 0 B 12/00 6 7 1 Z

H 1 0 B 12/00 8 0 1

H 1 0 B 99/00 4 4 1

H 1 0 B 41/70

20

【手続補正書】

【提出日】令和6年7月18日(2024.7.18)

30

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デジタル演算器と、アナログ演算器と、第1メモリ回路と、第2メモリ回路と、を有し

、
前記アナログ演算器、前記第1メモリ回路、および前記第2メモリ回路は、それぞれ、
チャンネル形成領域に酸化物半導体を有するトランジスタを含み、

前記第1メモリ回路は、第1重みデータをデジタルデータとして、前記デジタル演算器
に供給する機能を有し、

前記デジタル演算器は、前記第1重みデータを用いて積和演算を行う機能を有し、

前記第2メモリ回路は、第2重みデータをアナログデータとして、前記アナログ演算器
に供給する機能を有し、

前記アナログ演算器は、前記第2重みデータを用いて積和演算を行う機能を有し、

前記アナログ演算器、および前記第2メモリ回路が含む、チャンネル形成領域に酸化物半
導体を有するトランジスタの少なくとも一において、

ソース-ドレイン間に流れる電流量は、当該トランジスタがサブスレッショルド領域で

50

動作するときに流れる電流量である、
半導体装置。

【請求項 2】

請求項 1 において、
前記デジタル演算器は、前記アナログ演算器の動作中は、非動作状態となり、
前記アナログ演算器は、前記デジタル演算器の動作中は、非動作状態となる、
半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記デジタル演算器は、畳み込み演算を行う、
半導体装置。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記アナログ演算器は、全結合演算を行う、
半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記デジタル演算器は、チャンネル形成領域にシリコンを有するトランジスタを含む、
半導体装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、
前記酸化物半導体は、インジウム酸化物である、
半導体装置。

20

【請求項 7】

請求項 6 において、
前記デジタル演算器は、第 1 の層に設けられ、
前記アナログ演算器、前記第 1 メモリ回路、および前記第 2 メモリ回路は、第 2 の層に
設けられ、
前記第 2 の層は、前記第 1 の層の上に設けられる、
半導体装置。

30

【請求項 8】

請求項 7 において、
前記第 1 メモリ回路は、前記デジタル演算器に重畳して設けられる、
半導体装置。

40

50