

# [12] 发明专利申请公开说明书

[21] 申请号 98800448.8

[43]公开日 1999年8月25日

[11]公开号 CN 1226980A

[22]申请日 98.4.7 [21]申请号 98800448.8

[30]优先权

[32]97.4.9 [33]US [31]60/042,836

[32]98.3.30 [33]US [31]09/050,114

[86]国际申请 PCT/US98/07271 98.4.7

[87]国际公布 WO98/45954 英 98.10.15

[85]进入国家阶段日期 98.12.9

[71]申请人 GE 基本太空网络服务公司

地址 美国弗吉尼亚州

[72]发明人 P·M·弗雷丁 D·G·德克尔

M·J·瑟尔罗纳 N·F·克拉斯纳

[74]专利代理机构 中国专利代理(香港)有限公司

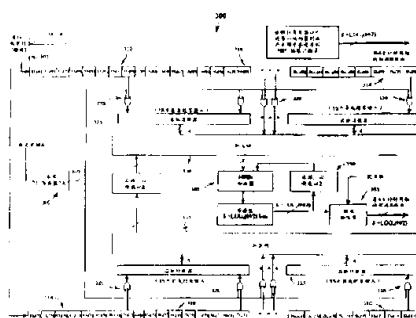
代理人 邹光新 陈景峻

权利要求书 2 页 说明书 14 页 附图页数 4 页

[54]发明名称 相关器方法和设备

[57]摘要

可编程数字相关器器件及有关的相关方法,具有非常有效的结构。在一个方面,两个或多个相关器共享一个公共的数据序列移位寄存器。在另一方面,数据序列移位寄存器由随机存取存储器(RAM)模块组成,它们允许以现场可编程门阵列(FPGA)逻辑器件有效地构建。把对二的补码的数据样本与参考序列相乘,以产生未结束的对二的补码的乘积,这些乘积在包含总体计数器的加法器中以无正负号的运算被求和,以产生未结束的对二的补码的乘积,以及在所有其它计算完成以后加上校正因子,以便把无正负号的结果变换回到对二的补码数。



ISSN 1008-4274

## 权 利 要 求 书

1. 用于把包括多个数据样本的数据序列与包括多个第一参考序列值的第一参考序列和包括多个第二参考序列值的第二参考序列同时进行相关的相关器, 包括:

- 5        数据序列移位寄存器, 用于接收和存储数据样本;  
      第一参考寄存器, 用于存储第一参考序列值;  
      第二参考寄存器, 用于存储第二参考序列值;  
      第一组第一乘法器, 用于把每一个数据样本与相应的一个第一参考序列值相乘, 以产生一组第一相关乘积;
- 10       第二组第二乘法器, 用于把每一个数据样本与相应的一个第二参考序列值相乘, 以产生一组第二相关乘积;  
      第一加法器, 用于相加第一相关乘积, 以产生第一相关值; 以及  
      第二加法器, 用于相加第二相关乘积, 以产生第二相关值。

15       2. 权利要求 1 的相关器, 其特征在于, 其中所述数据序列移位寄存器包括多个随机存取存储器。

3. 权利要求 2 的相关器, 其特征在于, 其中所述随机存取存储器, 每个是 1 比特宽。

20       4. 权利要求 1 的相关器, 其特征在于, 其中所述第一乘法器和所述第二乘法器是异或门。

5. 权利要求 1 的相关器, 其特征在于, 其中所述第一加法器和所述第二加法器, 每个包括总体计数器。

25       6. 用于把包括多个对二的补码的数据样本的数据序列与包括多个参考序列值的参考序列进行相关, 以产生对二的补码的相关值的相关器, 包括:

- 数据序列移位寄存器, 用于接收和存储对二的补码的数据样本;  
      参考寄存器, 用于接收和存储参考序列值;  
      多个乘法器, 用于把每一个对二的补码的数据样本与参考序列值之一相乘, 以产生多个未结束的对二的补码的相关乘积;
- 30       加法器, 用于以无正负号的运算相加多个未结束的对二的补码的相关乘积, 以产生无正负号相关结果; 以及  
      累加器, 用于累加部分和, 以及把校正因子相加到无正负号相

关结果，以产生对二的补码的相关值。

7. 权利要求 6 的相关器，其特征在于，其中所述数据序列移位寄存器包括多个随机存取存储器。

5 8. 权利要求 6 的相关器，其特征在于，其中多个乘法器是异或门。

9. 权利要求 6 的相关器，其特征在于，其中加法器包括一个或多个总体计数器。

10 10. 用于把包括多个对二的补码的数据样本的数据序列与包括多个参考序列值的参考序列进行相关，以产生对二的补码的相关值的方法，包括以下步骤：

把每一个对二的补码的数据样本与参考序列值之一相乘，以产生多个未结束的对二的补码的相关乘积；

在加法器中，以无正负号的运算相加多个未结束的对二的补码的相关乘积，以产生无正负号的相关结果；以及

15 把校正因子相加到无正负号的相关结果，以产生对二的补码的相关值。

11. 权利要求 10 的相关方法，其特征在于，其中乘法步骤是通过多个异或门实行的。

20 12. 权利要求 10 的相关方法，其特征在于，其中加法器包括一个或多个总体计数器。

# 说明书

## 相关器方法和设备

### 发明领域

5 本发明关系到数字信号领域，更具体地，关系到数字相关。

### 相关技术背景

相关器已被广泛地使用于信号处理，以便测量在数据序列和预定的模式或参考序列之间的相关的程度。在一维数字信号处理的情况下，相关值  $y$  代表在一个数据样本 ( $d_i$ ) 序列和一个参考值 ( $r_i$ ) 序列

$$y = \sum_{i=1}^n (r_i \cdot d_i)$$

10 之间的相关，可由下式确定：

相关被用于多种应用，包括语音识别、在检验处理识别中打印材料的模式识别、以及通信系统同步。

15 相关器已在许多通信系统中被使用来执行接收机时钟同步。在那种情况下，为了易于同步，通信发射机和通信接收机每个配备有具有预定模式的参考序列。通信发射机发射参考序列，使得接收机时钟易于同步到发送的信号上。参考序列被选择为具有良好的自相关特性，例如，良好规定的相关峰值和相当低的副瓣。

20 图 1 显示了通信接收机相关器，它以 8 比特长的相关参考序列运行，以便在接收的数据序列和参考序列相匹配的时间产生相关峰值。在图 1 的例子中，假定每个数据样本被表示为一个 8 比特的对二的补码数，具有一个在  $\pm 127$  的范围内的数值。在每个时钟周期，输入数据的最后八个样本  $d_i (i=1, 8)$  逐个样本地与参考序列比特  $r_i (i=1, 8)$  相乘，以产生相关值  $y$ 。也就是， $y$  可以具有 +1016 的最大值和 -1016 的最小值。把相关值  $y$  与相关门限  $y_{TH}$  进行比较，当  $y$  超过  $y_{TH}$  时，就宣布相关匹配，表示已接收到相关序列，借此接收机被同步到发射机。

30 相关器也已在直接序列扩频通信系统中被使用来检测接收的信号，该信号是通过使用被称为扩频码的二进制序列被扩频发送的。在这种情况下，发射机和接收机每个配备有参考序列，它具有相应于扩频码的预定的模式。

发射机用扩频码扩频要被发送的原先的数据信号，以产生扩频信号。在接收机处，去扩频相关器通过把接收的信号与相应于扩频码的参考序列进行相关而恢复原先的数据信号。

5 相关器是通过使用专用数字信号处理器而建成的。然而，这些器件被它们的处理速度所限制。这样，它们对于高速相关，特别是对于非常长的参考序列，可能是不实际的。

图 2 是按照现有技术的传统的长度  $n$  的可编程数字相关器 100 的方框图，它可被用于接收机同步或用于将扩频信号去扩频。相关器 100 包括数据延时线 101、参考序列存储器 103、乘法器级 105、和加法器树 107。现在将描述这个现有技术相关器 100 的运行。

在初始化过程期间，参考数值  $r_i (i=1, n)$  的参考序列被存储在参考序列存储器 103。在图 1 的示例的相关器中，假定每个参考序列数值  $r_i$  被表示为 1-比特的二进制数值。在每个参考时钟周期，新的参考序列数值被加到相关器 100 的参考序列存储器 103。参考序列存储器 103 由  $n$ -级参考移位寄存器组成，即进一步说由  $n$  个 1-比特参考序列寄存器 104 组成。

数据样本  $d_i (i=1, n)$  的接收的数据序列被加到相关器，用来与参考序列相关。在通常情况下，每个数据样本  $d_i$  被表示为  $m$ -比特二进制数值。在图 2 的示例性的相关器中， $n=8$ 。在每个数据时钟周期，新的数据样本  $d_i$  被加到相关器 100 的数据延时线 101。

25 数据延时线 101 被做成为  $n$ -级数据序列移位寄存器。在每个数据时钟周期，新的数据样本  $d_i$  以字节被加到数据延时线的第一数据寄存器-1 102。在先前的数据时钟周期已被存储在第一数据寄存器-1 中的数据样本  $d_2$  被移入第二数据寄存器-2。同样地，在所有其它数据存储器中的数据样本每个被向右移位一个寄存器。被存储在最后的数据寄存器- $n$  中的最老的数据样本  $d_{n+1}$  存在于数据延时线 101，并被丢弃。

数据序列  $d_i (i=1, n)$  与参考序列  $r_i (i=1, n)$  的相关是通过在乘法器级 105 首先把每个数据样本  $d_i$  与相应的参考值  $r_i$  相乘而完成的。乘法器级 105 由  $n$  个乘法器 106 组成。 $N$  个乘法器 106 产生  $n$  个相关乘法的乘积， $y_i=d_i*r_i (i=1, n)$ ，每个被表示为一个  $m$  比特二进制值，在这个例子中， $m=8$ 。

n 个 m-比特相关乘法乘积  $y_i$  然后被加到加法树 107 的  $n/2$  个第一级加法器 108。每个第一级加法器 108 把两个 m-比特相关乘法乘积  $y_i$  相加，以产生  $(m+1)$ -比特中间相关和值  $z_i$ 。  $n/2$  个第一级加法器 108 产生  $n/2$  个中间相关和值，它们被加到加法树 106 中的  $n/4$  个第二级加法器。这个处理重复进行，直到加法树 106 的最后级加法器 109 产生单个  $(m+\log_2(n))$  比特相关值  $y$ 。这样，加法树包含  $\log_2(n)$  级，带有总共  $n-1$  个加法器。

现有技术的传统相关器的例子是由 Harris 公司生产的 HSP45256。

10 现有技术的传统可编程数字相关器 100 需要大量电路。例如，考虑一个长度  $n=128$  的相关器，用于把 128 个被表示为 8-比特数的数据样本与 128 个 1-比特数的参考序列进行相关。128 级数据延时线对于每个要被存储的比特需要一个触发器。对于 8 比特数据样本，数据延时线需要  $8 \times 128=1024$  个触发器。参考序列存储器需要附加的  
15 128 个触发器，参考序列中每个比特 1 个触发器。

当用专用集成电路 (ASIC) 进行设计时，逻辑总量以门来计量，这些门被理解为等价于 2 输入端的与非门。所有其它的门和触发器被转换成等价的 2 输入端与非门的需要数。例如，一个触发器等价于至少六个 2 输入端与非门。

20 数据延时线的 1024 个触发器代表  $1024 \times 6$  个门 = 6144 个等价的 2 输入端与非门的逻辑需要，以及参考存储器需要  $128 \times 6$  个门 = 768 个等价的 2 输入端与非门。

相关器中的每个乘法器必须把有正负号的 8 比特数据样本与典型地是 1 比特值的参考值相乘。1 比特的参考值可以是编码的值，数值“1”表示“-1”，数值“0”表示“+1”。所以相乘的结果或者是与样本数据相同的值（如果参考值是“0”），或者是负的样本数据  
25 值（如果参考值是“1”）。所以每个乘法器可以以 8 个 XOR（异或）门和一个 8 比特增量器来实现。

为了进行门计数，一个 XOR 门等价于三个 2 输入端与非门，以及一个增量器需要约每个比特 4 个门。8 比特乘 1 比特的乘法器对于 XOR 门需要  $8 \times 4$  个门，以及 8 比特增量器需要  $8 \times 4$  个门。这样，每个乘法器需要  $(8 \times 3) + (8 \times 4) = 56$  个等价的 2 输入端与非门。由于有 128

个乘法器，所以总数是  $128 \times 56 = 7168$  个等价的 2 输入端与非门。

加法树需要多得多的门。通常，对于长度  $n$  的相关器，需要  $n-1$  个加法器。对于以 8 比特数据样本的长度 128 的相关器的实例，加法树包括 64 个 8 比特加法器产生 9 比特的结果，32 个 9 比特加法器产生 10 比特的结果，16 个 10 比特加法器产生 11 比特的结果，8 个 11 比特加法器产生 12 比特的结果，4 个 12 比特加法器产生 13 比特的结果，2 个 13 比特加法器产生 14 比特的结果，以及 1 个 14 比特加法器产生 15 比特的结果。

为了进行门计数，一个加法器需要每个比特 7 个门。所以，对于长度 128 的相关器的加法树包括总共 1136 比特的加法器，它需要  $1136 \times 7 = 7952$  个等价的 2 输入端与非门。

这样，以 8 比特样本的长度 128 的可编程数字相关器需要总共 1152 个触发器和 15120 个其它的门，或总共 22032 个门，加上某个小量的粘结逻辑块。

在扩频系统中，接收机可能需要具有许多去扩频相关器。例如，在具有中央主地球站接收机的天线系统中，该接收机同时和具有不同扩频码的许多发射机通信，接收机对于可能被使用的每个扩频码需要有至少一个去扩频相关器。在这种情况下，有效地利用电路来构建相关器是特别重要的。

例如，考虑一个用于 QPSK 调制的扩频信号的扩频接收机，对于 I 和 Q 波形都用长度 128 的扩频码序列。还假定，去扩频接收机相关器对每个符号作用在两个样本上，以提供粗定时信息给接收机，这样，存储接收的数据的 256 个 8 比特样本用于相关。如果相关器是通过使用上面提到的 HSP45256 器件而被构建的，则每个接收机需要至少 16 个这样的器件，用于每个 I 或 Q 相关器。如果通信系统使用 32 个必须同时被检测的不同扩频序列，则它需要至少  $16 \times 2 \times 32 = 960$  个这样的器件。

在许多低的和中等的规模的应用中，希望通过使用现场可编程门阵列 (FPGA) 器件来实现可编程数字相关器。不幸地，诸如相关器 100 那样的相关器在使用通过传统设计实现的 FPGA 时并不能给出有效的结构。

例如，Xilinx XC4025E FPGA 具有 1024 个可配置的逻辑块

(CLB)。每个 CLB 包含两个触发器、一个次级功能发生器、和两个主功能发生器，每个有四个输入端与一个输出端。例如，对于两个可编程数字相关器所需要的，构建这 128-级 8-比特数据延时线，将耗费掉这个举例的 Xilinx FPGA 中的全部 2048 个触发器。因此，按照  
5 现有技术以 FPGA 构建两个传统的以 8 比特数据样本的长度 128 相关器 100 是不可能的。

事实上，仅仅把一个这样的实例的相关器适合于 XILINX 4025E 将是困难的。Xilinx XC4025E FPGA 具有最大值的 25000 个门，其中典型地 15000 个门有可能通过标准的设计实践而被实际使用。如上所示，以 8 比特数据样本的长度 128 的相关器 100 需要最小值的 22032  
10 个门。

因此，提供具有比单个器件在前面可提供的更大的移位寄存器长度与宽度的组合的可编程数字相关器是有利的。提供能够同时把输入的样本数据与两个或更多个预定参考序列进行相关的可编程数字  
15 相关器也是有利的。提供用于扩频接收机的可编程数字相关器同样是有利的，它能够每个输入数据的符号处理一个以上的样本，以提供要被接收机使用的粗略的相关峰值时间信息。提供能够高速运行的可编程数字相关器还是有利的。其它的和进一步的目的与优点将在后面看出。

20

### 发明概要

本发明包括用于执行长数据序列的高速相关的方法和设备。

在本发明的一个方面，长数据序列的高速数字相关是在单个现场可编程门阵列 (FPGA) 器件中实施的。FPGA 提供了用于长数据序列  
25 的存储器、用于存储一个或多个预定参考序列的可编程存储寄存器、用于把数据样本与参考序列值相乘，以产生相关乘积的多个乘法器、以及用于把相关乘积相加，以产生相关值的加法器。

在本发明的另一个方面，数字相关器把数据序列存储在由多个随机存取存储器 (RAM) 模块组成的长的移位寄存器中。优选地，数据序列包含  $m$  比特数据数值，以及 RAM 模块每个是  $p$  比特深乘 1 比特  
30 宽。在优选实施例，相关器在每个时钟期间处理来自每个 RAM 模块的一个比特。



在本发明的又一个方面，数字处理器把数据序列中以对二的补码数表示的数据样本与预定数据序列中的数据数值相乘以产生未完成的对二的补码乘积。优选地，乘法是通过使用异或（XOR）门来实现的。然后所有乘法的乘积被相加以产生相关值。在所有计算结束时，一个相关值被加到相关值中，以完成对二的补码的运算。

在本发明的又另一个方面，数字处理器包括一个加法器，它又包括多个总体计数器。每个总体计数器产生一个输出，它表示被设置为 1 的输入比特的数目。优选地，每个总体计数器还包括多个流水线级。

在本发明的再又一个方面，数字处理器包括具有一个加法器的加法树，它把总体计数器输出相加以产生无正负号的二进制输出。在相关计算结束时，相关器相加相关值，以产生二的补码的相关值。相关值：（1）补偿当总体计数器把输入乘积当作为无正负号的数值处理时造成的正负号错误；以及（2）完成乘法器的对二的补码运算，它产生如前面描述的未结束的对二的补码乘积。

#### 附图概述

图 1 是说明通信接收机中的相关器的运行的时序图。

图 2 是现有技术的数字相关器的功能性方框图。

图 3 是按照本发明的一个或多个方面的可编程数字相关器的功能性方框图。

图 4 是按照本发明的一个或多个方面的 15 比特总体计数器的功能性方框图。

#### 优选实施例详细描述

在图 3 的优选实施例中，双重相关器 300 把单个接收的数据序列同时与两个不同的预定相关参考序列，被表示为参考序列“A”和参考序列“B”，进行相关。双重相关器提供用于接收的数据序列的数据序列存储器，并包括用于两个相关参考序列的每个序列的单独的存储寄存器。

双重相关器 300，例如可处理来自直接序列扩频通信接收机中的解调器的 I 或 Q 数据。在那种情况下，相关参考序列 A 和 B 每个可相

应于可被多个远端通信发射机使用的多个扩频码中的一个扩频码。该实施例的其它方面和特性将通过此后的对其运行的详细描述而弄明白。

5 在图 3 的示例性实施例中，假定数据序列中的数据样本以对二的补码的运算中的 8 比特二进制数来表示。然而，本领域的技术人员将会明白，该数据可以用或多或少的比特，例如 6 比特或 12 比特来表示，而不背离本发明的精神和范围。

10 数据序列被提供给并行-串行转换器 305。并行运算对串行运算的折衷，关系到进行运算所需要的逻辑资源量，和可供执行运算使用的时间。并行运算需要最大的逻辑资源，但在一个时钟周期内完成。全部串行（即，一次处理一个比特）需要最小的逻辑资源，但需要与运算数中的比特数一样多的时钟周期数。

15 对于这里描述的优选实施例，8 比特的运算数被转换成 2 比特宽的串行数据流。2 比特宽串行数据流然后在四个周期内以比 8 比特数据样本的数据时钟速率快四倍的相关器时钟速率被处理。这给出了 8 比特并行运行的逻辑资源要求的 1/4，但需要串行时钟快四倍。其它实施例可使用不同的折衷。

20 并行-串行转换器 305 接收以  $W$  周期/秒的数据时钟速率的一系列 8 比特并行数据样本的输入数据序列，并把它串行化为 2 比特宽的数据流，它以  $4W$  周期/秒的相关器时钟速率被输出。这样，数据序列中的 8 比特数据样本，每个样本一次可提供两个比特。每个数据样本的全部 8 个比特在四个接连的相关器时钟周期（相应于一个数据时钟周期）内被处理。

25 在第一相关器时钟周期，并行串行转换器 305 输出输入数据样本  $D_1$  的最低有效比特 (LSB)  $D_1(0)$  和次最低有效比特 (NLSB)  $D_1(1)$ 。在第二相关器时钟周期，并行串行转换器提供输入下两个最低有效比特  $D_1(2)$  和  $D_1(3)$ ，等等，直到全部 8 个比特在四个相关器时钟周期内被输出为止。由此，并行串行转换器每四个相关器时钟周期输出一个新数据样本给数据序列移位寄存器用于相关。

30 来自并行串行转换器 305 的 2 比特宽的数据样本被相关器时钟移位到由多个随机存取存储器 (RAM) 模块 310 组成的 2 比特宽的数据序列移位寄存器。数据序列移位寄存器由两串 RAM 模块组成，一串

用于在来自并行串行转换器 305 的 2 比特宽的数据流中的两个比特的每一个。

在优选实施例中，可配置逻辑块 (CLB) 随机存取存储器 (RAM) 结构被用来使得对数据序列移位寄存器的 CLB 需求最小化。例如，  
5 XILINX XC4025E CLB 可被配置来实现两个 16 比特深 1 比特宽的 RAM。每个 RAM 被连接来实现多到 16 比特长的 1 比特宽的移位寄存器。CLB 中的两个 RAM 一起可达到每个 CLB 32 比特的密度。(实际实现的真正长度取决于数据的速度和 FPGA 逻辑块的最大运行速度。)相反，CLP 触发器单独代表每个 CLB 仅仅 2 比特的密度。

10 在图 3 的实施例中，2 比特宽的数据序列移位寄存器通过使用每隔一个的数据样本被抽头用于相关。例如，如果每个相关参考序列 “A” 和 “B” 具有  $N/2$  的长度，则数据序列移位寄存器包含  $N$  个数据样本，一个抽头用于每隔一个的数据样本，使得一次有  $N/2$  的数据样本可供用于相关。对于带有 8 比特二进制表示的数据样本，每个 RAM  
15 模块是 1 比特宽 8 比特长，每隔一个数据样本提供一个抽头，如图 3 所示。地址线 (未示出) 使得一个比特可作为从每个 RAM 模块 310 在每个相关器时钟周期的输出被提供。

在那种情况下，每四个相关时钟周期，对于在 2 比特宽数据序列移位寄存器中包括每隔一个的数据样本的数据序列计算一个新的  
20 相关值。例如，数据样本可以是来自直接序列扩频通信接收机中的解调器的 I 或 Q 数据，在那种情况下，数据可以以两倍的符号速率被采样，以提供粗略时间信息给接收机，所以相关是相对于每隔一个数据样本执行的。

在图 3 的实施例中，2 比特宽数据序列移位寄存器对于由  $N$  个  
25 RAM 模块，或两串  $N/2$  个 RAM 模块组成，用于由并行串行转换器 305 提供的 2 比特宽数据流。

在优选实施例，每个 RAM 模块 310 可以是在 FPGA (例如 XILINX XC4025E FPGA) 中的可配置逻辑块 (CLB) 中的两个 RAM 模块中的一个。在那种情况下，FPGA 可提供在 128 个 CLB 中的  $N = 256$  个 RAM 模  
30 块，以构建包含 256 个 8 比特数据样本的 2 比特宽数据序列移位寄存器，它每隔一个数据样本提供一个抽头。

对于相关，数据序列中  $N/2$  个 8 比特数据样本 (相应于在数据

序列移位寄存器中每隔一个数据样本的抽头)的每个样本与参考序列“*A*”，“*B*”中的参考值相乘。在图 3 的实施例中，每个参考序列值可以是或者正 1 (+1) 或者负 1 (-1)。每个参考序列数据数值由 1 比特二进制数表示。参考序列比特是逻辑 0，表示正 1(+1) 的参考序列值，是逻辑 1，表示负 1(-1) 的参考序列值。

参考序列“*A*”和“*B*”的参考序列比特，每个被存储在分开的参考序列存储寄存器 315，它们每个具有  $N/2$  级。

例如，每个参考序列存储寄存器 315 可以由 FPGA 器件（例如 XILINX XC4025E FPGA）中的  $N/2$  触发器组成。在那种情况下，对于每个长度为  $N/2=128$  的参考序列，每个参考序列存储寄存器可包括 128 个触发器。

为了执行与参考序列“*A*”或“*B*”的相关，数据序列中每隔一个数据样本必须首先乘以正 1 (+1) 或负 1 (-1) 的参考序列值。8 比特数据样本以对二的补码的算术来表示，如上面所述。正如本领域的技术人员熟知的，为了把对二的补码数乘以负 1 (-1)，所有比特都必须被倒置，然后必须加上 1。例如，为了对于数 +4 (000 0100) 求补，所有比特被求反 (1111 1011)，然后加上 1，以产生对二的补码的 (1111 1100) = -4。

把数据序列的每个数据样本乘以相应的参考序列值的第一步骤可由 XOR 门实行。输入到 XOR 门的第一输入端被连接到来自数据序列移位寄存器的数据样本的一比特。参考序列比特是 0，表示乘以正 1 (+1)，以及是 1，表示乘以负 1 (-1)。

XOR 门用作为选择性-求补码器。XOR 门的输出在参考序列比特是 0 时，是与输入数据样本比特相同，而在参考序列比特是 1 时，是输入数据样本比特的相反值。这样，XOR 门在每个相关器时钟周期或者倒置或者不倒置一个数据样本比特。

在一个优选实施例中，同时使用两个 XOR 门，在每个相关器时钟周期期间，倒置或不倒置从数据序列移位寄存器提供的每个数据样本的两个比特。在四个相关器时钟周期内，这两个 XOR 门倒置或不倒置，（当可能是这种情况时）8 比特数据样本的全部八个比特。

来自 XOR 门的最终结果的数据是未结束的对二的补码的产物，因为在 XOR 后需要完成的增量，如果数据被倒置，是还未完成的。为

了产生最后的对二的补码的产物，需要加上 1。然而，对于每个相关乘积加上这个 1，需要相当大量的附加电路。有利地，在双重相关器 300 的优选实施例中，这个加法是在双重相关器 300 的另一级完成的，这在以后讨论。这样，XOR 门产生被表示为未结束的对二的补码

5 数的相关乘积。

在双重相关器 300 中，在每个相关器时钟周期，由 RAM 模块 310 组成的 2 比特宽数据序列移位寄存器提供以每隔一个数据样本抽头的 8 比特的数据样本的两个比特给 XOR 门 320。每个 XOR 门 320 的一个输入端被连接到 2 比特宽数据序列移位寄存器的对于一个比特的

10 一个抽头。每个 XOR 门 320 的另一个输入端被连接到参考序列移位寄存器 315 之一的一个抽头。

对于与长度为  $N/2$  的两个参考序列“A”和“B”的相关，有  $2N$  个 XOR 门 320， $N$  个门用于每一个参考序列。例如，在双重相关器 300 把数据序列与长度为  $N/2$  的两个参考序列“A”和“B”进行相关的情

15 况下，那么双重相关器具有 512 个 XOR 门，256 个用于参考序列“A”，以及 256 个用于参考序列“B”。用于每个参考序列的 256 个 XOR 门被分成用于 LSB 的 128 个 XOR 门、和用于 NLSB（次最低有效比特）的 128 个 XOR 门。

这样，在每个相关器时钟周期，用于与每个参考序列进行相关的  $N$  个 XOR 门产生  $N/2$  个 2 比特的相关乘积。每四个相关时钟周期， $N/2$  个 8 比特数据样本的全部八个比特被处理以产生新的相关值。

20

为了产生相关值，在每个相关器时钟周期，来自 XOR 门 320 的  $N/2$  个 2 比特未结束的对二的补码相关器产物中的每个产物必须被相加在一起，这个和值又必须被加到累加器中。正如对于图 1 的现有技术的相关器进行讨论的那样，如果使用传统的加法器，把  $N/2$  个相关器产物相加需要  $(N/2)-1$  个不同长度的加法器，耗费许多门。

25

而有利地，以之在双重相关器 300 的加法器中包括总体计数器，在每个相关器时钟周期期间，把  $N/2$  个 2 比特相关器产物相加。这样，在第一相关器时钟周期， $N/2$  个 LSB 相关乘积中的 15 个产物的组被馈送到 15 比特总体计数器 325。每个 15 比特总体计数器 325

30 的输出是 4 比特未标以正负号的二进制值，范围从 0 到 +15，表示 15 个相关乘积 LSB 输入都是 1 的输入的数目。在同时， $N/2$  个 NLSB 相

关乘积中的 15 个乘积的组也被馈送到相同的 15 比特总体计数器 325。对于每个参考序列“A”和“B”，总共有  $2 \times [N/2 - \text{modulo} - 15]$  个 15 比特的总体计数器，一半用于把 LSB 乘积相加以及另一半用于把次最低有效比特 (NLSB) 乘积相加。

5 图 4 是一个 15 比特总体计数器优选实施例的方框图，它可被使用于双重相关器 300。图 4 的 15 比特总体计数器 325 包含三个流水线级。

在总体计数器 325 的第一级，三个 4 比特组，每个被提供给由三个编码器 405 组成的三个第一级组 410。编码器 405 的每个第一级  
10 组 410 把四个输入比特编码成 3 比特二进制数，表示有多少个 4 比特是 1。也就是，每个第一级组产生具有权因子 20、21、和 22 的三个中间的输出。15 比特输入的剩余的 3 比特被提供给两个编码器的第四个第一级组 415。第四个第一级组 415 把三个比特编码成 2 比特二进制数，产生产生具有权因子 20、和 21 的两个中间的输出，再次表示有多少个 3 个输入比特是 1。这样，在第一级，总体计数器 325 产生  
15 总共四个 20 比特、四个 21 比特、和三个 22 比特。

在 15 比特总体计数器 325 的第二级中，来自第一级的四个 20 比特被提供给三个编码器 405 的第一个第二级组 420。编码器 405 的  
20 第一个第二级组 420 把四个 20 比特编码成 3 比特二进制数，表示有多少个 4 比特是 1。也就是，第一个第二级组 420 产生具有权因子 20、21、和 22 的三个中间的输出。

同样地，来自第一级的四个 21 比特被提供给三个编码器 405 的第二个第二级组 425。编码器 405 的第二个第二级组 425 把四个 21  
25 比特编码成 3 比特二进制数，表示有多少个 4 比特是 1。也就是，第二个第二级组 425 产生具有权因子 21、22、和 23 的三个中间的输出。

另外，来自第一级的三个 22 比特被提供给两个编码器 405 的第三个第二级组 430。编码器 405 的第三个第二级组 430 把三个输入比特  
30 编码成 3 比特二进制数，表示有多少个 3 比特是 1。也就是，第三个第二级组 430 产生具有权因子 22、和 23 的三个中间的输出。

接着，来自编码器的第一和第二个第二级组 420、425 的两个 21 比特在半-加法器电路 435 中被相加在一起，以产生最后的 21 比特和  
另一个 22 比特。平行地，来自编码器的第二和第三个第二级组 425、

430 的两个 22 比特在另一半-加法器电路 435 中被相加在一起，以产生第三个 22 比特和第三个 23 比特。这样，在第二级，总体计数器 325 产生一个 20 比特、一个 21 比特、三个 22 比特、和三个 23 比特。

5 在总体计数器 325 的第三级，该 20 比特和 21 比特被复制为总体计数器的最后输出比特。该三个 22 比特被提供给两个编码器 405 的第三级组 440。编码器 405 的第三级组 440 把三个输入比特编码成 2 比特二进制数，表示有多少个 3 比特是 1。也就是，第三级组 440 产生具有权因子 22、和 23 的两个输出。该 22 比特被提供为总体计数器 325 的最后的 22 比特输出。

10 现在剩下总共四个 23 比特要被处理。然而，输入到 15 比特总体计数器 325 的输入端总数是 15，这样，1 的数目不能超过 15。所以至多地，23 比特的数目可以等于 1。因此，该四个 23 比特被加到或门 445，以产生最后的 23 比特作为总体计数器 325 的输出。

15 在优选实施例中，在双重相关器 300 中的每个 15 比特总体计数器 325 通过剩余 FPGA 器件（例如 XILINX XC4025E FPGA）中的可配置逻辑块（CLB）被构建。在那种情况下，15 比特总体计数器的第一级需要总共五个半的 CLB，第二级需要总共四个半的 CLB，以及第三级需要总共两个 CLB。

20 总之，对于两个参考序列“A”和“B”的每个序列，双重相关器 300 包括  $2 * [N/2 - \text{modulo} - 15]$  个 15 比特总体计数器 325，以便对于由 XOR 门在每个相关器时钟周期产生的 2 比特宽未结束的对二的补码的相关乘积执行无正负号相加。15 比特总体计数器每个产生 4 比特无正负号的二进制数输出，它们被提供给加法树 330、335，这将在下面讨论。未提供给  $2 * [N/2 - \text{modulo} - 15]$  个 15 比特总体计数器 325 的  
25 LSB 相关乘积和 NLSB 相关乘积被分别提供给加法树 330 和 335。

例如，对于与长度为  $N/2=128$  ( $N=256$ ) 的参考序列进行相关，双重相关器 300 包括  $[256/2 - \text{modulo} - 15]=8$  个 15 比特总体计数器（加上 128 个乘积比特中的  $8 * 15 = 120$  个），产生对于 LSB 相关乘积的 8 个 4 比特无正负号二进制数，以及另八个 15 比特总体计数器产生对于次最低有效比特(NLSB)相关乘积的 8 个 4 比特无正负号二进制数。  
30 在那种情况下，八个 128 LSB 产物的最后的组被提供给加法树 330 的承载输入端。同样地，八个 128 NLSB 产物的最后的组被提供给加

法树 335 的承载输入端。

每个加法树 330、335 是把来自 15 比特总体计数器的 4 比特无正负号二进制数相加在一起的传统加法树。一定要正确地针对结果考虑对于在每一级被相加的比特位置的正确加权值。对于 NLSB 产物的加法树 335 的输出，在它被加到对于 NLSB 产物的加法树 335 的输出以产生所有  $N/2$  个 2 比特相关乘积的和值之前，被向右移一位以乘以二。这个和值的最大值是  $(N/2)*3=3N/2$ 。例如，在  $N=256$  相应于长度 128 的相关器的情况下，最大值是 384，它需要一个 9 比特的表示式。

在每个相关时钟周期期间所产生的所有  $N/2$  个 2 比特相关乘积的和值被加到累加器 340 的较高比特输入端。要记住，8 比特数据值在四个相关器时钟周期内一次被处理两个比特。在第一相关器时钟周期期间，相关器处理每个数据样本的 LSB 和 NLSB 比特。因此，来自累加器 340 的反馈在移位寄存器 350 中被向右移两个比特，以便相对于在下一个相关器时钟周期期间处理的来自下一个  $N/2$  比特-对的和值，减小其重要性四倍。

在接下来的三个相关器时钟周期的每个时钟周期期间，2 比特宽的数据序列移位寄存器被向右移一个位置。每次，相关乘积的和值在累加器 340 中与四倍的先前结果的权重相加，并被求和到先前的累加器总和的向左两个比特。

在四个相关器时钟周期内所有四次求和的结果是无符号的二进制数，它的最大值是  $N/2$  乘以最大的 8 比特值，也就是  $255*(N/2)$ ，它需要  $8+\log_2(N/2)$  个比特来表示。例如，如果  $N=256$ ，则  $N/2$  是 128，以及最大值是 32640，它需要 15 比特来表示。

最后，为了得到正确的对二的补码的相关值，必须执行最后两个操作。首先，该结果必须对于在乘法处理时使用的未结束的对二的补码运算来被校正。为做到这一点，相关器必须加进在所有的 1，这些 1 是当相关器对数据样本执行 XOR 选择性求补功能时没有被加上的。有利地，控制双重相关器运行的微控制器提供选择性求补校正，它表示由 XOR 门求补的数据序列样本数，相应于在参考序列寄存器中为 1 的比特数。

其次，由于总体计数器把来自 XOR 门的进入的数据作为无正负



号的数据处理，校正值必须被补偿。如果该结果没有被求反，则该结果的正负号将是错误的。相关器提供要被相加的正负号校正值，以提供这个补偿。在  $N=256$  的优选实施例中，正负号校正值是 400016。

5 在优选实施例中，通过微控制器把正负号校正值加到选择性求补校正值，然后把结果一次地加到校正加法器 355 以补偿在总体计数器中的无正负号变换和在 XOR 门中的未结束的对二的补码运算，而完成以上的两个运算。替换地，组合的校正值可在一开始被预先装载在累加器中，而不是在结束时被加上。

10 这样，对于每个数据时钟周期，双重相关器产生相应于参考序列“A”的正确的对二的补码的相关值。双重相关器 300 包括除了 2 比特宽数据移位寄存器以外的每一项的复制品，以产生对于第二参考序列“B”的第二相关值。

对于参考序列“A”和“B”的相关值，每个可与相关参考门限值进行比较，以检测相关事件，如技术上所熟知的。

15 在优选实施例中，双重相关器 300 用 FPGA 来被构建。在优选实施例中，FPGA 是 XILINX XC4025E FPGA。在那种情况下，使用 RAM 模块来实现 2 比特宽数据序列移位寄存器、复用数据序列移位寄存器来实行两次相关功能、以及总体计数器都有助于允许以单个 FPGA 实现两个非常长的数据序列相关器，而现有技术的传统相关器将是不适合的。

20 例如，按照本发明，用于把数据序列与两个参考序列（每个的长度为  $N/2=128$ ）进行相关的双重相关器可以用单个 XILINX XC4025E FPGA 来构建。在那种情况下，2 比特宽数据序列移位寄存器可以包含 256 个 8 比特数据样本，每隔一个数据样本被抽头。例如，这对于相关把每个符号采样两次的 I 或 Q 接收机数据进行相关，以提供附加的粗略定时信息给通信接收机，是有用的。

25 虽然这里揭示了优选实施例，但是保持在本发明的概念和范围内的许多变动是可能的。对于参阅过这里的说明、附图、和权利要求的本领域的技术人员，这样的变动将变得很明白。所以，本发明要被限制在所附属的权利要求的精神与范围内。

说明书附图

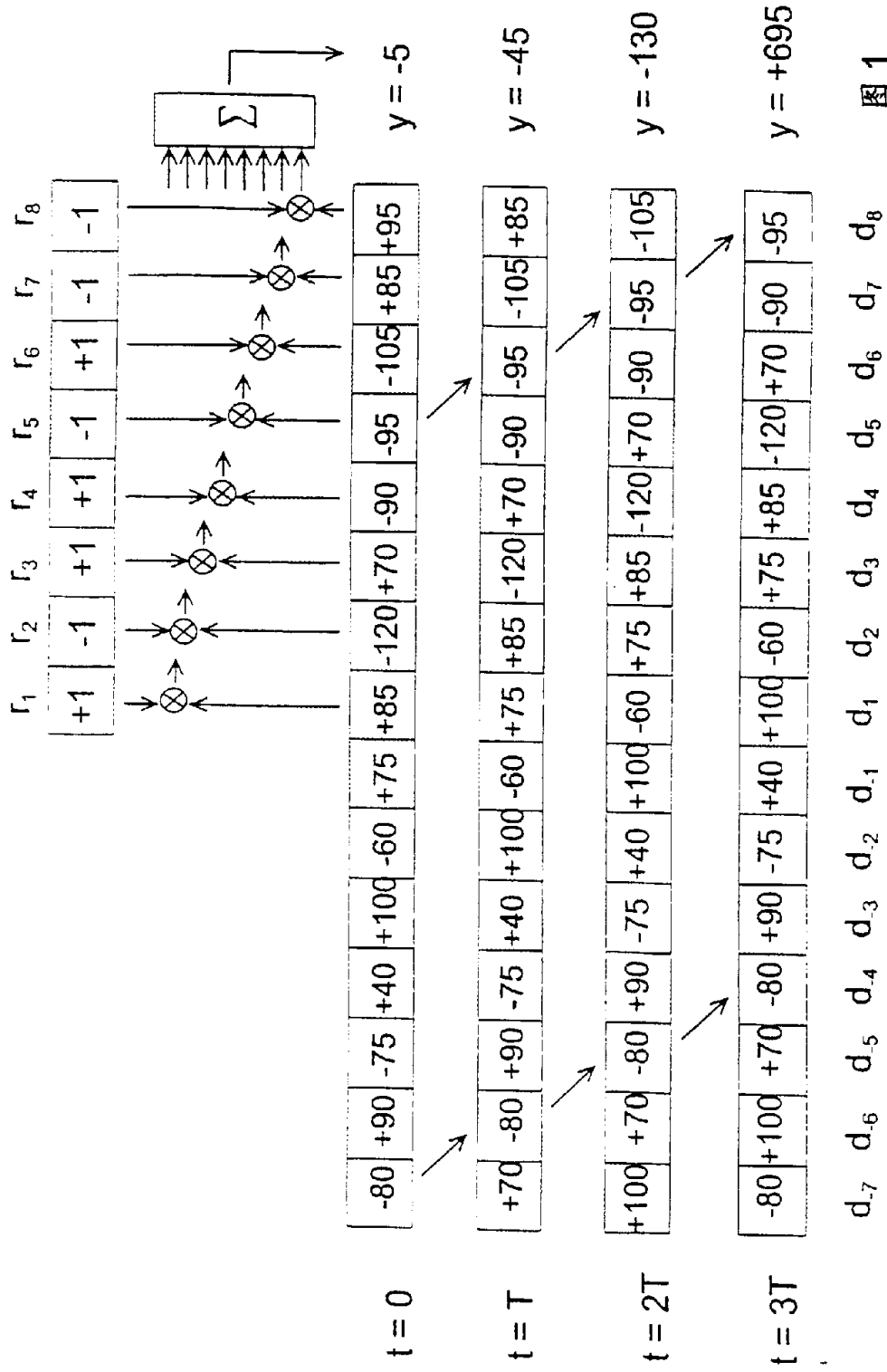
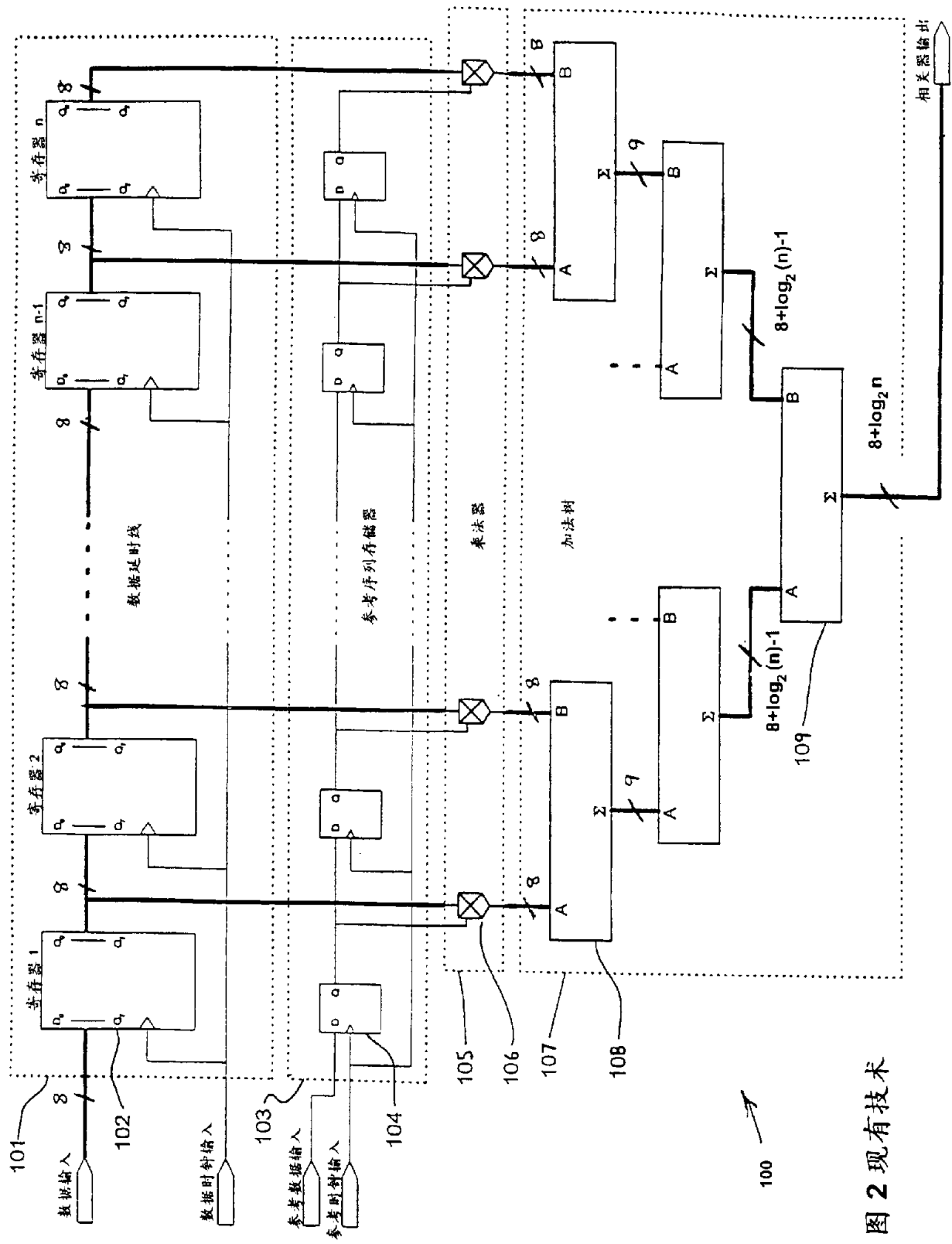


图 1



100

图 2 现有技术

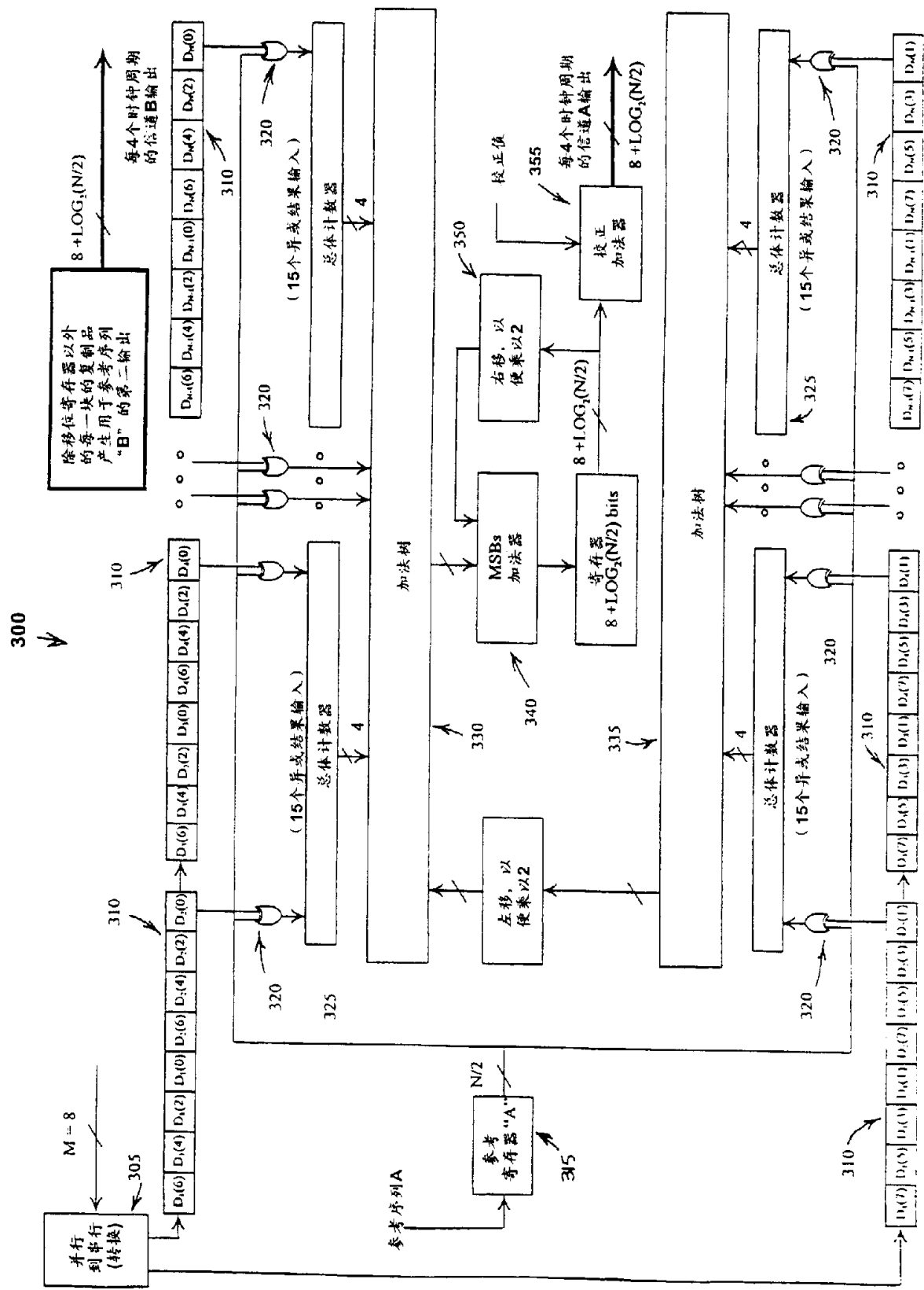


图3

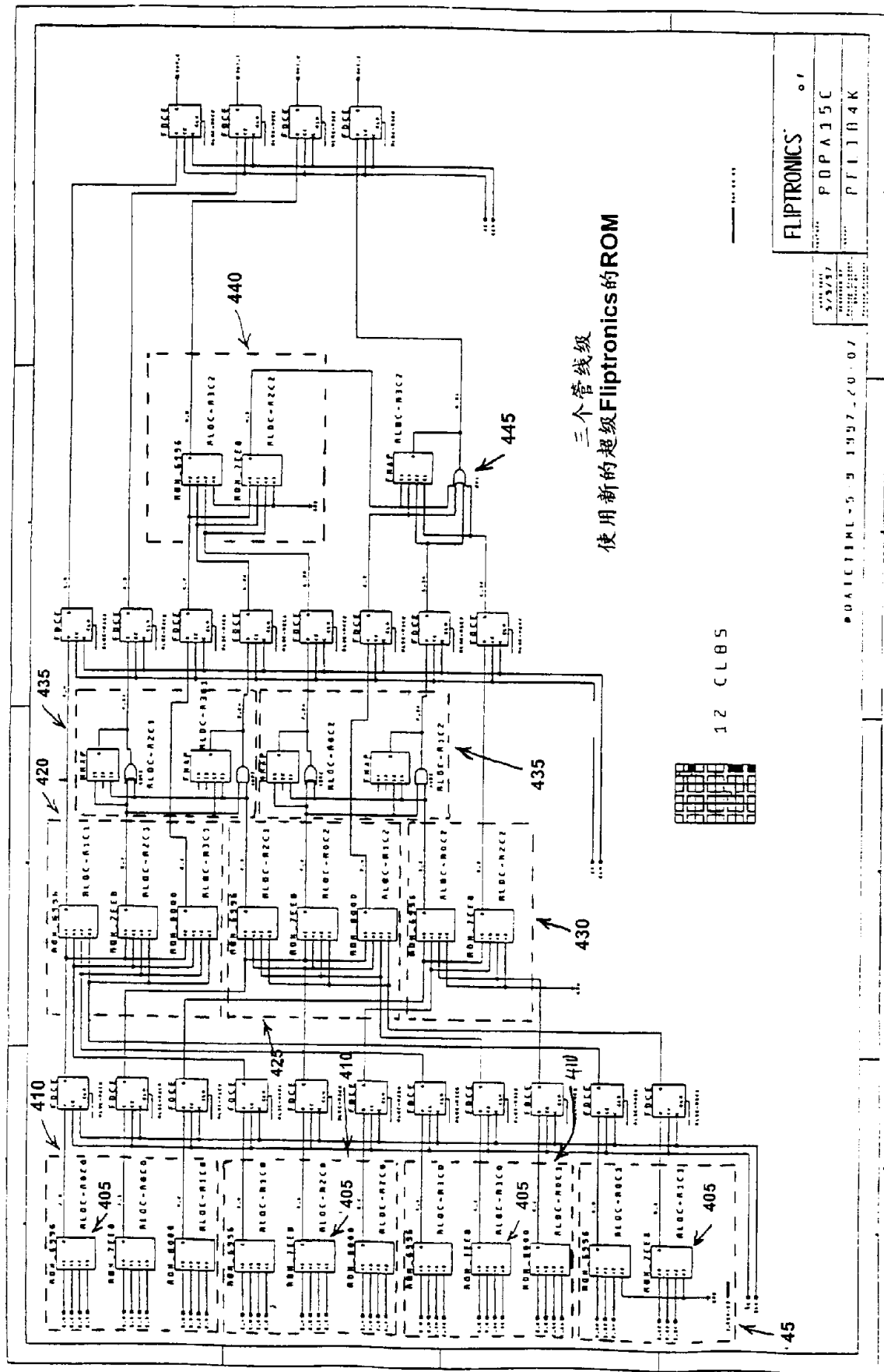


图 4