



(12) 发明专利申请

(10) 申请公布号 CN 103048600 A

(43) 申请公布日 2013. 04. 17

(21) 申请号 201210513098.1

(22) 申请日 2012. 12. 05

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)西
源大道 2006 号(72) 发明人 詹惠琴 姚明生 白雷 古天祥
李硕(74) 专利代理机构 成都行之专利代理事务所
(普通合伙) 51220

代理人 温利平

(51) Int. Cl.

G01R 31/26(2006. 01)

G01R 31/12(2006. 01)

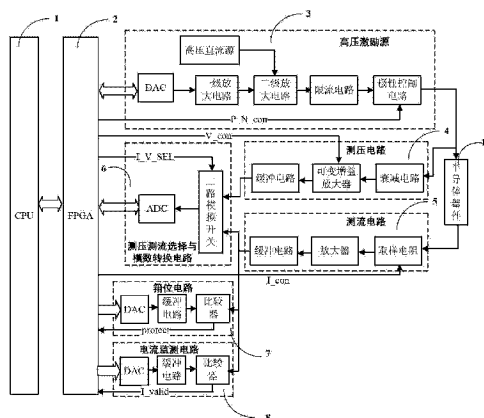
权利要求书 3 页 说明书 13 页 附图 7 页

(54) 发明名称

一种半导体器件反向击穿电压测试系统

(57) 摘要

本发明公开了一种半导体器件反向击穿电压测试系统,通过 FPGA 控制逻辑单元产生逐步增加的斜坡电压数字信号给高压激励源,输出斜坡电压反向加载到半导体器件上,然后,通过测流电路对半导体器件反向电流进行测试,如果大于设定的电流监测阈值,则输出电流监测信号给 FPGA 控制逻辑单元启动 AD 转换,对测压电路测得的电压进行 AD 转换,得到半导体器件反向击穿电压,同时停止斜坡电压的增加。与传统的静态测试方法相比,不需要等待半导体器件两端施加的反向电压稳定(稳定时间在 ms 级),这样不仅减少了测试的时间,减少了半导体器件损坏的风险,而且还会减小由于半导体器件温度上升而影响到最终的测试结果,从而提高了测试效率和精度。



1. 一种半导体器件反向击穿电压测试系统,其特征在于,包括:CPU、FPGA 控制逻辑单元、高压激励源、测压电路、测流电路、模数转换电路以及电流监测电路;

CPU 配置高压激励源的斜坡电压输出信号的参数—幅度范围与斜率, FPGA 控制逻辑单元产生指定幅度与斜率的斜坡电压数字信号给高压激励源,高压激励源将斜坡电压数字信号转换为对应的斜坡电压反向加载到半导体器件上;

测压电路对反向加载到半导体器件上电压进行测量,并送入模数转换电路;

测流电路对半导体器件反向电流进行测试,并将其输出到流监测电路中,与设定的电流监测阈值进行比较,如果大于设定的电流监测阈值,则输出电流监测信号给 FPGA 控制逻辑单元启动 AD 转换:启动模数转换电路的 AD 转换器,对测压电路测得的电压进行 AD 转换,转换后的数据读入 FPGA 控制逻辑单元的 A/D 数据寄存器中,CPU 读取 A/D 数据寄存器中的数据,从而获得半导体器件反向击穿电压,AD 转换结束时,FPGA 控制逻辑断开高压激励源的输出。

2. 根据权利要求 1 所述的反向击穿电压测试系统,其特征在于,还包括箝位电路,测流电路对半导体器件反向电流的测试输出同时还输出到箝位电路中,与箝位电流阈值进行比较,如果大于,则输出箝位信号给 FPGA 控制逻辑单元,FPGA 控制逻辑单元控制下,高压激励源断开输出,从而达到保护目的。

3. 根据权利要求 1 所述的反向击穿电压测试系统,其特征在于,在模数转换电路中增加了二路模拟选择开关变为测压测流选择与模数转换电路,完成施加电压并测量电流的功能,在执行该功能时,CPU 二路模拟选择开关选择测流电路的输出,进行电流测量。

4. 根据权利要求 3 所述的反向击穿电压测试系统,其特征在于,所述的 FPGA 控制逻辑单元包括箝位控制逻辑、电流监测控制逻辑、电压档位控制逻辑、电流档位控制逻辑、高压激励源 DAC 接口控制逻辑,ADC 接口控制逻辑、自动反向击穿电压测试 AUTO_TBIV 控制逻辑以及选择测流测压与高压激励源极性选择电源关断控制逻辑;

箝位控制逻辑:CPU 通过系统总线将箝位电流阈值写入到箝位控制逻辑的箝位 DAC 接口控制中,箝位 DAC 接口控制输出数字的箝位电流阈值 DAC1 到箝位电路中,经过 DAC 变为模拟信号,并经过缓冲电路后输出相应大小的箝位电流阈值,在比较器中与测流电路对半导体器件反向电流的测试输出进行比较,如果小于,则输出箝位信号给 FPGA 控制逻辑单元,FPGA 控制逻辑单元设置箝位标志状态寄存器的值为 '1',并输出关闭高压激励源信号,即将关闭高压激励源信号设置为 '1';

在发生保护的情形消除后,CPU 通过系统总线将箝位标志状态寄存器的值清零即为 '0',并将关闭高压激励源信号设置为无效,即为 '0';

电流监测控制逻辑:CPU 通过系统总线将电流监测阈值写入到电流监测控制逻辑的电流监测 DAC 接口控制中,电流监测 DAC 接口控制输出数字的电流监测阈值 DAC2 到电流监测电路中,经过 DAC 变为模拟信号,并经过缓冲电路后输出相应大小的电流监测阈值,在比较器中与测流电路对半导体器件反向电流的测试输出进行比较,如果小于,则输出电流监测信号给 FPGA 控制逻辑单元,FPGA 控制逻辑单元设置电流监测标志状态寄存器的值为 '1',在反向击穿电压测试结束后,CPU 通过系统总线将电流监测标志状态寄存器的值清零即为 '0';同时,电流监测信号还输出给自动反向击穿电压测试 AUTO_TBIV 控制逻辑,作为状态转换的条件;

测压档位控制逻辑 :CPU 通过系统总线将测压档位写入到测压档位控制中,然后测压档位控制输出电压档位信号给测压电路,改变测压电路的增益,从而适应不同大小电压的测试 ;

测流档位控制逻辑 :CPU 通过系统总线将测流档位写入到测流档位控制中,然后测流档位控制输出电流档位信号给测流电路,选择测流电路的采样电阻,从而适应不同大小电流的测试 ;

ADC 接口控制逻辑 :控制测压测流选择与模数转换电路中的 ADC 芯片执行 A/D 转换,并将转换后的数据读回其 A/D 数据寄存器中 ;

高压激励源 DAC 接口控制逻辑 :负责设置高压激励源输出电压,即 DAC3 ;该部分有两种工作模式 :a、在线模式 - 只接受 CPU 控制,启动 DA 信号 DA_en 为 '0',其待转换的电压数据来自 CPU ;b、脱机模式 - 只接受自动反向击穿电压测试 AUTO_TBIV 控制逻辑控制,启动 DA 信号 DA_en 为 '1',其待转换的电压数据来自自动反向击穿电压测试 AUTO_TBIV 控制逻辑 ;

自动反向击穿电压测试 AUTO_TBIV 控制逻辑 :负责执行半导体器件反向击穿电压的脱机测试,产生斜坡电压、测回待测电压。CPU 不直接控制测试的具体过程,仅负责初始化该模块 ;设置激励电压的起始值、步进值、终止值、延时值 ;控制该模块开始或停止工作 ;读取状态寄存器的值

CPU 通过系统总线对自动反向击穿电压测试 AUTO_TBIV 控制逻辑中的状态控制机的起始值 min、步进值 step、终止值 max 进行设置,设置完毕后,状态控制机开始工作,进入空闲状态 idle,开始如下的转换 :

空闲状态 idle :在 CPU 通过系统总线给出的使能状态机信号 en 有效后,初始化启动 AD 信号 AD_en、启动 DA 信号 DA_en、启动延时器信号 Cnt_en 为无效,即值为 '0',初始化 DA 转换数据寄存器 temp 的值为 min,跳转到累加状态 add ;如果使能状态机信号 en 无效,则一直处于空闲状态 idle ;

累加状态 add :DA 转换数据寄存器 temp 的值累加步进值 step,跳转到判断状态 juge ;

判断状态 juge :若箝位信号与电流监测信号均无效,则 DA 使能信号 DA_en=1,控制高压激励源 DAC 接口控制逻辑进入脱机模式,启动 D/A 转换,DA 转换数据寄存器 temp 的值作为 DA 数据输出给高压激励源 DAC 接口控制逻辑,然后跳转到数模转换状态 DA ;

若箝位信号无效且电流监测信号有效,则 AD 使能信号 AD_en=1,控制 ADC 接口控制逻辑进入脱机模式,启动 A/D 转换,跳转到模数转换状态 AD ;

若箝位信号有效或者 DA 转换数据寄存器的值超过终止值 max,则进入结束状态 end ;

数模转换状态 DA :高压激励源 DAC 接口控制逻辑输出电压即 DAC3,在高压激励源的 DAC 转换器中进行 D/A 转换,等待 D/A 转换结束 ;若转换没完成即 DA_end=0,则停留在此状态 ;若完成转换即 DA_end=1,则置延时使能信号 Cnt_en 为 1,使能延时器并将 DA 使能信号 DA_en 清零,进入延时状态 delay ;

延时状态 delay :等待延时结束,若延时器输出的延时结束信号 Cnt_end 无效,则停留在本状态 ;若延时结束信号 Cnt_end 有效,将延时使能信号 Cnt_en 清零,进入累加状态 add ;

模数转换状态 AD :ADC 接口控制逻辑输出控制测压测流选择与模数转换电路的 AD 转换器进行 A/D 转换,等待 A/D 转换结束 ;若 ADC 接口控制逻辑输出 AD 转换结束信号 AD_end 有

效,则将 AD 使能信号 AD_en 信号清零,进入结束状态 end;

结束状态 end:将使能状态机信号 en 信号清零,跳转到空闲状态 idle;设置状态寄存器 S 的值: s_0 = 箝位信号, s_1 =AD_end, s_2 =(temp>max) (即 temp>max 为 1,temp≤max 为 0);

CPU 的程序读取设置状态寄存器 S 的值,做相应的处理:

S ₀	S ₁	S ₂	意义
0	1	0	测试成功, 读回 A/D 转换的数据
0	0	1	测试失败, 检查参数是否合理 (建议增加激励电压的范围)、检查电流监测 DAC 的值是否合理
1	x	x	测试失败, 检查箝位值是否合理、可进一步确认待测件是否损坏
其它值			测试失败, 状态机工作异常, 可进一步确认干扰是否超过承受范围

选择测流测压与高压激励源极性选择电源关断控制逻辑:CPU 通过系统总线将测流测压选择信号给测压测流选择与模数转换电路选择测压电路或测流电路的输出进行 AD 转换;如果需要测压,则选择测压电路的输出,如果需要测流,则选择测流电路的输出;

高压激励源极性选择电源关断控制:根据 CPU 通过系统总线选择的极性以及关闭高压激励源信号的值输出极性选择与电源关断控制信号到高压激励源。

一种半导体器件反向击穿电压测试系统

技术领域

[0001] 本发明属于器件测试技术领域,更为具体地讲,涉及一种半导体器件反向击穿电压测试系统。

背景技术

[0002] 半导体器件种类繁多、使用灵活、应用广泛、成本低廉,相比其它集成电路具有特殊性,如:大功率、高反压、高频等,具备某些应用中的不可替代性。这些特点使半导体分立器件市场需求依然庞大,半导体分立器件产业依然稳步发展。半导体分立器件需求数量巨大,因此如何在大规模量产的同时保证半导体分立器件的特性参数达标就成为衡量各生产厂商生产实力和生产效益的一关键大问题。

[0003] 测试是半导体分立器件生产不可缺少的环节,是保证产品质量的重要手段。高速、高精度、高通用性的半导体器件测试系统能完成半导体器件参数的自动化测试,对降低分立器件生产厂商生产成本,提高生产效率,增强市场竞争力具有重要意义。

[0004] 反向击穿电压的测试是半导体器件测试不可或缺的一部分,其本身电压高、电流小的特点使其成为测试的一个难点。如何在半导体器件测试系统中实现反向击穿电压的快速、高精度、可靠安全的测试是研究半导体器件测试的一个关键问题,对提高半导体器件测试效率具有重要意义。。

发明内容

[0005] 本发明的目的在于克服现有技术的不足,提供一种半导体器件反向击穿电压测试系统,以实现快速、高精度测试半导体器件反向击穿电压。

[0006] 为实现以上目的,本发明一种半导体器件反向击穿电压测试系统,其特征在于,包括:CPU、FPGA 控制逻辑单元、高压激励源、测压电路、测流电路、模数转换电路以及电流监测电路;

[0007] CPU 配置高压激励源的斜坡电压输出信号的参数—幅度范围与斜率,FPGA 控制逻辑单元产生指定幅度与斜率的斜坡电压数字信号给高压激励源,高压激励源将斜坡电压数字信号转换为对应的斜坡电压反向加载到半导体器件上;

[0008] 测压电路对反向加载到半导体器件上电压进行测量,并送入模数转换电路;

[0009] 测流电路对半导体器件反向电流进行测试,并将其输出到电流监测电路中与设定的电流监测阈值进行比较,如果大于设定的电流监测阈值,则输出电流监测信号给 FPGA 控制逻辑单元启动 AD 转换:启动模数转换电路的 AD 转换器,对测压电路测得的电压进行 AD 转换,转换后的数据读入 FPGA 控制逻辑单元的 A/D 数据寄存器中,CPU 读取 A/D 数据寄存器中的数据,从而获得半导体器件反向击穿电压,AD 转换结束时,FPGA 控制逻辑单元断开高压激励源的输出。

[0010] 本发明的目的是这样实现的:

[0011] 本发明半导体器件反向击穿电压测试系统,通过 FPGA 控制逻辑单元产生逐步增

加的斜坡电压数字信号给高压激励源,输出斜坡电压反向加载到半导体器件上,然后,通过测流电路对半导体器件反向电流进行测试,如果大于设定的电流监测阈值,则输出电流监测信号给 FPGA 控制逻辑单元启动 AD 转换,对测压电路测得的电压进行 AD 转换,得到半导体器件反向击穿电压,同时断开高压激励源的输出。与传统的静态测试方法相比,不需要等待半导体器件两端施加的反向电压稳定(稳定时间在 ms 级),这样不仅减少了测试的时间,减少了半导体器件损坏的风险,而且还会减小由于半导体器件温度上升而影响到最终的测试结果,从而提高了测试效率和精度。

附图说明

- [0012] 图 1 是 PN 结伏安特性曲线图;
- [0013] 图 2 是现有技术反向击穿电压测试方法与本发明中测试方法流程对照图;
- [0014] 图 3 是现有技术反向击穿电压测试方法与本发明中测试方法的测试曲线对照图;
- [0015] 图 4 是本发明半导体器件反向击穿电压测试系统一种具体实施方式原理框图;
- [0016] 图 5 是图 4 所示 FPGA 控制逻辑单元的原理框图;
- [0017] 图 6 是图 5 所示状态控制机的状态转换图;
- [0018] 图 7 是图 4 所示高压激励源的电原理图;
- [0019] 图 8 是图 4 所示测压电路的电原理图;
- [0020] 图 9 是图 4 所示测流电路的电原理图;
- [0021] 图 10 是图 4 所示箝位电路的电原理图;
- [0022] 图 11 是反向击穿电压测试的一具体实施方式流程图;
- [0023] 图 12 是高压激励源斜坡电压一具体波形图。

具体实施方式

[0024] 下面结合附图对本发明的具体实施方式进行描述,以便本领域的技术人员更好地理解本发明。需要特别提醒注意的是,在以下的描述中,当已知功能和设计的详细描述也许会淡化本发明的主要内容时,这些描述在这里将被忽略。

[0025] 1、反向击穿电压测试原理

[0026] 反向击穿电压是多数半导体器件的一项重要参数,是 PN 结反向击穿时两端的电压。PN 结伏安特性如图 1 所示,当 PN 结两端的反向电压超过一定值 U_{BR} 后,饱和电流(A 点处)会急剧增加,此时 PN 结发生反向击穿, U_{BR} 就是反向击穿电压。

[0027] 反向击穿电压的测试可转换为寻找 PN 结饱和电流急剧增加的状态。此状态下 PN 结两端的电压就是半导体器件待测的反向击穿电压,可将 PN 结的反向电流 I_s 与电流阈值 I_{BRM} (该值可参照器件手册设置) 比较来量化 PN 结反向电流急剧增加的状态,如下式所示。

$$[0028] \quad f(I_s) = \begin{cases} 1 & I_s \geq I_{BRM} \\ 0 & \text{others} \end{cases} \quad (1)$$

[0029] 当上式的值为 1 时,即 PN 结的反向电流大于或等于电流阈值 I_{BRM} , PN 结处于电流急剧增加的状态。这样可通过监测 PN 结的反向电流来测试 PN 结的反向击穿电压。

[0030] 传统测试按照图 2 (a) 中所示的测试框图来完成测试:控制器控制电压激励源给半导体器件施加反向电压,控制测压电路测量待测件两端的反向电压,控制测流电路测量

待测件上的反向饱和电流,并判断该电流是否超过阈值 I_{BRM} 。

[0031] 传统测试过程为静态测试过程,如图 2 (b) 所示,每施加一反向电压,就判断反向电流是否大于或等于电流阈值 I_{BRM} 。若小于电流阈值 I_{BRM} ,增加施加电压值,继续测试;若大于或等于电流阈值 I_{BRM} ,则测量此时半导体器件两端的反向电压,得到反向击穿电压,停止施加电压,结束测试。

[0032] 图 3 (a) 给出了静态测试过程中相关曲线的示意图。图 3 (a) 中,曲线 U 为半导体器件两端反向电压变化曲线,曲线 I 为半导体器件反向电流变化曲线。 t_0 时,反向电流 I_0 小于电流阈值 I_{BRM} ,使反向电压增加 ΔU ;待反向电压稳定后,于 t_1 时刻测量反向电流,此时,反向电流 I_1 小于电流阈值 I_{BRM} ,继续增加反向电压;接着于 t_2 时刻测量反向电流,此时反向电流 I_2 不小于电流阈值 I_{BRM} ;在接下来的 t_3 时刻处测量半导体器件两端的反向电压,得到反向击穿电压,结束本次测试。

[0033] 本发明中的测试过程为动态测试过程:如下图 2 (b) 所示。施加指定的反向斜坡电压(指定起始值、结束值与斜率),检测 PN 结反向饱和电流是否大于或等于电流阈值 I_{BRM} 。若不小于,则测量半导体器件两端的反向电压,得到反向击穿电压,并停止增加反向电压,结束测试。

[0034] 图 3 (b) 给出了动态测试过程中相关曲线的示意图。图中,曲线 U 为半导体器件两端反向电压变化曲线,曲线 I 为反向电流变化曲线。 t_1 时,半导体器件的反向电流不小于电流阈值 I_{BRM} ;经过一段时间到达 t_2 处,反向电压不再增加,保持不变;接着在 t_3 时刻处,测量半导体器件两端的反向击穿电压,结束测试。

[0035] 由上面的分析可得:两种测试不同之处在于,现有技术的静态测试每次增加施加电压的值前,都需要判断当前反向饱和电流是否小于阈值,而本发明的动态测试不需要。两种测试方法相比,各有优缺点。

[0036] 1)、理想情况下,静态测试的实测值就是理论值,而动态测试存在误差。对于静态测试,从发现反向电流超过阈值的 t_2 时刻到测回半导体器件两端的反向电压的 t_3 时刻之间,半导体器件两端的反向电压保持不变,如图 3 中静态测试曲线所示。对于动态测试,从发现反向电流超过阈值的 t_1 时刻到测回待测件两端的反向电压的 t_3 时刻之间,半导体器件两端的反向电压并不是一直保持不变。在 Δt ($\Delta t = t_2 - t_1$) 时间内,半导体器件两端的反向电压即斜坡电压会按照固定的斜率 k 增加。这样理论上实测值 U_2 与 U_1 有误差 $\Delta U'$,如下式所示。

$$[0037] \quad \Delta U' = U_2 - U_1 = k \cdot \Delta t \quad (2)$$

[0038] 由上式可见,与静态测试相比,动态测试的误差与斜坡电压斜率 k 和 Δt 成正比。若想减小该误差值,就需尽量减小 k 值与 Δt 值。减小斜率 k ,会直接导致测试速度的降低,这样就需要根据不同器件,不同的测试需求与环境来确定 k 值。 Δt 值取决于测试系统的延时,包括硬件电路的延时、控制器的响应延时。在硬件设计上尽量选择高速器件可降低 Δt 值,从而降低测试误差。对于仅判断反向击穿电压参数是否合格,而对具体的反向击穿电压值精度要求不高的测试来讲,动态测试比静态测试更适合。

[0039] 静态测试过程中,每次测反向电流前,均需要等待半导体器件两端施加的反向电压稳定(稳定时间在 ms 级)。这样不仅增加了测试的时间,增加了半导体器件损坏的风险,而且还会由于半导体器件温度上升而影响到最终的测试结果。因此,不适合反向击穿电压

的高速测试。

[0040] 综合上面的分析,在采取措施将动态测试的误差控制在可接受的范围内的前提下,动态测试相比静态测试,更适合于半导体反向击穿电压的高速测试。

[0041] 2、反向击穿电压测试系统的相关实现原理

[0042] 从上述测试方法分析可知,完成反向击穿电压的测试需要程控的电压激励源、测量半导体器件的漏电流(反向电流)与测量半导体器件两端的反向电压。

[0043] 2.1、高压激励源实现原理

[0044] 按照反向击穿电压测试需求,高压激励源应该具备输出高达 1000V 电压、极性可调、幅值可调、既能输出高精度的单点电压又能输出斜率可调的斜坡电压的能力。常见的高压激励源的实现方式有以下几种:

[0045] 1)采用开关电源的原理,将 220V 的市电通过升压变压器转变为高压输出。通过调节其占空比来实现输出幅度的可调。这种方法能输出大功率的激励信号,但电路复杂,设计难度高,调整速度慢。

[0046] 2)利用倍压整流的原理,利用二极管的单向引导作用,使输入的交流信号对多级电容充电而获得几倍于原电压的直流输出。采用这种原理设计的高压直流源结构简单,但输出纹波较大。

[0047] 3)利用电容的充放电来产生斜坡电压,即通过开关器件让高压直流源对电容充放电来产生高压激励信号。这种方式原理简单,但控制难度高且输出重复性不好。

[0048] 4)采用运放幅值扩展电路的方式。一般在普通运放电路的输出串联一级由晶体管组成的幅值扩展电路。该级电路通常由远高于运放供电电压的高压直流源供电,缓冲前面运放的输出(需要时,可放大电流),与运放、外围的反馈电路构成同向或反向放大电路,将小电压信号放大至大电压信号(远高于运放的供电电压)。采用这种原理设计的高压源,易程控且调整速度快,输出线性度好,输出重复性高但输出功率往往不高。

[0049] 考虑到反向击穿电压测试所需激励电压源的特点:输出范围宽(1000V 以内)、输出电流不高(小于 10mA)、输出线性度高、速度快的特点,运放幅值扩展电路的方式更适合于高压激励源的设计。

[0050] 2.2、电压测试的实现原理

[0051] 反向击穿电压测试中的电压测量有两个明显的特点:电压高(1000V 以上)与测量范围宽(从 0V 至数千伏)。解决高电压的测量问题可通过电阻分压的方式将高电压衰减成低电压来测量。解决测量范围宽的问题通过设置不同的衰减比,分多个测量档位解决。

[0052] 3、反向电流(漏电流)测试的实现原理

[0053] 反向击穿电压测试中反向电流(漏电流)的范围从 pA 级至 mA 级。解决如此宽的测量范围通常的办法是将被测电流划分为多个小测量范围的电流,针对每个范围的电流采取不同的测试方法、不同的测量电路。通常测量电流有三种方法:I/V 变换、I/F 变换与积分法。

[0054] 1)I/V 变换:即是将被测电流转换成对应的电压,然后测量转换的电压。通常是让被测电流流过电阻,从而将电流转换成电压。该变换方式会受到运放输入电阻、偏置电流、失调、电阻噪声的影响。因此在具体电路设计中应选取低漏电流(低被测电流两个数量级),低失调电压、高输入电阻的高精度运放,运用低阻值的电阻。在小电流测量中,不可避免要

用高阻值电阻。高电阻精度低、稳定性差、噪声大,易受外界干扰,容易使电路自激(杂散电容与分布电容),降低电路的响应时间。此时,应分析实际的测量需求,采取措施减少高阻值电阻带来的影响。 I/V 变换具有响应速度快,量程范围宽(可调)等优点,但易受外界的干扰。

[0055] 2) I/F 变换法:利用电荷平衡原理,先使被测电流对积分电容充电至某电压,然后让一标准电流对电容放电。这样连续的充放电波形经过比较器后会形成与频率被测电流成正比的信号,完成 I/F 变换。其实现方法一般有反馈式电流放大型 I/F 变换和反馈式电流积分型 I/F 变换两种。前者是先将电流通过反馈式放大器将电流转换为与电流成正比的电压,然后再将此电压转变为与之正比的信号频率,此方案用在微电流检测上存在稳定性较差和对噪声干扰比较敏感 2 个缺点。而后者是在反馈回路中接高稳定的积分电容,先将电流信号转换成锯齿波的电压信号,再转变成频率信号,因此具有稳定性好和抗干扰能力强的优点。这种测量方法具有测量精度高,零点漂移小等优点,但响应时间长,不宜于动态在线测量,电路结构复杂。

[0056] 3) 积分法:在一定时间内,让被测电流对积分电容充电。具体实现方式是采用高精度积分放大器。这种方法精度高,零点漂移小,但测量速度慢,不适用于电流的高速测量。

[0057] 综合上述电流测试原理的分析,适合于反向击穿电压高速测试的反向电流测量方法是采用 I/V 变换,将半导体器件的反向电流(漏电流)通过取样电阻转换成电压来测量。

[0058] 4、反向击穿电压测试的实现

[0059] 4.1 测试系统组成

[0060] 按照上述反向击穿电压的测试原理及相关的实现原理,在本实施例中,提出了如图 4 所示的测试系统框图。

[0061] 半导体器件反向击穿电压测试系统包括:CPU 1、FPGA 控制逻辑单元 2、高压激励源 3、测压电路 4、测流电路 5、测压测流选择与模数转换电路 6、箝位电路 7 以及电流监测电路 8;

[0062] CPU 1 配置高压激励源的斜坡电压输出信号参数—幅度范围与斜率 FPGA 控制逻辑单元 2 产生指定幅度与斜率的斜坡电压数字信号给高压激励源 3,高压激励源 3 将斜坡电压数字信号转换为对应的斜坡电压反向加载到半导体器件 10 上;

[0063] 测压电路 4 对反向加载到半导体器件 10 上电压进行测量,并送入测压测流选择与模数转换电路 6;

[0064] 测流电路 5 对半导体器件 10 反向电流进行测试,并将其输出到电流监测电路 8 中与设定的电流监测阈值进行比较,如果大于设定的电流监测阈值,则输出电流监测信号 I_valid 给 FPGA 控制逻辑单元 2 启动 AD 转换:启动测压测流选择与模数转换电路 6 的 AD 转换器(此时为测量半导体器件的反向击穿电压, FPGA 控制逻辑单元 2 输出的选择信号 I_V_SEL 信号通过二路模拟开关选择测压电路测得的电压进行 AD 转换),对测压电路测得的电压进行 AD 转换,转换后的数据读入 FPGA 控制逻辑单元 2 的寄存器中, CPU 读取寄存器中的数据,从而获得半导体器件 10 反向击穿电压。AD 转换结束时, FPGA 控制逻辑单元 2 断开高压激励源输出。

[0065] 在本实施例中,如图 4 所示,半导体器件反向击穿电压测试系统还包括箝位电路 7,测流电路 5 对半导体器件 10 反向电流的测试输出同时还输出到箝位电路 7 中,与箝位电

流阈值进行比较,如果大于,则输出箝位信号 protect 给 FPGA 控制逻辑单元 2,FPGA 控制逻辑单元 2 控制下,高压激励源 3 断开输出,从而达到保护目的。

[0066] 在本实施例中,半导体器件反向击穿电压测试系统还可以实现以下四项功能,即 FV—施加电压;MV—测量电压;FVMI—施加电压并测量电流;FVMV—施加电压并测量电压,使其具有更多的用途。

[0067] 为了测量电流,在本实施例中,在模数转换电路中增加了二路模拟选择开关如图中的测压测流选择与模数转换电路 6,完成 FVMI—施加电压并测量电流的功能。在执行该功能时,CPU 二路模拟选择开关选择测流电路 5 的输出,进行电流测量。其他三项功能为现有的常规方式,不再赘述。

[0068] 在本实施例中,半导体器件反向击穿电压测试系统具有以下特点:

[0069] 1) 实现了输出范围广、高速的高压激励源。高压激励源能施加 $20V \sim 1000V$ 、 $-20V \sim -1000V$ 的激励电压,输出速率能达到 $200V/ms$;

[0070] 2) 可完成弱漏电流(反向电流)的高精度测量,能实现 $50nA-10mA$ 电流的测量,且最高精度能达到 0.5% ;

[0071] 3) 可完成半导体器件反向击穿电压的高速测试。其测试的具体过程,由 FPGA 控制逻辑单元控制,并不直接受 CPU 的控制。不仅提高了测试速度,而且避免了由于测试时间长造成的待测件温度上升(影响测试精度)现象的发生;

[0072] 4) 具有可靠的保护措施。通过限流电阻与硬件箝位电路来共同保护待测件与测试系统,可有效阻止以下现象的发生:由于高压激励源输出过高而造成待测件的损坏或由于误操作,造成高压激励源短路的现象。

[0073] 实现的具体指标如下:

[0074] 1) 具备 5 种功能:FV—施加电压;MV—测量电压;FVMI—施加电压并测量电流;FVMV—施加电压并测量电压;TBV—测反向击穿电压。

[0075] 2) 高压激励源能输出 $+20V \sim +1000V$ 与 $-20V \sim -1000V$ 范围内的单点电压与斜坡电压,单点电压的施加精度为 0.5% 。

[0076] 3) 能测量 $50nA \sim 10mA$ 的电流,精度为 $1\% \sim 0.5\%$ 。

[0077] 4) 能测量 $20V \sim 1000V$ 的电压,精度为 0.5% 。

[0078] 在本实施例中,如图 4 所示,半导体器件反向击穿电压测试系统由 CPU、FPGA 控制逻辑单元、各功能硬件电路组成。其中 CPU 的作用是通过 FPGA 控制逻辑单元来控制整个系统的工作;控制高压激励源产生需要的高压激励;控制测压、测流电路完成测压、测流的工作;读回测试数据并做相应的数据处理;显示测量结果与系统状态(由于该部分不是本发明主要内容,因此图 4 中未给出相应的实现框图)。

[0079] 4.2 FPGA 控制逻辑单元

[0080] 在本实施例中,半导体器件反向击穿电压测试系统的控制逻辑由 FPGA 控制逻辑单元实现,具体包括箝位控制逻辑、电流监测控制逻辑、电压档位控制逻辑、电流档位控制逻辑、高压激励源 DAC 接口控制逻辑,ADC 接口控制逻辑、自动反向击穿电压测试 AUTO_TBv 控制逻辑以及选择测流测压与高压激励源极性选择电源关断控制逻辑。

[0081] FPGA 控制逻辑单元原理框图如图 5 所示:

[0082] 图中,写信号 nWR、读信号 nRD、数据总线 DATA[15:0]、地址总线 ADR[7:0] 为 CPU

与 FPGA 控制逻辑单元通信的系统总线,经总线缓冲器缓冲后,形成对应的 FPGA 控制逻辑单元的内部总线;写控制信号 nwr、读控制信号 nrd、16 位数据总线 D[15:0]、8 位地址总线 A[7:0]。

[0083] 4.2.1 箝位控制逻辑

[0084] 设置箝位电流阈值:如图 4、5 所示,CPU 通过系统总线将箝位电流阈值写入到箝位 DAC 接口控制中,箝位 DAC 接口控制输出数字的箝位电流阈值 DAC1 到箝位电路 7 中,经过 DAC 变为模拟信号,并经过缓冲电路后输出相应大小的箝位电流阈值,在比较器中与测流电路 5 对半导体器件 10 反向电流的测试输出进行比较,如果小于,则输出箝位信号 protect 给 FPGA 控制逻辑单元 2, FPGA 控制逻辑单元 2 设置箝位标志状态寄存器的值为 '1',并输出关闭高压激励源信号 off,即将关闭高压激励源信号 off 设置为 '1'。在发生保护的情形消除后, CPU 通过系统总线将箝位标志状态寄存器的值清零即为 '0',并将关闭高压激励源信号 off 设置为无效,即为 '0'。

[0085] 4.2.2 电流监测控制逻辑

[0086] 设置电流监测阈值:如图 4、5 所示,CPU 通过系统总线将电流监测阈值写入到电流监测 DAC 接口控制中,电流监测 DAC 接口控制输出数字的电流监测阈值 DAC2 到电流监测电路 8 中,经过 DAC 变为模拟信号,并经过缓冲电路后输出相应大小的电流监测阈值,在比较器中与测流电路 5 对半导体器件 10 反向电流的测试输出进行比较,如果小于,则输出电流监测信号 I_valid 给 FPGA 控制逻辑单元 2, FPGA 控制逻辑单元 2 设置电流监测标志状态寄存器的值为 '1',在反向击穿电压测试结束后, CPU 通过系统总线将电流监测标志状态寄存器的值清零即为 '0'。同时,电流监测信号 I_valid 还输出给自动反向击穿电压测试 AUTO_TBv 控制逻辑,作为状态转换的条件(启动 AD 转换)。

[0087] 4.2.3 测压档位控制逻辑

[0088] 设置测压的档位:如图 4、5 所示,CPU 通过系统总线将测压档位写入到测压档位控制中,然后测压档位控制输出电压档位信号 V_con 给测压电路 4,改变测压电路 4 的增益,从而适应不同大小电压的测试。

[0089] 4.2.4 测流档位控制逻辑

[0090] 设置测流的档位:如图 4、5 所示,CPU 通过系统总线将测流档位写入到测流档位控制中,然后测流档位控制输出电流档位信号 I_con 给测流电路 5,选择测流电路 5 的采样电阻,从而适应不同大小电流的测试。

[0091] 4.2.5 ADC 接口控制逻辑

[0092] 控制测压测流选择与模数转换电路 6 中的 ADC 芯片执行 A/D 转换,并将转换后的数据读回其 A/D 数据寄存器中。

[0093] 4.2.6 高压激励源 DAC 接口控制逻辑

[0094] 如图 4、5 所示,高压激励源 DAC 接口控制逻辑负责设置高压激励源 3 输出电压,即 DAC3。该部分有两种工作模式:a、在线模式-只接受 CPU 控制(DA_en 为 '0'),其待转换的电压数据来自 CPU;b、脱机模式-只接受自动反向击穿电压测试 AUTO_TBv 控制逻辑控制(DA_en 为 '1'),其待转换的电压数据 da[15:1] 来自自动反向击穿电压测试 AUTO_TBv 控制逻辑。

[0095] 4.2.7 自动反向击穿电压测试 AUTO_TBv 控制逻辑

[0096] 如图 4、5 所示,该部分负责执行半导体器件反向击穿电压的脱机测试,产生斜坡电压、测回待测电压。CPU 不直接控制测试的具体过程,仅负责初始化该模块:设置激励电压的起始值、步进值、终止值、延时值;控制该模块开始或停止工作;读取状态寄存器的值。该模块最主要的部分是状态控制机,负责控制高压激励源 DAC、ADC、延时的同步,完成反向击穿电压的自动测试,并设置状态寄存器(表示测试的状态)的值,如图 6 所示状态转换图。

[0097] 如图 6 所示,CPU 通过系统总线对状态控制机中的起始值 min、步进值 step、终止值 max 进行设置,设置完毕后,状态控制机开始工作,进入空闲状态 idle,开始如下的转换:

[0098] 空闲状态 idle:在 CPU 通过系统总线给出的使能状态机信号 en 有效后,初始化启动 AD 信号 AD_en、启动 DA 信号 DA_en、启动延时器信号 Cnt_en 为无效,即值为 '0',初始化 DA 转换数据寄存器 temp 的值为 min,跳转到累加状态 add;如果使能状态机信号 en 无效即为 !en,则一直处于空闲状态 idle;

[0099] 累加状态 add:DA 转换数据寄存器 temp 的值累加步进值 step,跳转到判断状态 juge;

[0100] 判断状态 juge:若箝位信号 protect 与电流监测信号 I_valid 均无效即为 !protect && !I_valid,则 DA 使能信号 DA_en=1,控制高压激励源 DAC 接口控制逻辑进入脱机模式,启动 D/A 转换,DA 转换数据寄存器 temp 的值作为 DA 数据 da[15:0] 输出给高压激励源 DAC 接口控制逻辑,然后跳转到数模转换状态 DA;

[0101] 若箝位信号 protect 无效即为 !protect 且电流监测信号 I_valid 有效即为 I_valid,则 AD 使能信号 AD_en=1,控制 ADC 接口控制逻辑进入脱机模式,启动 A/D 转换,跳转到模数转换状态 AD;

[0102] 若箝位信号 protect 有效或者 DA 转换数据寄存器的值超过终止值 max,则进入结束状态 end;

[0103] 数模转换状态 DA:高压激励源 DAC 接口控制逻辑输出电压即 DAC3,在高压激励源的 DAC 转换器中进行 D/A 转换,等待 D/A 转换结束;若转换没完成即 DA_end=0 (!DA_end),则停留在此状态;若完成转换即 DA_end=1 (DA_end),则置延时使能信号 Cnt_en 为 1,使能延时器并将 DA 使能信号 DA_en 清零,进入延时状态 delay;

[0104] 延时状态 delay:等待延时结束,若延时器输出的延时结束信号 Cnt_end 无效 (!Cnt_end),则停留在本状态;若延时结束信号 Cnt_end 有效 (Cnt_end),将延时使能信号 Cnt_en 清零,进入累加状态 add;

[0105] 模数转换状态 AD:ADC 接口控制逻辑输出控制测压测流选择与模数转换电路的 AD 转换器进行 A/D 转换,等待 A/D 转换结束;若 ADC 接口控制逻辑输出 AD 转换结束信号 AD_end 有效即 AD_end=1,则将 AD 使能信号 AD_en 信号清零即 AD_en=0,进入结束状态 end;

[0106] 结束状态 end:将使能状态机信号 en 信号清零即为 '0' (!en),跳转到空闲状态 idle;设置状态寄存器 S(16 位)的值:s₀=protect, s₁=AD_end, s₂=(temp>max)(即 temp>max 为 1, temp ≤ max 为 0)。CPU 的程序读取设置状态寄存器 S 的值,做相应的处理;

[0107]

S ₀	S ₁	S ₂	意义
0	1	0	测试成功, 读回 A/D 转换的数据
0	0	1	测试失败, 检查参数是否合理 (建议增加激励电压的范围)、检查电流监测 DAC 的值是否合理
1	x	x	测试失败, 检查箱位值是否合理、可进一步确认待测件是否损坏
其它值			测试失败, 状态机工作异常, 可进一步确认干扰是否超过承受范围

[0108] 表 1

[0109] 4.2.8 选择测流测压与高压激励源极性选择电源关断控制逻辑

[0110] 根据测流测压选择: CPU 通过系统总线将测流测压选择 I_V_con 信号给测压测流选择与模数转换电路 6 选择测压电路 4 或测流电路 5 的输出进行 AD 转换。如果需要测压, 则选择测压电路 4 的输出, 如果需要测流, 则选择测流电路 5 的输出。

[0111] 高压激励源极性选择电源关断控制: 根据 CPU 通过系统总线选择的极性以及关闭高压激励源信号 off 的值输出极性选择与电源关断控制信号 P_N_con 到高压激励源 3。

[0112] 4.3 高压激励源电路组成及原理

[0113] 高压激励源负责施加测试所需的电压激励信号, 由高压直流源、DAC、一级放大电路、带幅值扩展电路的二级放大电路、限流电路与输出极性控制电路组成, 如图 7 所示。

[0114] 该电路通过工频变压器与多级倍压整流电路将市电转换成约 1100V 的直流高压, 为二级放大电路的幅值扩展电路提供所需的直流高压电源。

[0115] 图 7 中, V_i 是 DAC 的输出电压值, V_{o1} 是二级放大电路的输出电压值。按照运放的虚短、虚断原理, 可知一级放大电路、二级放大电路为反相放大器, 输入输出关系为:

$$[0116] \quad V_{o1} = \frac{R_2}{R_1} \cdot \frac{R_4}{R_3} \cdot V_i \quad (3)$$

[0117] 图 7 中的限流电路通过限流电阻 R 来保护待测件, 使之不会由于热击穿而损坏, 其限流电阻的阻值由不同的测试条件与测试器件决定。

[0118] 可见, 高压激励源输出电压值正比于 DAC 的输出, 改变 DAC 的输出, 就能改变高压激励源的输出。

[0119] 极性控制电路根据极性选择与电源关断控制信号 P_N_con, 通过两对开关 k1、k2、k3、k4 来控制输出的极性、输出的接通与断开, 两对开关 k1、k2、k3、k4 的状态由如下表所示。

[0120]

k1	k4	k2	k3	输出状态
闭合	闭合	断开	断开	输出正电压
断开	断开	闭合	闭合	输出负电压
断开	断开	断开	断开	输出断开
其它情况				异常

[0121] 表 2

[0122] 4.4 测压电路组成及原理

[0123] 在本实施例中, 如图 8 所示, 测压电路通过由两个分压电阻 R1、R2 组成的衰减电路将反向击穿电压 V_x 衰减到小电压, 再将该小电压通过可变增益同向运放放大电路、缓冲后送给 ADC 进行 A/D 转换, 如下图所示。

[0124] 根据电路原理,可得到如下式的结果。

$$[0125] \quad V_o = V_x \cdot \left(1 + \frac{R_4}{R_3}\right) \cdot \frac{R_2}{R_1 + R_2} \quad (R_2 < R_1) \quad (4)$$

[0126] 上式中 R_1 的值会随着图中开关选择的电阻不同而不同,以形成不同的电路增益。

[0127] 4.5 测流电路组成及原理

[0128] 在本实施例中,如图 8 所示,测流电路采用 I/V 变换法,将反向电流 I_x 电流通过取样电阻转换成对应的电压,而后对转换后的电压信号做处理。测流电路由档位切换电路(电阻 $R_{s1} \sim R_{s6}$ 、开关 $K5 \sim K10$,根据电流档位信号 I_con 选择接通一组)、三运放构成的仪器运算放大器、缓冲器与 ADC 构成。档位切换电路通过图中的开关,选择不同的取样电阻,实现测流档位的切换。由于仪器运算放大器具有输入电阻大、差分输入、共模抑制比高的特点,测流电路采用它来进一步放大取样电阻上的电压。

[0129] 根据运放电路原理,可得出下式所示的关系。

$$[0130] \quad I_k = \frac{V}{1 + \frac{2R_1}{R_0}} \cdot \frac{R_2}{R_{sR_3}} \quad (5)$$

[0131] 上式中 R_s 随档位的不同而不同,对应的是当前档位的取样电阻值。

[0132] 4.6 箝位电路、电流监测电路组成及原理

[0133] 实际测试中,总避免不了待测件上的施加电压过高、时间过长而造成待测件的不可恢复的损坏,或因负载直接短路而造成电路的损坏。箝位电路的作用就是防止电路出现上述现象。箝位电路的原理如图 10 所示。

[0134] 该电路主要由 DAC 与比较器组成,主要功能是监测测流电路的输出,是否超过 DAC 的输出,若超过,protect 信号有效。若 DAC 的分辨率为 N ,参考电压为 V_{ref} ,测流电路的取样电阻为 R_s ,测流电路的增益为 K ,电流的箝位值为 I_r ,则可按照下式来设置 DAC 的待转换数据 D :

$$[0135] \quad D = \frac{K \cdot I_r \cdot R_s - \beta}{\alpha V_{ref}} \cdot 2^N \quad (6)$$

[0136] 上式中, α 与 β 是 DAC 转换曲线的两个校正系数。

[0137] 电流监测电路完全与箝位电路相同,其作用是监测待测电流是否超过阈值电流。若超过,则 I_valid 信号有效,提示应及时测回待测件两端的施加电压。其 DAC 的值可按照式(6)设置。

[0138] 4.7 CPU 测试程序设计原理

[0139] CPU 的测试程序,控制硬件电路完成反向击穿电压的测试,并显示相应的测试结果,其执行流程如图 11 所示。首先 CPU 程序初始化完测试条件:设置箝位值与电流监测值、设置测压档位与测流档位、设置 AUTO_TBV 所需的初始值、步进值、终止值、延时值后,启动反向击穿电压的脱机测试。随后读取 AUTO_TBV 的寄存器的 S 的值,根据 S 的具体值执行出错处理与读取测试结果,如表 1 所示。

[0140] 5、测试结果

[0141] 5.1 高压激励源斜坡电压输出测试

[0142] 测试条件:高压激励源连接由 10M 电阻(0.5%)与 100K 电阻(0.5%)串联的负载,改变输出范围与斜率,用示波器记录 100K 电阻上的电压信号。测试结果如图 12 所示:

[0143] 5.2 FVMV (施压测压) 测试结果

[0144] 测试条件: 高压激励源连接由两个 499K/1W 的电阻串联而成的负载, 采用 HP34001A 型高精度万用表测量高压激励源的输出, 其测量结果作为 FV 的实际值、MV 的理论值。测量结果如下表所示。

FV 值 (V)	FV 实际值 (V)	FV 绝对误差 (V)	FV 相对误差 (%)	MV 值 (V)	MV 绝对误差 (V)	MV 相对误差 (%)
25	25.37	0.37	0.15	25.49	0.12	0.47
65	64.91	0.09	0.14	64.95	0.04	0.06
105	104.61	0.39	0.37	104.66	0.05	0.37
145	145.19	-0.19	-0.13	144.81	-0.38	-0.26
185	185.33	-0.33	-0.18	184.8	-0.53	-0.29
225	224.7	0.3	0.13	224.54	-0.16	-0.07
265	265.1	-0.1	-0.04	264.63	-0.47	-0.18
305	305.8	-0.8	-0.26	304.96	-0.84	-0.27
345	346.2	-1.2	-0.35	345.29	-0.91	-0.26
385	386.5	-1.5	-0.39	385.74	-0.76	-0.20
425	425.8	-0.8	-0.19	425.14	-0.66	-0.16
465	465.8	-0.8	-0.17	465.06	-0.74	-0.16
505	505.5	-0.5	-0.1	505.71	0.21	0.04
545	545.8	-0.8	-0.15	545.51	-0.29	-0.15
585	586.6	-1.6	-0.27	586.14	-0.46	-0.08
625	626.9	-1.9	-0.30	626.47	-0.43	-0.07
665	667.1	-2.1	-0.31	666.26	-0.84	-0.13
705	708.3	-3.3	-0.47	707.32	-0.98	-0.14
745	748.1	-3.1	-0.41	746.93	-1.17	-0.16
785	788.0	-3.0	-0.38	786.77	-1.23	-0.16
825	828.2	-3.2	-0.39	826.64	-1.56	-0.19
865	868.46	-3.46	-0.40	866.73	-1.73	-0.20
905	908.59	-3.59	-0.40	906.8	-1.79	-0.20
945	948.68	-3.68	-0.39	946.82	-1.86	-0.20
985	989.21	-4.21	-0.43	987.22	-1.99	-0.20
1000	1004.9	-4.9	-0.49	1002.78	-2.12	-0.21

[0146]

[0147] 表 3

[0148] 5.3 FVMI (施压测流) 测试结果

[0149] 测试条件: 测试所用负载用精密电阻代替; 高压激励源施加测试激励, 使用高精度万用表测量激励源的输出, 将万用表的测量结果与当前负载的商作为 MI (测流) 的理论值。测试结果如下表所示。

[0150] 表 4FVMI 测试结果

[0151]

档位/负载	施加电压值 (V)	MI 理论值	MI 实测值	MI 绝对误差	MI 相对误差 (%)
20nA-200nA 422M(1%) 电流单位: nA	21.17	50.16	50.59	0.43	0.86
	41.38	98.06	98.51	0.45	0.46
	63.83	151.27	151.95	0.68	0.45
	83.41	197.41	198.24	0.83	0.42
200nA-2uA 114.5M(0.5%) 电流单位: nA	25.76	224.98	226.04	1.06	0.47
	76.35	668.65	670.08	1.43	0.21
	118.3	1033.5	1035.8	2.3	0.22
	159.77	1395.37	1397.81	2.44	0.17
	210.6	1839.3	1843.42	4.12	0.22
2uA-20uA 10.667M(0.5%) 电流单位: μ A	220.8	1928.38	1933.99	5.61	0.29
	25.82	2.421	2.430	0.009	0.37
	88.07	8.256	8.285	0.029	0.35
	159.5	12.032	12.069	0.037	0.31
	179.85	16.860	16.919	0.059	0.35
20uA-200uA 1.005M(0.5%) 电流单位: μ A	210.2	19.706	19.788	0.082	0.41
	25.73	24.388	24.360	-0.028	0.11
	66.25	62.796	62.817	0.027	0.03
	108.19	102.550	102.553	0.003	0.00
	149.3	141.516	141.553	0.037	0.03
	190.15	180.237	180.217	-0.020	-0.01
200uA-2mA 105.5K(0.5%) 电流单位: μ A	210.5	199.526	199.621	0.55	0.05
	25.7	243.60	243.49	-0.11	-0.05
	66.18	627.3	627.1	-0.2	0.00
	108.05	1024.2	1023.9	-0.7	0.00
	149.12	1413.46	1413.60	0.14	0.01
2mA-10mA 10.02K(0.5%) 电流单位: mA	210.2	1992.42	1993.61	1.19	0.06
	26.36	2.631	2.622	-0.009	-0.34
	46.36	4.627	4.612	-0.015	-0.32
	66.31	6.618	6.616	-0.002	-0.36
	86.19	8.602	8.599	-0.003	-0.40
	102.82	10.261	10.223	-0.038	-0.37

[0152] 表 4

[0153] 5.4 反向击穿电压测试结果

[0154] 测试条件:按照图 11 所示的测试流程,设定高压激励源输出的范围、步进值、延时值(固定为 50us),阈值电流值(电流监测值),反向击穿电压的参考值(理论值);环境温度约 22℃。

[0155] 表 5 为半导体器件为不同二极管(同批次同型号)的测试结果。

[0156]

待测件	施压范围 (V)	步进 (V)	阈值电流	理论电压 (V)	测试结果 (V)	合格
IN4148	70-160	5	5 μ A	75	126.12	是
IN4148	70-160	5	5 μ A	75	120.49	是
IN4148	70-160	5	5 μ A	75	130.67	是
IN4148	70-160	2	5 μ A	75	125.92	是
IN4148	70-160	2	5 μ A	75	126.63	是
IN4148	70-160	2	5 μ A	75	125.97	是
IN4148	70-160	1	5 μ A	75	125.29	是
IN4148	70-160	1	5 μ A	75	124.31	是
IN4148	70-160	1	5 μ A	75	124.98	是
IN4148	70-160	1	5 μ A	75	126.35	是

[0157] 表 5

[0158] 尽管上面对本发明说明性的具体实施方式进行了描述,以便于本技术领域的技术人员理解本发明,但应该清楚,本发明不限于具体实施方式的范围,对本技术领域的普通技术人员来讲,只要各种变化在所附的权利要求限定和确定的本发明的精神和范围内,这些变化是显而易见的,一切利用本发明构思的发明创造均在保护之列。

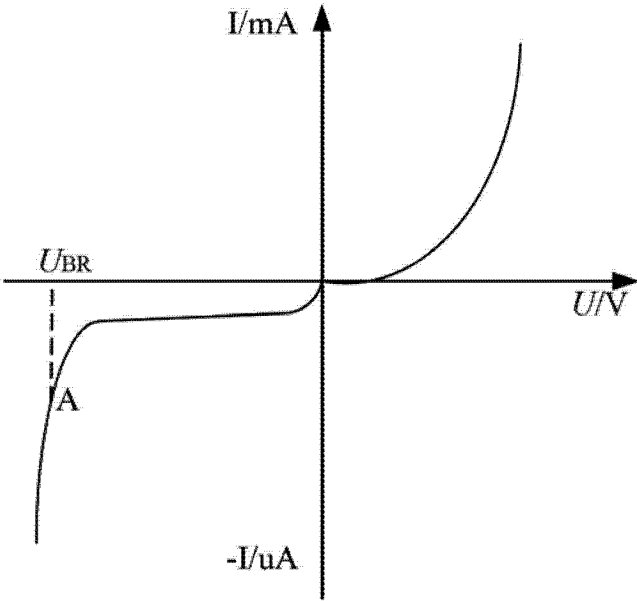


图 1

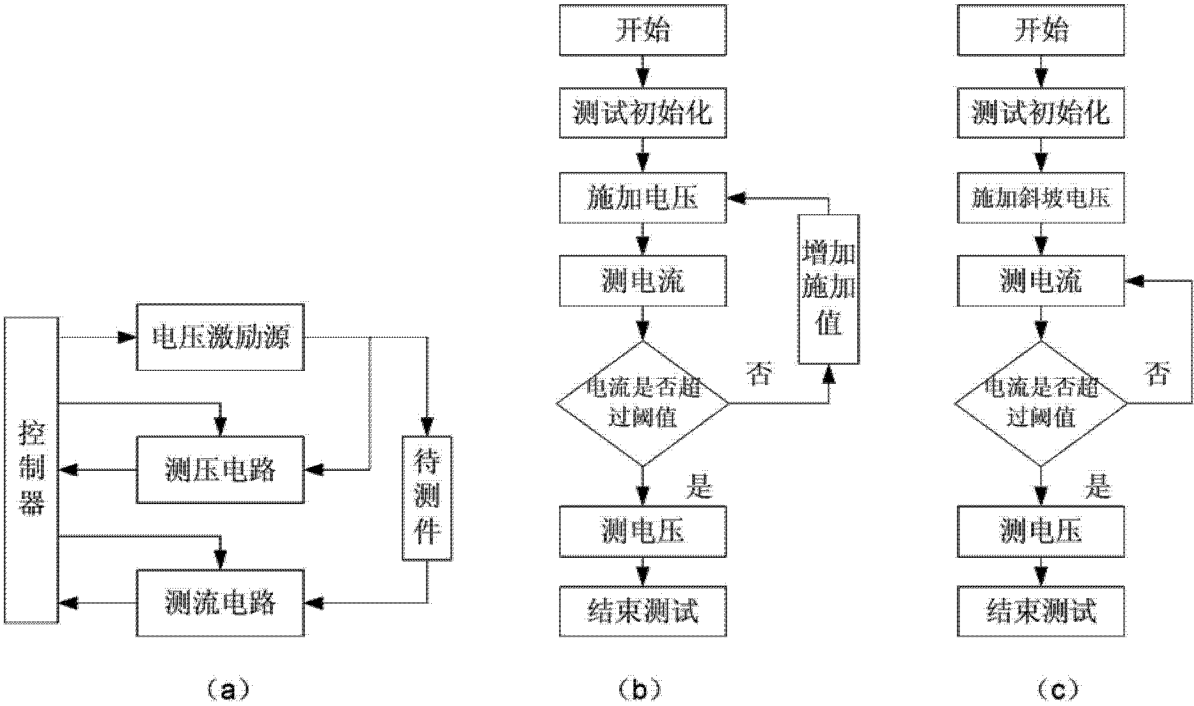


图 2

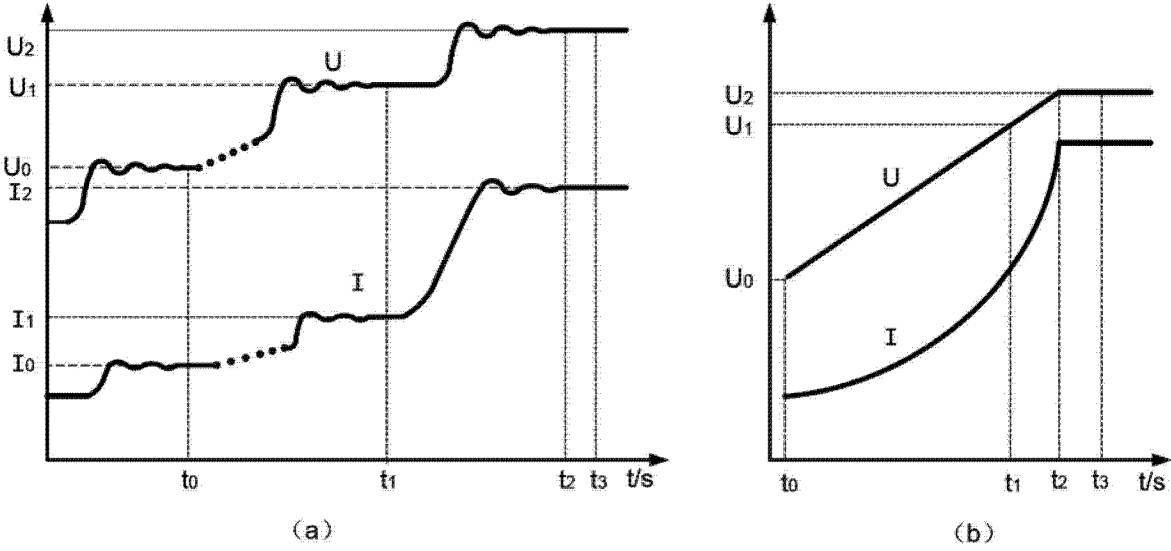


图 3

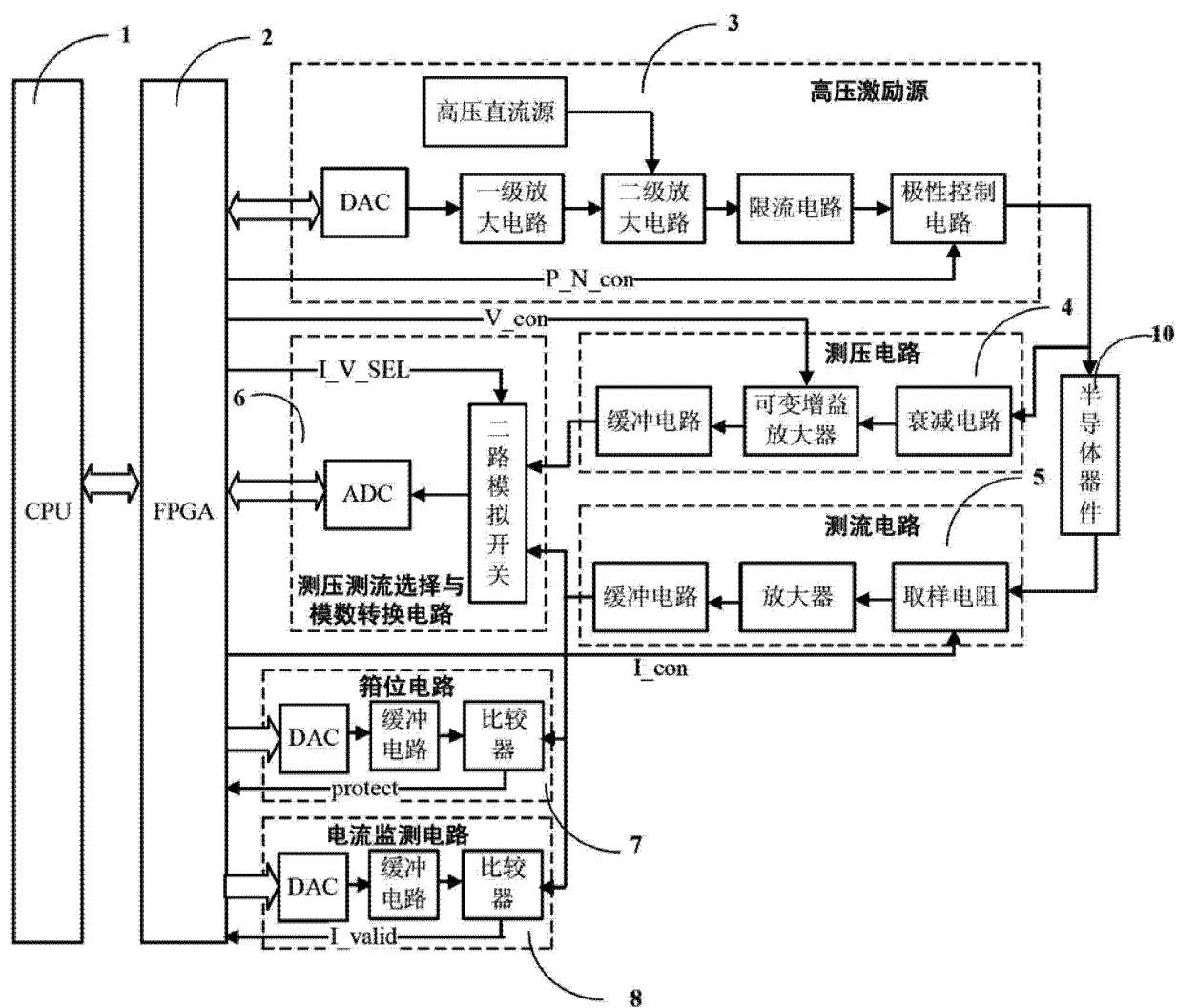


图 4

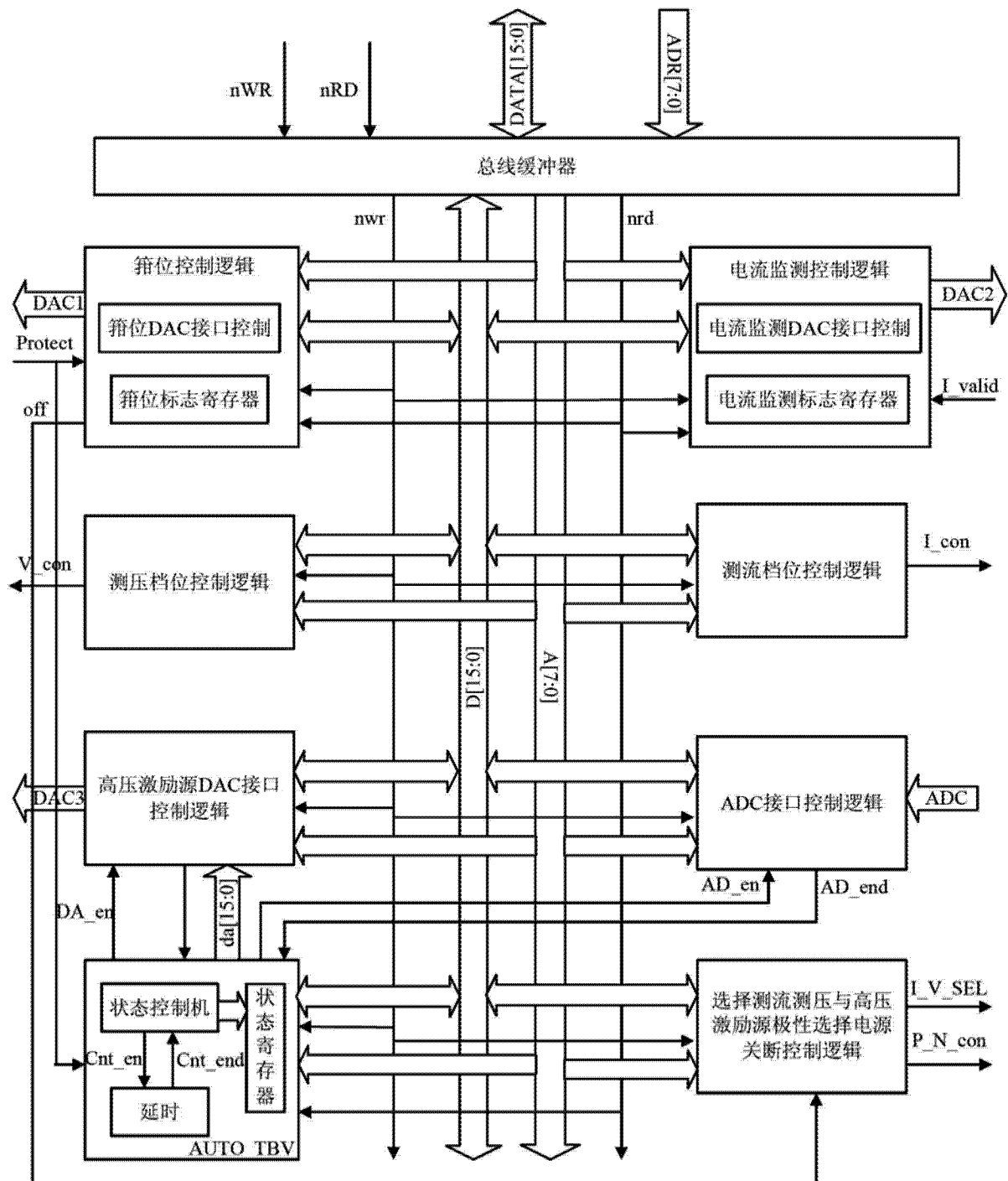


图 5

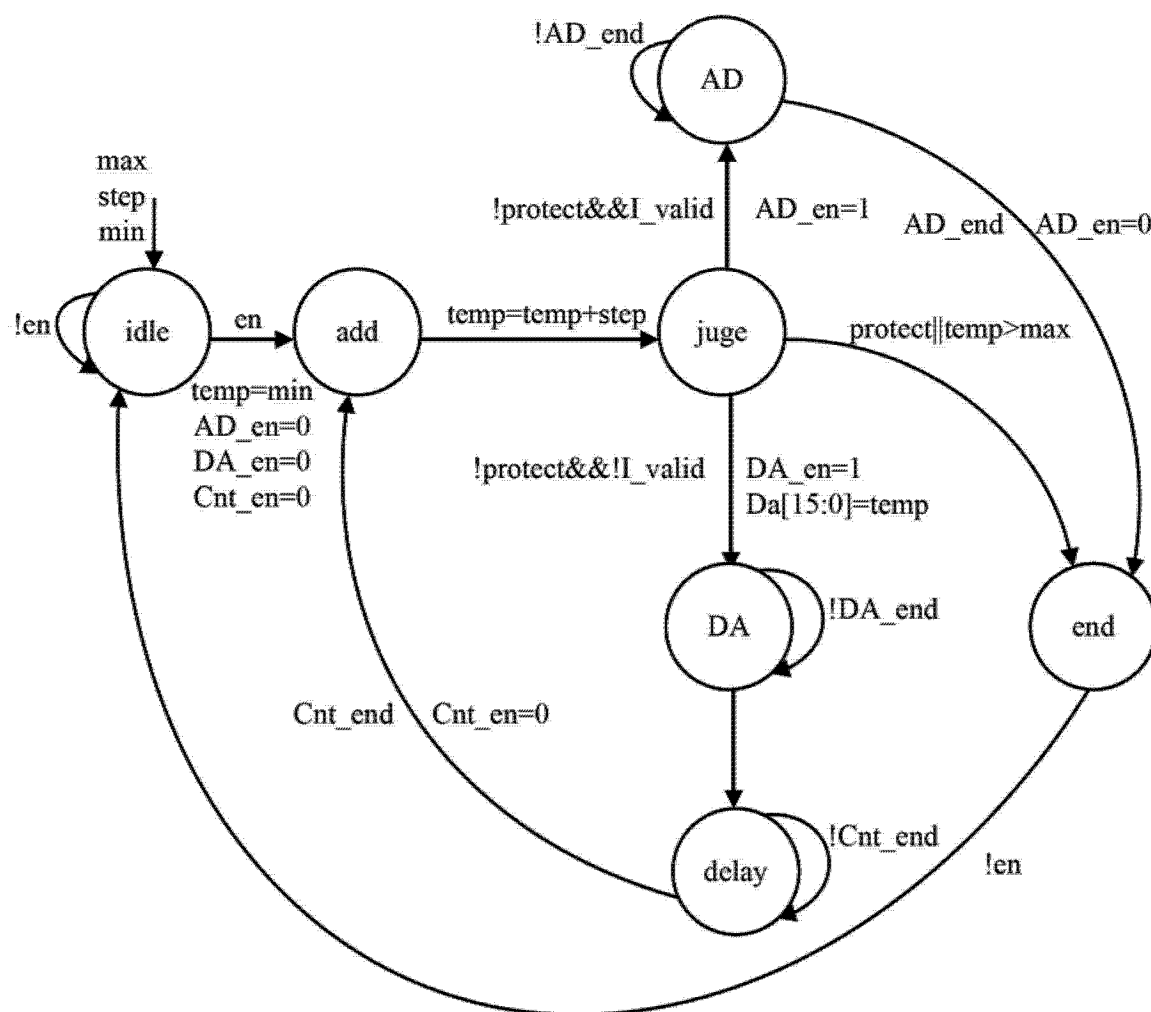


图 6

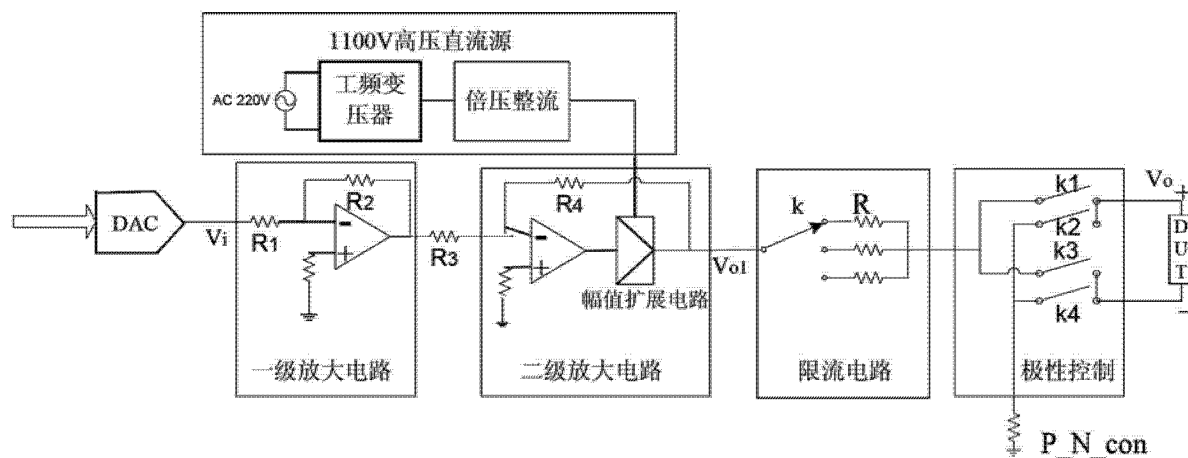


图 7

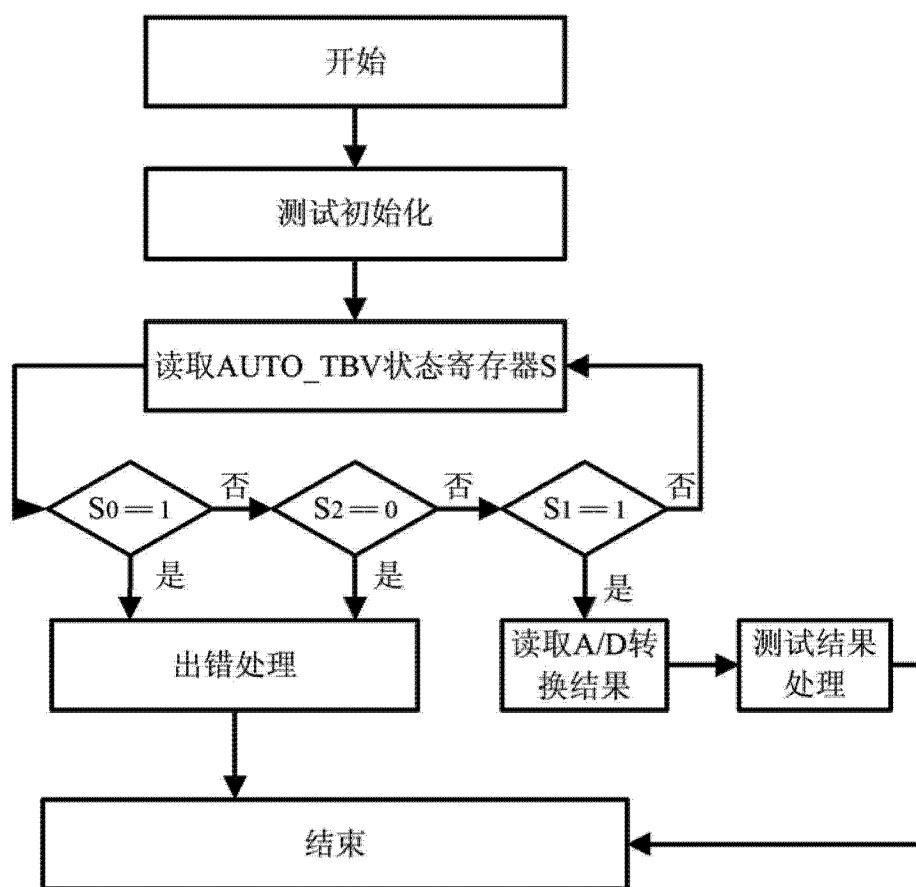


图 11

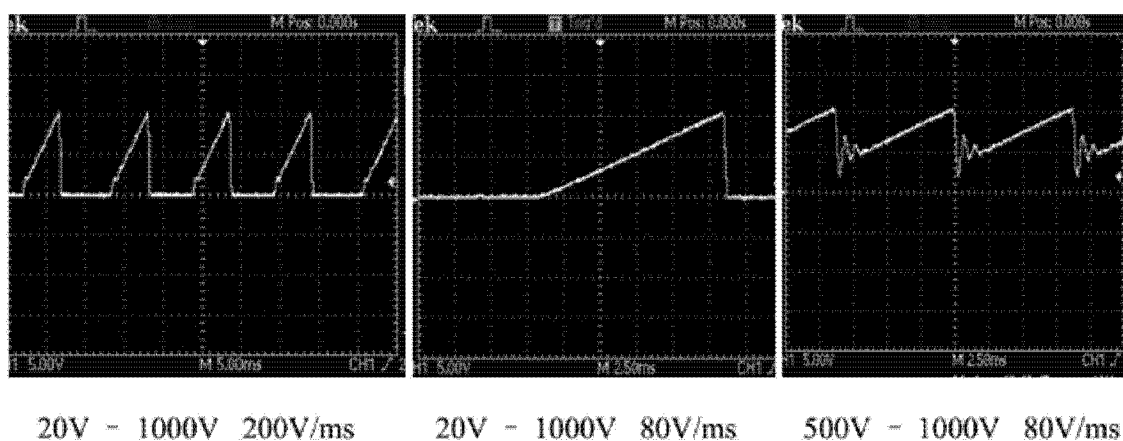


图 12