

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-268122

(P2009-268122A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl.
H03H 7/38 (2006.01)F I
H03H 7/38

テーマコード (参考)

Z

審査請求 有 請求項の数 12 O L (全 22 頁)

(21) 出願番号	特願2009-136312 (P2009-136312)	(71) 出願人	503370192 キョウセラ ワイヤレス コーポ. アメリカ合衆国 カリフォルニア 921 21, サン ディエゴ, キャンパス ポイント ドライブ 10300
(22) 出願日	平成21年6月5日 (2009.6.5)	(74) 代理人	100078282 弁理士 山本 秀策
(62) 分割の表示	特願2002-584476 (P2002-584476) の分割	(74) 代理人	100062409 弁理士 安村 高明
原出願日	平成14年4月2日 (2002.4.2)	(74) 代理人	100113413 弁理士 森下 夏樹
(31) 優先権主張番号	60/283,093	(72) 発明者	スタンレイ スラブコ トンチク アメリカ合衆国 カリフォルニア 921 31, サン ディエゴ, スプーナー コート 11155
(32) 優先日	平成13年4月11日 (2001.4.11)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	09/904,631		
(32) 優先日	平成13年7月13日 (2001.7.13)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	09/912,753		
(32) 優先日	平成13年7月24日 (2001.7.24)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 チューナブル整合回路

(57) 【要約】 (修正有)

【課題】 r f 周波数の低損失チューナブル整合回路を提供する。

【解決手段】 強誘電体材料は、整合回路22において用いる為の低損失チューナブルキャパシタ32およびインダクタ31を生成する為に用いられる。整合回路22はインピーダンスを有するキャパシタ28及びインダクタ30と、キャパシタ28の容量値、又はインダクタ30のインダクタンス値を調節する為に堆積された強誘電体材料と、強誘電体材料と動作可能に接続された制御線と、制御線上に制御信号を伝送するように構成される、制御ソース98とを備え、強誘電体材料は、制御信号に応答して値を調節して整合回路22のインピーダンスを変更し、キャパシタ28及びインダクタ30は、全ての損失寄与率が考慮され、消去又は限度内にとどめられるように設計され、これにより、強誘電体材料の損失寄与率の正確な決定と、低損失を必要とするシステムにおけるデバイスの使用とを可能にする。

【選択図】 図11

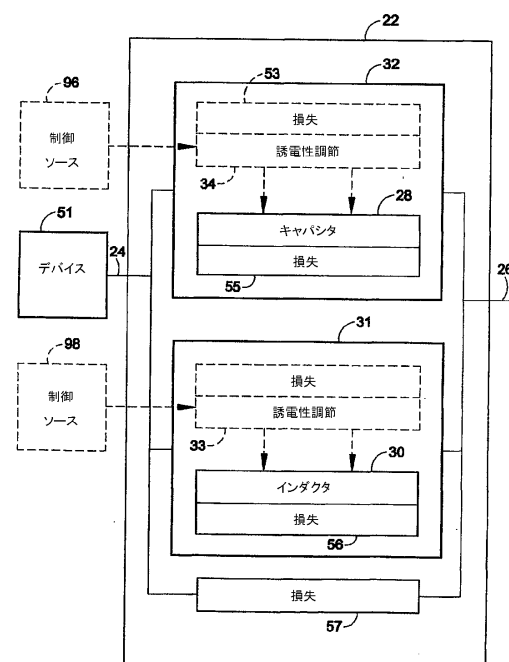


FIG. 11

【特許請求の範囲】

【請求項 1】

入力回路（１１０）と、

前記入力回路（１１０）と増幅器（１０７）との間に接続された第１の整合回路（１０１）であって、前記入力回路（１１０）によって見られる調整可能な第１のインピーダンスを有する第１の整合回路（１０１）と、

制御回路（１０５）と

を含む通信デバイスであって、

前記第１の整合回路（１０１）は、

第１の容量性素子および第１の誘導性素子であって、前記第１の容量性素子または前記第１の誘導性素子のうちの少なくとも一方が、第１の強誘電体材料を含む、第１の容量性素子および第１の誘導性素子と、

前記第１の強誘電体材料と動作可能に接続された第１の制御線と

を含み、

前記制御回路（１０５）は、前記通信デバイスの所定の値に応答して、前記第１の制御線上に第１の制御信号を出力し、

前記強誘電体材料は、前記第１の制御信号に応答して、前記第１の容量性素子のキャパシタンスまたは前記第１の誘導性素子のインダクタンスを調整することにより、前記第１の整合回路（１０１）の前記第１のインピーダンスを調整し、

前記増幅器（１０７）は、前記第１の整合回路（１０１）に接続されている、通信デバイス。

【請求項 2】

前記制御回路（１０５）と前記増幅器（１０７）の間に接続された電力検出回路（１０３）であって、前記増幅器（１０７）の電力レベルを検出する電力検出回路（１０３）をさらに含み、

前記制御回路（１０５）は、前記増幅器（１０７）の前記検出された電力レベルの所定の値に応答して、前記第１の制御信号を変更する、請求項 1 に記載の通信デバイス。

【請求項 3】

前記第１の容量性素子は、キャパシタを含み、前記キャパシタは、ギャップ領域を含み、

前記強誘電体材料は、前記キャパシタのキャパシタンス値を調整するために前記ギャップ領域に配置されている、請求項 1 に記載の通信デバイス。

【請求項 4】

前記増幅器は、低雑音増幅器である、請求項 1 に記載の通信デバイス。

【請求項 5】

前記増幅器は、電力増幅器である、請求項 1 に記載の通信デバイス。

【請求項 6】

前記制御回路（１０５）は、ルックアップテーブルを含み、前記所定の値に対応する前記ルックアップテーブルにおける値に応答して、前記第１の制御信号を変更する、請求項 1 に記載の通信デバイス。

【請求項 7】

前記制御回路に接続された温度センサをさらに含み、

前記所定の値は、前記温度センサによって検出された温度であり、前記値は、前記温度に対応する、請求項 6 に記載の通信デバイス。

【請求項 8】

前記増幅器（１０７）と第２の回路（１１３）との間に接続された第２の整合回路（１０４）をさらに含み、

前記第２の整合回路（１０４）は、調整可能な第２のインピーダンスを有し、

前記第２の整合回路は、

第２の容量性素子および第２の誘導性素子であって、前記第２の容量性素子または前

10

20

30

40

50

記第2の誘導性素子のうちの少なくとも一方が、第2の強誘電体材料を含む、第2の容量性素子および第2の誘導性素子と、

前記第2の強誘電体材料と動作可能に接続された第2の制御線とを含み、

前記制御回路(105)は、前記第2の制御線上に第2の制御信号を出力し、

前記第2の強誘電体材料は、前記制御信号に応答して、前記第2の容量性素子のキャパシタンスまたは前記第2の誘導性素子のインダクタンスを調整することにより、前記第2の整合回路の前記第2のインピーダンスを調整する、請求項1に記載の通信デバイス。

【請求項9】

前記第1のインピーダンスと前記第2のインピーダンスとが実質的に等しい、請求項8に記載の通信デバイス。

【請求項10】

前記制御回路(105)と前記増幅器(107)との間に接続された電力検出回路(103)であって、前記増幅器(107)の電力レベルを検出する電力検出回路(103)をさらに含み、

前記制御回路(105)は、前記増幅器(107)の検出された電力レベルの所定の値に対応する前記ルックアップテーブルにおける値に基づいて、少なくとも前記第1の制御信号を変更することにより、前記増幅器(107)の負荷線を変更する、請求項8に記載の通信デバイス。

【請求項11】

前記制御回路(105)に結合された帯域選択信号生成器をさらに含み、

前記ルックアップテーブルにおける値は、選択された帯域の所定の値に対応し、

前記制御信号は、前記制御回路(105)によって前記第1の整合回路(101)に印加されるべき電圧を含む、請求項6に記載の通信デバイス。

【請求項12】

前記帯域選択信号生成器は、米国のパーソナルコミュニケーションシステム(PCS)帯域および米国のセルラー帯域のうちの少なくとも一方を選択するセレクタを含む、請求項11に記載の通信デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願)

本出願は、米国特許仮出願第60/283,093号(2001年4月11日)の利益を主張し、この出願は、参考のため、本明細書中に援用される。さらに、本出願は「Tunable Ferro-electric Filter」(2001年7月13日出願)、「Tunable Ferro-electric Multiplexer」(2001年7月24日出願)、および「Low Loss Tunable Ferro-electric Device and Method of Characterization」(2001年8月8日出願)に関し、これらの出願は、参考のため、本明細書中に援用される。

【背景技術】

【0002】

(背景)

(関連技術の説明)

整合回路は、回路内の種々のコンポーネントのインピーダンスをターゲットインピーダンスに変換するために広く用いられる。整合回路への入力、情報を搬送するRF信号であり得る。整合回路への出力もまた、情報を搬送するRF信号であり得る。整合回路は、コンポーネントの前に位置する(proceed)か、または後に位置(follow)し得る。コンポーネントは、入力および出力インピーダンスを有する。コンポーネントが信号経路において整合回路の後に位置する場合、コンポーネントのターゲットインピーダ

10

20

30

40

50

ンスは、そのコンポーネントの入力インピーダンスである。コンポーネントが信号経路において整合回路の前に位置する場合、コンポーネントのターゲットインピーダンスは、そのコンポーネントの出力インピーダンスである。

【0003】

この整合回路は、対象となるインピーダンスとターゲットインピーダンスとの間の差を補償することによって、インピーダンス信号によって見出されたインピーダンスをターゲットインピーダンスに設定するように機能する。インピーダンスの補償は、整合回路のキャパシタンスおよびインダクタンス、ならびに整合回路の構成によって決定される。集中素子のインダクタまたはキャパシタ、あるいはこれらの両方を用いることによって、広範囲のインピーダンス整合回路および伝達機能 (transfer function) 回路が実現され得る。比較的高い周波数 (約 1 GHz より高い) で、集中素子のインダクタまたはキャパシタ、あるいはこれらの両方を分布伝送線ネットワークと置換することは、多くの場合、有利である。この置換の有用性は、領域の制約のみならず、基板の誘電率 (DK) にも依存する。

【0004】

整合回路の種々の構成が当業者に周知である。いくつかの例は、直列キャパシタとシャントキャパシタ、直列キャパシタとシャントインダクタ、直列インダクタとシャントキャパシタ等である。整合回路の一般的な構成は、シャントキャパシタ、直列インダクタ、シャントキャパシタである。挿入損失が許容され得る場合、変圧器、および抵抗ネットワークさえ用いられ得る。

【0005】

概して、整合回路は、追加的損失を最小化して、形成信号における追加的劣化を防止する。過剰な損失は、電子システムにおける他のコンポーネント、特に、増幅器等の能動素子をさらに必要とする。いくつかの場合、低雑音増幅器 (LNA) への入力と同様に、増加した信号損失は、LNA のゲインを高くするだけでは補償され得ない。

【0006】

コンポーネントおよび整合回路のインピーダンスは、周波数に依存する。インピーダンスは、単一の動作周波数で、または限定帯域の周波数にわたってのみ整合される。設計者が複数の周波数帯域でデバイスを動作させることを所望した場合、妥協をせまられる。

【0007】

無線ハンドセットにおけるアンテナ整合ネットワークが例として利用される。現在のデュアルバンドハンドセットは、通常、単一のアンテナのみを用い、現在の解決策は、インピーダンスを動作周波数の範囲の中間の周波数で整合させることである。このインピーダンスは、中間周波数を除く、すべての周波数で整合されない。これは、いずれの帯域でも電力損失を増加させる。

【0008】

第2のオプションは、異なった動作周波数ごとに異なったコンポーネントおよび整合回路を用いることである。インピーダンス整合は、この方法がより良好であり得るが、製造および組み合わされた回路のサイズ全体の追加コストがかなり高くなり得る。各コンポーネントの1つがすべての所望の動作周波数で良好に整合され得る場合、回路サイズおよび電力消費の大幅な節約になることを理解されたい。チューナブルな整合回路は、この問題を解決する。

【0009】

符号分割多重接続 (CDMA) ハンドセットにおいて、整合回路は、デュプレクサとアンテナとの間 (シングルバンド電話)、またはデュアルまたはマルチバンドハンドセットにおけるデュプレクサまたはマルチプレクサとアンテナとの間、ならびに電力増幅器 (PA) の) および低雑音増幅器 (LNA) の前後に必要とされる。

【0010】

本発明の前に、約 200 MHz を越える周波数での低損失チューナブル整合回路は達成されていないが、その試みは行われてきた。これらの試みは、米国特許第 6, 198, 4

10

20

30

40

50

4 1 B 1に示されるようなバラクターダイオードを用いる整合回路を含み、参考のため、本明細書中に援用される。特に、チューナブルな整合回路を製作するために、直列インダクタおよびシャントバラクターダイオードを含む回路が用いられてきた。しかしながら、この回路に関する問題は、その損失が、特に、ポータブル通信デバイスにおける使用に関して、許容不可能なほど高いことである。さらに、バラクターダイオードは、温度にかなり敏感であり、ロットごとに不確実な r f 性能を有することが実証された。複数の用途において、特に、ポータブル無線通信デバイスにおいて低損失チューナブル整合回路が有用であることが理解されたい。

【発明の概要】

【課題を解決するための手段】

【0011】

(要旨)

本発明の目的は、低損失チューナブル整合回路を提供することである。整合回路は、ポータブル無線通信デバイスにおいて使用するためのものであり得る。低損失チューナブル f-e コンポーネントは、整合回路を製作するために用いられ得る。これは、f-e チューナブルキャパシタまたはインダクタを用いることによって達成され得る。整合回路は、直列またはシャントで配置される集中素子、または、分布ネットワーク素子、またはこれら2つの特定の組み合わせによって実現され得る。分布素子整合において、f-e 膜が平面の（特に、マイクロストリップ、ストリップ線、C P W）受動整合回路において用いられ得、下に位置する基板の誘電率を変更し、従って、整合回路の、または共振器の電氣的長さ、あるいは特性インピーダンスに変化がもたらされる。平面の整合回路の使用は、増幅器または回路設計の分野の当業者に公知である。整合ネットワークは、ここで、より従来型の分布誘導および容量構造のみならず、ハイブリッドおよびカップラーであり得る。

【0012】

本発明の有利な点は、整合回路の低挿入損失、およびより良好なインピーダンス整合を含み、これは、整合されるコンポーネント（単数または複数）の挿入損失より低くする。さらに、回路内の反射による干渉が少ない、より良好な整合手段を含む。

【0013】

さらに、ポータブル無線通信デバイスは、バッテリー寿命および通話時間をより長くする。

【0014】

異なった図における同じ参照符号の使用は、類似または同一のアイテムを示す。

【図面の簡単な説明】

【0015】

【図1a】図1aは、強誘電体ギャップキャパシタの平面図である。

【図1b】図1bは、線Aに沿って取り出された図1aの強誘電体ギャップキャパシタの断面図である。

【図2a】図2aは、添付のD C ブロックキャパシタをとみなう、強誘電体オーバーレイキャパシタの平面図である。

【図2b】図2bは、図2aのオーバーレイキャパシタにおける第1の金属層の平面図である。

【図2c】図2cは、図2aにおける線Bに沿って取り出された図2aのオーバーレイキャパシタの断面図である。

【図3】図3は、図2aの一部分の拡大された図を示す。

【図4a】図4aは、強誘電体インターデジタルキャパシタの平面図である。

【図4b】図4bは、強誘電体マイクロストリップインダクタの平面図である。

【図4c】図4cは、図4bに示されるインダクタの模式的等価回路図である。

【図5】図5は、例示的整合回路の模式図である。

【図6】図6は、例示的整合回路の模式図である。

【図7】図7は、例示的整合回路の模式図である。

10

20

30

40

50

【図 8】図 8 は、例示的整合回路の模式図である。

【図 9】図 9 は、例示的整合回路の模式図である。

【図 10】図 10 は、例示的整合回路の模式図である。

【図 11】図 11 は、低損失チューナブル強誘電体整合回路のブロック図である。

【図 12】図 12 は、増幅器の整合回路および周辺回路のブロック図である。

【図 13】図 13 は、アンテナと送受切換器との間の整合回路のブロック図である。

【図 14】図 14 は、アンテナと送受切換器との間の整合回路のブロック図である。

【図 15】図 15 は、制御ソースおよび整合回路のブロック図である。

【発明を実施するための形態】

【0016】

(詳細な説明)

本発明の目的は、低損失チューナブル整合回路を提供することである。整合回路を製作するために、低損失チューナブル $f-e$ コンポーネントが用いられ得る。これは、 $f-e$ チューナブルキャパシタ、または、制限的に、インダクタを用いることによって達成され得る。整合回路は、好適には、直列またはシャントで配置された集中素子、あるいは分布ネットワーク素子、あるいはこれらの 2 つの特定の組み合わせによって実現され得る。分布素子整合において、薄い、または厚い $f-e$ 膜が、平面の（特に、マイクロストリップ、ストリップ線、CPW）受動整合回路において用いられ得、下に位置する基板の誘電率を変更し、従って、整合回路または共振器の電氣的長さ、あるいは特性インピーダンスに変化がもたらされる。平面の整合回路の使用は、増幅器または回路設計の分野の当業者に公知である。整合ネットワークは、ここで、より従来型の分布誘導構造および分布容量構造のみならず、ハイブリッドおよびカップラーであり得る。

【0017】

集中素子整合コンポーネントが用いられた場合、 $f-e$ ベースのチューナブルキャパシタは、増幅器の整合ネットワークに変化をもたらすのと類似の態様で用いられ得る。集中素子を有する好適な整合ネットワークは、 $f-e$ 材料がキャパシタのキャパシタンスを変更するために用いられることを除いて、当該分野で公知のものと同一である。

【0018】

次に、整合回路において使用するための $f-e$ チューナブルキャパシタの設計が記載される。キャパシタの全損失 L_t は、チューナブルか否かに関わらず、その散逸エネルギー対蓄積エネルギーの比率によって与えられ、ここで、エネルギーは、電界において蓄積され、抵抗において散逸され、すなわち、 $L_t = (\text{散逸エネルギー}) / (\text{蓄積エネルギー})$ である。この損失の逆数は、 Q ファクタ Q_c である。キャパシタについて、 L_t は、量 ($\omega * R_s * C$) によって与えられ得、ここで、 ω は角周波数であり、 R_s は、キャパシタの直列抵抗であり、 C は、キャパシタンスである。例えば、 1.0 pF のチューナブルキャパシタにおいて、 2.0 GHz の場合に $Q_u = 250$ になるようにするためには、 R_s が 32Ω (オーム) であることが必要とされる。損失を最小化するために (低 R_s を取得するために)、可能ならば、存在するすべての損失メカニズムを考慮すること、およびこれらの損失の消去が必要とされる。

【0019】

$f-e$ キャパシタの損失の決定は、そのトポロジー、すなわち、それがオーバーレイか、ギャップか、またはインターデジタル (IDC) キャパシタであるかどうかには依存しない。

【0020】

$f-e$ デバイスについて、全損失は、以下のように、各ソースの寄与率を合計することによって決定される。

【0021】

$L_t = L_{geom} + L_{attach} + L_{metal} + L_{sub} + L_{rad} + L_{meas} + L_{f-e}$ であり、ここで、

L_{geom} は、キャパシタのトポロジーから導き出され、

10

20

30

40

50

$L_{at tach}$ は、デバイスの取り付けが原因の損失であり、
 L_{metal} は、全金属損失であり、
 L_{sub} は、ベース基板損失（存在する場合）、
 L_{rad} は、放射損失（所望されるものおよび所望されないものの両方）であり、
 L_{meas} は、測定誤差から生じる全損失であり、
 L_{f-e} は、 $f-e$ 損失正接である。

【0022】

この損失配分は、 $f-e$ キャパシタが用いられる態様で、所望の動作周波数の L_{f-e} （または $f-e \tan \delta$ ）の正確な値を取得するために最初に用いられ得る。 L_{f-e} を正確に導き出すために、上述の他の損失寄与ソースのすべてを消去または制限しなければならない。例えば、 L_{geom} は、トポロジーによって異なり、オーバーレイキャパシタの場合は最良であり、ギャップキャパシタの場合は不良であり、IDC キャパシタの場合はかなり不良である。この損失は、低減および制御され得るが、これは、デバイスに固有である。従って、所与の $f-e$ キャパシタのトポロジーの選択は、 $f-e$ キャパシタによって達成可能な考えられ得る最良の Q_c に影響を及ぼす。電磁（EM）ソフトウェアは、損失のない $f-e$ 膜を想定して、所望のジオメトリのベースライン損失を確立し得る。このベースライン損失は、所与のジオメトリの最良（最低）の損失を表す。

【0023】

一般に、ギャップキャパシタは、最も容易に製作され得る。IDC は、次に容易であり、オーバーレイキャパシタは、これらの3つの中で最も困難である。IDC と比較して、ギャップキャパシタは、より良好な Q を有するが、単位断面あたりのキャパシタンスが低い（図1aにおけるW）。IDC のキャパシタンスは、単位断面あたりに用いられるフィンガーの数が多いため、より大きい。しかしながら、複数の通信フィルタ用途の場合、大きいキャパシタンス（ $C > 4.0 \text{ pF}$ ）は必要とされない。しかしながら、ギャップキャパシタは、多くの場合、適切なキャパシタンスを提供し得る。ほとんどの $f-e$ 膜に関して、この本質的に高い値は、単位断面Wあたり、従来のギャップキャパシタと比較して、比較的高いキャパシタンスを提供することを支援する。

【0024】

$L_{at tach}$ は、例えば、はんだ、シルバーペイント、またはワイヤボンディングを含む、個別のデバイス取り付け技術から生じる。これらの取り付け損失は、大きく、かつ予測不可能であり得る。最低損失は、 $f-e$ キャパシタを共振器または他のRF回路に直接的に製作することによって達成され、従って、この損失コンポーネントが除去されない場合は、最小化される。

【0025】

スタンドアロン $f-e$ キャパシタの固有損失は、あまり重要でない。はるかに重要なのは、 $f-e$ キャパシタを回路に取り付けることから生じる任意の追加的損失である。 $f-e$ キャパシタが損失を有しない場合であっても、大きい損失接続が用いられた場合、効果全体は、損失が大きい $f-e$ デバイスの効果である。例えば、 250 GHz での $Q > 250$ が 1.0 pF のキャパシタンスに対して所望された場合、直列抵抗 R_s 全体は、 $< 0.32 \text{ オーム}$ でなければならない。従って、任意の追加的損失は、このキャパシタの Q をさらに低減する。この追加的損失が実際のキャパシタの外部であることは関係がない。マウントが原因のもの等、やむを得ない損失メカニズムであっても、例えば、システムへの効果という点からキャパシタの有効 Q を低減する。

【0026】

最小の追加的損失について、 $f-e$ キャパシタと共振器との間の接続は、最低の追加的抵抗を提供する。従って、 $f-e$ キャパシタと関連する電流および電荷は、最小の追加的損失を見出す。はんだ、ワイヤボンディングまたはシルバーペイントまたは貼り付け（しかしながら、これらに限定されない）従来のボンディングまたはマウント技術は、このような低損失の制御可能な接着を提供しない。

【0027】

10

20

30

40

50

このようなボンディング法の使用から生じる追加的な、予測不可能な損失は、 $f-e$ キャパシタが共振器をチューニングする目的で用いられるか、 $f-e$ 膜の特性決定の目的で用いられるかに関わらず、実現された Q を劣化する。従って、最良の性能（最低の損失）のために、 $f-e$ キャパシタ構造は、チューニングすることが意図された共振器上、または、他の重要な RF 回路上に直接的に製作されるべきである。直接的に製作することによってのみ、電磁（ EM ）ソース（電流）の $f-e$ チューニング素子から共振器への最小損失接合部がもたらされ得る。 $f-e$ キャパシタの、共振器上への、または共振器との直接的な製作の所望の効果は、鋭い隅または接合部の不在によって強化され得る。

【0028】

L_{metal} の係数は、金属の表面粗度（ SR ）、表皮厚さ δs と比較した金属厚さ、および導電率を含む。 L および S 帯域（ $1 \sim 4 GHz$ ）の動作周波数において、 SR が約 10 マイクロインチ平方二乗平均（ rms ）よりも小さい場合、 SR は、係数として有効に消去され得る。厚さが $1.5\delta s$ 以上である場合、金属厚さは、係数として低減され得るか、または、厚さが $>5\delta s$ である場合、有効に消去される。電極接点については、金属厚さ（ t_m ）は、約 $1.5\delta s$ であり得る。電子共振器の場合については、ここで、進行波または定在波が支援されなければならない、すなわち、波長が検出可能なフラクション（約 10% 以上）において当該の金属が伸長する場合、約 $5\delta s$ 以上の金属厚さにより近くなる。

【0029】

導電率は、銀、銅および金（ Ag 、 Cu および Au それぞれ）の場合に最良である。従って、 L_{metal} は、低減および制御され得るが、係数として消去され得ない。しかしながら、その効果は、当業者に周知の式によって、または、 $Eagleware$ または $Touchstone$ といった一般的に用いられる回路シミュレータにおいて利用可能な線計算ツールを用いることによって計算され得る。さらに、正確な製造制御は、 L_{metal} の幾何学的な変化を跳ね返らせ得る。（ $bound$ ）

L_{sub} によって表される損失寄与は、損失正接が、対象となる動作周波数で 0.001 よりも小さく、好適には、 0.0005 よりも小さい、損失正接を有する低損失基板を選択することによって最小化され得る。適切な材料は、 $>99\%$ の純アルミナを含み、損失／コスト利益の、現在の最良の選択である。サファイアまたは MgO は、低損失正接を有するという点でアルミナよりも良好であるが、より高価である。すべてのこれらの材料は、バッファ層を用いることなく $f-e$ 薄膜を許容し、かつ、さらなる研磨がほんのわずか、またはなしで許容可能である表面粗度を有する。半導体基板は、導電率が比較的高いため、好ましい選択ではない。損失正接の係数、表面粗度および価格に加えて、適切な基板は脆性であるべきでなく、より大口径のウェハとして製作され得、かつ広範囲の事前処理を行うことなく容易にメタライゼーションされ得る。

【0030】

合成基板（ $f-e$ 膜プラス基板）の全損失から L_{sub} を分離することは、 EM 場または回路シミュレーションソフトウェアを用いることによって達成され得る。例えば、 $Sonnet$ 、 $Momentum$ または $IE3D$ が用いられ得る。従って、 L_{sub} は、著しく低減され、かつ正確に計算され得る。

【0031】

L_{rad} は、適切な遮蔽および設計によって消去され得、従って、通常、係数ではない。多様なフィルタ、特に、コムラインまたはヘアピン等の平面フィルタは、放射カップリングに依存して所望の性能を達成することが留意されたい。これらの場合、不用な浮遊カップリングが除去されないとしても低減される。

【0032】

L_{meas} は、回路損失誤差を著しく増加させ得る。なぜなら、わずかな追加的損失は、デバイスアンダーテスト（ DUT ）の測定された Q を低減するか、または、システムが、 DUT の固有の Q を不明瞭にするからである。材料における誘電率および損失正接を測定する従来の方法は、当業者に周知の空洞共振器摂動技術である。しかしながら、 L 帯域

10

20

30

40

50

では、キャパティのサイズがかなり大きくなる。f-e 膜等の薄膜が（バルクに対して）膜厚 $<1.5\mu\text{m}$ の特徴を示す場合、測定誤差が大きくなり得ると、問題は非常に難しくなる。さらに、f-e キャパシタ（またはフィルタ）は、それが用いられる態様と最も類似の態様で特性決定される。従って、f-e 化合物または膜の特性決定する好適な方法は、マイクロストリップ共振器技術による方法である。

【0033】

f-e 膜の特性を決定し、かつ f-e キャパシタの特性決定する目的で、マイクロストリップ技術は、以下の理由

1) マイクロストリップ回路は、上面の覆いがない平面システムであり、従って、上面の覆いとしてのハード基板のボンディングが必要とされない。従って、例えば、ストリップ線において必要とされるようなグラウンド平面の連続性（上面から底面へ）の必要もない。

【0034】

2) 好適には、ギャップキャパシタ、あるいは、IDC が容易に製作および測定され得る。

【0035】

3) マイクロストリップ共振器の特徴決定に関する広範な知識が存在する。

【0036】

4) 例えば、誘電体空洞共振器に必要とされるような複雑な装備または製作、あるいはこれらの両方が必要とされない。

で、例えば、ストリップ線、または、f-e 膜の特性決定するために他のポリュームトリック技術よりも好ましい。

【0037】

共振器技術を用いて高いQ回路を測定すべきである。なぜなら、広帯域測定は、RF/マイクロ波周波数のサブオーhm抵抗損失を任意の精度で正確に解消し得ないからである。同じ理由で、LRCメータは、良い選択ではない。

【0038】

f-e キャパシタの R_s 、従って、Qを正確に取得するために無線周波数での測定が必要とされる。なぜなら、低周波数、特に、約10~100MHz未満の周波数の測定において、当該のキャパシタンスをシャントする大きいシャントの抵抗 R_p が支配的だからである。 R_p が支配的であると、当該のキャパシタンスの比較的小さい値（ $<4.0\sim5.0\text{pF}$ ）と共に、低周波数での信頼できるQ（従って、 R_s ）測定を妨げる。

【0039】

損失を測定するために用いられる場合、ウェハプローブステーションは、慎重に用いられなければならない。なぜなら、抵抗および誘導損失をRF/マイクロ波周波数で較正することは困難だからである。プローブチップは、さらに、そのグラウンド接続と共に、DUT上への配置、および、これらを付与するために用いられる圧力に敏感である。その結果、個別のデバイス損失の測定を必要としないような、所望のパラメータの直接的測定を可能にする共振テスト回路を用いることがより好ましい。

【0040】

従って、共振回路を測定するために、ネットワークアナライザが好適な選択肢である。測定損失を最小化し、最も正確な測定を達成するために、DUTの損失が較正され、ネットワークアナライザの全2ポート較正（full two port calibration）を実行し、較正および測定の平均化を用いる。最後に、キャパシタアンダーテストのQまたは損失を正確に抽出するために、S. ToncichおよびR. E. Collinによる1992年9月発行の「Data Reduction Method for Q Measurements of Strip-Line Resonators」IEEE Transactions in MTT, Vol. 40, No. 9, 1833~1836ページ（参考のため、本明細書中に援用する）に略述されるような測定データの適切な解析が必要とされる。

10

20

30

40

50

【0041】

上述の損失の各々を最小化、消去または限度内にとどめるために、上述の結果を用いて、全損失が

$L_t = L_{g e o m} + L_{m e t a l} + L_{f - e} + \Delta L_{m i s c}$
として再び示され得る。

【0042】

上述のように、 $L_{f - e}$ の正確な測定値を取得するために、 $L_{g e o m}$ および $L_{m e t a l}$ の両方が量子化され、かつ解析的に除去され得る。 $L_{g e o m}$ は、損失のない $f - e$ 材料の想定に基づいて、回路の正確な電磁シミュレーションから決定され得る。 $L_{m e t a l}$ は、金属損失を想定する導電率 $S R$ （適切な場合）、および表皮深さの式を用いて決定され得る。最後の項 $\Delta L_{m i s c}$ は、他の損失メカニズムの、または有限境界（ $f i n i t e b o u n d s$ ）からの不完全な除去、あるいは $L_{m e t a l}$ および $L_{g e o m}$ の不完全な除去、あるいはこれらの両方の組み合わせを表す。前節において述べられたように、 $f - e$ 膜／コンポーネント特性を正確に測定するために、これは最小化および限度内にとどめられるべきである。

10

【0043】

最後に、アルミニウムへの $L_{f - e}$ の影響を低減するために、 $f - e$ 膜がチューニングのために必要とされる領域にのみ堆積され、他のどこにも堆積されないように、 $f - e$ 膜の選択的堆積が用いられなければならない。

【0044】

20

すべての損失メカニズムを考慮し、かつ、これらの損失を消去するか、または限度内にとどめるプロセスは、 $f - e$ 損失を決定するだけでなく、低損失チューナブルフィルタの正しい設計ガイドラインもまた確立する。 $L_{f - e}$ を知ることは、 $f - e$ 膜を用いて任意のタイプの最適設計を行うために必要な $f - e$ 膜のベースラインを設計者に与える。これを知ることは、例えば、損失正接をチューニング可能性と有効にトレードオフすべき場合に必要である。簡単に言うと、正確な製作および測定技術は、均一の $f - e$ 膜損失特性および用途をもたらす。

【0045】

損失を最小化する上述の技術が所与のものであるとして、 $f - e$ キャパシタの3つのタイプの好適な実施形態が、次に述べられ得る。これらの設計は、 L 帯域（ $1 \sim 2 \text{ GHz}$ ）において使用するためのものであるが、本発明の教示は、他の周波数帯域の $f - e$ キャパシタを設計するために用いられ得ることを理解されたい。

30

【0046】

無線ハンドセットのセルラー帯域（ $800 \sim 1000 \text{ MHz}$ ）および L 帯域（ $1 \sim 2 \text{ GHz}$ ）において使用するための好適な $f - e$ チューナブルギャップキャパシタ10が1aおよび1bに示される。ギャップキャパシタ10は、好適には、 5.0 マイクロインチ $R M S$ よりも小さい $S R$ を有する、 $>99\%$ の純度の、 $0.5 \sim 1.0$ 厚さのアルミナ、 $M g O$ またはサファイア基板12上に形成される。あるいは、ギャップキャパシタは、任意の数の共振器構造の前面または背面または側壁に直接パターンニングされ得る。実施例は、同軸、モノブロックまたはストリップ線共振器である。このようなキャパシタは、共振器へのその電氣的接続点に可能な限り近くなるように製作されるべきである。

40

【0047】

基板12は、他の要件に依存して金属グラウンド平面14を有し得る。しかしながら、好適な実施形態は、グラウンド平面を用いずに浮遊キャパシタンスを最小化することである。好適には、 $B S T O$ 、あるいは他の適切な、または最大キャパシタンスおよびチューニング範囲を得るための好適な $f - e$ 材料で形成された、厚さが約 $0.1 \sim 2.0$ ミクロンの、 $f - e$ 層16が基板12上に堆積される。より好適には、層16は、 $0.5 \sim 1.0$ ミクロンの厚さである。 $B a / S r$ フラクシオンの他の成分とのドーピング、合金、混合、および／またはアニールは、所望のチューニング特性および損失（ $\tan \delta$ ）、従って、 Q も決定する。

50

【0048】

一般に、チューニング特性は、最小チューニング電圧を有する最低限必要とされるチューニング範囲を満たすことが好ましい。好適には、他のエレメントがドーピングされたか、または前処理または後処理アニーリングを行ったか否かに関わらず、室温での作業の場合の $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ の組成において $x=0.5$ である。BSTOを除く他の $f-e$ 材料がウェルとして用いられ得ることを理解されたい。 $f-e$ 層16上に形成された金属層18は、好適には、 $3.0\sim 5.0$ ミクロンの幅でのギャップ20を規定する。好適には、金属層18は、 $0.5\sim 6.0$ ミクロンの厚さである。より好適には、金属層18は、 $1.5\sim 2.5$ ミクロンの厚さである。ギャップ20は、要件および処理用機器に依存してこの範囲よりも幅広いか、または狭くなり得ることが理解されたい。PCS帯域における最小の追加的損失について、生じたキャパシタンスは、0ボルトDCにおいて約 $0.6\text{ pF}\sim 1.5\text{ pF}$ であるが、セルラーCDMA帯域については、約 $1.0\text{ pF}\sim 3.0\text{ pF}$ であり得る。キャパシタの幅W17は、さらに、用いられる特定の $f-e$ 膜および所望のギャップ20に依存して $f-e$ キャパシタンスを決定する。この幅は、通常、 $0.25\text{ mm}\sim 2.0\text{ mm}$ であり得る。生じたキャパシタは、 2.0 GHz において、少なくとも160のQを提供すべきである。

10

【0049】

$f-e$ 膜からの追加的損失を最小化するために、選択的堆積が用いられなければならない。すなわち、 $f-e$ 膜は、上述のように、チューニングのために必要とされる場所のみ堆積され、他のどこにも堆積されない。図1aに示されるように、例えば、図1aのギャップキャパシタ20において、ギャップ20の周囲の狭い領域 D_{f-e} において所望の $f-e$ 膜16が堆積され得る。 D_{f-e} は、製作時に、ギャップ20が $f-e$ 膜にわたって繰り返しパターンニングされ得る（マスク位置合わせの許容誤差を見越して）ことを確実にし、かつ、チューニングプロセスのためにギャップ20の下が必要とされる領域を覆うために十分な大きさである。L帯域PCSフィルタについては、 $D_{f-e}=0.2\sim 0.5\text{ mm}$ が適切であり、 0.2 mm が好適である。動作周波数が大きくなると、 D_{f-e} は小さくなり得る。動作周波数が小さくなると、 D_{f-e} は大きくなり得る。

20

【0050】

$f-e$ 膜の特性、およびその製作は、キャパシタ損失全体に重要な影響を及ぼす。 $f-e$ 膜損失を軽減および最小化するための複数の技術が存在する。 $f-e$ 膜の1つの特徴は、 $f-e$ 膜の損失およびチューニング可能性が、通常、逆の関係を有することである。すなわち、これらは、通常、互いにトレードオフされなければならない。大抵の場合、 $f-e$ κ チューニング範囲が大きいほど、 $f-e$ 損失が大きい。

30

【0051】

従って、 $f-e$ 材料が約 $3\sim 1$ の κ チューニング範囲を達成し得る場合であっても、所与のフィルタアプリケーションには、少しのチューニングしか許容され得ない。この場合、少しのチューニングが選択され、損失が少ないという利益がある。

【0052】

周波数チューニング可能性への κ チューニング可能性の効果は、整合回路のトポロジーによって決定される。この効果は、 $f-e$ 材料を選択する際にも考慮されなければならない。しかしながら、 $f-e$ 損失の $f-e$ の κ チューニング可能性へのトレードオフの正確な特性決定がなされない場合、設計者が最適な $f-e$ 材料を選択することは困難である。このトレードオフの正確な特性決定は、設計者が最適な $f-e$ 材料を選択することを可能にする（最低損失を提供する一方で、チューニング要件を満たす）。

40

【0053】

ギャップキャパシタの L_{geom} を参照して、損失に主に寄与するのは、ギャップによって形成された4つの隅である。これらの損失は、これらの隅を丸くすることによって低減され得る。

【0054】

ギャップおよびインターデジタルキャパシタと比較して、オーバーレイキャパシタは、

50

最低 L_{geom} を有する。オーバーレイキャパシタは、平行のプレートジオメトリの実施例であり、ここで、プレート寸法（長さおよび幅）は、プレート離隔距離（plate separation）よりもはるかに大きい。このようなジオメトリが所与のものであるとして、プレート間の電界のほとんどは、エッジに沿うフリンジ部分（fringing）を除いて均一である。このようなフリンジ効果は、当該分野において周知のように保護帯域の使用によって著しく低減され得る。従って、平行のプレートキャパシタからのジオメトリ損失は、かなり低い。さらに、平行のプレートジオメトリは、小さい制御電圧振動から、高チューニングとともに高キャパシタンスを提供し得る。

【0055】

好適なオーバーレイキャパシタ 30 は、 L_{geom} への寄与率を最小化する図 2 a、図 2 b、図 2 c、および図 3 に示される。キャパシタ 30 は、25mil のアルミナ基板 31 上に直接的に堆積される。第 1 の金属層 34 は、基板 31 に接着される。金属層 34 の形状もまた図 2 b に示される。強誘電体層 36 は、金属層 34 上に位置する。オーバーレイキャパシタ 30 を形成するために、誘電体層 36 上に形成された金属パッド 40 が第 1 の金属層 34 の一部分に重ねられる。図 3 は、重なる部分の拡大図を示す。金属パッド 40 と金属層 34 の両方は、適切なキャパシタンスのオーバーレイキャパシタ 30 を形成する先細になった領域を有する。さらなる金属パッド 41 が金属層 34 に重なり、DC ブロックキャパシタ 42 を形成する。金属パッド 41 は、先細にされて DC ブロックキャパシタ 42 の適切なキャパシタンスを形成する。

【0056】

最も尤度が高い $f-e$ 膜の高誘電率 (κ) が用いられるために、オーバーレイキャパシタ 30 は、面積が非常に小さいにもかかわらず、1.5 pF のキャパシタンス (C_{f-e}) を提供し得る。高電圧 (500 ~ 1000 kV) のチップレジスタを取り付けるために接着バイアスパッド 44 が提供される。 $f-e$ 膜は、オーバーレイキャパシタ 30 の下だけでなく、ブロックキャパシタ 42 の下にも堆積されることに留意されたい。しかしながら、DC ブロックキャパシタ 42 のキャパシタンス (C_{DC}) への効果は、 $C_{DC} > 180$ pF および $C_{f-e} < 1.5$ pF である場合、最大 V_{DC} バイアス（好適には 10 V DC）未満であっても重要ではない。これは、DC ブロックキャパシタが、キャパシタンスが $f-e$ チューニングによって低減された場合であっても十分に高いキャパシタンスを有し、依然として C_{f-e} への最小の影響を有するためである。

【0057】

このような実施形態 0.7 < C_{f-e} < 1.5 pF において、 $f-e$ κ は、約 1000 であり、重なるキャパシタ 30 を形成する金属パッド 40 の重なった部分は、約 7.0 $\mu m \times 7.0 \mu m$ であり、 $f-e$ 膜の厚さは、約 1.0 μm である。金属層 34 は、Pt であり得、< 0.5 μm の厚さを有する。金属パッド 40 および 41 は、Ag であり得、約 1.5 ~ 2.5 μm の厚さを有する。

【0058】

薄膜 (t_{f-e} は約 1.5 μm 未満) の $f-e$ 材料について述べられたが、 κ 、約 1.0 mm 未満であると規定される。バルクは、約 1.0 mm よりも大きい。厚膜 $f-e$ 材料の製作および用途は、薄膜 $f-e$ 材料のものとはかなり異なる。これは、通常、著しい追加的厚さを生成するために、貼り付けまたは sintering 技術、および、 $f-e$ 材料を含む。追加的厚さ、および、特に、低減されたコストは、 $f-e$ 性能がいくらか劣化されること、とりわけ、チューニング可能性が低減されるという代償を払って得られる。

【0059】

オーバーレイキャパシタの L_{geom} がギャップキャパシタ L_{f-e} のものよりも低い一方で、rf フィールドのすべてが $f-e$ 膜において集中するので、オーバーレイキャパシタの L_{f-e} はより高くなり得る。ギャップキャパシタにおいて、rf フィールドは、部分的に空中に、部分的に $f-e$ 膜に、および部分的に基板にある。同じ理由で、オーバーレイキャパシタは、所与の印加された電圧の場合に、ギャップキャパシタよりも大きいキャパシタンスチューニング可能性を有する。

【0060】

所与の断面積の場合に、IDCは、ギャップキャパシタよりも高いキャパシタンスを提供し得る。しかしながら、ギャップ空間を含む L_{geom} への主な寄与率に関して、より損失が大きく、ギャップ空間が小さくなると損失が大きくなる。同様に、フィンガー幅が小さくなると損失は大きくなる。フィンガー長さもまた損失に影響を及ぼし、特に、IDCのマイクロストリップ（最も一般的）が実現された場合に、このような構造においては奇数モード（odd-mode）の損失が支配的であるので、フィンガー長さが大きくなると損失は大きくなる。さらに、さらなる鋭い隅から損失が導入されるために、フィンガーの数が増加すると、損失が増加する。フィンガーの数の増加は、通常、IDCのキャパシタンスを大きくするために用いられる。

10

【0061】

f-e分野における多くの研究者は、幅が狭いフィンガーおよびギャップ（各 $< 5.0 \mu m$ ）を有するIDCを用いて、f-e膜の特性を決定してきた。このようなIDC構造は、高 L_{geom} をもたらし、従って、それ自体は低Qであるので、これは問題をはらむ。通常、Qは、 L_{f-e} がない場合であっても、約 $1.0 pF$ の場合、 $2.0 GHz$ で100よりもはるかに小さい。これは、 L_{f-e} を測定することをかなり困難にする。上述のように、ブロードバンド測定技術の普及は、 L_{f-e} の測定をさらに混乱させる。

【0062】

L_{geom} への寄与率を最小化する好適なIDCキャパシタ60が、図4に示される。約 $0.2 \sim 1.5 mm$ の厚さの、99.5%の純度のアルミナ、 MgO 、サファイア、または他の適切な基板62上に形成される。f-e層64は、基板62上に形成される。入力ポート66および出力ポート68は、IDCキャパシタ60に結合される。 $1.5 \sim 3.0$ ミクロンの厚さを有し、かつf-e層64上に堆積される金属層70は、約 5.0 ミクロンのギャップ空間72、および、約 150 ミクロン、または可能な場合、これより大きいフィンガー幅70を形成する。

20

【0063】

チューナブル整合回路を生成するために用いられ得るチューナブルインダクタが次に記載される。マイクロストリップインダクタは、図4bに示されるように、幅が狭い線の短い長さ1として製作され得る。図4bは、マイクロストリップ線の2つの部分702と704との間に電氣的に接続され、かつ位置するマイクロストリップインダクタ700を示す。幅 W_L および長さ l_L は、図4bに示され、図4cに示される回路モデルを参照するために、入力および出力平面AおよびA'もまた示され、後から記載される。

30

【0064】

【数1】

$$l_L = \frac{\lambda_g}{4}$$

であり、ここで、

【0065】

【数2】

$$\lambda_g = \frac{\lambda_o}{\sqrt{\epsilon_{eff}}}$$

であり、

ϵ_{eff} = 実効誘電率であり、

【0066】

【数3】

$$\lambda_o = \frac{c}{f}$$

であり、 c = 光の速度であることに留意されたい。

40

50

【0067】

インダクタ700は、以下の式

【0068】

【数4】

$$L = \frac{Z_0}{\omega} \sin\left(\frac{2\pi l}{\lambda_g}\right)$$

によって与えられたインダクタンスLを有し、ここで、

Z_0 = 幅が狭い誘導線の特徴的なインピーダンスであり、

【0069】

【数5】

ω

$= 2\pi f$ は、rf信号のラジアン周波数である。

【0070】

マイクロストリップ線の実効誘電率 ϵ_{eff} には、薄い（厚さ $t < \text{約 } 1.5 \mu\text{m}$ ）f-e膜を図4bにおいて用いられたベース基板の最上部、および金属層のすぐ下に導入することによって影響が及ぼされ得る。バイアスは、線に印加され得る。このタイプ（単一の直線型マイクロストリップ線）のインダクタは、通常、 $L < \text{約 } 1.0 \text{ nH}$ に制限される。制限要因は、幅が狭い W_L と関連した高抵抗、および特定の用途によって決定される導電要件である。同様の誘導線が、約 4.0 nH までの比較的大きいインダクタンスLを可能にするように曲線または螺旋で製作され得る。このタイプのインダクタは、コプレナ導波路（CPW）、またはストリップ線トポロジーとしても製作され得る。インダクタンス値Lおよびチューニング範囲の両方は、このアプローチに制限される。厚膜f-e製作の使用は、 ϵ_{eff} および Z_0 の潜在的な多様性を提供するので、チューニングインダクタにとって大きい利益であり得る。

【0071】

図4bにおける回路の等価回路モデルは、図4Cに示される。インダクタ700が図4Cにおいて等価インダクタ722として示される。図4bのマイクロストリップ部分702および704のグラウンドに対する寄生キャパシタンスを表すキャパシタ724および726もある。等価の入力および出力平面AおよびA'もまた図4Cに示される。入力および出力平面Aは、インダクタ722およびキャパシタ724に結合される。キャパシタ724は、グラウンドに結合される。インダクタ722もキャパシタ726に結合される。キャパシタ726は、グラウンドに結合される。インダクタ722も入力および出力平面A'に結合される。

【0072】

シャントキャパシタ724および726の値は、特定の回路において引き出され得る。これらの値は、例えば、インダクタに隣接して位置するシャントキャパシタによって両側で吸収される。

【0073】

整合回路は、当該分野において公知の任意のトポロジーであり得る。いくつかのチューナブル整合回路が、次に、記載される。図5を参照して、入力131と出力134との間に結合された直列チューナブルキャパシタ125、およびシャントインダクタ128を有するチューナブル整合回路122が示される。図6は、入力146と出力149との間に結合されたシャントインダクタ140および直列キャパシタ143を有するチューニング整合回路137を示す。図7は、入力161と出力164との間に結合された直列インダクタ155およびシャントキャパシタ158を有するチューナブル整合回路152を示す。図8は、入力176と出力179との間に結合されたシャントキャパシタ170および直列インダクタ173を有するチューナブル整合回路167を示す。あるいは、図5～図

10

20

30

40

50

8のいずれかにおいて、インダクタ128、140、155、173は、チューナブルであり得るか、または、キャパシタ125、143、158、170およびインダクタ128、140、155、173がチューナブルであり得る。制御電圧は、図5～図8において、複数の場合が示されるインダクタを用いてf-eキャパシタに印加され得る。あるいは、制御電圧は、キャパシタの適切な設計によって、f-eキャパシタそれ自体に印加され得る。

【0074】

図9および図10は、より複雑な整合回路を示す。図9は、pi整合回路102のブロック図である。図9は、pi整合回路102のブロック図である。pi整合回路102は、入力108とグラウンド114との間に結合された第1の反応性素子106を有する。第2の反応性素子112は、入力108と出力116との間に結合される。第3の反応性素子118は、出力116とグラウンド114との間に結合される。各反応性素子106、112、114は、インダクタまたはキャパシタのどちらかを備え得る。反応性素子のいずれか、またはすべては、集合素子か、または分布素子として実現され得る。反応性素子106、112、114の少なくとも1つはチューナブルである。これは、整合回路102がチューナブルであることを可能にする。

【0075】

図10は、T型整合回路60のブロックである。T型整合回路60は、入力63と第2の反応性素子69との間に結合された第1の反応性素子66を有する。第2の反応性素子69は、第1の反応性素子66とグラウンド72との間に結合される。第3の反応性素子75は、第1および第2の反応性素子66、69と出力78との間に結合される。各反応性素子66、69、75は、インダクタまたはキャパシタのどちらかを備え得る。示された素子のいずれか、またはすべてが集合素子または分布素子であり得る。反応性素子66、69、75の少なくとも1つがチューナブルである。これは、整合回路60がチューナブルであることを可能にする。

【0076】

図5～図10は、代表的なチューナブル整合回路を示す。より複雑な整合回路は、図5～図10に示された整合回路を組み合わせてることによって、および、示されるこれらのコンポーネントと直列およびシャントのコンポーネントを追加することによって構成され得る。

【0077】

f-eキャパシタのキャパシタンスは、常に、DC（制御）電圧とともに低下する。整合ネットワークの最適トポロジーは、これを考慮に入れなければならない。歴史的に、スミスチャートが図表の支援であり、設計者は、ソースまたは負荷インピーダンスをプロットし、その後、整合回路トポロジーを選択して、ソースまたは負荷インピーダンスを所望の位置、好適には50Ωに移動した。

【0078】

あるいは、f-e材料の温度依存性は、温度の関数としてDC制御電圧を変更することによって制御され得る。これが行われ得る1つの方法は、ダイオードまたはサーミスタ等の温度センサに沿ってメモリに格納されたルックアップテーブルを用いる。

【0079】

f-eの温度依存性は、適切なf-e材料の製造によって低減され得る。好適な強誘電性状態において、材料のキュア温度は、動作温度範囲未満である。キュア点を低温に移動することによって、f-e材料の温度変化を少なくされ得る。これは、チューニング可能性の低下と引き換えに得られる。

【0080】

図表のスミスチャートは、広く普及した複数の回路シミュレーションソフトウェアパッケージ上に実装されてきた。例は、Eagleware（別個の整合プログラムも有する）およびMomentumである。これらのツールは、最適または所望の整合回路トポロジー、および所与の用途のために必要とされる整合回路の数を選択するために用いられる

10

20

30

40

50

。

【0081】

図11は、デバイスインピーダンス24をターゲットインピーダンス26にチューニングするために用いられる誘電体チューナブル整合回路22を示すブロック図である。整合回路22は、キャパシタ28およびインダクタ30を備える。第1の実施形態において、キャパシタ28は、第1の誘電率調節メカニズム34を有し得る。キャパシタ28および誘電率調節メカニズム34は、共に、チューナブルキャパシタ32を備える。

【0082】

誘電率調節メカニズム34は、誘電体材料のいくつかまたはすべての誘電率をキャパシタ28の直前で調節する。これは、キャパシタ28のキャパシタンスをシフトさせる。これは、次に、デバイス51および組み合わされた整合回路22のインピーダンスをシフトさせる。このようにして、インピーダンスは、ターゲットインピーダンス26を整合させるために選択的にチューニングされ得る。

【0083】

第2の実施形態において、インダクタ30は、第2の誘電率調節メカニズム33を有し得る。インダクタ30および第2の誘電率調節メカニズム33は、共に、チューナブルインダクタ31を備える。誘電率調節メカニズム33は、誘電体材料をインダクタ30の直前で調節する。これは、インダクタ30のインダクタンスをシフトさせる。これは、次に、デバイス51および組み合わされた整合回路22のインピーダンスをシフトさせる。このようにして、インピーダンスは、ターゲットインピーダンス26を整合させるために選択的にチューニングされ得る。

【0084】

第3の実施形態において、整合回路22は、両方のチューナブルコンポーネント、すなわち、チューナブルキャパシタ32およびチューナブルインダクタ31を有し得る。

【0085】

第1、第2および第3の実施形態の各々において、第1の制御ソース96または第2の制御ソース98、またはこれらの両方が存在し、制御信号を誘電率調節メカニズム34および33に送信する。

【0086】

インピーダンスの整合は、整合回路22において非常に低い全損失が維持される間に達成される。5つの特定の損失が図11に示される。第1の誘電率調節メカニズム34と関連した損失53がある。この損失53は、強誘電体材料損失正接、または L_{f-e} であり得る。キャパシタ28と関連付けられた損失55がある。この損失55は、 L_{metal} と L_{geom} との組み合わせであり得る。第2の誘電率調節メカニズム33と関連した損失54がある。この損失54は、強誘電体材料損失正接、または L_{f-e} であり得る。インダクタ32と関連した損失56がある。この損失56は、 L_{metal} と L_{geom} との組み合わせであり得る。最後に、整合回路22全体と関連した損失57がある。この損失57は、 L_{attach} と、 L_{sub} と、 L_{rad} との組み合わせであり得る。

【0087】

これらの損失の各々は、上述の技術によって消去されるか、または限度内にとどめられる。従って、この整合回路22は、無線ハンドセット、または低損失を必要とする他の通信システムにおいて使用され得るために十分な低損失を導入する。

【0088】

$f-e$ チューナブル整合回路は、無線ハンドセットにおける種々の場所において用いられ得る。特に、これらの回路は、アンテナをデュプレクサに、デュプレクサまたはマルチプレクサへの整合、およびPAおよびLNAの入力および出力における整合において用いられ得るが、これらに限定されない。これらの回路は、さらに、必要に応じて、中間周波数(IF)ストリップにおいて、チューニングを提供するためにも用いられ得る。

【0089】

図12は、増幅器107に結合された2つの整合回路101および104のブロック図

を示す。増幅器 107 は、電力増幅器 (PA)、低雑音増幅器 (LNA) または他の適切な増幅器のいずれかであり得る。第 1 の整合回路 101 は、入力回路 110 によって見出されたインピーダンスを第 1 のターゲットインピーダンスに設定する。ターゲットインピーダンスは、増幅器 107 の入力インピーダンスとは異なり得る。整合回路 101 は、この差異を補償する。第 2 の整合回路 104 は、増幅器 107 によって見出されたインピーダンスを第 2 のターゲットインピーダンスに設定する。第 2 のターゲットインピーダンスは、第 1 のターゲットインピーダンスと同等であり得る。

【0090】

整合は、広い範囲の周波数を介して達成され得る一方で、デバイスの狭帯域特性を依然として維持する。増幅器のインピーダンスがチューニングされている間、このインピーダンスを制御できる一方で、信号経路における損失を低減する。

10

【0091】

制御回路 101 および 104 の制御は、図 12 に示されるように、電力サンプリング回路 108、電力検出回路 103 および制御回路 105 によって実装され得る。電力サンプリング回路 108 は、増幅器 107 の出力に結合される。これは、増幅器 107 の電力出力をサンプリングし、かつこの信号を電力検出器回路 103 に伝送する。電力検出回路 103 は、増幅器 107 の電力レベルを検出し、かつこの信号を制御回路 105 に伝送する。制御回路 105 は、入力として電力検出器回路 103 によって検出された電力レベルを受信する。制御信号は、制御回路 101 および 104 において f-e 材料に印加される DC 電圧を変更する。従って、整合回路 101 および 104 は、増幅器 107 の電力出力に

20

【0092】

電力サンプリング回路 108、電力検出回路 103 および制御回路 105 は、共に、制御ソースを備える。電力検出器回路 103 は、例示のためにのみ、ダイオード、キャパシタおよびインダクタとして示される。任意の適切な電力キャパシタが用いられ得る。

【0093】

これに代わる制御ソースが図 15 に示される。帯域選択信号は、ソース 221 を制御するための入力 237 として受信される。制御ソース 221 は、電圧ソース 223 およびルックアップテーブル 229 を含む。帯域選択信号にตอบสนองして、制御ソース 221 は、選択された帯域に対応するルックアップテーブル 229 における値をルックアップする。この値は、制御ソース 221 によって制御回路 225 に印加される電圧を表す。この電圧は、整合回路 225 のインピーダンスを変更する制御信号を含む。

30

【0094】

PA における f-e チューニングは、所与のデバイスの出力インピーダンス整合を電氣的に調節して、これを、温度を介して最適化し得るだけでなく、公知の必要な電力出力が所与のものであるとして、PA の負荷線を動的に変更し得る。出力電力の広い範囲の下で、PA の負荷線を最適化する能力は、最適電力効率を取得するため、従って、D. C. 電力ソース、すなわち、無線ハンドセットの場合のバッテリーの電力消費を最小化するための鍵である。これは、通話時間を延長し、かつ熱散逸を低減する。

【0095】

f-e チューナブル増幅器が処理し得る最大出力電力は、f-e 材料の非線形性およびシステム要件全体によって制限される。無線ハンドセット (hand set) については、隣接する、および／または同一チャネル干渉の伝送 (PA) 非線形性に関する許容可能な限界を規定する IS-95 または IS-98 等の適切な標準規格がある。PA の線形性が改善されることによって、比較的小さいデバイスにおいて直接的な正の効果がもたらされ、および／またはこれらの標準規格を満たすためにバイアス電流が用いられることがあまり必要とされない。f-e 材料の線形性は、考慮されなければならない。本明細書中に記載された f-e 材料は、特定の非線形性を有する。f-e 膜の特定の選択は、所与のシステムの非線形性の許容誤差によって決定される。

40

【0096】

50

さらに、増加した出力電力は、当業者に明らかであるように、従来のデバイスの平行化によって達成され得る。f-eチューニング可能性は、これらの場合も利用され得る。

【0097】

f-e材料は、さらに、LNAのためになり得る。LNAは、出力とともに、デバイスの最適入力インピーダンス整合のために電氣的に調節され得、最適雑音指数およびインタセプト点を提供する。PAの場合のように、これもまた、温度を介して制御され得る。増幅器の性能は、温度を介して変化する。これは、インピーダンスの、異なった温度での不整合、および／または能動デバイスの動作点におけるシフトをもたらし得る。f-eチューニング可能性は、このインピーダンスの不整合を、

1) f-e材料の温度特性、および／または

2) 選択された整合トポロジー

の適切な選択によって補償するために用いられ得る。

【0098】

チューニング可能性は、LNSおよびPAが1以上の帯域を介して最適に動作することを可能にする。これは、特に、無線ハンドセットにおいて有用である。なぜなら、ハンドセットにおける空間の量は、制限されており、かつ、複数の動作帯域の間隔が狭いからである。空間の節減は、チューナブルコンポーネントを追加することによって消去される異なった帯域の独立したコンポーネントの数と比例する。調節可能性は、ハンドセットの製造業者が、多様な市場に対してハンドセットを製造するために、PAおよびLNAの設計の数を少なくてすまずことを可能にする。これは、さらに、複数のPAおよびLNAを必要とすることなく、広い地理的領域にわたってハンドセットの動作を可能にする。例えば、1つのPAまたはLNAは、例えば、韓国、インドおよびU.S.のPCS帯域等の複数のPCS帯域をカバーし得る。

【0099】

結果としての改善された整合は、アンテナゲインの向上につながり、さらに、送信側（必要な低いPA電力、より線形）および受信側（感度が向上、より少ないLNAバイアス電流が必要とされる）の両方のハンドセット性能をさらに向上させる。

【0100】

チューナブル整合回路の別の実施例は、アンテナのインピーダンスをデュプレクサまたはダイプレクサのどちらかのインピーダンスに整合させるための整合回路である。これらの構成は、図13および図14に示される。図13において、アンテナ42が整合回路44に結合される。整合回路44は、デュプレクサ46に結合される。整合回路44は、アンテナ42によって見出されたインピーダンスをターゲットインピーダンスに設定する。ターゲットインピーダンスは、デュプレクサ46の入力インピーダンスとは異なり得る。整合回路44は、この差異を補償する。整合インピーダンスは、さらに、デュプレクサ46によって見出されたインピーダンスをターゲットインピーダンスに設定する。このターゲットインピーダンスは、アンテナ42の入力インピーダンスとは異なり得る。整合回路44は、この差異を補償する。

【0101】

図14において、アンテナ48は、整合回路50に結合される。整合回路50は、ダイプレクサ52に結合される。整合回路50は、アンテナ48によって見出されたインピーダンスをターゲットインピーダンスにセットする。ターゲットインピーダンスは、ダイプレクサ52の入力インピーダンスとは異なり得る。整合回路50は、この差異を補償する。整合インピーダンスは、さらに、ダイプレクサ52によって見出されたインピーダンスをターゲットインピーダンスに設定する。このターゲットインピーダンスは、アンテナの入力インピーダンスとは異なり得る。整合回路50は、この差異を補償する。ダイプレクサは、PCSおよびセルラー帯域を提供することが示される。これは、例示にすぎない。ダイプレクサは、他の帯域を提供し、これは、2つ以上の帯域を提供するマルチプレクサと置換され得る。

【0102】

10

20

30

40

50

制御信号は、図 1 3 および図 1 4 の整合回路 4 4 および 5 0 それぞれに付与される。この制御信号は、図 1 2 または図 1 5 におけるものと類似の態様で、または任意の他の適切な方法で生成され得る。電力サンプラは、例えば、ダイプクサ 4 6 の T x または R x ポート、あるいはダイプレクサの P C S またはセルラーポートにおいて付与され得る。

【0103】

結果として改善された整合は、さらに、送信側（必要な低い P A 電力、より線形）および受信側（感度が向上、より少ない L N A バイアス電流が必要とされる）の両方のハンドセット性能をさらに向上させる。

【0104】

本発明は、特定の実施形態を参照して記載されたが、この記載は、本発明の用途の例示にすぎず、限定すると理解されるべきでない。従って、開示された実施形態の特徴の種々の改変および組み合わせが上記の請求項に記載される本発明の範囲内である。

10

【図 1 a】

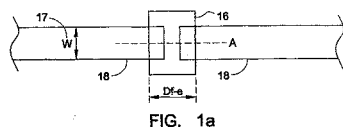


FIG. 1a

【図 1 b】

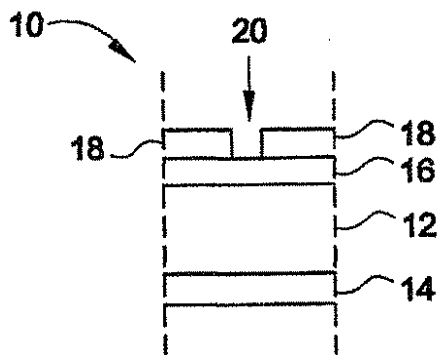


FIG. 1b

【図 2 a】

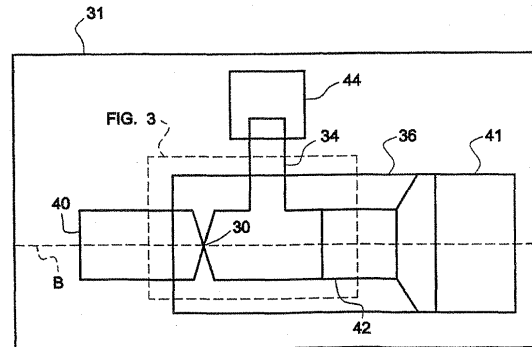


FIG. 2a

【図 2 b】

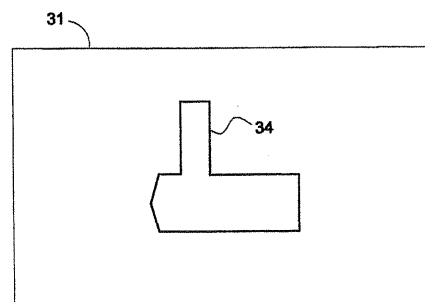


FIG. 2b

【図 4 a】

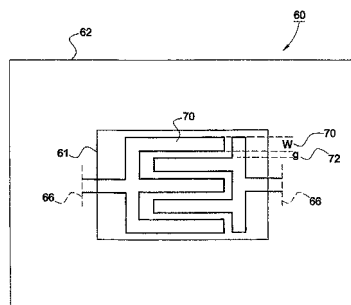


FIG. 4a

【図 4 b】

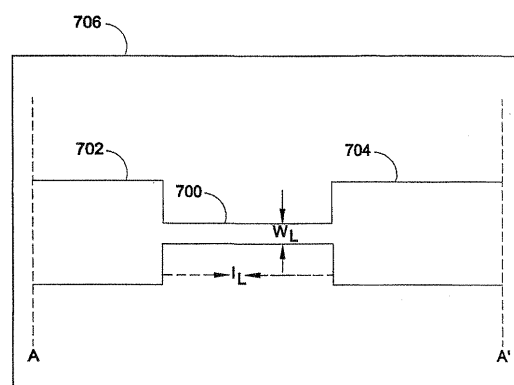


FIG. 4b

【图 6】

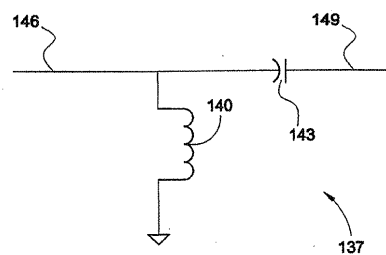


FIG. 6

【图 7】

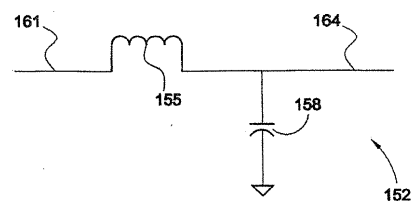


FIG. 7

【图 8】

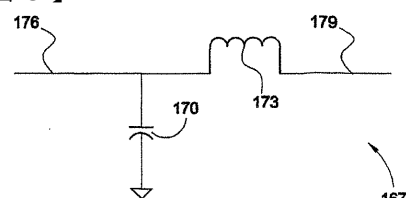
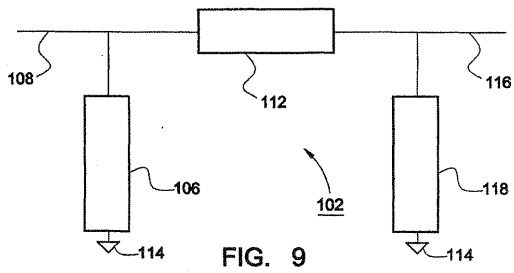
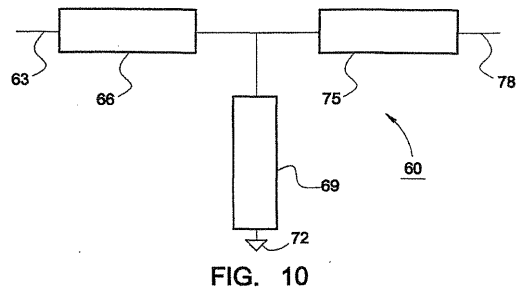


FIG. 8

【図 9】



【図 10】



【図 11】

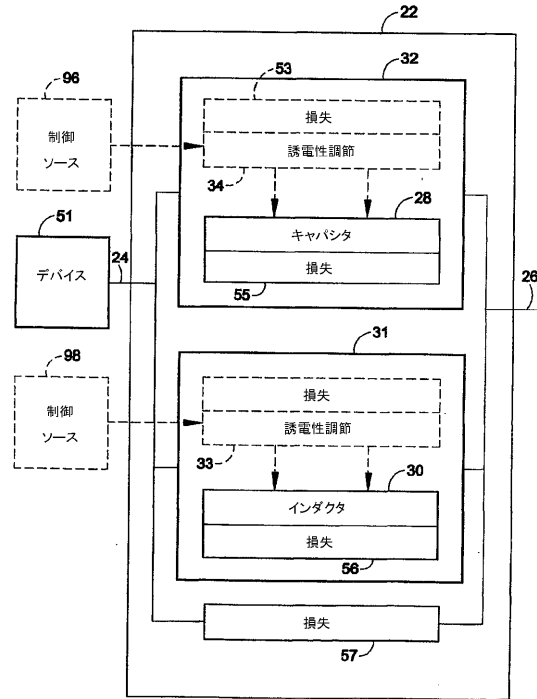


FIG. 11

【図 12】

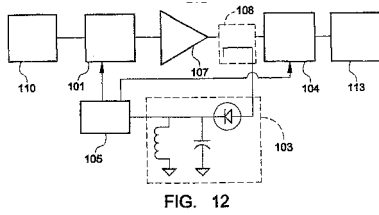


FIG. 12

【図 13】

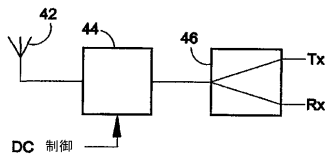


FIG. 13

【図 14】

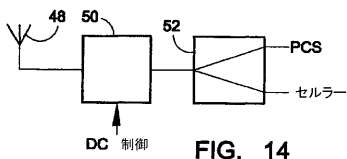


FIG. 14

【図 15】

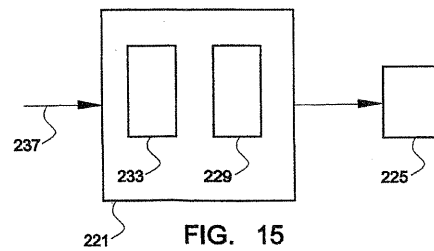


FIG. 15

フロントページの続き

- (31)優先権主張番号 09/927,732
(32)優先日 平成13年8月8日(2001.8.8)
(33)優先権主張国 米国(US)
(31)優先権主張番号 09/927,136
(32)優先日 平成13年8月10日(2001.8.10)
(33)優先権主張国 米国(US)