[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/82
H01L 21/28 H01L 21/316
H01L 21/8238 H01L 27/092

[12] 发明专利说明书

[21] ZL 专利号 99106677.4

[45] 授权公告日 2005 年 2 月 2 日

[11] 授权公告号 CN 1187813C

[22] 申请日 1999.5.20 [21] 申请号 99106677.4

[30] 优先权

[32] 1998. 5.20 [33] JP [31] 138939/1998

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 田边义和 山本直树 三谷真一郎
花冈裕子

审查员 凌宇飞

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

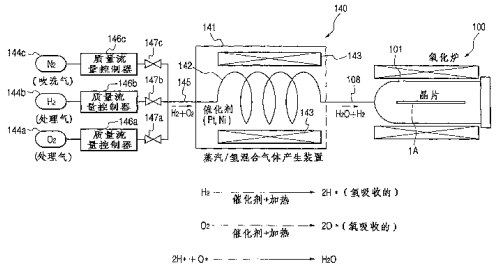
代理人 王永刚

权利要求书 1 页 说明书 17 页 附图 19 页

[54] 发明名称 半导体集成电路器件的制造方法

[57] 摘要

轻度氧化工艺技术，在采用多晶硅及金属栅结构和双栅结构的 CMOS LSI 中，向半导体晶片 A1 的主表面提供含氢气及由氧气和氢气合成的蒸汽的混合气体，在难熔金属膜基本上不被氧化，且包含于构成栅极一部分的 p 型多晶硅膜中的硼不会通过栅氧化膜扩散到半导体衬底的低热负载条件下，进行热处理，以改善栅极边缘部分之下被腐蚀掉的栅绝缘膜的外形。



ISSN1008-4274

1、半导体集成电路器件的制造方法，包括以下步骤：

形成栅极，所述栅极包括在硅晶片主表面上的硅膜上形成的金属膜；

在含有氢气和水蒸汽的混合气体气氛下在反应室中对所述栅极进行氧化，以便在氧化所述硅膜的同时还原所述金属膜，所述氢气和水蒸汽被设置成在平衡蒸汽压比—温度曲线中位于所述金属和硅的氧化还原反应系统内，

其中，所述混合气体气氛是通过包括以下步骤的方法形成的：

（i）在所述反应室外面利用催化剂在水蒸汽合成部分中形成所述水蒸汽；

（ii）使用含有氢气的稀释气体稀释所述合成后的水蒸汽。

2、权利要求 1 的半导体集成电路器件的制造方法，其中所述稀释气体包括氢气作为主要成分。

3、权利要求 2 的半导体集成电路器件的制造方法，其中所述稀释气体包括氩气。

4、权利要求 2 的半导体集成电路器件的制造方法，其中所述稀释气体包括氮气。

5、权利要求 2 的半导体集成电路器件的制造方法，其中所述混合气体气氛在所述稀释之后被传送到所述反应室。

6、权利要求 1 的半导体集成电路器件的制造方法，其中所述氧化是在批处理反应室中对多个晶片进行的。

7、权利要求 1-5 中任一项的半导体集成电路器件的制造方法，其中所述硅膜包括硼杂质并且所述氧化是在用来防止所述硼扩散到所述硅晶片主表面的 850℃的温度下进行的。

8、权利要求 1 的半导体集成电路器件的制造方法，其中所述栅极包括 p 型栅极和 n 型栅极。

9、权利要求 1-5 中任一项的半导体集成电路器件的制造方法，其中所述金属膜是钨或钼。

半导体集成电路器件的制造方法

技术领域

本发明涉及一种制造半导体集成电路器件的方法，特别涉及具有多晶硅金属结构的 MOSFET（金属氧化物半导体场效应晶体管）的半导体集成电路器件的制造技术，所说 MOSFET 中栅极由含硼（B）多晶硅与难熔金属的层叠膜构成。

背景技术

日本专利特许公开 132136/1984（此后称之为 Kobayashi 1）公开了一种技术，在 Si（硅）衬底上形成含有 W 膜或 Mo 膜的多晶硅金属（polymetal）结构的栅极后，在蒸汽和氢的混合气氛中进行轻度氧化，以便只选择氧化 Si，而不氧化 W（Mo）膜。这种技术利用了这样的特性，即氧化还原反应平衡时的蒸汽/氢分压比在 W（Mo）和 Si 间不同，并且 Si 的选择氧化是以该分压比设置在一个范围内的方式实现的，在该范围内，一旦 W（Mo）被氧化，便会立即被同时存在的氢还原，但 Si 仍被氧化。蒸汽和氢的混合气氛利用气泡法形成，其中氢气供应到装于容器中的纯水中，通过改变纯水的温度控制蒸汽/氢分压比。

另外，根据上述文献的这些发明人的其它涉及选择氧化的主要文献包括日本专利特许公开 89943/1985（此后称为 Kobayashi 2）和日本专利特许公开 150236/1986（此后称之为 Iwata）。

日本专利特许公开 94716/1995（此后称之为 Muraoka）公开了一种技术，通过栅氧化膜在 Si 衬底上形成了含有如 TiN 等金属氮化物层和如 W 等金属层的多晶硅金属结构栅极后，在用氮稀释的还原气体（氢）和氧化气体（蒸汽）的气氛中进行轻度氧化。根据该文献，可以说，只有 Si 可以被选择氧化，而不会氧化金属层，由于通过用氮稀释蒸汽/氢混合气体，防止了金属氮化层的脱氮反应，所以还可

以防止金属氮化层的氧化。

1992年11月1－2日举办的第45届半导体集成电路技术学术会议的文献从书 pp.128－133（此后称之为 Nakamura）公开了一种技术，在含由不锈催化剂合成的蒸汽的强还原气氛中形成氧化膜。

在 CMOS LSI 中，其电路由栅长为 0.18 微米或更小的微细 MOSFET 构成，考虑采用利用包括金属层的低阻导电材料的栅加工工艺，通过减少低电压下工作时栅的延迟，来确保高工作速度。

最可能的这种低阻栅极材料是通过在多晶硅膜上层叠难熔金属膜得到的多晶硅金属。由于多晶硅金属具有约每方块 2Ω的低薄层电阻，所以它不仅可以用作栅极材料，而且可用于互连材料。难熔金属用 W（钨）、Mo（钼）和 Ti（钛），甚至在 800℃或以下的低温处理时它们也具有良好的低阻特性，并且具有高抗电迁移性。在这些难熔金属膜直接层叠于多晶硅膜上时，它们之间的粘附强度会减小，在高温热处理工艺中在它们之间的界面上形成高阻硅化物层。因此，实际的多晶硅金属栅由三层结构构成，其中包括如 TiN（氮化钛）和 WN（氮化钨）等金属氮化膜的阻挡层插在多晶硅膜和难熔金属膜之间。

以下是常规栅加工工艺概述。对半导体衬底进行热氧化，以在其表面上形成栅氧化膜。一般情况下，热氧化膜的形成在干氧气氛中进行，但在形成栅氧化膜的情况下，由于可以减少膜的缺陷密度，所以可以采用湿氧化法。在湿氧化法中，采用热解（pyrogenic）法，其中氢在氧气氛中燃烧形成水，这样形成的水与氧一起提供到半导体晶片的表面上。

然而，在热解法中，由于要点燃并燃烧从固定于由石英构成的氢气体导管顶端的喷嘴排出的氢，所以可能会发生由于热熔化喷嘴形成的颗粒变成半导体晶片的污染源。所以已提出了利用催化法而不是燃烧法形成水的方法（日本专利特许公开 152282/1993）。

栅极材料堆积于湿氧化法形成的栅氧化膜上后，利用光刻胶作掩模进行干法腐蚀，构图栅极材料。此后，通过灰化去掉光刻胶，并利用如氢氟酸等腐蚀液去掉残留于衬底表面上的干法腐蚀残留物和

灰化残留物。

在进行上述的湿法腐蚀时，去掉了除栅极下部区域外所有区域中的栅氧化膜，同时，也各向同性地腐蚀了栅极侧壁边缘处的栅氧化膜，引起了钻蚀。因此，按现实的情况来说，发生了降低栅极的耐压性的问题。所以，为了改善已被钻蚀的栅极侧壁边缘处的外形，要进行一种处理，再对衬底进行热氧化，以在表面上形成氧化膜（此后称之为轻度氧化工艺）。

然而，由于上述难熔金属如 W 和 Mo 极易在高温氧气氛中发生氧化，所以在对具有多晶硅及金属结构的栅极进行轻度氧化工艺时，氧化了难熔金属，增大了电阻，其一部分会从衬底上剥离下来。因此，在利用多晶硅及金属的栅加工工艺中，需要在进行轻度氧化工艺时防止难熔金属氧化的措施。

在形成具有多晶硅金属结构的栅极的工艺中，在具有预定分压比的蒸汽/氢混合气体中轻度氧化对提高栅氧化膜的耐压性和防止金属膜氧化是有效的方法。

然而，在作为形成蒸汽/氢混合气体的方法提出的上述常规气泡法中，由于通过向置于容器中的纯水中供应氢气形成蒸汽/氢混合气，所以纯水中所含杂质可能会与蒸汽/氢混合气体一起传送到氧化炉中，污染半导体晶片。

另外，在气泡法中，由于通过改变纯水的的温度控制蒸汽/氢分压比，产生了以下问题：（1）分压易发生波动，很难实现高精度的最佳分压比，（2）蒸汽浓度的可控制范围窄，从百分之几到百分之几十，很难实现 ppm 级的蒸汽浓度。

在蒸汽浓度较高时，容易发生利用蒸汽/氢混合气体的 Si 和金属的氧化还原反应，如以下所述。因此，在较高蒸汽浓度下，如利用气泡法形成的蒸汽/氢混合气体中氧化硅时，由于高氧化速率，在极短时间内生长氧化膜。然而，在栅长为 0.18 微米或以下的微细 MOSFET 中，需要栅氧化膜形成得极薄，为 3.5nm 或以下，以保持器件的电特性。因此，利用气泡法形成的蒸汽/氢混合气体很难均匀良好控制地形成这种极薄的栅氧化膜。此外，在低温下进行氧化以减小氧化膜的

生长速率时，不能得到具有高质量的氧化膜。

另外，在 CMOS LSI 中，其电路由栅长为 0.18 微米或以下的微细 MOSFET 构成，考虑采用所谓的双栅结构是有益的，其中为了尽可能抑制由于低电压下工作造成的阈值电压（Vth）的波动，构成 n 沟道 MISFET 的栅极的多晶硅膜的导电类型为 n 型，构成 p 沟道 MISFET 的栅极的多晶硅膜的导电类型为 p 型。因此，在由上述多晶硅及金属构成栅极的情况下，n 沟道 MISFET 的栅极具有难熔金属膜层叠于掺杂有如磷（P）等 n 型杂质的 n 型多晶硅膜上的结构，p 沟道 MISFET 的栅极具有难熔金属膜层叠于掺杂有如硼（B）等 p 型杂质的 p 型多晶硅膜上的结构。

然而，由于作为 p 型杂质的 B（硼）的扩散系数大，在对具有双栅结构的 CMOS 进行上述轻度氧化工艺时，会发生以下问题，包含于构成 p 沟道 MISFET 的栅极一部分的 p 型多晶硅膜中的 B(硼)，通过厚为 3.5nm 或以下的极薄栅氧化膜扩散到衬底侧，改变了 p 沟道 MISFET 的阈值电压（Vth）。

因此，在采用多晶硅及金属栅结构和双栅结构的 CMOS LSI 中，一个重要要求是开发一种在栅加工后进行轻度氧化工艺时，能够抑制难熔金属的氧化和 B（硼）扩散到衬底中的技术。

发明内容

本发明的目的是提供一种轻度氧化工艺技术，其中在采用多晶硅及金属栅结构和双栅结构的 CMOS LSI 中，可以抑制构成栅极一部分的难熔金属膜的氧化和含于构成栅极另一部分的 p 型多晶硅膜中的硼扩散。

本发明另一目的是提供一种适用于半导体集成电路器件的选择氧化法，所说半导体集成电路器件具有两部分，单晶硅或多晶硅构成的硅部分和主要包括难熔金属（耐高温金属）的部分。

本发明再一目的是提供一种轻度氧化工艺技术，其中在具有含掺杂有硼的多晶硅层的栅的半导体集成电路器件中，可以抑制难熔金属膜的氧化和硼从构成栅极另一部分的 p 型多晶硅膜通过栅氧化膜

扩散。

本发明再一目的是提供一种选择氧化工艺技术，其中在具有含掺杂有硼的多晶硅层的栅的半导体集成电路器件中，可以抑制难熔金属膜的氧化和硼从构成栅极另一部分的 p 型多晶硅膜通过栅氧化膜扩散。

从本说明书的介绍和附图中可以更清楚本发明的上述和其它目的及新颖特点。

下面介绍本发明的实施例中具有代表性的一个。

根据本发明制造半导体集成电路器件的工艺包括以下步骤：在形成于半导体衬底主表面上的栅氧化膜上形成导电膜，该导电膜包括层叠于栅氧化膜上的含硼多晶硅膜和直接或通过阻挡层形成的难熔金属膜，并通过构图该导电膜形成 MOSFET 的栅极；热处理步骤，含有氢气及由氧气和氢气合成的蒸汽的混合气体与催化剂一起提供到加热到预定温度的半导体衬底的主表面或主表面附近；下一步，通过选择性氧化半导体衬底的主表面，改善在构图时被腐蚀的栅极边缘部分下的栅绝缘膜的外形，其中在难熔金属膜基本不被氧化的低热负载的条件下，进行热处理，包含于构成栅极一部分的多晶硅膜中的硼不会通过栅氧化膜扩散到半导体衬底中。

以下逐条介绍本发明的内容。

1、半导体集成电路器件的制造方法，包括以下步骤：

形成栅极，所述栅极包括在硅晶片主表面上的硅膜上形成的金属膜；

在含有氢气和水蒸汽的混合气体气氛下在反应室中对所述栅极进行氧化，以便在氧化所述硅膜的同时还原所述金属膜，所述氢气和水蒸汽被设置成在平衡蒸汽压比—温度曲线中位于所述金属和硅的氧化还原反应系统内，

其中，所述混合气体气氛是通过包括以下步骤的方法形成的：

（i）在所述反应室外面利用催化剂在水蒸汽合成部分中形成所述水蒸汽；

（ii）使用含有氢气的稀释气体稀释所述合成后的水蒸汽。

2、权利要求 1 的半导体集成电路器件的制造方法，其中所述稀释气体包括氫气作为主要成分。

3、权利要求 2 的半导体集成电路器件的制造方法，其中所述稀释气体包括氫气。

4、权利要求 2 的半导体集成电路器件的制造方法，其中所述稀释气体包括氮气。

5、权利要求 2 的半导体集成电路器件的制造方法，其中所述混合气体气氛在所述稀释之后被传送到所述反应室。

6、权利要求 1 的半导体集成电路器件的制造方法，其中所述氧化是在批处理反应室中对多个晶片进行的。

7、权利要求 1-5 中任一项的半导体集成电路器件的制造方法，其中所述硅膜包括硼杂质并且所述氧化是在用来防止所述硼扩散到所述硅晶片主表面的 850℃的温度下进行的。

8、权利要求 1 的半导体集成电路器件的制造方法，其中所述栅极包括 p 型栅极和 n 型栅极。

9、权利要求 1-5 中任一项的半导体集成电路器件的制造方法，其中所述金属膜是钨或钼。

附图说明

图 1 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 2 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 3 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 4 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 5 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 6 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导

体衬底的部分剖面图。

图 7 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 8 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 9A 是展示用于轻度氧化工艺的单晶片处理氧化炉的平面图，图 9B 是沿图 9A 中的线 B－B’ 取的剖面图。

图 10A 是展示用于轻度氧化工艺的单晶片处理氧化炉的平面图，图 10B 是沿图 10A 中的线 B－B’ 取的剖面图。

图 11 是展示本发明一个实施例中所用的产生催化型蒸汽/氢混合气体的装置的示意图。

图 12 是展示图 11 所示用于产生蒸汽/氢混合气体的装置的管道系统的示图。

图 13 是展示利用蒸汽/氢混合气体的氧化还原反应的平衡蒸气压比与温度的关系的曲线图。

图 14 是展示利用蒸汽/氢混合气体的氧化处理时间与氧化硅膜厚间的关系的曲线图。

图 15 是展示氧化温度与氧化时间之间关系的曲线图。

图 16 是展示氧化温度和氧化时间的关系的曲线图。

图 17 是展示对栅极进行热处理时的温度与 VFB 间关系的曲线图。

图 18 是展示利用单晶片处理氧化炉的轻度氧化工艺的顺序的示图。

图 19A 和 19B 是展示轻度氧化工艺后栅氧化膜的状态的部分放大剖面图。

图 20 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 21 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 22 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导

体衬底的部分剖面图。

图 23 是展示本发明一个实施例的制造 CMOS LSI 的工艺的半导体衬底的部分剖面图。

图 24 是展示用于轻度氧化处理的批加工垂直氧化炉的示意剖面图。

图 25 是展示利用批加工垂直氧化炉的轻度氧化工艺的示图。

具体实施方式

下面结合各附图具体介绍本发明的各实施例。在记载实施例的所有附图中，相同的符号涉及具有相同作用的部件，并省略对它们的解释。在以下的各实施例中，除非特别需要，不再重复对相同或类似部件的解释。

另外，尽管为了方便起见，将以下的各实施例分成多个部分或多个实施例进行介绍，除非其它情况下清楚地表明，它们彼此不相关，但具有一个是另一的部分或全部的改形例子、细节和附加说明的关系。在以下实施例中，在涉及要素的数值（包括数字、值、量和范围）时，除清楚地表明或理论上显示其限于特定值外，其不限于特定的值，而是可以比特定值大或小。另外，在以下各实施例中，无需说，除清楚地表明或理论上显示其是必要的外，构件（包括基本步骤）并非总是必要的。

类似地在以下各实施例中，涉及构件的形状或位置关系时，除清楚地表明或理论上显示不包括在内外，基本包括那些与之接近或类似的情形。

本发明所涉及的半导体集成电路器件不仅包括制作在硅晶片上的，而且包括制作在其它衬底上的，例如 TFT 液晶，除已清楚表明这些不包括在内外。

另外，无需说，本发明涉及的半导体晶片不仅包括单晶半导体，例如硅单晶晶片，或通过将直接或通过绝缘膜将导体或半导体膜形成多层结构得到的晶片，而且包括通过在绝缘材料晶片上形成半导体部分、导电膜部分和绝缘膜部分得到的晶片。

在该实施例中，本发明应用于制造 CMOS LSI，其集成电路由 n 沟道 MISFET 和 p 沟道 MISFET 构成。在制造 COM LSI 时，如图 1 所示，在约 850℃，对包括电阻率约为 10Ωcm 的单晶硅的半导体衬底 1 进行热处理，以在其主表面上形成膜厚约 10nm 的薄氧化硅膜 2（衬垫氧化膜），利用 CVD（化学汽相淀积）法，在氧化硅膜上累堆膜厚约 120nm 的氮化硅膜 3，随后，通过利用光刻胶膜作掩模进行腐蚀，去掉元件隔离区中的氮化硅膜 3 和氧化硅膜 2。形成氧化硅膜 2 用于在以后步骤中致密化嵌埋于元件隔离沟槽中的氧化硅膜时释放作用于衬底上的应力。由于氮化硅膜 3 具有难被氧化的特点，所以用作防止其下的衬底表面（有源区）被氧化的掩模。

此后，如图 2 所示，通过利用氮化硅膜 3 作掩模进行干法腐蚀，在半导体衬底 1 上元件隔离区中，形成深约 350nm 的沟槽 4a，并且为了由于该腐蚀而在沟槽侧壁上形成的损伤层，在约 1000℃下对半导体衬底 1 进行热处理，以在沟槽 4a 的内壁上形成膜厚约 10nm 的薄氧化硅膜 5。

此后，如图 3 所示，在半导体衬底 1 上堆积膜厚约 380nm 的氧化硅膜 6，为了改善氧化硅膜 6 的质量，对半导体衬底 1 进行热处理，以致密化氧化硅膜 6。然后，用氮化硅膜 3 作停止层，利用化学机械抛光（CMP）法，抛光氧化硅膜 6，使之留在沟槽 4a 内，以便形成具有平坦表面 4 的元件隔离。在本发明涉及到晶片（衬底）的主表面（形成元件的表面）的机械平面化时，不限于利用悬浮磨料颗粒的 CMP，可以包括利用固定磨料颗粒和中间形式的类似平面化。

然后，在通过利用热磷酸的湿法腐蚀去掉了残留于半导体衬底 1 的有源区中的氮化硅膜 3 后，在半导体衬底 1 将要形成 n 沟道 MISFET 的区域中离子注入 B（硼），形成 p 阱 7，并在半导体衬底 1 将要形成 p 沟道 MISFET 的区域中离子注入 P（磷），形成 n 阱 8，如图 4 所示。

然后，对 P 阱 7 进行调节 n 沟道 MISFET 的阈值电压（Vth）的 B（硼）离子注入，对 n 阱 8 进行调节 p 沟道 MISFET 的阈值电压（Vth）的 P（磷）离子注入。

然后，如图 5 所示，利用 HF（氢氟酸）系列清洗液去掉在 p 阱 7 和 n 阱 8 上的氧化硅膜 2，对半导体衬底 1 进行湿法氧化，在 p 阱 7 和 n 阱 8 的表面上形成厚约 3.5nm 的洁净栅氧化膜 9。

尽管没有特别的限制，但形成栅氧化膜 9 后，在 NO（一氧化氮）或 N2O（一氧化二氮）气氛中，对半导体衬底 1 进行热处理，从而在栅氧化膜 9 和半导体衬底 1 界面处进行分凝氮的氧硝酸化（oxinitrification）处理。在将栅氧化膜 9 减薄到约 3.5nm 厚时，由于与半导体衬底 1 的热膨胀系数不同，在界面处形成的应力变得明显，引发了热载流子。在界面处分凝到半导体衬底 1 中的氮释放该应力，所以氧硝酸化处理提高了极薄栅氧化膜 9 的可靠性。

然后，如图 6 所示，在利用 CVD 法在半导体衬底 1 上堆积了膜厚约 90－100nm 的未掺杂多晶硅膜后，对将要形成 n 沟道 MISFET 的区域（p 阱 7）中的未掺杂的多晶硅膜离子注入 P（磷），从而形成 n 型多晶硅膜 10n，对将要形成 p 沟道 MISFET 的区域（n 阱 8）中的未掺杂的多晶硅膜离子注入硼(B),从而形成 p 型多晶硅膜 10p。

然后，如图 7 所示，利用溅射法在 n 型多晶硅膜 10n 和 p 型多晶硅膜 10p 上堆积膜厚约 5nm 的 WN 膜 11 和膜厚约 50nm 的 W 膜 12，并在 W 膜 12 上形成厚约 200nm 的氮化硅膜 13 后，利用形成于氮化硅膜 13 上的光刻胶膜 14 作掩模对这些膜进行干法腐蚀。因此，在 p 阱 7 的栅氧化膜 9 上形成包括 n 型多晶硅膜 10n、WN 膜 11 和 W 膜 12 的 n 沟道 MISFET 的栅极 15n，在 n 阱 8 的栅氧化膜 9 上形成包括 p 型多晶硅膜 10p、WN 膜 11 和 W 膜 12 的 p 沟道 MISFET 的栅极 15p。栅极 15n 和 15p 的栅长度例如为 0.18 微米。

如上所述，利用多晶硅及金属结构，其中 n 沟道 MISFET 的栅极 15n 和 p 沟道 MISFET 的栅极 15p 的部分由低阻金属（W）构成，其薄层电阻可以减小到每方块约 2Ω，这样便可以通过控制 CMOS 电路的栅延迟实现高速工作。

然后，利用灰化处理，去掉用于加工栅极 15n 和 15p 的光刻胶膜 14，然后，利用如氢氟酸等腐蚀液去掉残留于半导体衬底 1 表面上的干法腐蚀残留物和灰化残留物。进行了这种湿法腐蚀后，如图 8

所示，将除栅极 15n（对于栅极 15p 来说是相同的）之下的区域外的区域中的栅氧化膜 9 减薄，以便其厚度减小到腐蚀前的一半，同时，栅侧壁下的栅氧化膜 9 也被各向同性腐蚀，形成钻蚀。因此，就现实情况来说，产生了一些问题，例如，栅极 15n 和 15p 的耐压降低。为了补偿和再形成被湿法腐蚀掉的栅氧化膜 9，根据以下方法进行再氧化（轻度氧化）处理。关于轻度氧化处理，在日本专利申请 9－142315（对应于 1998 年 5 月 29 日申请的美国申请 09/086568）中有具体介绍。

图 9A 是展示用于轻度氧化处理的单晶片处理氧化炉的特定结构例子的示意平面图，图 9B 是沿图 9A 的线 B－B’ 取的剖面图。

单晶片处理氧化炉 100 包括由多壁石英管构成的处理室 101，处理室的上部和下部分别具有用于加热半导体晶片 1A 的加热器 102a 和 102b。处理室 101 中安装有盘形的热平板环 103，用于均匀散发从加热器 102a 和 102b 提供到半导体晶片 1A 的整个表面的热，在其上部还设置有水平支撑半导体晶片 1A 的基座 104。热平板环 103 由例如石英和 SiC（碳化硅）等耐热材料构成，并由从处理室 101 的壁伸出的支撑臂 105 支撑。热平板环 103 附近设置有测量基座 104 支撑的半导体晶片 1A 的温度的热电偶 106。例如可以通过利用如图 10 所示的卤素灯 107 的 RTA（快速热退火）法，及利用加热器 102a 和 102b 的加热法进行半导体晶片 1A 的加热。

用于向处理室 101 引入蒸汽/氢混合气和吹洗气的气体引入管道 108 的一端连接到处理室 101 壁的一部分。以后所述的催化型气体发生装置连接到气体引入管道 108 的另一端。具有数个通孔 109 的挡板 110 设置于气体引入管道 108 附近，引入到处理室 101 中的气体穿过挡板 110 的通孔 109 均匀散布于处理室 101 中。用于排出引入到处理室 101 中的气体的排气管道 111 的一端连接到处理室壁的另一部分。

图 11 是展示连接到单晶片处理氧化炉 100 的处理室 101、用于产生催化型蒸汽/氢混合气体的装置的示图。图 12 是展示气体发生装置的管道系统的示图。气体发生装置 140 包括由耐热耐腐蚀的合金（例如已知商品名为“Hastelloy”的 Ni 合金）构成的反应器 141，及

包括例如 Pt（铂）、Ni（镍）或 Pd（钯）等催化金属的线圈 142，加热线圈 142 的加热器 143 安装在反应器内。

包括氢和氧的处理气体及包括如氮或 Ar（氩）等惰性气体的吹洗气体从气体存储箱 144a、144b 和 144c 通过管道 145 引入反应室 141。用于控制各气体的量的质量流量控制器 146a、146b 和 146c 及转换阀 147a、147b 和 147c 设置于气体存储箱 144a、144b 和 144c 与管道 145 之间，用于精确控制引入到反应室 141 中的各气体的量和组分比。

通过与加热到约 350－450℃的线圈 142 接触，引入到反应器 141 中的处理气（氢和氧）受激发，从而从氢分子形成氢原子团（$H2 \rightarrow 2H^*$），从氧分子形成氧原子团（$O2 \rightarrow 2O^*$）。两种原子团化学性质极活泼，所以快速反应形成水（$2H^* + O^* \rightarrow H2O$）。所以，通过向反应器 141 中引入超过形成水(蒸汽)的摩尔比的含氢处理气(氢/氧 = 2/1），形成蒸汽/氢混合气体。该混合气与从图 12 所示的稀释管道 148 提供的氢混合，调整为具有要求湿度的蒸汽/氢混合气体，然后通过气体引入管道 108 引入到单晶片处理氧化炉 100 的处理室 101 中。混合气体可以在用如氮和氩等惰性气体稀释后引入到处理室 101。混合气体的压力可以任意设置在几十毛到几个大气压的范围内。

由于催化型气体发生装置 140 可以精确地控制参与形成水的氢和氧的量及它们的比，所以可以将引入到处理室 101 中的蒸汽/氢混合气体的蒸汽浓度精确控制在从 ppm 量级的极低浓度到百分之几十的高浓度。由于在向反应器 141 引入处理气的同时形成水，所以可以实时得到具有所需蒸汽浓度的蒸汽/氢混合气体。由于利用这种方式将所含杂质抑制为最少，所以可以向处理室 101 中引入洁净的蒸汽/氢混合气体。

反应器 141 中的催化金属不限于上述金属，只要其可以由氢和氧形成原子团即可。催化金属可用于加工成线圈形，并可以加工成空心管或细纤维过滤器，处理气体可以从中通过。

图 13 是展示利用蒸汽/氢混合气体的氧化还原反应的平衡蒸汽压比（PH2O/PH2）与温度的关系曲线图，其中图中的曲线（a）－

（e）分别表示 W、Mo、Ta（钽）、Si 和 Ti 的平衡蒸汽压比。

如该图所示，只有 Si（半导体衬底 1 及多晶硅膜 10n 和 10p）可以被选择地氧化，而不会氧化构成栅极 15n 和 15p 的 W 膜 12 和作为阻拦层的 WN 膜 11，其实现的方式是，引入到单晶片处理氧化炉 100 的处理室 101 中的蒸汽/氢混合气体的蒸汽/氢分压比设置在曲线（a）和曲线（d）之间区域的范围内。另外，如该图所示，在所有金属（W、Mo、Ta、和 Ti）和 Si 的情况下，通过增大蒸汽/氢混合气体中的蒸汽浓度，可增大氧化速率。即，通过增大蒸汽/氢混合气体中蒸汽浓度，可以在短时间内选择性氧化 Si。

类似地，在栅极 15n 和 15p 的难熔金属部分由 Mo 膜构成时，只有 Si 可以被选择地氧化，而不会氧化 Mo 膜，其实现的方式是，蒸汽/氢分压比设置在曲线（b）和曲线（d）之间区域的范围内。在栅极 15n 和 15p 的一部分由 Ta 膜构成时，只有 Si 可以被选择地氧化，而不会氧化 Ta，其实现的方式是，蒸汽/氢分压比设置在曲线（c）和曲线（d）之间区域的范围内。

另一方面，由于 Ti 在蒸汽/氢混合气体中具有比 Si 更高的氧化速率，如该图所示，所以在栅极 15n 和 15p 的金属部分由 Ti 膜构成，或阻挡层由 TiN 膜构成时，即使试图只使 Si（半导体衬底 1 及多晶硅膜 10n 和 10p）被选择性氧化，但 Ti 膜和 TiN 膜同时也被氧化，引起了栅极的剥离。

图 14 是展示利用蒸汽/氢混合气体的氧化处理时间与氧化硅膜厚度的关系曲线图。如该图所示，氧化硅膜的厚度基本上与氧化时间成正比增大，但在湿度为 0％时，甚至在氧化时间增加时，膜厚也不增大。

图 15 和 16 是展示在蒸汽/氢混合气体的湿汽含量为 10％和 15％的情况下，得到某一氧化膜厚度（2、3、4 和 5nm）所用的氧化温度和氧化时间的关系曲线图。如这些图所示，得到某一氧化膜厚度所需要的氧化时间与氧化温度成正比缩短。

图 17 是展示对栅极进行热处理时的温度和 VFB（基本等于 Vth）间关系的曲线图，所说栅极是在注入能量为 5keV 且剂量为每平方厘

米 4×1015 的条件下，用 B（硼）掺杂形成于膜厚为 3.5nm 的氧化硅膜上的厚 100 nm 的多晶硅膜形成的。如该图所示，在热处理温度超过 850℃时，由于通过氧化硅膜扩散到衬底中的 B（硼）量迅速增大，所以 VFB 迅速增大。

为了在仅选择氧化 Si（半导体衬底 1 和多晶硅膜 10n 和 10p），而不氧化构成栅极 15n 和 15p 的一部分的 W 膜 12 及作为阻挡层的 WN 膜 11，并且包含于构成栅极 15p 的一部分的 p 型多晶硅膜 10p 中的 B（硼）不会通过栅氧化膜 9 扩散到衬底 1（n 阱 8）中的低热负载条件下，进行轻度氧化处理，以补偿和再产生栅氧化膜 9，半导体衬底 1A 的加热温度设置在不会使氧化硅膜质量退化的最低温度即 650℃到 900℃之间，在此温度下，半导体衬底 1A 的表面易发生粗糙化，较好是设置在 750℃－900℃范围内，最好是设置在能够抑制 B 向衬底扩散的最高温度约 850℃，此时蒸汽/氢混合气体的湿度设置在能够生长氧化硅膜的实际最低浓度的 1%（以分压表示约为约 1%，如图 13 所示）到湿度的上限，在此湿度下，氧化与氧化还原反应一同进行，特别是在半导体衬底 1A 的加热温度设置在约 850℃时，湿度较好设置在约 30%（以上述分压表示为 43%）或更大，以使氧化还原反应速率变大，最好是设置在约 50%（以分压表示为 100%），是湿度值的最大值，即在此温度条件下的热动态最大湿度（见图 13）。

本发明的湿度由湿汽分压占整个大气压的百分比表示，或由在氢分压为分母， 湿汽分压为分子的情况下的百分比（即分压比），如图 13 所示。在利用如氩和氦等惰性元素进行稀释时，对氧化还原反应根本没有影响，或其影响小得可以忽略不计，在本发明的例子中，处理气氛中不加入除氢和湿汽外的任何气体，除非其它情况下表明应这样。

在不太高温度区中的合适湿度一定程度地偏离临界区，如图 13 所示，例如为了确保稳定的工艺条件，在许多情况下，偏离约 5－30%（以分压表示为 5.3%－43%），最好是 8－25%（以分压表示为 8.7%－33%）。

即，在掺硼后在这种较高湿度下进行热处理时，与预计的相反，

可以增强防止硼通过栅绝缘膜扩散到沟道区的硼泄漏的作用。

下面结合图 18 介绍利用单晶片处理氧化炉 100 进行轻度氧化工艺顺序的例子。

打开单晶片处理氧化炉 100 的处理室 101，将已对栅极 15n 和 15p 进行处理的半导体晶片 1A 设置在基座 104 上，同时向处理室中引入吹洗气体（氮）。然后，处理室 101 关闭，进一步连续引入吹洗气体，彻底替换处理室 101 内的气体。用加热器 102a 和 102b 加热基座 104（例如到约 850℃），以便快速加热半导体晶片 1A。

然后，在处理室 101 内引入氢，以排放氮。在氮残留于处理室 101 中时，会发生不想有的硝酸化反应，所以在不想要栅氧化膜那么厚的情况下，优选完全排掉氮。（无需说，在以下轻度氧化工艺气氛中，可以加入如氩等惰性气体、氧和氮及氢和湿汽。）

然后，在气体发生装置 140 的反应器 141 中引入氧和过量的氢，并向处理室 101 中引入包含由氧和氢形成的水且具有催化作用的蒸汽/氢混合气体（例如湿度约为 50％），以氧化半导体晶片 1A 的表面预定时间。因此，再氧化了湿法腐蚀减薄了的栅氧化膜 9，改善了已发生钻蚀的栅极 15n 和 15p 侧壁边缘部分的外形，如图 19A 所示。即，如放大形式的图 19B 所示，在栅极 15n 和 15 侧壁的边缘部分，去掉了腐蚀造成的尖利边缘，使之变圆，减轻了电场的集中。

类似地，如图 19A 和 19B 所示，在构成栅极的多晶硅电极的边缘部分和侧面部分，具有小曲率半径的一部分热氧化膜因附加的热氧化而消失，或其变为具有大曲率半径。因此，释放了不想有的栅极边缘部分处的电场集中。

在长时间进行轻度氧化时，栅极边缘部分附近的氧化膜厚度变得不必要地厚，所以在栅极边缘部分形成偏移，MOSFET 的阈值电压（Vth）偏离设计值。另外，会发生包含于构成栅极 15p 的一部分的 p 型多晶硅膜 10p 中的一部分 B（硼）容易扩散到衬底中（n 阱 8）的问题，及发生有效沟道长度变得比栅极 15n 和 15p 的处理后的值短的问题。

具体说，在栅长约 0.18 微米的微细 MOSFET 中，从元件设计的

角度出发，应严格限制栅处理后尺寸与设计值之间可允许的减薄量。这是由于在减薄量稍有增大，阈值电压会由于短沟道效应迅速减小。在栅长约 0.18 微米的栅极的情况下，由于栅氧化膜的厚度约为 3.5nm，所以认为不引起阈值电压迅速减小的极限是，利用轻度氧化工艺将构成栅极的多晶硅膜的侧壁的边缘部分氧化到约 1nm。因此，轻度氧化生长的氧化膜的厚度的上限最好是从栅氧化膜厚度增大约 50％。

然后，在处理室 101 中引入吹洗气体（氮），以排出蒸汽/氢混合气体，然后打开处理室 101，在向处理室引入吹洗气体的同时从基座 104 上取下半导体晶片 1A，以便完成轻度氧化工艺。

下面将简单介绍轻度氧化工艺后的 CMOS 工艺，如图 20 所示，在 p 阱 7 中离子注入如 P（磷）等 n 型杂质，以在栅极 15n 两侧上的 p 阱 7 中形成 n-型半导体区 16，在 n 阱 8 中离子注入如 B（硼）等 p 型杂质，以在栅极 15p 两侧上的 n 阱 8 中形成 p-型半导体区 17，然后，利用 CVD 法，在半导体衬底 1 上堆积厚约 100nm 的氮化硅膜 18。

然后，如图 21 所示，在 p 阱 7 中离子注入如 As（砷，）等 n 型杂质，以形成 n 沟道 MISFET 的 n+型半导体区 20（源和漏），在 n 阱 8 中离子注入如 B（硼）等 p 型杂质，以形成 p 沟道 MISFET 的 p+型半导体区 21（源和漏）。到此步骤为止完成了双栅结构的 n 沟道 MISFET Qn 和 p 沟道 MISFET Qp。

然后，如图 22 所示，利用 CVD 法，在半导体衬底 1 上堆积氧化硅膜 22，利用化学机械抛光法平面化其表面后，利用光刻胶膜作掩模，进行干法腐蚀，去掉 n+型半导体区 20（源和漏）和 p+型半导体区 21（源和漏）之上的氧化硅膜 22。该腐蚀在这样的条件下进行，即氧化硅膜 22 的腐蚀速率相对于氮化硅膜 13 和 19 来说较大，所以不去掉 n+型半导体区 20（源和漏）和 p+型半导体区 21（源和漏）上的氮化硅膜 18。

然后，去掉 n+型半导体区 20（源和漏）和 p+型半导体区 21（源和漏）上的氮化硅 18 和栅氧化膜 9，从而在 n+型半导体区 20（源和漏）上形成接触孔 23，在 p+型半导体区 21（源和漏）上形成接触孔

24。为了使半导体衬底 1 的减薄量最小，按以下方式进行腐蚀，即过腐蚀的量限于必须的最小值，并且采用相对于半导体衬底 1（硅）具有很大选择性的腐蚀气体。腐蚀还可以在这样的条件下进行，即各向异性腐蚀氮化硅膜 19，以便在栅极 15n 和 15p 的侧壁上保留氮化硅膜 18。因此，关于栅极 15n 和 15p 分别以自匹配的方式形成接触孔 23 和 24。

然后，如图 23 所示，通过构图形成于氧化硅膜 22 上的 W 膜，形成互连 25－30，以完成本实施例的 CMOS LSI。

尽管结合其实施例介绍了本发明人实现的发明，但本发明不构成为限于这些实施例，可以在不偏离其本质的情况下作出各种改变。

例如，如图 24 所示，可以利用批处理垂直氧化炉 150 进行栅氧化膜的轻度氧化处理，所说批处理垂直氧化炉具有与之连接的上述催化型蒸汽/氢混合气体发生装置 140。在采用这种类型的批处理垂直氧化炉 150 时，最好是采用装有升温/降温系统的氧化炉。图 25 示出了利用批处理垂直氧化炉 150 的轻度氧化处理的工艺顺序的一个例子。

尽管采用处理具有多晶硅及金属结构的栅极的情况介绍了实施例，但本发明的轻度氧化处理可应用于具有多晶硅和硅化物结构的栅极，其中例如硅化钨等难熔金属膜层叠于掺杂有硼的多晶硅膜上。

以下简述本发明的各典型实施例的有益效果。

根据本发明，在采用多晶硅及金属栅结构和双栅结构的 CMOS LSI 中，可以抑制构成栅极一部分的难熔金属膜的氧化，及包括于构成栅极一部分的 p 型多晶硅中的硼通过栅氧化膜的扩散。因此，可以提高由具有短栅长度的微细 MOSFET 构成的 CMOS LSI 的可靠性和生产成品率。具体说，在由栅长为 0.18 微米或以下的微细 MOSFET 构成的 CMOS LSI 的情况下，上述效果是显著的。

图1

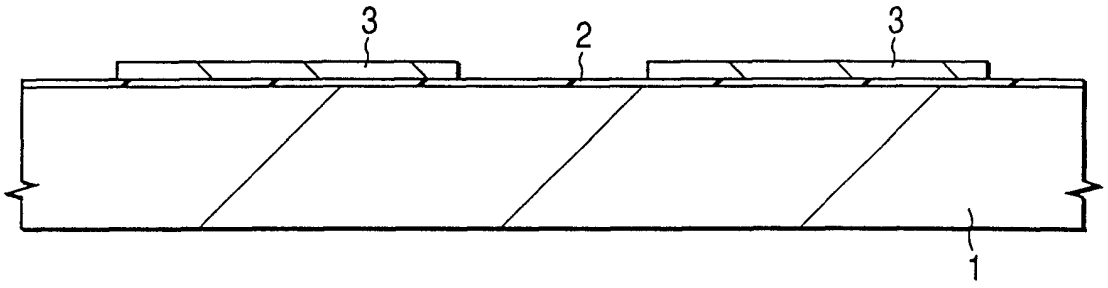


图2

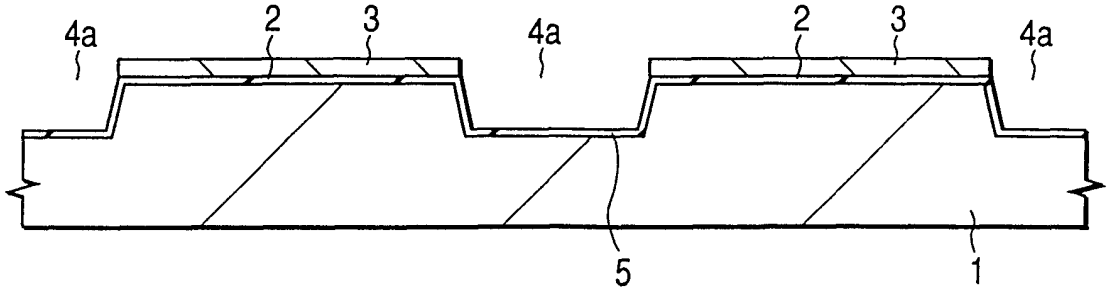


图3

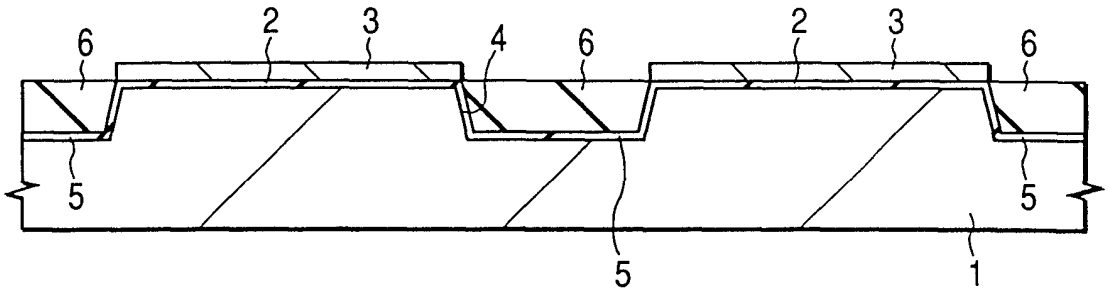


图4

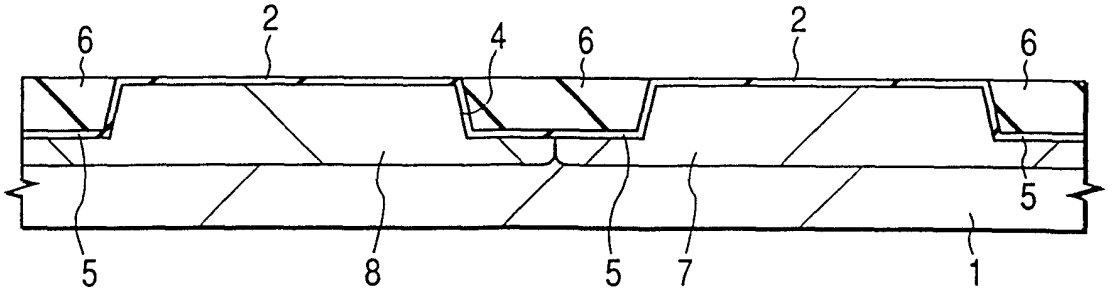


图5

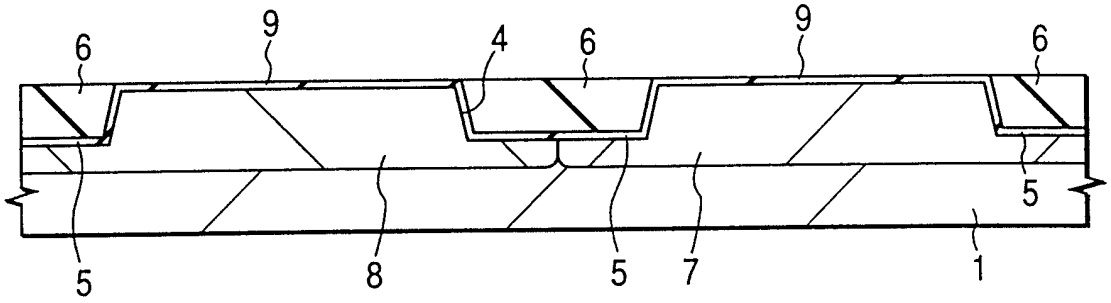


图6

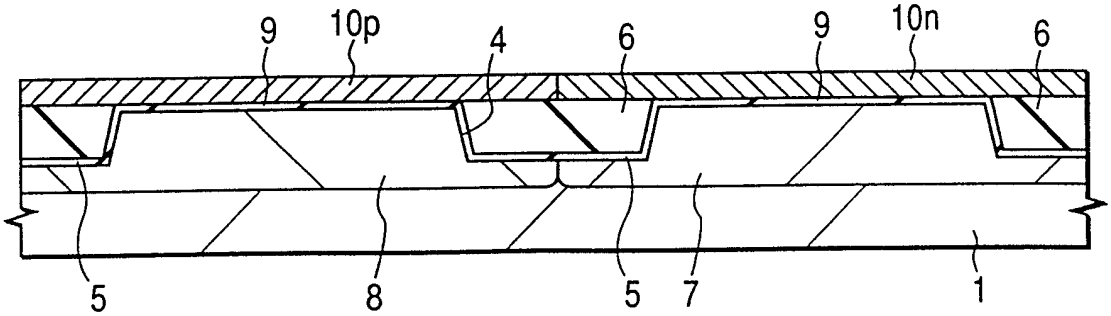


图7

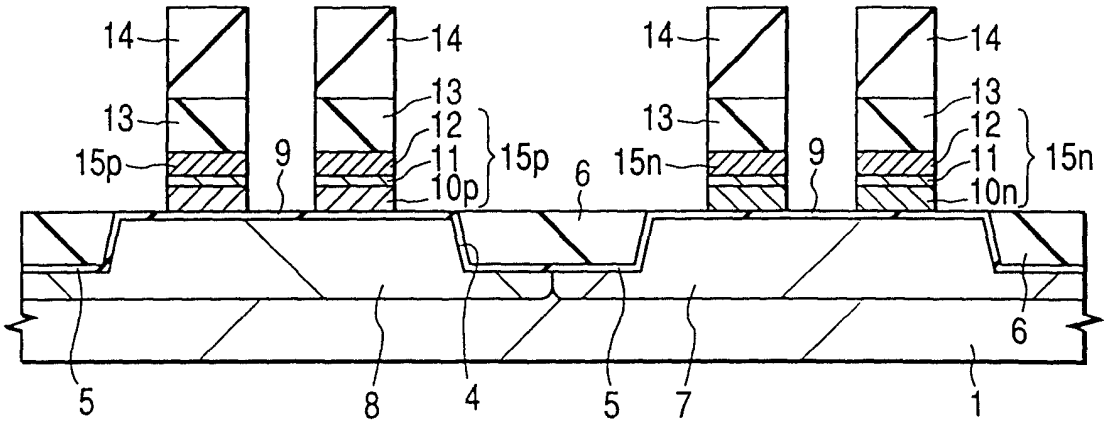

14
14
14
14
13
13
12
11
10p
15p
13
13
12
11
10n
15n
15p
9
9
15n
6
6
5
8
4
5
7
1

图8

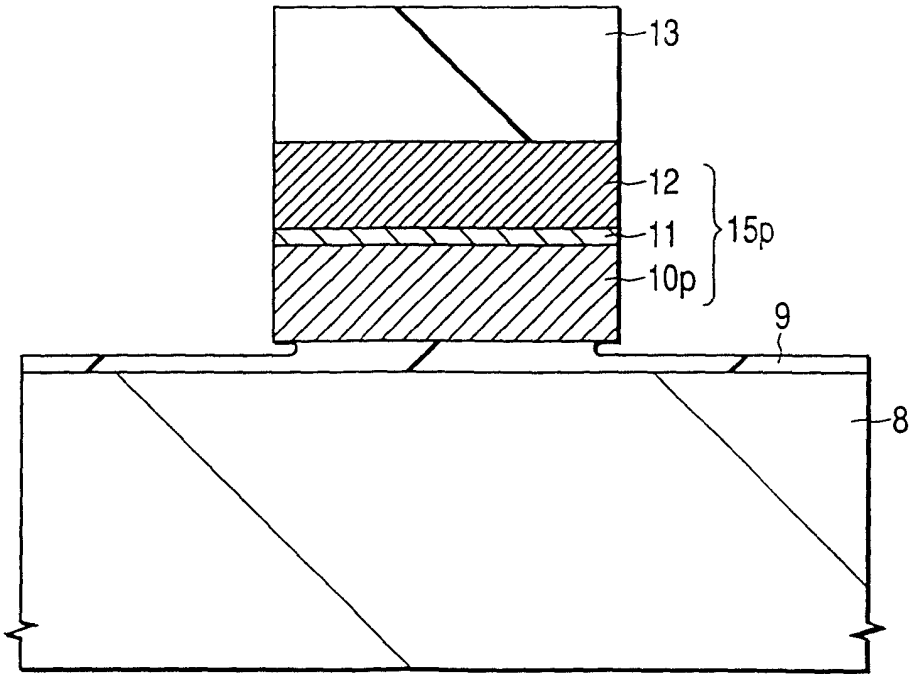

13
12
11
10p
15p
9
8

图9（a）

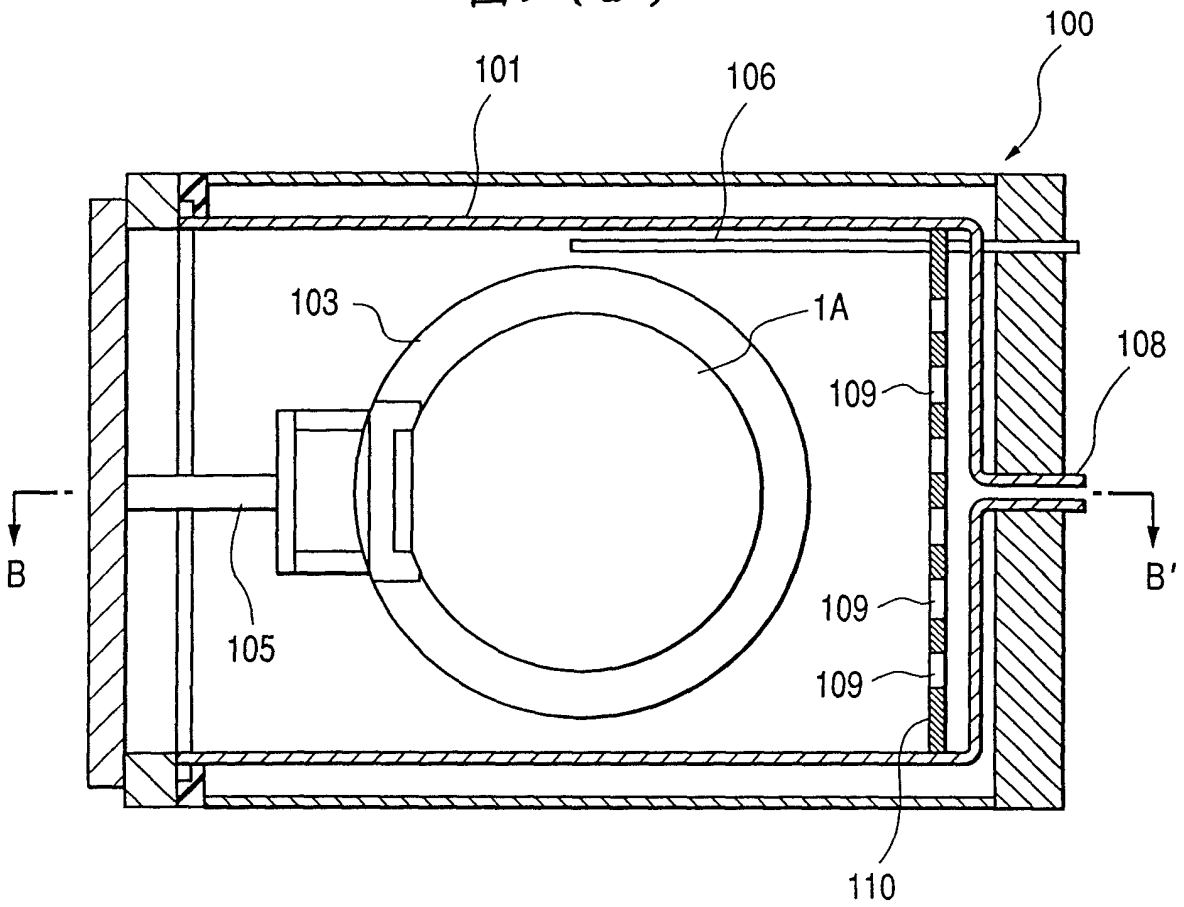

100
101
106
103
1A
108
109
B
B'
105
109
109
110

图9（b）

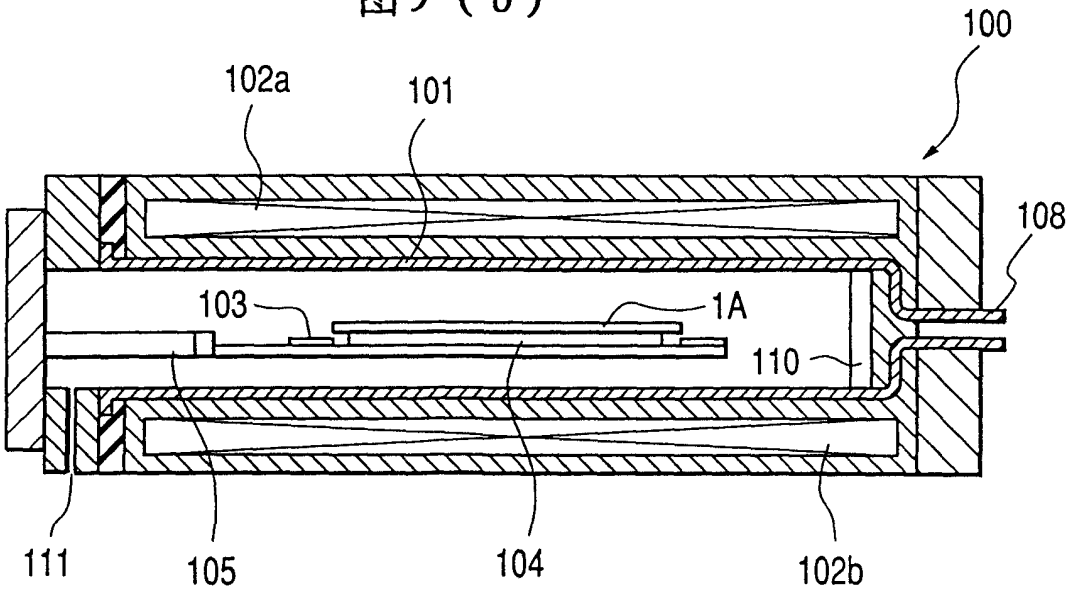

100
102a
101
108
103
1A
110
111
105
104
102b

图10（a）

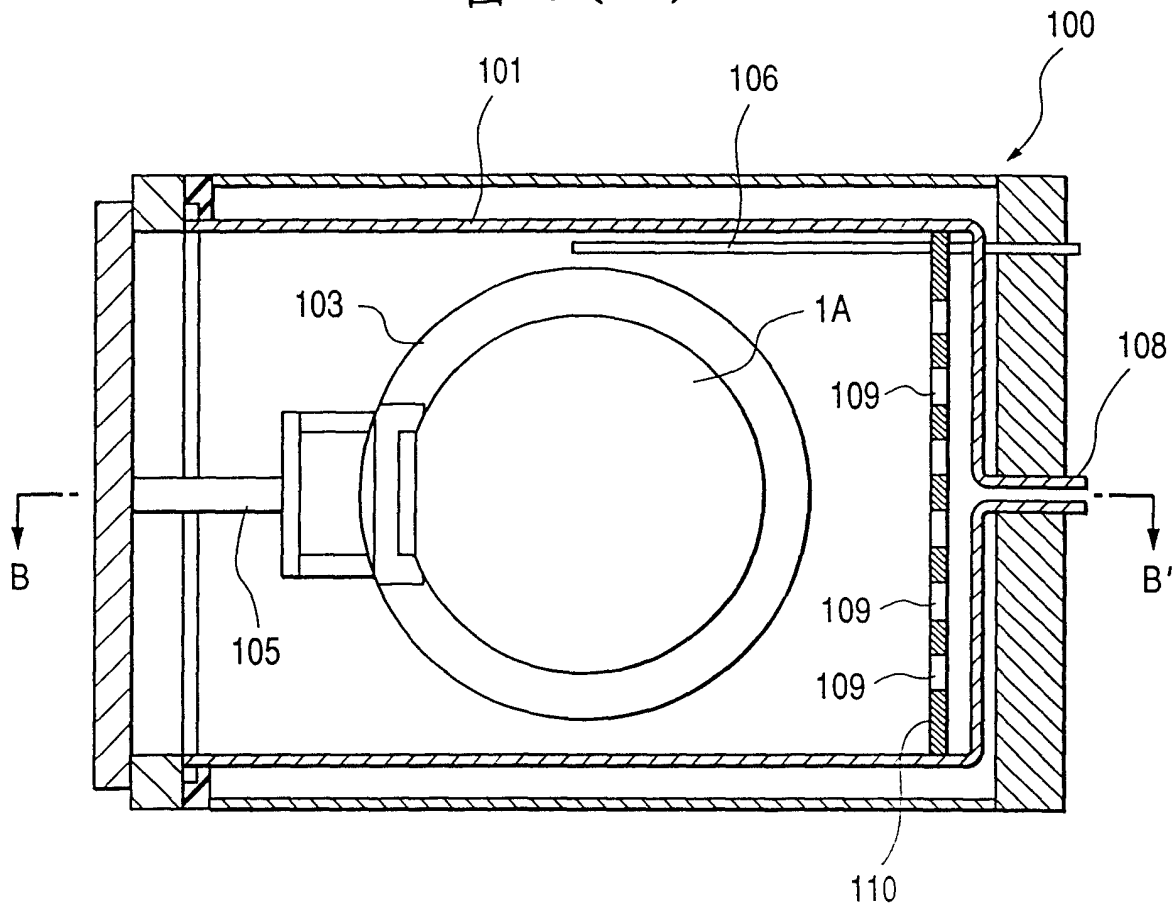

100
101
106
103
1A
108
109
B
B'
105
109
109
110

图10（b）

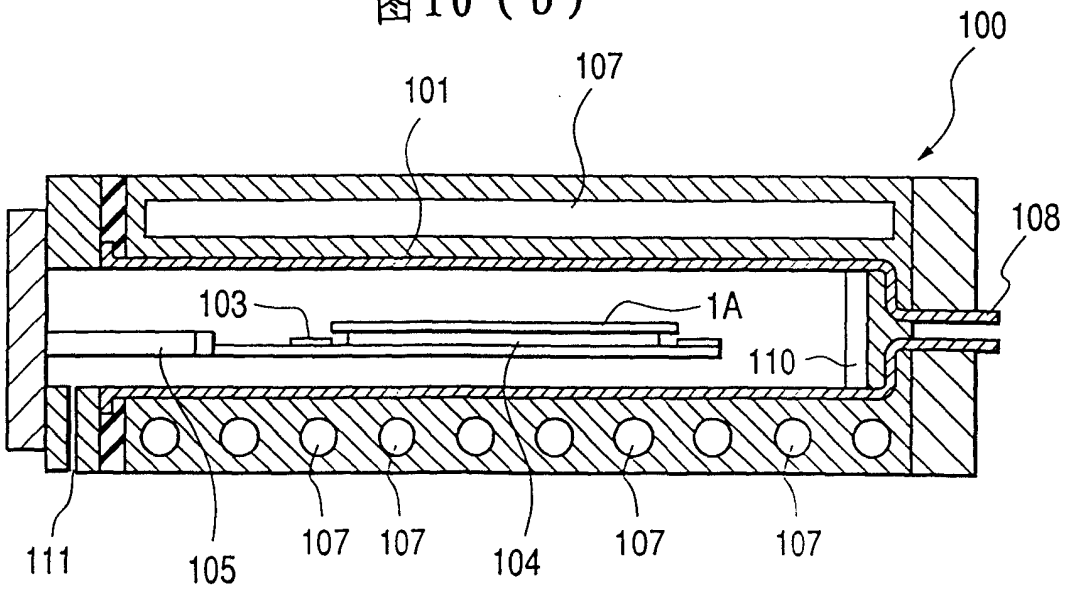

100
101
107
108
103
1A
110
111
105
107
107
104
107
107

图11

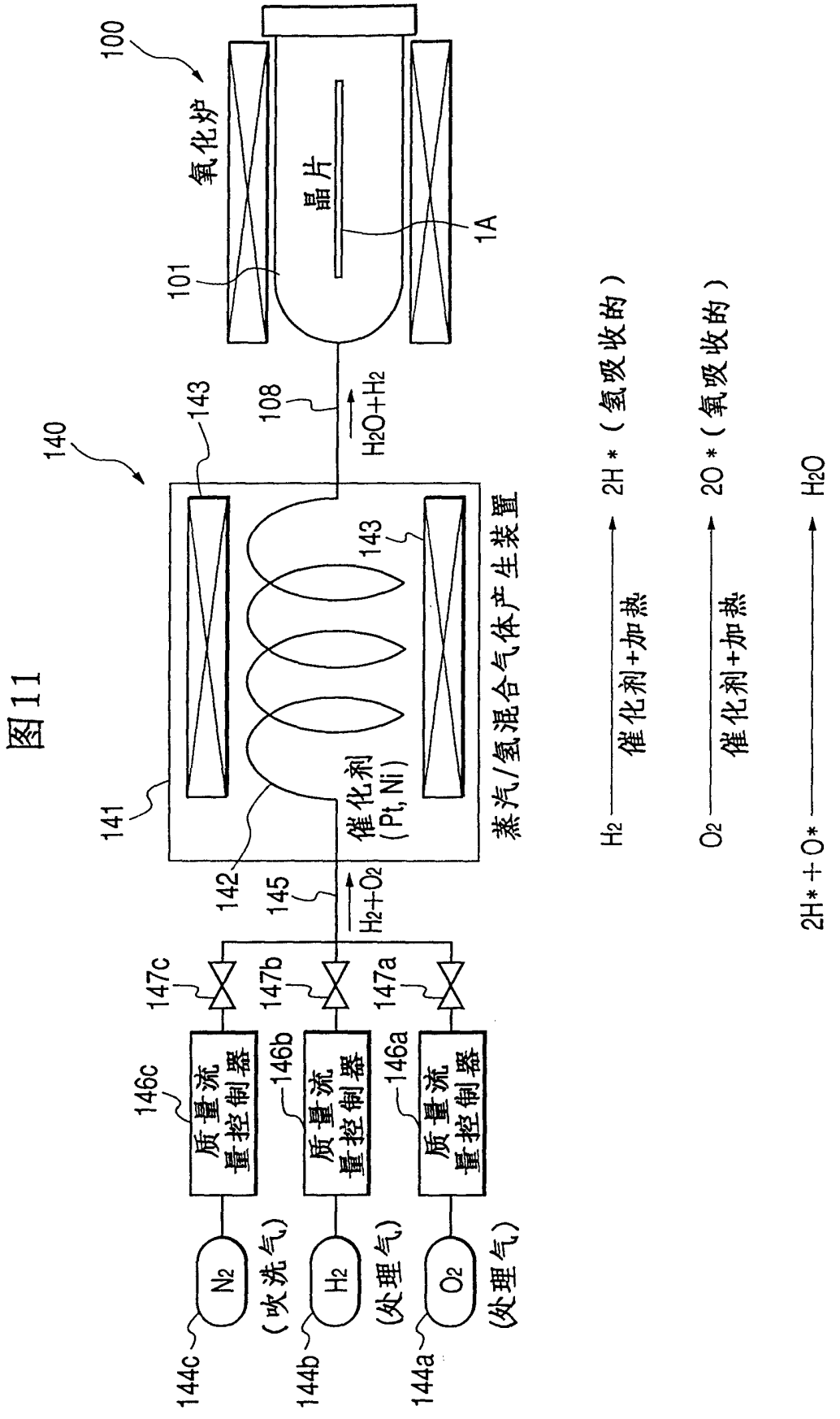

100
氧化炉
晶片
1A
101
140
143
108
H_2O+H_2
141
142
145
催化剂
(Pt, Ni)
H_2+O_2
蒸汽/氢混合气体产生装置
147c
147b
147a
146c
146b
146a
质量流量控制器
N_2
(吹洗气)
H_2
(处理气)
O_2
(处理气)
144c
144b
144a
H_2 —催化剂+加热→ 2H*(氢吸收的)
O_2 —催化剂+加热→ 2O*(氧吸收的)
2H* + O* → H_2O

图12

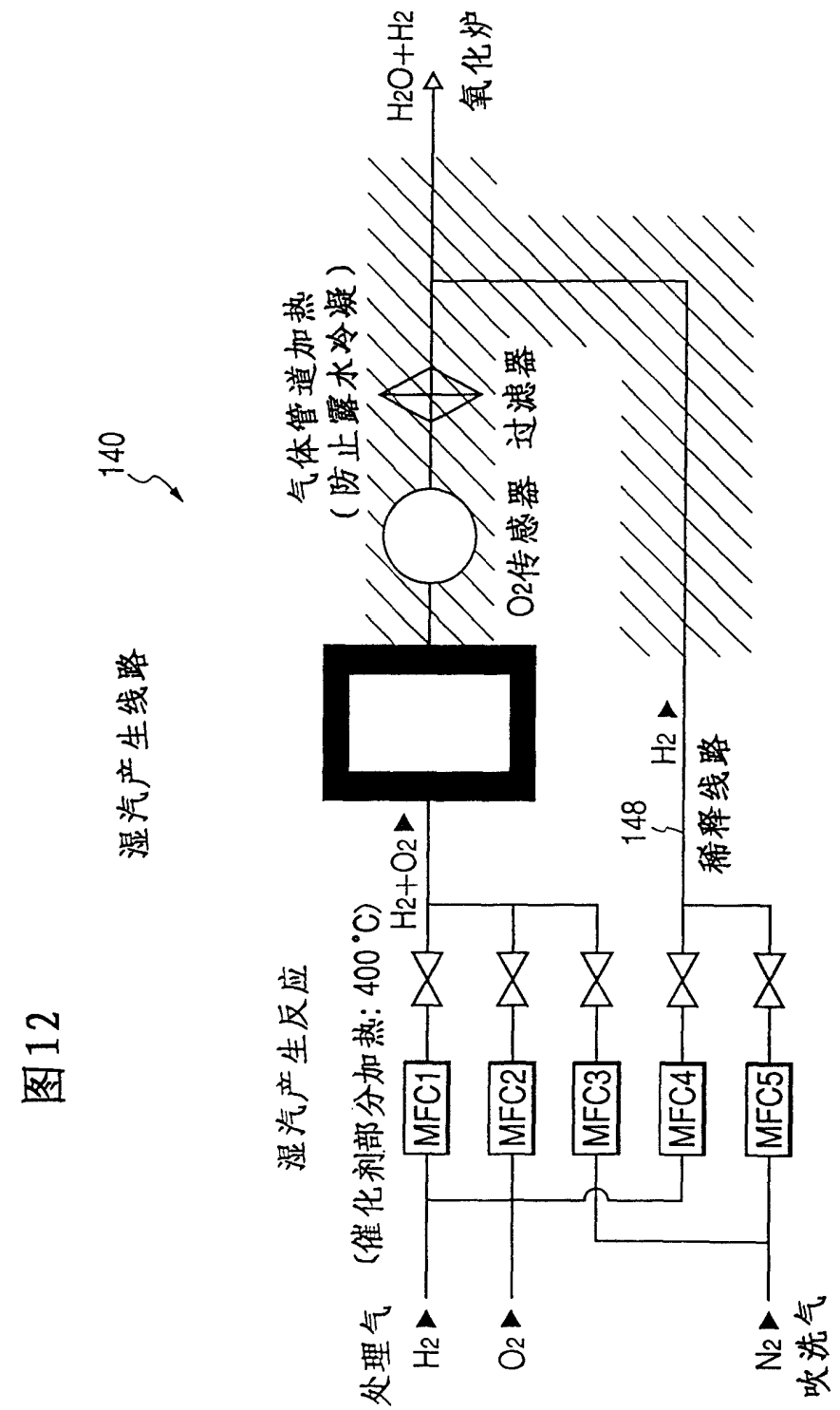
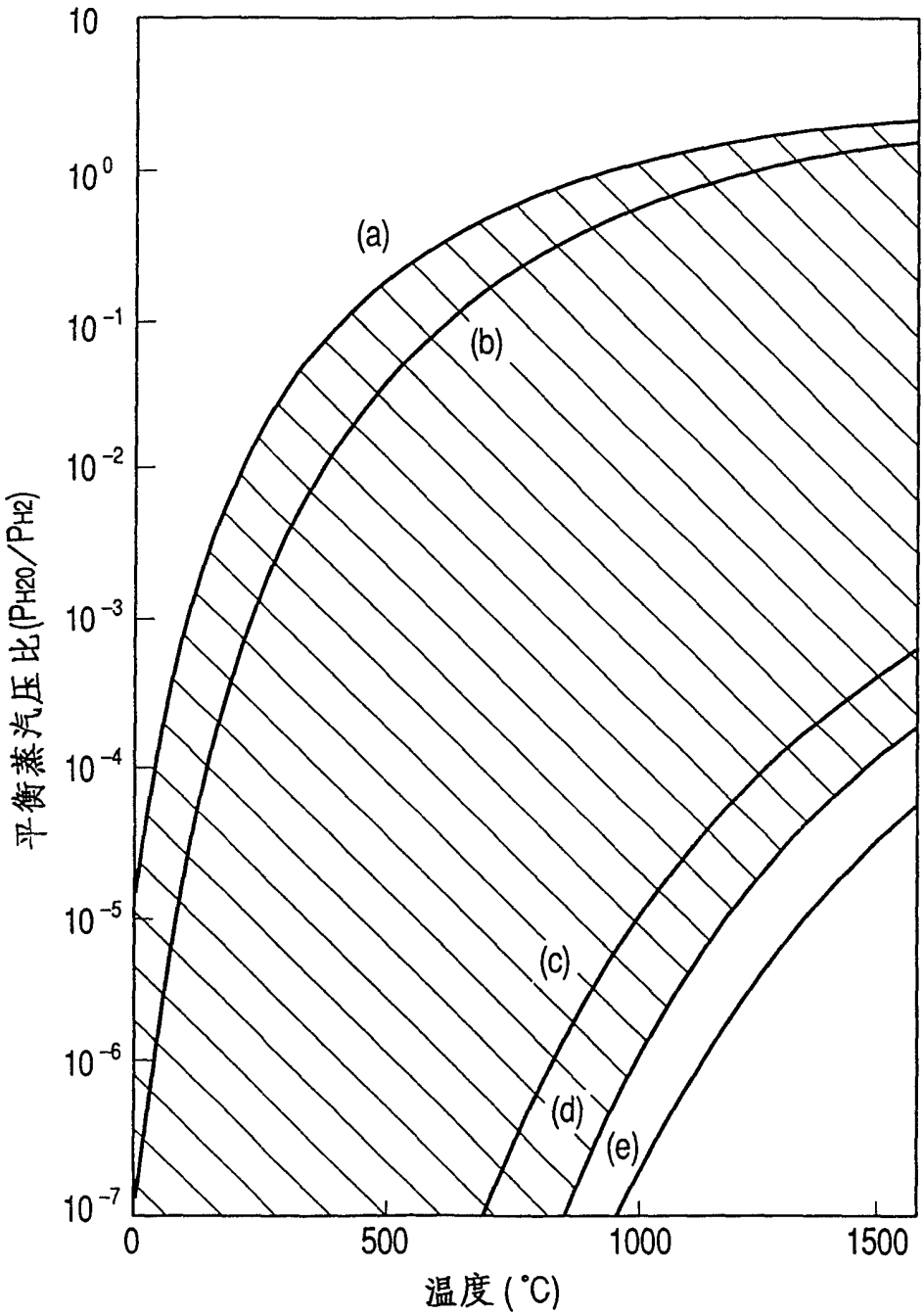

湿汽产生线路
140
湿汽产生反应
(催化剂部分加热: 400 °C)
处理气
H2
O2
N2
吹洗气
MFC1
MFC2
MFC3
MFC4
MFC5
H2+O2
H2
148
稀释线路
气体管道加热
(防止露水冷凝)
O2传感器
过滤器
H2O+H2
氧化炉

图13



(a) $W+3H_2O \rightleftharpoons WO_3+3H_2$

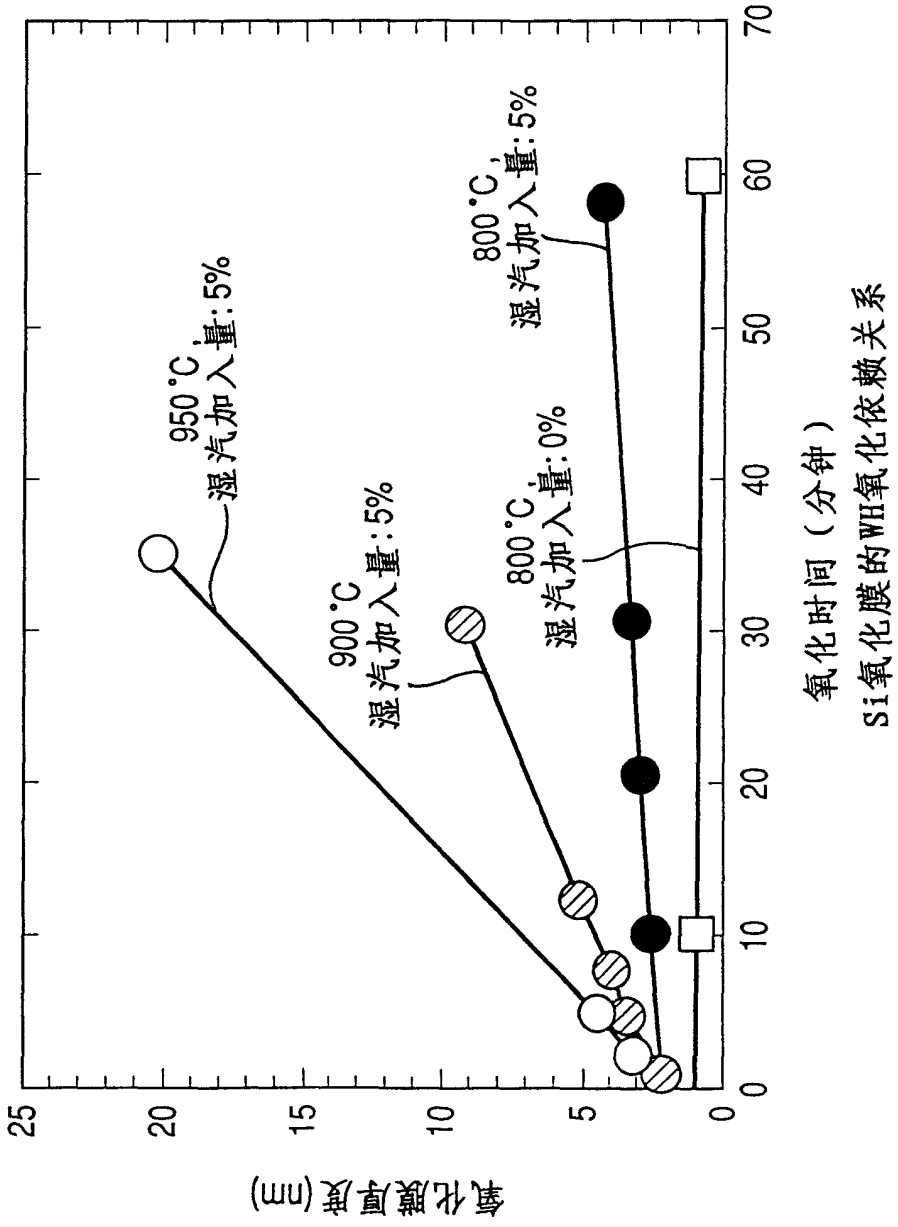
(b) $Mo+2H_2O \rightleftharpoons MoO_2+2H_2$

(c) $2Ta+5H_2O \rightleftharpoons Ta_2O_5+5H_2$

(d) $Si+2H_2O \rightleftharpoons SiO_2+2H_2$

(e) $Ti+2H_2O \rightleftharpoons TiO_2+2H_2$

图14


氧化膜厚度(nm)
25
20
15
10
5
0
0
10
20
30
40
50
60
70
950℃,
湿汽加入量:5%
900℃
湿汽加入量:5%
800℃,
湿汽加入量:0%
800℃,
湿汽加入量:5%
氧化时间(分钟)
Si氧化膜的WII氧化依赖关系

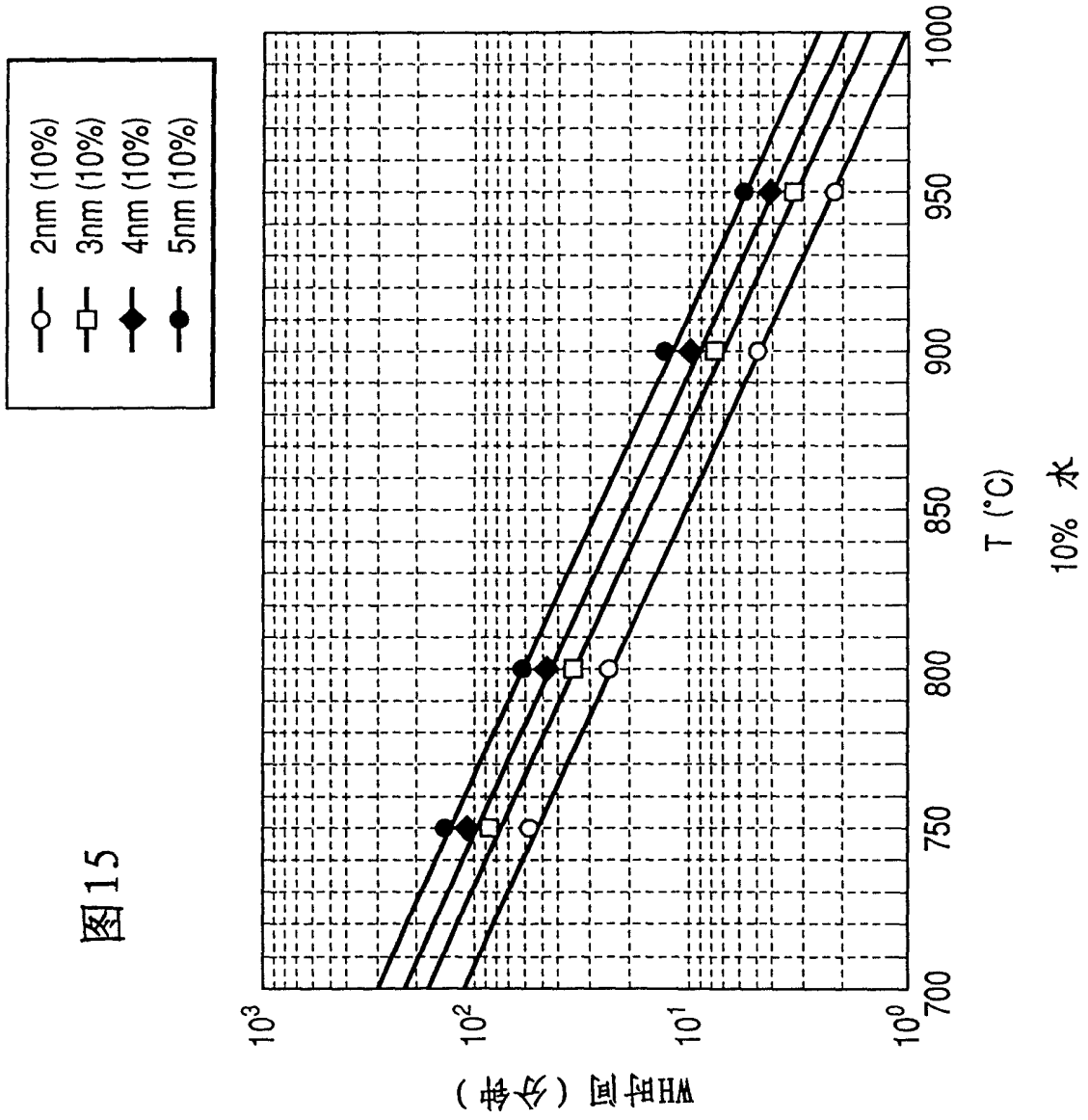

2nm (10%)
3nm (10%)
4nm (10%)
5nm (10%)
WH时间（分钟）
10^3
10^2
10^1
10^0
700
750
800
850
900
950
1000
T (°C)
10% 水

图15

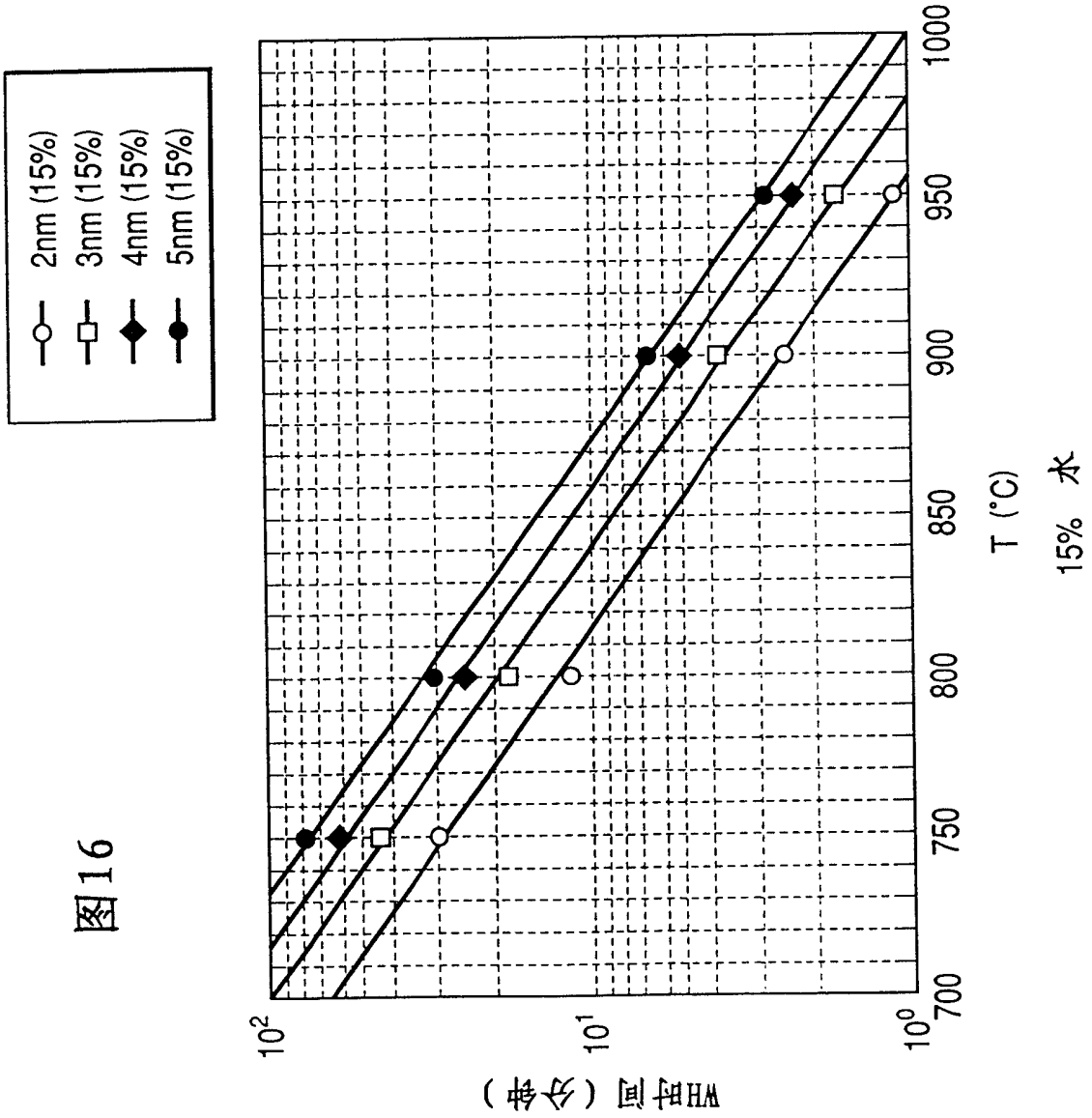
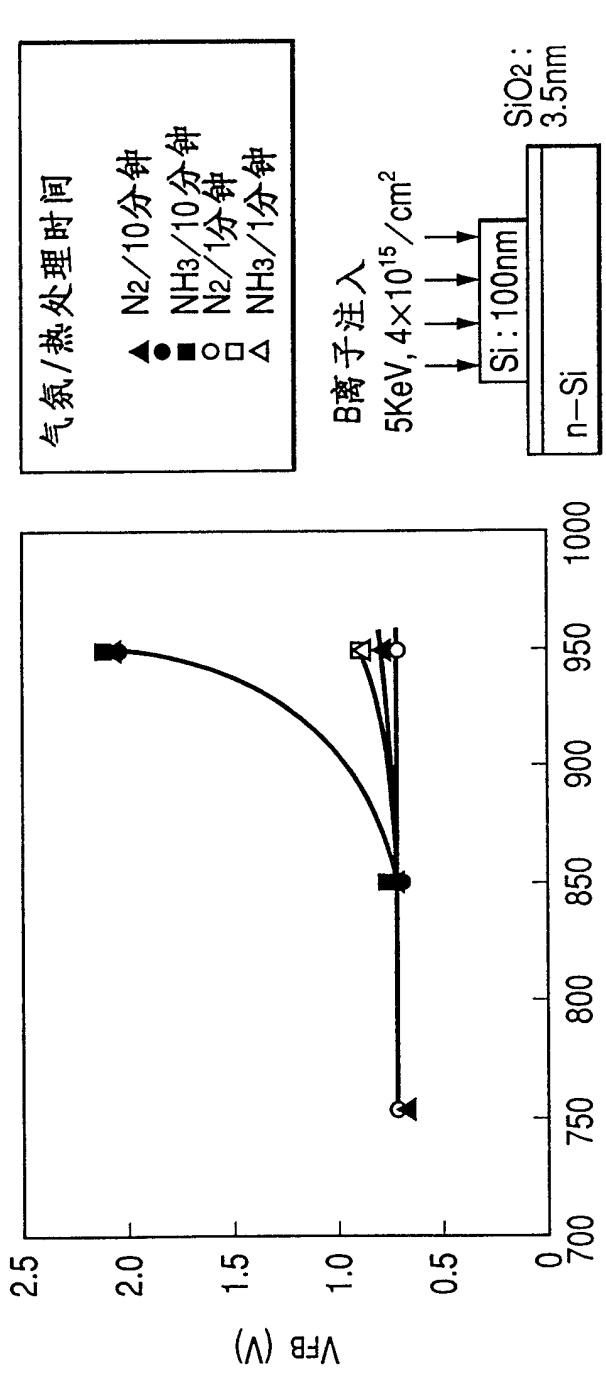

2nm (15%)
3nm (15%)
4nm (15%)
5nm (15%)
WH时间（分钟）
10^2
10^1
10^0
700
750
800
850
900
950
1000
T (°C)
15% 水

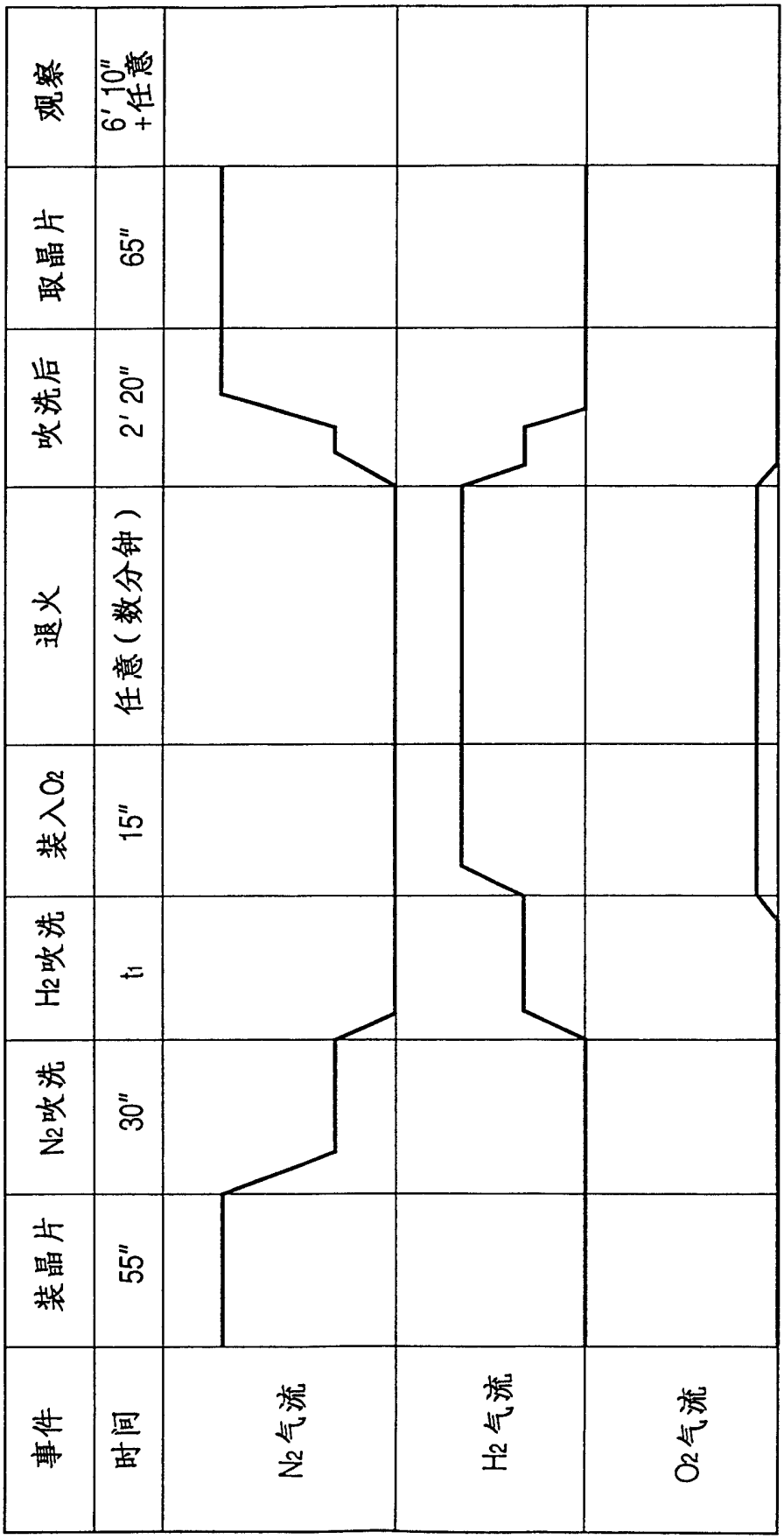
图16

图17



热处理气氛与V_{FB}的关系

图18



t1：用H_2完全替换N_2需要的时间

图19(a)

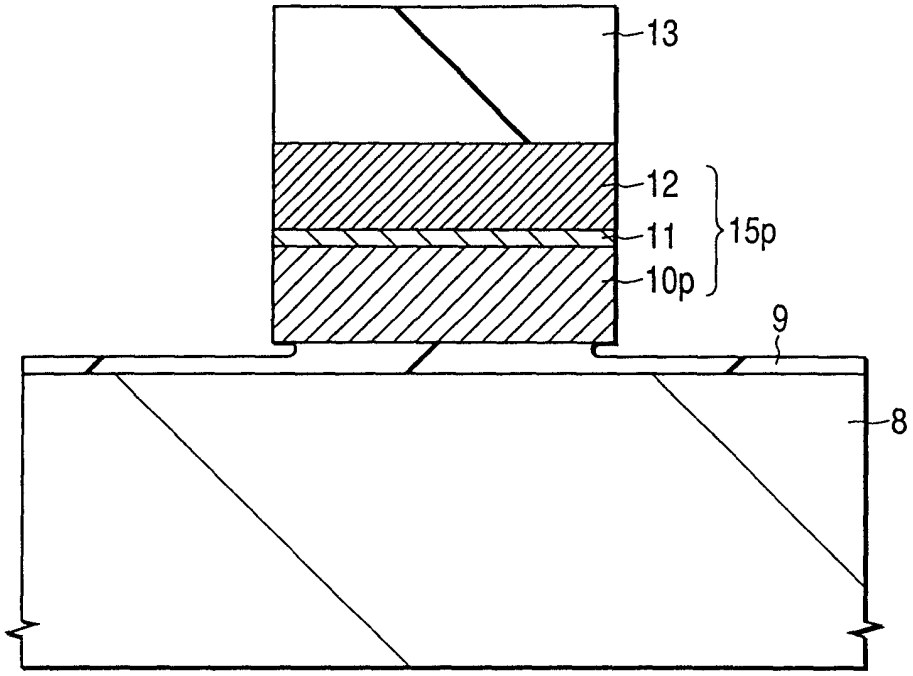


图19(b)

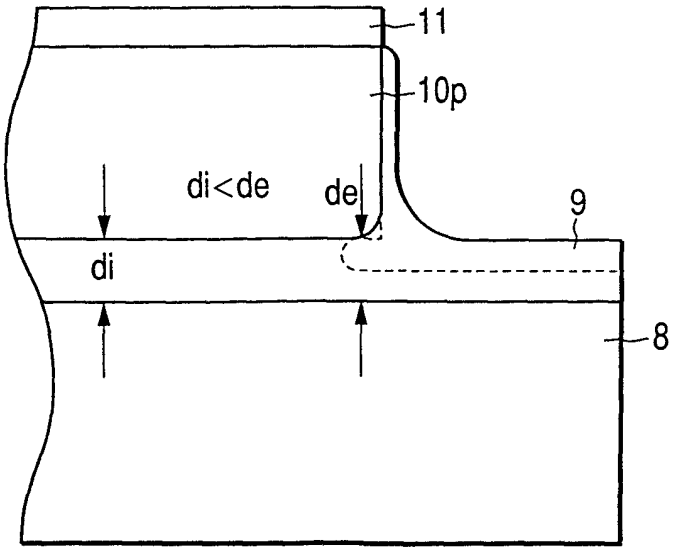


图20

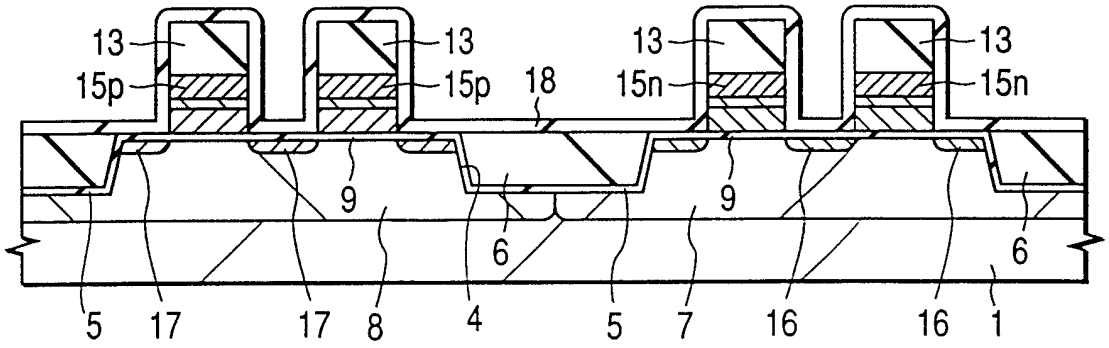

13
15p
13
15p
18
13
15n
13
15n
9
9
6
6
5
17
17
8
4
5
7
16
16
1

图21

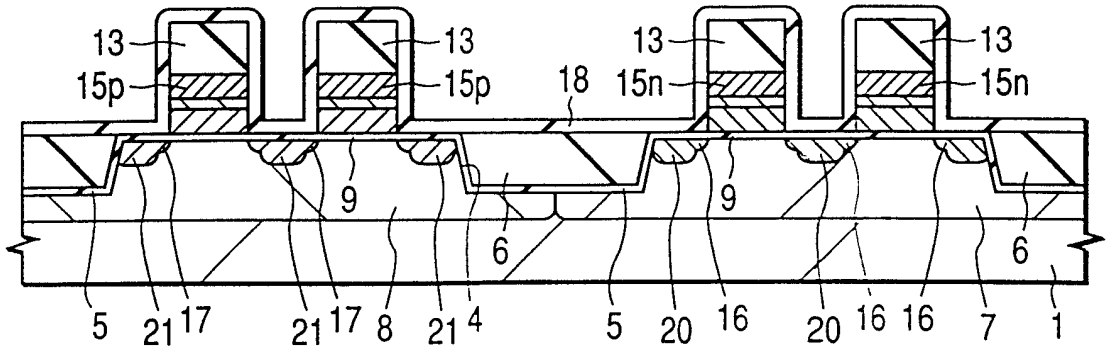

13
15p
13
15p
18
13
15n
13
15n
9
9
6
6
5
21
17
21
17
8
21
4
5
20
16
20
16
16
7
1

图22

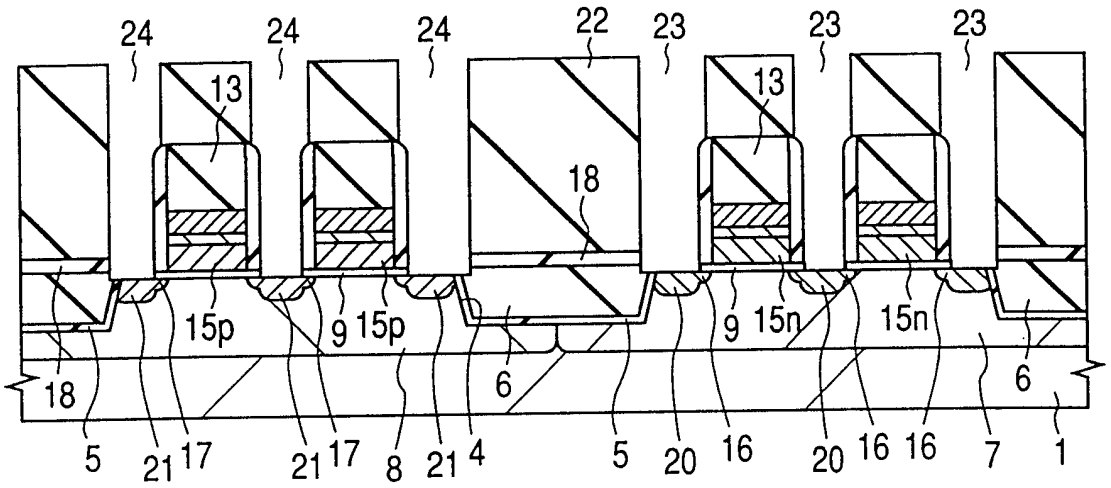

24
24
24
22
23
23
23
13
13
18
15p
9
15p
9
15n
15n
6
6
18
5
21
17
21
17
8
21
4
5
20
16
20
16
16
7
1

图23

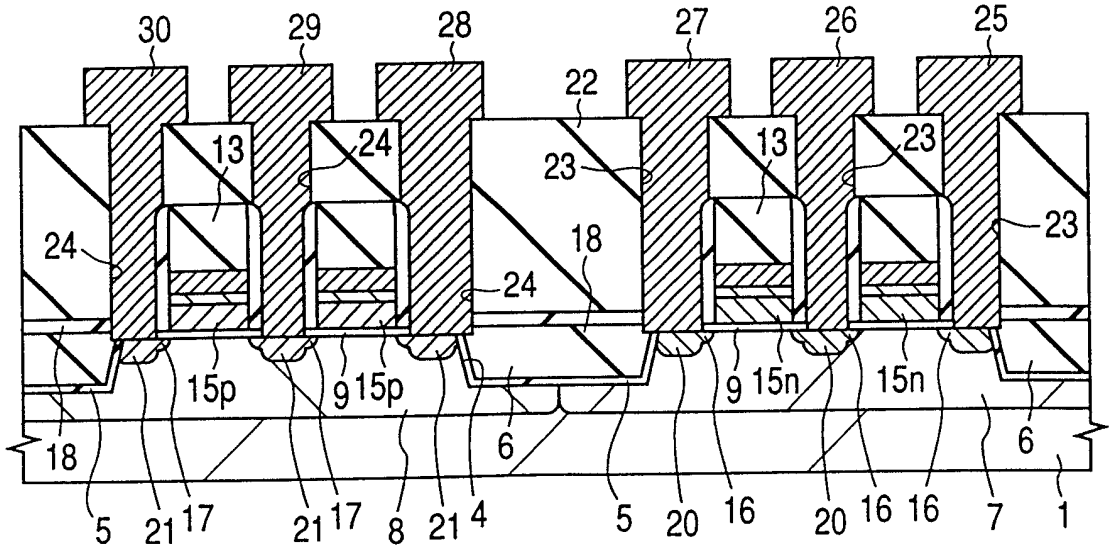

30
29
28
27
26
25
22
13
24
23
13
23
24
18
24
23
15p
9
15p
9
15n
15n
6
6
18
5
21
17
21
17
8
21
4
5
20
16
20
16
16
7
1

图24

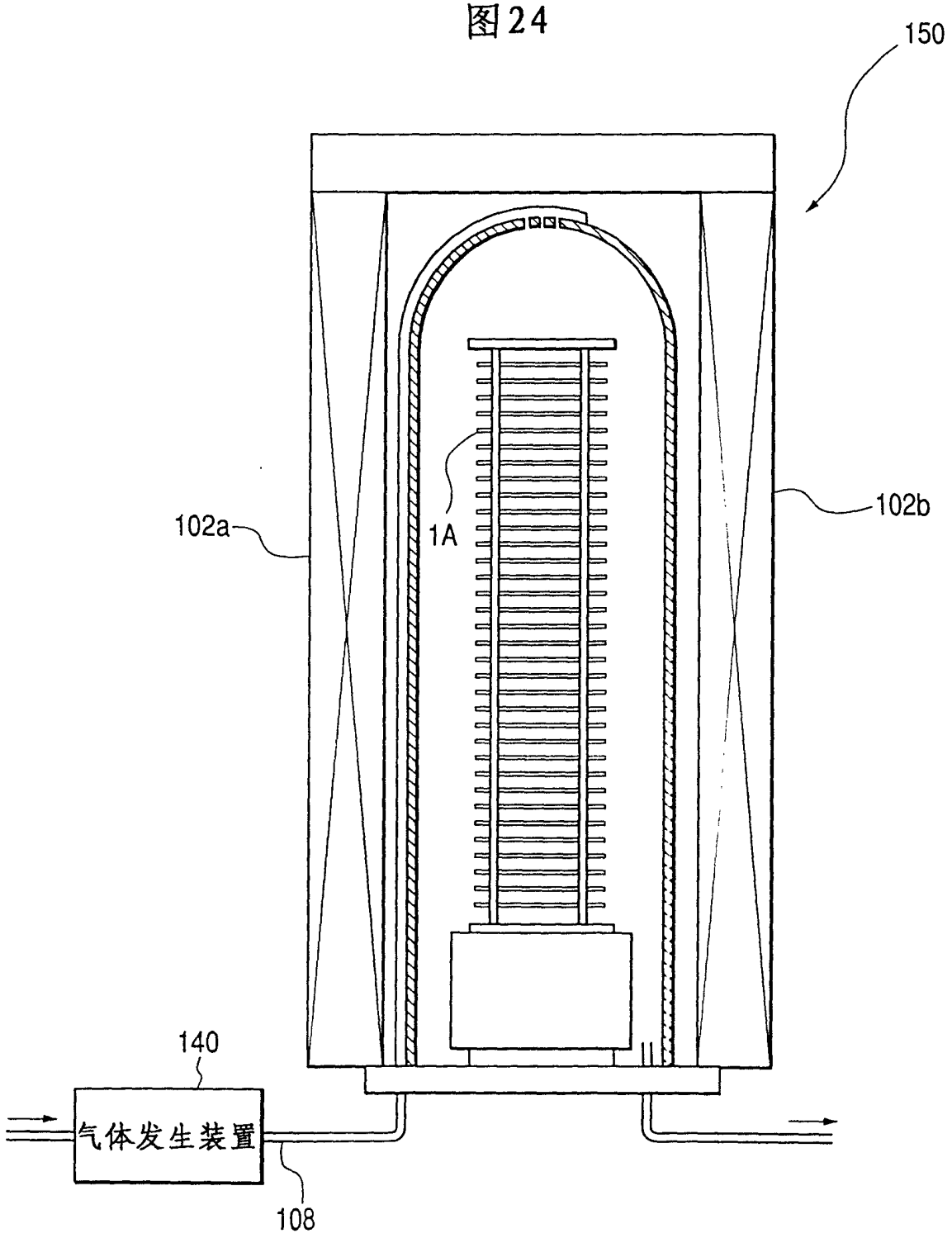
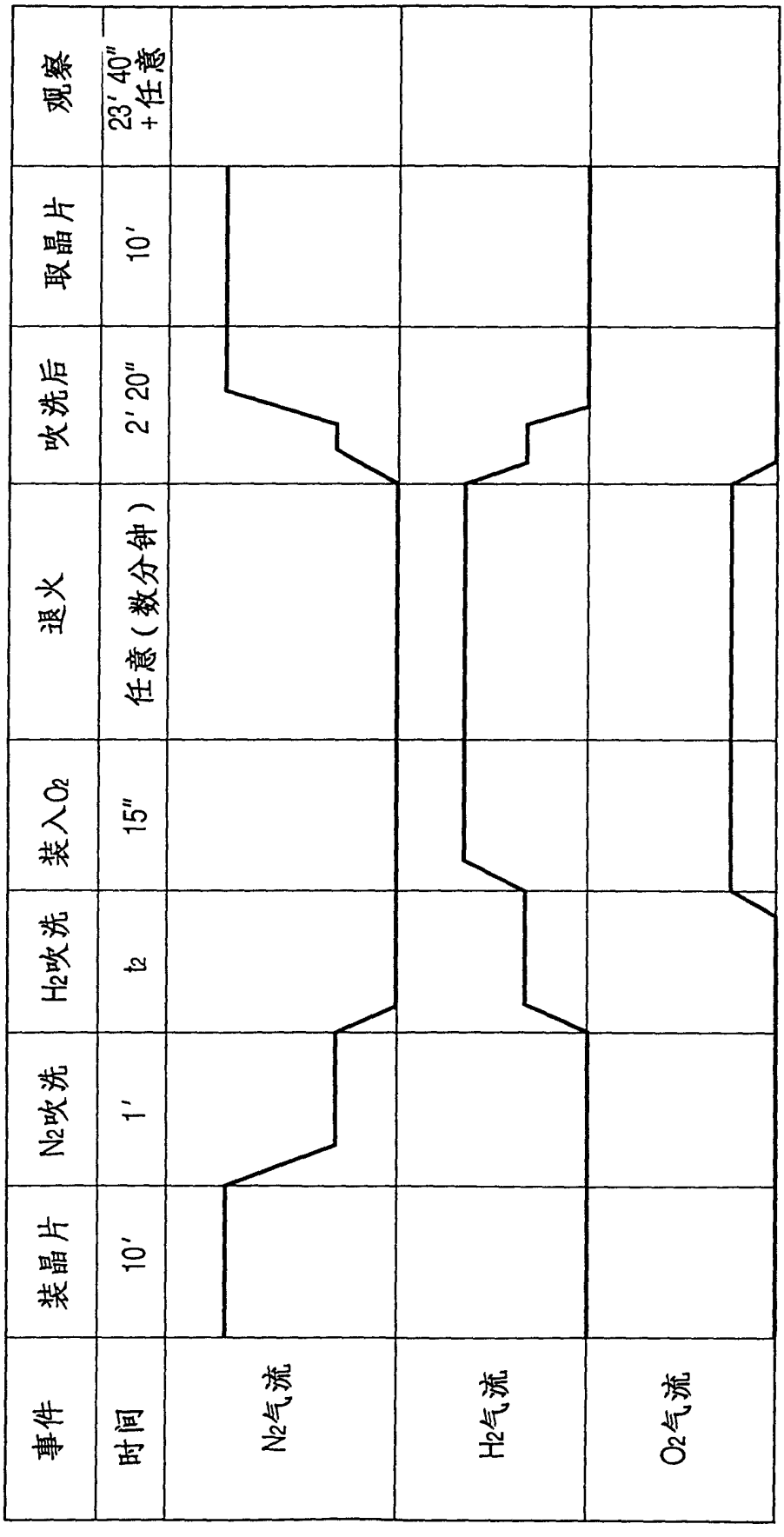


图25



t2:用H2完全替换N2需要的时间