

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2010年4月8日(08.04.2010)

PCT



(10) 国際公開番号

WO 2010/038511 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) *H01L 21/20* (2006.01)
G09F 9/00 (2006.01) *H01L 21/336* (2006.01)
G09F 9/30 (2006.01)

(21) 国際出願番号:

PCT/JP2009/060255

(22) 国際出願日:

2009年6月4日(04.06.2009)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2008-257534 2008年10月2日(02.10.2008) JP

(71) 出願人(米国を除く全ての指定国について):

シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
22番22号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 宮本 忠芳
(MIYAMOTO, Tadayoshi). 菅 勝行(SUGA, Kat-
suyuki). 吉岡 史善(YOSHIOKA, Fumiyoishi). 長谷
川 里美(HASEGAWA, Satomi).(74) 代理人: 特許業務法人原謙三国际特許事務所
(HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁
目北2番6号 大和南森町ビル Osaka (JP).(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG).

添付公開書類:

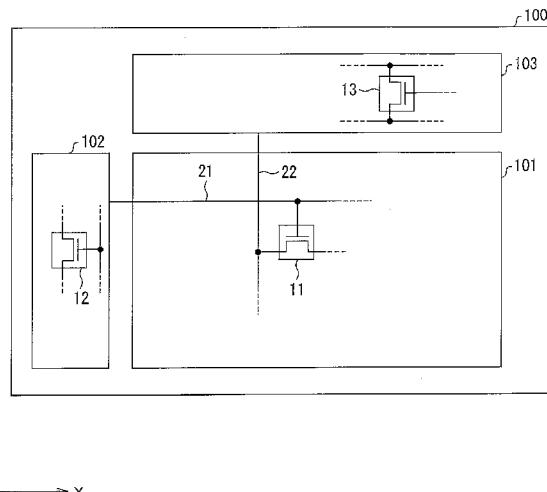
— 國際調査報告(条約第21条(3))

[続葉有]

(54) Title: DISPLAY PANEL AND DISPLAY DEVICE USING THE SAME

(54) 発明の名称: 表示パネル及びこれを用いた表示装置

[図1]



(57) Abstract: Provided is a display panel (100) which can optimize characteristics of different semiconductor elements without increasing the manufacturing cost. The display panel (100) includes: a pixel TFT (11) arranged in a display unit (101); a scan driver TFT (12) arranged in a scan driver (102); and a data driver (13) arranged in a data driver (103). The polysilicon films of the pixel TFT (11), the scan driver TFT, and the data driver TFT (13) are polycrystallized by applying a laser beam and have a crystal growth direction based on the laser beam scan direction. The pixel TFT (11) is arranged so that the crystal growth direction of the polysilicon film is substantially vertical to the direction of the current path. The scan driver TFT (12) and the data driver TFT (13) are arranged so that the crystal growth direction of the polysilicon film is substantially vertical to the direction of the current path.

(57) 要約:

[続葉有]



製造コストの増加を招くことなく、異なる半導体素子の各特性を最適化することができる表示パネル(100)を提供する。表示パネル(100)は、表示部(101)内に配置された画素TFT(11)、走査ドライバ(102)内に配置された走査ドライバTFT(12)、及び、データドライバ(103)内に配置されたデータドライバ(13)、を備えている。画素TFT(11)、走査ドライバTFT(12)及びデータドライバTFT(13)のポリシリコン膜は、レーザ光の照射により多結晶化されてレーザ光の走査方向に従った結晶成長方向を有しており、画素TFT(11)は、ポリシリコン膜の結晶成長方向と電流経路の方向が略垂直となるように配置され、走査ドライバTFT(12)及びデータドライバTFT(13)は、ポリシリコン膜の結晶成長方向と電流経路の方向が略平行となるように配置されている。

明細書

発明の名称：表示パネル及びこれを用いた表示装置

技術分野

[0001] 本発明は、周辺駆動回路を内蔵した表示パネル及び、その表示パネルを用いた表示装置に関する。

背景技術

[0002] 従来、液晶表示ディスプレイの高精細化に伴って、薄膜トランジスタ（Thin Film Transistor、以下、「TFT」という。）を用いた周辺駆動回路の内蔵化が行なわれている。このような周辺駆動回路を内蔵した液晶表示ディスプレイでは、液晶を駆動する画素部を低リーク電流のTFTを用いて構成する一方、周辺駆動回路を高移動度のTFTを用いて構成するのが一般的である。

[0003] さらに、光を遮断することにより入力座標を検知したり、外光を検知してディスプレイの画面の輝度をコントロールしたりする液晶表示ディスプレイの場合であれば、光センサを構成するTFTには、画素部を構成するTFTよりも強い低リーク電流が要求されることになる。

[0004] このような要求を考慮して、画素部を構成するTFT（ここでは、「画素TFT」という。）、周辺駆動回路を構成するTFT（ここでは、「駆動TFT」という。）、及び、光センサを構成するTFT（ここでは、「光センサTFT」という。）を同一基板上に作製する場合において、光センサTFTの半導体膜のみに2度のレーザアニールを行なうことにより、光センサTFTの半導体膜のみ、再度の結晶化を行なう方法が提案されている（例えば、特許文献1を参照）。

[0005] この方法では、光センサTFTの半導体膜の結晶粒径を画素TFT及び駆動TFTよりも大きくし、その結晶特性を向上させることにより、光センサTFTが発生させる光电流の発生効率の増大を図っていた。

先行技術文献

特許文献

[0006] 特許文献1：日本国公開特許公報「特開2005－250454号公報（2005年9月15日公開）」

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1に開示された上記の方法では、光センサ TFT 特性の最適化を図るため、光センサ TFT の半導体膜の結晶化のみ 2 度行なうことが必要となる。その結果、各 TFT を構成する半導体膜を製造するための製造工程数の増加を招き、このため、液晶表示ディスプレイの製造コスト削減が阻害されてしまうという問題点があった。

[0008] 上記問題点に鑑み、本発明は、製造コストの増加を招くことなく、異なる半導体素子の各特性を最適化することができる表示パネル及び、その表示パネルを用いた表示装を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明における表示パネルは、透明基板と、前記透明基板の上部に配置された半導体膜と、電流が流れる電流経路を有し、当該電流経路が前記半導体膜を用いて構成された複数の半導体素子とを備える表示パネルであって、前記半導体膜は、レーザ光の照射により多結晶化されて前記レーザ光の走査方向に従った結晶成長方向を有しており、前記複数の半導体素子は、前記半導体膜の結晶成長方向と電流経路の方向が略垂直となるように前記透明基板の上部に配置された第1半導体素子と、前記半導体膜の結晶成長方向と電流経路の方向が略平行となるように前記透明基板の上部に配置された第2半導体素子とを少なくとも含むことを特徴とする。

[0010] 上記の表示パネルでは、透明基板の上部に配置された半導体膜がレーザ光の照射により多結晶化される場合に、そのレーザ光の走査方向に従った方向に結晶成長が行われる。

[0011] そして、その半導体膜を電流経路として用いる半導体素子として、その結

晶成長方向に対して電流経路の方向が略垂直となるように透明基板の上部に第1半導体素子を配置する一方、その結晶成長方向に対して電流経路の方向が略平行となるように透明基板の上部に第2半導体素子を配置する。

- [0012] すなわち、レーザ光の走査方向に従った結晶成長方向を有する半導体膜に対して、上記のように半導体素子の配置を行なうことにより、その結晶成長方向に対して電流経路の方向が略垂直である第1半導体素子及び、その結晶成長方向に対して電流経路の方向が略平行である第2半導体素子、を実現することができる。
- [0013] このため、半導体膜の結晶成長方向に対する電流経路の方向の違いに起因する互いに異なる特性を持つ第1及び第2半導体素子を実現することができるので、これら2つの第1及び第2半導体素子を用いた表示パネルの製造コストを低減することができる。
- [0014] また、本発明における表示装置は、上記の表示パネルと、前記表示パネルによる画像表示処理を制御する制御装置とを備えることを特徴とする。
- [0015] 上記の表示装置では、上記の表示パネルを備えている表示装置が実現される。

発明の効果

- [0016] 本発明における表示パネルは、以上のように、前記半導体膜は、レーザ光の照射により多結晶化されて前記レーザ光の走査方向に従った結晶成長方向を有しており、前記複数の半導体素子は、前記半導体膜の結晶成長方向と電流経路の方向が略垂直となるように前記透明基板の上部に配置された第1半導体素子と、前記半導体膜の結晶成長方向と電流経路の方向が略平行となるように前記透明基板の上部に配置された第2半導体素子とを少なくとも含む。
- [0017] それゆえ、製造コストの増加を招くことなく、異なる半導体素子の各特性を最適化することができるという効果を奏する。

図面の簡単な説明

- [0018] [図1]本発明の実施の形態1における表示パネルの概略構成を示す平面図であ

る。

[図2]画素TFTのチャネル領域の様子を説明するための説明図である。

[図3]走査ドライバTFTのチャネル領域の様子を説明するための説明図である。

[図4]アモルファスシリコン膜が多結晶化される様子を説明するための説明図である。

[図5]ポリシリコン膜の結晶成長方向と移動度との関係を示すグラフ図である。

[図6]ポリシリコン膜の結晶成長方向としきい値電圧との関係を示すグラフ図である。

[図7]ポリシリコン膜の結晶成長方向とリーク電流との関係を示すグラフ図である。

[図8]画素TFTの断面図である。

[図9]走査ドライバTFTの断面図である。

[図10]画素TFTのゲート電極の電位とドレイン電流との関係を示すグラフ図である。

[図11]アモルファスシリコン膜が多結晶化される様子を説明するための説明図である。

発明を実施するための形態

[0019] 以下図面を参照しながら、本発明の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号が付してある。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なるものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

[0020] (実施の形態1)

本発明の実施の形態1における表示パネルは、対向する2枚のガラス基板と、それらに挟持される液晶材料とからなる液晶表示パネルである。2枚のガラス基板の一方は、TFT及び透明な画素電極層がガラス板上にマトリク

ス状に設けられた TFT アレイ基板（以下、「TFT 基板」という。）であり、他方は、着色層及び透明な対向電極層がガラス板上に設けられたカラーフィルター基板（以下、「CF 基板」という。）である。

- [0021] そして、本実施の形態における表示パネルは、そのような TFT 基板及び CF 基板を作製するアレイ工程と、その TFT 基板及び CF 基板を貼り合わせ、それらの間に液晶を注入して液晶表示パネルとするパネル工程と、液晶表示パネルを電気的に制御可能となるように加工するモジュール工程と、を経て製造される。なお、アレイ工程における CF 基板の作製工程、パネル工程、及び、モジュール工程は、公知のものと同様である。
- [0022] また、本実施の形態における表示パネルにおいては、TFT 基板上に設けられる TFT の半導体膜が CW (Continuous Wave) 固体レーザを用いて多結晶化されたポリシリコン膜を用いて構成されている。CW 固体レーザを用いて多結晶化されたポリシリコン膜は、従来からのエキシマレーザ照射による場合と比べて、結晶粒径が大きく、表面の凹凸が小さいという有利な点を有している。
- [0023] さらに、CW 固体レーザを用いて多結晶化されたポリシリコン膜は結晶異方性を持ち、その結晶成長方向で特性は異なっている。すなわち、このポリシリコン膜は、一方向に例えば数 μm 以上長く伸びた形状を持つようにラテラル成長するものである。
- [0024] なお、本実施の形態における表示パネルに、例えば、この表示パネルによる画像表示処理を制御する制御装置を設けることにより、この表示パネルを備えた表示装置が実現される。
- [0025] 以下、図面を用いて本実施の形態における表示パネルの構成について説明する。図 1 は、本実施の形態における表示パネルの概略構成を示す平面図である。
- [0026] 図 1 に示すように、本実施の形態における表示パネル 100 は、表示部 101 と、周辺駆動回路である走査ドライバ（駆動部）102 と、周辺駆動回路であるデータドライバ（駆動部）103 と、を備えている。これら表示部

101、走査ドライバ102及びデータドライバ103は同一のTFT基板上に設けられている。

- [0027] 表示部101においては、複数の画素部がマトリクス状に配置されており、各画素部内には画素電極を有する液晶セル（図示省略）と、画素電極に接続され、各画素部に一对一に対応する、液晶セル駆動用のTFT（以下、「画素TFT」という。）（半導体素子、第1半導体素子、第1薄膜トランジスタ）111とが配置されている。すなわち、画素TFT111は、表示パネル100の表示部101内に配置されている。なお、図1では、図面を見易くするため、1つの画素TFT111のみが記載されている。
- [0028] この画素TFT111は、低リーケ電流特性を持っており、自身のオフ期間に流れるオフリーク電流を低レベルに抑え、表示部101内の画素部間における画質の不均一等を防止している。
- [0029] そして、この画素TFT111のゲート電極には、走査ドライバ102からゲート配線21を用いて走査信号（駆動信号）が供給される。また、画素TFT111のソース電極には、データドライバ103からソース配線22を用いてデータ信号（駆動信号）が供給される。このようにして、走査信号によって選択された画素TFT111を介して、データ信号が画素電極に入力される。各ゲート配線21と各ソース配線22とは、画素部の周囲で互いに直交するように配置される。なお、図1では、図面を見易くするため、1本のゲート配線21及び1本のソース配線22のみが記載されている。
- [0030] 走査ドライバ102及びデータドライバ103は、図1に示すように、表示パネル100に内蔵化されている。このため、走査ドライバ102はTFT基板上に設けられた複数のTFT（以下、「走査ドライバTFT」という。）（半導体素子、第2半導体素子、第2薄膜トランジスタ）12を用いて構成され、データドライバ103はTFT基板上に設けられた複数のTFT（以下、「データドライバTFT」という。）（半導体素子、第2半導体素子、第2薄膜トランジスタ）13を用いて構成されている。すなわち、走査ドライバTFT12は、表示パネル100の走査ドライバ102内に配置さ

れ、データドライバTFT13は、表示パネル100のデータドライバ103内に配置されている。なお、図1では、図面を見易くするため、走査ドライバTFT12及びデータドライバTFT13の各々1つのみが記載されている。

- [0031] これら走査ドライバTFT12及びデータドライバTFT13はいずれも、キャリアの高移動度を持っており、自身の高速動作により、表示部101内に配置された画素TFT11の各々のオン／オフ制御（開閉状態の制御）を高速に実行し、各画素TFT11に接続されている液晶セルに対する画像データの書き込みを短時間に実現することができる。
- [0032] そして、この走査ドライバTFT12及びデータドライバTFT13の各チャネル領域のチャネル長方向はいずれも、図1上のY方向となっている。一方、表示部101の画素部を構成する画素TFT11のチャネル領域のチャネル長方向は、図1上のX方向となっている。
- [0033] すなわち、本実施の形態における表示パネル100においては、走査ドライバTFT12及びデータドライバTFT13の各チャネル領域のチャネル長方向と、画素TFT11のチャネル領域のチャネル長方向とが互いに直交する関係となるように、画素TFT11、走査ドライバTFT12及びデータドライバTFT13の各々の配置構成が設定されている。
- [0034] 次に、画素TFT11、走査ドライバTFT12及びデータドライバTFT13の各々の構成について説明する。
- [0035] 図2は、画素TFT11のチャネル領域の様子を説明するための説明図、図3は、走査ドライバTFT12のチャネル領域の様子を説明するための説明図、図4は、表示パネル100を構成するTFT基板上に堆積されたアモルファスシリコン膜が多結晶化される様子を説明するための説明図である。なお、本実施の形態においては、走査ドライバTFT12とデータドライバTFT13とは同一の構成で実現可能である。このため、ここでは、走査ドライバTFT12について説明し、データドライバTFT13についてはその説明を繰り返さない。

- [0036] 画素 TFT 11 は、図 2 に示すように、ゲート電極 31 と、ソース電極 32 と、ドレイン電極 33 と、チャネル領域 34 と、を有している。そして、このチャネル領域 34 のチャネル長方向、つまり、ソース電極 32 からドレイン電極 33 に向かって走行するキャリア（電子、正孔）の走行方向が、チャネル領域 34（電流経路）を構成する後述のポリシリコン膜の結晶成長方向と直交している。
- [0037] 一方、走査ドライバ TFT 12 は、図 3 に示すように、ゲート電極 41 と、ソース電極 42 と、ドレイン電極 43 と、チャネル領域 44 と、を有している。そして、このチャネル領域 44 のチャネル長方向、つまり、ソース電極 42 からドレイン電極 43 に向かって走行するキャリアの走行方向が、チャネル領域 44（電流経路）を構成する後述のポリシリコン膜の結晶成長方向に平行となっている。
- [0038] ここで、図 4 を用いて、チャネル領域 34、44 を構成するポリシリコン膜について説明する。
- [0039] 図 4 に示すように、CW 固体レーザ光源（図示省略）から出射されたレーザ光が例えば 0.1 ~ 2 mm の小径ビームレーザ光（レーザ光）53a ~ 53d として集光された後、TFT 基板 51 上に堆積されたアモルファスシリコン膜（半導体膜）52 に向けて照射される。
- [0040] なお、図示はしないが、表示パネル 100 には、CW 固体レーザ光源（図示省略）から出射されるレーザ光を小径ビームレーザ光 53a ~ 53d として集光すると共に、その小径ビームレーザ光 53a ~ 53d をアモルファスシリコン膜 52 上で走査するための光学系が設けられている。
- [0041] 小径ビームレーザ光 53a、53b、53c、53d は、この順に、アモルファスシリコン膜 52 に照射される。具体的には、図中の Y 方向に沿って、図中の矢印 A で示す方向に、小径ビームレーザ光が小径ビームレーザ光 53a の位置から小径ビームレーザ光 53b の位置まで走査される。そして、このように走査される小径ビームレーザ光により形成される光帶は、隣接する光帶同士が例えば 10 μm 程度オーバーラップするようにして、図中の矢

印Bで示す方向に、移動する。

- [0042] このアモルファスシリコン膜52は、小径ビームレーザ光53a～53dの照射により多結晶化され、画素TFT11のチャネル領域34、走査ドライバTFT12のチャネル領域44を構成するポリシリコン膜に変化する。このポリシリコン膜は、表示部101内の画素TFT11、走査ドライバ102内の走査ドライバTFT12及びデータドライバ103内のデータドライバTFT13の各々を構成するポリシリコン膜として用いられる。
- [0043] ところで、TFT基板51上に堆積されたアモルファスシリコン膜52に対する小径ビームレーザ光53a～53dの走査方向は、アモルファスシリコン膜52上のいずれの位置においても同一の方向である。
- [0044] そして、この小径ビームレーザ光53a～53dの走査方向は、ポリシリコン膜の結晶成長方向を決定する。つまり、図4においては、ポリシリコン膜の結晶成長方向は、図中の矢印Aで示す方向に一致することになる。
- [0045] すなわち、画素TFT11、走査ドライバTFT12及びデータドライバTFT13の各々を構成するポリシリコン膜の結晶成長方向はいずれも、図中の矢印Aで示す方向となる。
- [0046] したがって、表示部101内の画素TFT11においては、図1及び図2に示したように、チャネル領域34のチャネル長方向が図中のX方向に沿って配置構成され、チャネル領域34を構成するポリシリコン膜の結晶成長方向がチャネル長方向に対して実質的に垂直（略垂直）となる。
- [0047] 一方、走査ドライバ102内の走査ドライバTFT12及びデータドライバ103内のデータドライバTFT13においては、図1及び図3に示したように、チャネル領域44のチャネル長方向が図中のY方向に沿って配置構成され、チャネル領域44を構成するポリシリコン膜の結晶成長方向がチャネル長方向に対して実質的に平行（略平行）になる。
- [0048] 図5は、ポリシリコン膜の結晶成長方向と移動度との関係を示すグラフ図、図6は、ポリシリコン膜の結晶成長方向としきい値電圧との関係を示すグラフ図である。図5及び図6に示すように、ポリシリコン膜の結晶成長方向

がチャネル長方向に対して水平となっている場合、つまり、図1及び図3に示した走査ドライバTFT12及びデータドライバTFT13においては、高移動度、且つ、低しきい値電圧が実現されている。さらに、しきい値電圧の均一性も高くなっている。

- [0049] すなわち、走査ドライバTFT12及びデータドライバTFT13は、しきい値電圧が低く、高速駆動が可能な高速型のTFTとして実現されている。このため、高速駆動が要求される周辺駆動回路である走査ドライバ102及びデータドライバ103を構成することに好適なTFTとなっている。
- [0050] また、図7は、ポリシリコン膜の結晶成長方向とリーク電流との関係を示すグラフ図である。図7に示したリーク電流は、このポリシリコン膜から構成されたダイオード素子が持つI-V特性であり、逆バイアス電圧に対する暗電流を示している。
- [0051] 図7に示すように、ポリシリコン膜の結晶成長方向が電流方向に対して垂直となっている場合、このダイオード素子の低リーク電流が実現されている。このことから、ポリシリコン膜の結晶成長方向がチャネル長方向に対して垂直となっている、図1及び図2に示した画素TFT11において、低リーク電流が実現されることになる。
- [0052] すなわち、画素TFT11は、オフリーク電流を低減できるTFTとして実現されている。このため、各画素部において高い電荷保持特性が要求される表示部101を構成することに好適なTFTとなっている。
- [0053] このようにCW固体レーザを用いた多結晶化において発生する結晶成長方向の異方性を利用することにより、走査ドライバ102及びデータドライバ103を構成する走査ドライバTFT12及びデータドライバTFT13のチャネル領域44のチャネル長方向がCW固体レーザの走査方向と同一方向となるように各々が配置構成される。また、上記結晶成長方向の異方性を利用することにより、表示部101を構成する画素TFT11のチャネル領域34のチャネル長方向がCW固体レーザの走査方向と垂直方向となるように各々が配置構成される。このように配置構成するだけで、走査ドライバTFT

T 1 2、データドライバTFT 1 3及び画素TFT 1 1の各々の特性を最適化することができる。

[0054] すなわち、CW固体レーザを用いた多結晶化を複数回行なうことなく、レーザ光の1回の照射により、走査ドライバTFT 1 2、データドライバTFT 1 3及び画素TFT 1 1の各特性の最適化を実現することができる。

[0055] 次に、画素TFT 1 1、走査ドライバTFT 1 2及びデータドライバTFT 1 3の各々の具体的な構造について説明する。なお、本実施の形態においては、走査ドライバTFT 1 2とデータドライバTFT 1 3とは同一の構成で実現可能である。このため、ここでも、走査ドライバTFT 1 2について説明し、データドライバTFT 1 3についてはその説明を繰り返さない。

[0056] 図8は、画素TFT 1 1の断面図である。図8に示すように、画素TFT 1 1は、透明基板6 1上に配置された遮光膜6 2と、遮光膜6 2を覆うようにして配置された絶縁膜6 3と、絶縁膜6 3上に配置されたソース領域6 4 a、チャネル領域6 4 b及びドレイン領域6 4 cを有するポリシリコン膜と、ポリシリコン膜上に配置された絶縁膜6 5と、絶縁膜6 5上に配置されたゲート電極6 6と、を備えている。

[0057] この画素TFT 1 1において、遮光膜6 2は、透明基板6 1側からの入射光を遮光することにより、ポリシリコン膜の光劣化、光リーク電流の発生を抑制する。このため、遮光性を要する表示部101を構成することに好適なTFTとなっている。

[0058] この画素TFT 1 1の構造は、例えば、次のようにして実現することができる。まず、洗浄した透明基板6 1の一方の面上に公知のスパッタ法により導電膜を形成した後、フォトリソ工程において導電膜を所望の形状にパターニングすることにより、70～300 nm、より好ましくは、100～200 nmの膜厚を有する遮光膜6 2を形成する。

[0059] この遮光膜6 2の材質としては、導電性を持たせる場合であれば、例えば、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)等の高融点金属、これら高融点金属を主成分とする合金材料、化合物

材料を用いることができる。

- [0060] 次に、遮光膜62を覆うようにして、100～500nm、より好ましくは、150～300nmの膜厚を有する絶縁膜63を透明基板61上に形成する。
- [0061] この絶縁膜63としては、例えば、公知のプラズマCVD法、スパッタ法により形成される、シリコン(Si)を含む無機絶縁膜、例えば、SiO₂膜、SiN膜、SiNO膜を用いることができる。特に、透明基板61側からの不純物イオンの拡散を効果的に抑制するという観点からは、SiN膜、SiNO膜等の窒素を含む無機絶縁膜であることが好ましい。また、絶縁膜63は、複数の膜が積層された積層構造であってもよい。
- [0062] 次に、絶縁膜63上に公知のスパッタ法、LPCVD法、プラズマCVD法によりアモルファスシリコン膜を成膜する。そして、CW固体レーザの照射によりアモルファスシリコン膜を多結晶化させた後、フォトリソ工程において所望の形状にパターニングすることにより、20～100nm、より好ましくは、30～70nmの膜厚を有するポリシリコン膜を形成する。
- [0063] 次に、ポリシリコン膜を覆うようにして、30～150nm、より好ましくは、50～100nmの膜厚を有する絶縁膜65を透明基板61上に形成する。
- [0064] この絶縁膜65としては、ポリシリコン膜との界面における界面準位を低減するという観点からは、SiO₂膜を用いることが好ましい。また、絶縁膜65は、複数の膜が積層された積層構造であってもよい。
- [0065] 次に、しきい値電圧を調節するために、絶縁膜65を通してポリシリコン膜の全面に不純物を公知のイオン注入法、イオンドーピング法によりドーピング(チャネルドーピング)する。
- [0066] このチャネルドーピングに使用される不純物としては、例えば、n型TFTを実現する場合であれば、ボロン(B)等のII族元素を用いればよい。一方、p型TFTを実現する場合であれば、リン(P)等のV族元素を用いればよい。また、大面積基板を処理する場合であれば、イオンドーピング法が好

ましい。

- [0067] 次に、絶縁膜65上に公知のスパッタ法により導電膜を形成した後、フォトリソ工程において導電膜を所望の形状にパターニングすることにより、100～500nm、より好ましくは、150～300nmの膜厚を有するゲート電極66を形成する。
- [0068] 次に、ゲート電極66を覆うようにして、20～150nm、より好ましくは、30～100nmの膜厚のキャップ膜（図示省略）を形成した後、ゲート電極66をマスクとしてポリシリコン膜に自己整合的にボロン（B）、リン（P）等の不純物を公知のイオン注入法、イオンドーピング法によりドーピング（ソース・ドレイン用高濃度ドーピング）する。なお、ソース領域64a及びドレイン領域64cの各ゲート電極66側の端部にLDD領域を設けることにより、低リーク電流の効果をより高めることができる。
- [0069] このキャップ膜としては、例えば、公知のプラズマCVD、スパッタ法を用いて形成される、シリコン（Si）を含む無機絶縁膜、例えば、SiO₂膜、SiN膜、SiNO膜を用いることができる。
- [0070] 次に、ポリシリコン膜の活性化処理を経て、ポリシリコン膜のチャネル領域64bを除く領域に、ソース領域64a及びドレイン領域64cとして機能する高濃度不純物領域が形成される。
- [0071] このポリシリコン膜の活性化処理としては、例えば、アニールオーブン等を用いた熱処理を行なってもよいし、エキシマレーザ等を照射することを行なってもよい。
- [0072] 最後に、層間絶縁膜、コンタクトホール、金属配線及び有機膜の形成工程を、この順に経て、図8に示した画素TFT11を実現することができる。
- [0073] なお、層間絶縁膜としては、例えば、公知のプラズマCVD法、スパッタ法により形成される、シリコン（Si）を含む無機絶縁膜、例えば、SiO₂膜、SiN膜、SiNO膜を用いることができる。
- [0074] また、金属配線の材質としては、例えば、アルミニウム（Al）、銅（Cu）、銀（Ag）等の低抵抗金属、これら低抵抗金属を主成分とする合金材

料、化合物材料を用いることができる。

[0075] さらに、有機膜としては、例えば、スピンドロート法によって形成される、感光性アクリル樹脂を用いることができる。

[0076] 図9は、走査ドライバ TFT 12の断面図である。図9に示すように、走査ドライバ TFT 12は、透明基板71上にソース領域74a、チャネル領域74b及びドレイン領域74cを有するポリシリコン膜と、ポリシリコン膜上に配置された絶縁膜75と、絶縁膜75上に配置されたゲート電極76と、を備えている。

[0077] この走査ドライバ TFT 12の構造は、例えば、次のようにして実現することができる。まず、洗浄した透明基板71の一方の面上に公知のスパッタ法、LPCVD法、プラズマCVD法によりアモルファスシリコン膜を成膜する。そして、CW固体レーザの照射によりアモルファスシリコン膜を多結晶化させた後、フォトリソ工程において所望の形状にパターニングすることにより、20～100nm、より好ましくは、30～70nmの膜厚を有するポリシリコン膜を形成する。

[0078] 次に、ポリシリコン膜を覆うようにして、30～150nm、より好ましくは、50～100nmの膜厚を有する絶縁膜75を透明基板71上に形成する。

[0079] この絶縁膜75としては、ポリシリコン膜との界面における界面準位を低減するという観点からは、SiO₂膜を用いることが好ましい。また、絶縁膜75は、複数の膜が積層された積層構造であってもよい。

[0080] 次に、しきい値電圧を調節するために、絶縁膜75を通してポリシリコン膜の全面に不純物を公知のイオン注入法、イオンドーピング法によりドーピング（チャネルドーピング）する。

[0081] このチャネルドーピングに使用される不純物としては、例えば、n型TFTを実現する場合であれば、ボロン（B）等のII族元素を用いればよい。一方、p型TFTを実現する場合であれば、リン（P）等のV族元素を用いればよい。また、大面积基板を処理する場合であれば、イオンドーピング法が好

ましい。

- [0082] 次に、絶縁膜75上に公知のスパッタ法により導電膜を形成した後、フォトリソ工程において導電膜を所望の形状にパターニングすることにより、100～500nm、より好ましくは、150～300nmの膜厚を有するゲート電極76を形成する。
- [0083] 次に、ゲート電極76を覆うようにして、20～150nm、より好ましくは、30～100nmの膜厚のキャップ膜（図示省略）を形成した後、ゲート電極76をマスクとしてポリシリコン膜に自己整合的にボロン（B）、リン（P）等の不純物を公知のイオン注入法、イオンドーピング法によりドーピング（ソース・ドレイン用高濃度ドーピング）する。
- [0084] このキャップ膜としては、例えば、公知のプラズマCVD、スパッタ法を用いて形成される、シリコン（Si）を含む無機絶縁膜、例えば、SiO₂膜、SiN膜、SiNO膜を用いることができる。
- [0085] 次に、ポリシリコン膜の活性化処理を経て、ポリシリコン膜のチャネル領域74bを除く領域に、ソース領域74a及びドレイン領域74cとして機能する高濃度不純物領域が形成される。
- [0086] このポリシリコン膜の活性化処理としては、例えば、アニールオーブン等を用いた熱処理を行なってもよいし、エキシマレーザ等を照射することを行なってもよい。
- [0087] 最後に、層間絶縁膜、コンタクトホール、金属配線及び有機膜の形成工程を、この順に経て、図9に示した走査ドライバTFT12を実現することができる。
- [0088] なお、層間絶縁膜としては、例えば、公知のプラズマCVD法、スパッタ法により形成される、シリコン（Si）を含む無機絶縁膜、例えば、SiO₂膜、SiN膜、SiNO膜を用いることができる。
- [0089] また、金属配線の材質としては、例えば、アルミニウム（Al）、銅（Cu）、銀（Ag）等の低抵抗金属、これら低抵抗金属を主成分とする合金材料、化合物材料を用いることができる。

[0090] さらに、有機膜としては、例えば、スピンドルコート法によって形成される、感光性アクリル樹脂を用いることができる。

[0091] 以上説明したように、本発明の実施の形態1によれば、CW固体レーザを用いた多結晶化を複数回行なうことなく、画素TFT11、走査ドライバTFT12及びデータドライバTFT13の各々の特性を最適化することができる。

[0092] このため、各TFTを構成するポリシリコン膜を製造するための製造工程数の増加を招くことがなくなり、液晶表示ディスプレイの製造コストを削減することができる。

[0093] (実施の形態2)

次に、本発明の実施の形態2について説明する。本実施の形態は、上記の実施の形態1の画素TFT11のゲート電極66を上側ゲート電極とし、遮光膜62を下側ゲート電極とすることにより、画素TFT11をダブルゲートTFT構造とした形態である。

[0094] 図10は、下側ゲート電極である遮光膜62の電位(下側電位)を変化させた場合における、上側ゲート電極であるゲート電極66の電位とドレイン電流との関係を示すグラフ図である。図10に示すように、下側電位を変化させることにより、しきい値電圧を変化させることができるので、しきい値電圧可変のTFTを実現することができる。

[0095] また、下側電位を所定の電位に固定することにより、バックチャネル電位の変動による影響を抑制することができるので、TFT特性の安定化を図ることができる。

[0096] (実施の形態3)

次に、本発明の実施の形態3について説明する。上記の実施の形態1においては、図4に示したように、TFT基板51上に堆積されたアモルファスシリコン膜52に対する小径ビームレーザ光53a～53dの走査方向は、アモルファスシリコン膜52上のいずれの位置においても同一の方向であった。

- [0097] そして、表示部101内の画素TFT11においては、図1及び図2に示したように、チャネル領域34のチャネル長方向を図中のX方向に沿って配置構成することにより、チャネル領域34を構成するポリシリコン膜の結晶成長方向がチャネル長方向に対して垂直となるようにしていた。
- [0098] 同様に、走査ドライバ102内の走査ドライバTFT12及びデータドライバ103内のデータドライバTFT13においては、図1及び図3に示したように、チャネル領域44のチャネル長方向を図中のY方向に沿って配置構成することにより、チャネル領域44を構成するポリシリコン膜の結晶成長方向がチャネル長方向に対して水平になるようにしていた。
- [0099] 一方、本実施の形態は、TFT基板上に堆積されたアモルファスシリコン膜に対する小径ビームレーザ光の走査方向をアモルファスシリコン膜上の位置に応じて変化させた形態である。
- [0100] 図11は、表示パネル100を構成するTFT基板上に堆積されたアモルファスシリコン膜が多結晶化される様子を説明するための説明図である。図11に示すように、本実施の形態においては、TFT基板81上に堆積されたアモルファスシリコン膜82のうち、走査ドライバ102に対応する領域に対しては、図中のX方向に沿って、図中の矢印A1で示す方向に、小径ビームレーザ光が走査される。そして、このように走査される小径ビームレーザ光により形成される光帯が、隣接する光帯同士がオーバーラップするようにして、図中の矢印B1で示す方向に、移動する。
- [0101] また、データドライバ103に対応する領域に対しては、図中のX方向に沿って、図中の矢印A2で示す方向に、小径ビームレーザ光が走査される。そして、このように走査される小径ビームレーザ光により形成される光帯が、隣接する光帯同士がオーバーラップするようにして、図中の矢印B2で示す方向に、移動する。
- [0102] さらに、表示部101に対応する領域に対しては、図中のY方向に沿って、図中の矢印A3で示す方向に、小径ビームレーザ光が走査される。そして、このように走査される小径ビームレーザ光により形成される光帯が、隣接

する光帯同士がオーバーラップするようにして、図中の矢印B 3で示す方向に、移動する。

[0103] この場合、ポリシリコン膜の結晶成長方向は、走査ドライバ102に対応する領域については図中の矢印A 1で示す方向に一致し、データドライバ103に対応する領域については図中の矢印A 2で示す方向に一致し、表示部101に対応する領域については図中の矢印A 3で示す方向に一致する。

[0104] 本実施の形態によれば、TFT基板上に堆積されたアモルファスシリコン膜に対する小径ビームレーザ光の走査方向をアモルファスシリコン膜上の位置に応じて変化させることにより、ポリシリコン膜の結晶成長方向を領域ごとに変化させることができる。

[0105] このため、画素TFT11、走査ドライバTFT12及びデータドライバTFT13の各チャネル長方向を配置構成する際、その自由度を高めることができ、設計コストを削減することができる。

[0106] (その他の実施の形態)

なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0107] 例えば、上記の実施の形態1においては、画素TFT11の構造をトップゲート型TFT構造としているが、ボトムゲート型TFT構造であっても構わない。ボトムゲート型TFT構造を実現する場合であれば、画素TFT11の遮光膜62をゲート電極とすればよい。この場合、ゲート電極66は不要となる。

[0108] 同様に、走査ドライバTFT12及びデータドライバTFT13もボトムゲート型TFT構造であっても構わない。

[0109] 上記の実施の形態1～3においては、表示部101を構成するTFTとして画素TFT11を用いて説明したが、当該TFTは、タッチパネル、アンビエイトライトセンサー等の光センサ（検知部）として利用するフォトダイ

オード（検知素子）にも用いることができる。この場合、絶縁膜上に形成されたポリシリコン膜は、 p 型半導体領域と n 型半導体領域との間に真性半導体領域が配置されたPIN構造を有する。このような構造を有する半導体膜は、プレーナ型のフォトダイオード（薄膜ダイオード）として機能させることができる。

- [0110] また、フォトダイオードの上層には、キャップ膜、層間絶縁膜が基板側からこの順に形成される。更に、 p 型半導体領域及び n 型半導体領域はコンタクトホールを介して配線に電気的に接続されている。そして、配線及び層間絶縁膜を覆うように有機膜が形成されている。ポリシリコン膜の下層には基板側からの光を遮光するための遮光膜が配置されているため、フォトダイオードは、基板とは逆側からの光のみを検知することができる。
- [0111] 上記の実施の形態1～3においては、チャネル長方向に対して垂直または水平な方向に結晶成長したポリシリコン膜により半導体素子を構成するようになしたが、液晶表示装置（表示装置）内において、すべての半導体素子をこの構造にする必要はない。
- [0112] また、本発明では、CW固体レーザを用いた多結晶化において発生する結晶成長方向の異方性を利用した実施方法を説明してきたが、結晶成長方向に異方性のある半導体素子を得るための別手段である、SELAX法やSLS法でも同様の効果が期待できる。
- [0113] 以上のように、本発明における表示パネルは、透明基板と、前記透明基板の上部に配置された半導体膜と、電流が流れる電流経路を有し、当該電流経路が前記半導体膜を用いて構成された複数の半導体素子とを備える表示パネルであって、前記半導体膜は、レーザ光の照射により多結晶化されて前記レーザ光の走査方向に従った結晶成長方向を有しており、前記複数の半導体素子は、前記半導体膜の結晶成長方向と電流経路の方向が略垂直となるように前記透明基板の上部に配置された第1半導体素子と、前記半導体膜の結晶成長方向と電流経路の方向が略平行となるように前記透明基板の上部に配置された第2半導体素子とを少なくとも含むことを特徴とする。

- [0114] 上記の表示パネルでは、透明基板の上部に配置された半導体膜がレーザ光の照射により多結晶化される場合に、そのレーザ光の走査方向に従った方向に結晶成長が行われる。
- [0115] そして、その半導体膜を電流経路として用いる半導体素子として、その結晶成長方向に対して電流経路の方向が略垂直となるように透明基板の上部に第1半導体素子を配置する一方、その結晶成長方向に対して電流経路の方向が略平行となるように透明基板の上部に第2半導体素子を配置する。
- [0116] すなわち、レーザ光の走査方向に従った結晶成長方向を有する半導体膜に対して、上記のように半導体素子の配置を行なうことにより、その結晶成長方向に対して電流経路の方向が略垂直である第1半導体素子及び、その結晶成長方向に対して電流経路の方向が略平行である第2半導体素子、を実現することができる。
- [0117] このため、半導体膜の結晶成長方向に対する電流経路の方向の違いに起因する互いに異なる特性を持つ第1及び第2半導体素子を実現することができるので、これら2つの第1及び第2半導体素子を用いた表示パネルの製造コストを低減することができる。
- [0118] 前記第1半導体素子は、前記半導体膜をチャネル領域、ソース領域及びドレイン領域からなる電流経路として用いる第1薄膜トランジスタであり、前記第2半導体素子は、前記半導体膜をチャネル領域、ソース領域及びドレン領域からなる電流経路として用いる第2薄膜トランジスタであることが好ましい。また、前記第1薄膜トランジスタのチャネル領域のチャネル長方向は、前記半導体膜の結晶成長方向と略垂直であり、前記第2薄膜トランジスタのチャネル領域のチャネル長方向は、前記半導体膜の結晶成長方向と略平行であることが好ましい。
- [0119] この場合、第1半導体素子としてチャネル長方向が半導体膜の結晶成長方向と略垂直となる第1薄膜トランジスタが実現される一方、第2半導体素子としてチャネル長方向が半導体膜の結晶成長方向と略平行となる第2薄膜トランジスタが実現される。

- [0120] したがって、互いに異なる特性を2つの薄膜トランジスタ、すなわち、低リーケ電流特性を持つ第1薄膜トランジスタと高移動度特性を持つ第2薄膜トランジスタとを実現することができる。
- [0121] 複数の画素部が配置された表示部と、前記表示部の各画素部を駆動するための駆動信号を出力する駆動回路を有する駆動部とをさらに備え、前記表示部は、自身の各画素部に一对一に対応するように配置されて前記駆動部の駆動回路から出力される駆動信号に基づき開閉状態が制御される複数の前記第1薄膜トランジスタを有し、前記駆動部は、自身の駆動回路を構成する複数の前記第2薄膜トランジスタを有することが好ましい。
- [0122] この場合、表示部の各画素部を駆動する薄膜トランジスタを、低リーケ電流特性を持つ第1薄膜トランジスタで構成することができるので、表示部により表示される画像の画質劣化を抑制することができる。さらに、駆動部の駆動回路を、高移動度特性を持つ第2薄膜トランジスタで構成することができるので、表示部の各画素部を高速駆動することが可能となる。
- [0123] 前記透明基板の前記半導体膜側から入射される光を検知する複数の検知素子が配置された検知部をさらに備え、前記検知部は、自身の各検知素子を構成する複数の前記第1薄膜トランジスタを有することが好ましい。
- [0124] この場合、検知部の各検知素子を、低リーケ電流特性を持つ第1薄膜トランジスタで構成することができるので、検知部の光検知精度を向上させることができる。
- [0125] 前記透明基板の前記半導体膜側から入射される光を検知する複数の検知素子が配置された検知部をさらに備え、前記第1半導体素子は、前記半導体膜からなるPIN構造を持つ薄膜ダイオードであり、前記検知部は、自身の各検知素子を構成する複数の前記薄膜ダイオードを有することが好ましい。
- [0126] ここで、PIN構造とは、p型半導体とn型半導体との間に、不純物を含まない真性半導体またはp型半導体及びn型半導体よりも不純物濃度が低い半導体を、挟持した構造である。このPIN構造により、第1半導体素子をプレーナ型のPINフォトダイオードとして利用することができる。

- [0127] この場合、検知部の各検知素子を、低リーク電流特性を持つ薄膜ダイオードで構成することができるので、検知部の光検知精度を向上させることができる。
- [0128] 前記半導体膜は、CW固体レーザ光の照射により多結晶化されていることが好ましい。
- [0129] この場合、レーザ光の走査方向に従った結晶成長を精度良く実現することができる。
- [0130] 前記半導体膜は、前記レーザ光の1回の照射により多結晶化されていることが好ましい。
- [0131] この場合、半導体膜に対するレーザ光の照射は1回に限られるので、半導体膜の多結晶化に要する製造工程数を低減することができ、その結果、表示パネルの製造コスト低減をより効果的に行なうことができる。
- [0132] 前記半導体膜は、シリコン膜であることが好ましい。
- [0133] この場合、シリコン膜を用いた高精度な第1及び第2半導体素子を実現することができる。
- [0134] 本発明における表示装置は、上記の表示パネルと、前記表示パネルによる画像表示処理を制御する制御装置とを備えることを特徴とする。
- [0135] 上記の表示装置では、上記の表示パネルを備えている表示装置が実現される。

産業上の利用可能性

- [0136] 本発明は、周辺駆動回路を内蔵した表示パネル及び、その表示パネルを用いた表示装置に適用できる。具体的には、表示装置として、例えば、アクティブラトリックス型の液晶表示装置に用いることができると共に、電気泳動型ディスプレイ、ツイストボール型ディスプレイ、微細なプリズムフィルムを用いた反射型ディスプレイ、デジタルミラーデバイス等の光変調素子を用いたディスプレイの他、発光素子として、有機EL発光素子、無機EL発光素子、LED (Light Emitting Diode) 等の発光輝度が可変の素子を用いたディスプレイ、フィールドエミッഷンディスプレイ (FED) 、プラズマデ

イスプレイにも利用することができる。

符号の説明

- [0137] 1 1 画素 TFT (第1半導体素子、第1薄膜トランジスタ)
1 2 走査ドライバ TFT (第2半導体素子、第2薄膜トランジスタ)
1 3 データドライバ TFT (第2半導体素子、第2薄膜トランジスタ)
)
2 1 ゲート配線
2 2 ソース配線
3 1、4 1、6 6、7 6 ゲート電極
3 2、4 2 ソース電極
3 3、4 3 ドレイン電極
3 4、4 4、6 4 b、7 4 b チャネル領域 (電流経路)
5 1、8 1 TFT基板
5 2、8 2 アモルファスシリコン膜 (半導体膜)
5 3 a、5 3 b、5 3 c、5 3 d 小径ビームレーザ光 (レーザ光)
6 1、7 1 透明基板
6 2 遮光膜
6 3、6 5、7 5 絶縁膜
6 4 a、7 4 a ソース領域
6 4 c、7 4 c ドレイン領域
1 0 0 表示パネル
1 0 1 表示部
1 0 2 走査ドライバ
1 0 3 データドライバ

請求の範囲

- [請求項1] 透明基板と、
前記透明基板の上部に配置された半導体膜と、
電流が流れる電流経路を有し、当該電流経路が前記半導体膜を用いて構成された複数の半導体素子と
を備える表示パネルであって、
前記半導体膜は、レーザ光の照射により多結晶化されて前記レーザ光の走査方向に従った結晶成長方向を有しており、
前記複数の半導体素子は、
前記半導体膜の結晶成長方向と電流経路の方向が略垂直となるよう
に前記透明基板の上部に配置された第1半導体素子と、
前記半導体膜の結晶成長方向と電流経路の方向が略平行となるよう
に前記透明基板の上部に配置された第2半導体素子と
を少なくとも含むことを特徴とする表示パネル。
- [請求項2] 前記第1半導体素子は、前記半導体膜をチャネル領域、ソース領域
及びドレイン領域からなる電流経路として用いる第1薄膜トランジスタであり、
前記第2半導体素子は、前記半導体膜をチャネル領域、ソース領域
及びドレイン領域からなる電流経路として用いる第2薄膜トランジスタであることを特徴とする請求項1に記載の表示パネル。
- [請求項3] 前記第1薄膜トランジスタのチャネル領域のチャネル長方向は、前記半導体膜の結晶成長方向と略垂直であり、前記第2薄膜トランジスタのチャネル領域のチャネル長方向は、前記半導体膜の結晶成長方向と略平行であることを特徴とする請求項2に記載の表示パネル。
- [請求項4] 複数の画素部が配置された表示部と、
前記表示部の各画素部を駆動するための駆動信号を出力する駆動回路を有する駆動部とをさらに備え、
前記表示部は、自身の各画素部に一対一に対応するように配置され

て前記駆動部の駆動回路から出力される駆動信号に基づき開閉状態が制御される複数の前記第1薄膜トランジスタを有し、

前記駆動部は、自身の駆動回路を構成する複数の前記第2薄膜トランジスタを有することを特徴とする請求項2または3に記載の表示パネル。

[請求項5]

前記透明基板の前記半導体膜側から入射される光を検知する複数の検知素子が配置された検知部をさらに備え、

前記検知部は、自身の各検知素子を構成する複数の前記第1薄膜トランジスタを有することを特徴とする請求項2～4のいずれか1項に記載の表示パネル。

[請求項6]

前記透明基板の前記半導体膜側から入射される光を検知する複数の検知素子が配置された検知部をさらに備え、

前記第1半導体素子は、前記半導体膜からなるPIN構造を持つ薄膜ダイオードであり、

前記検知部は、自身の各検知素子を構成する複数の前記薄膜ダイオードを有することを特徴とする請求項1に記載の表示パネル。

[請求項7]

前記半導体膜は、CW固体レーザ光の照射により多結晶化されてることを特徴とする請求項1～6のいずれか1項に記載の表示パネル。

[請求項8]

前記半導体膜は、前記レーザ光の1回の照射により多結晶化されてることを特徴とする請求項1～7のいずれか1項に記載の表示パネル。

[請求項9]

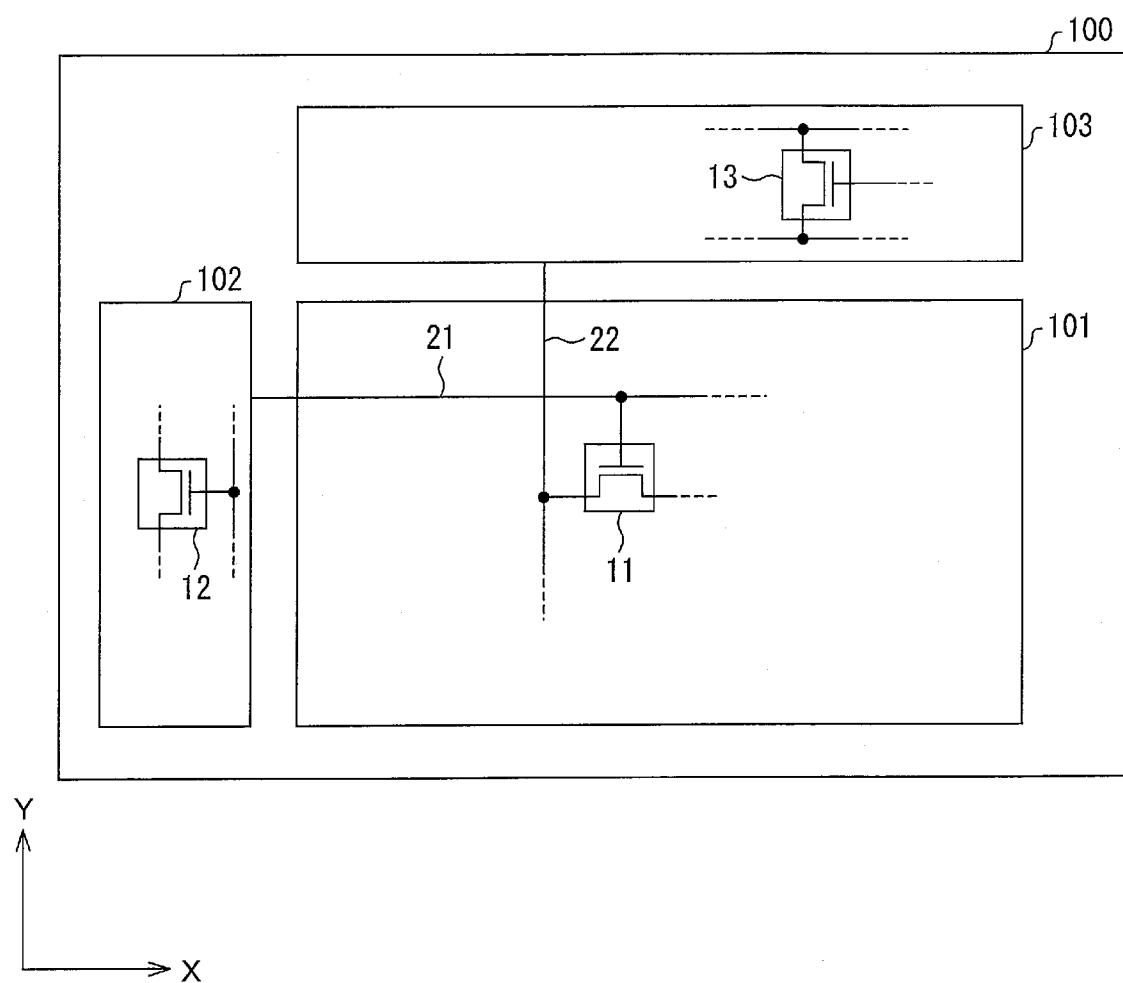
前記半導体膜は、シリコン膜であることを特徴とする請求項1～8のいずれか1項に記載の表示パネル。

[請求項10]

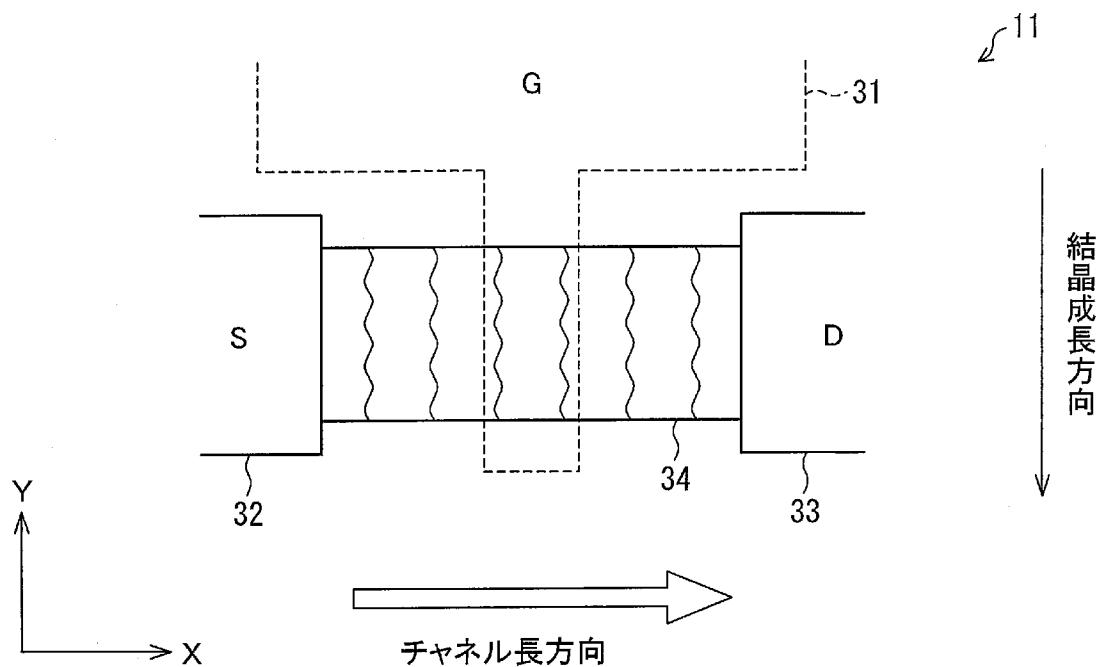
請求項1～9のいずれか1項に記載の表示パネルと、

前記表示パネルによる画像表示処理を制御する制御装置とを備えることを特徴とする表示装置。

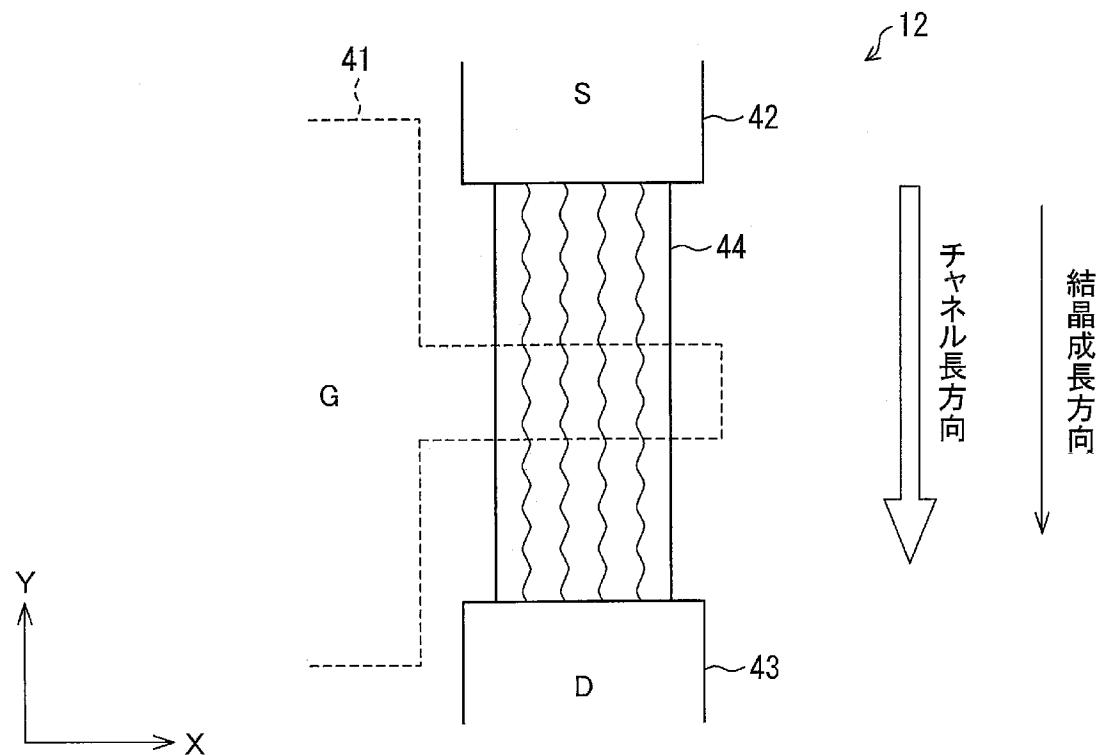
[図1]



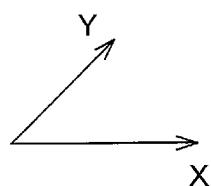
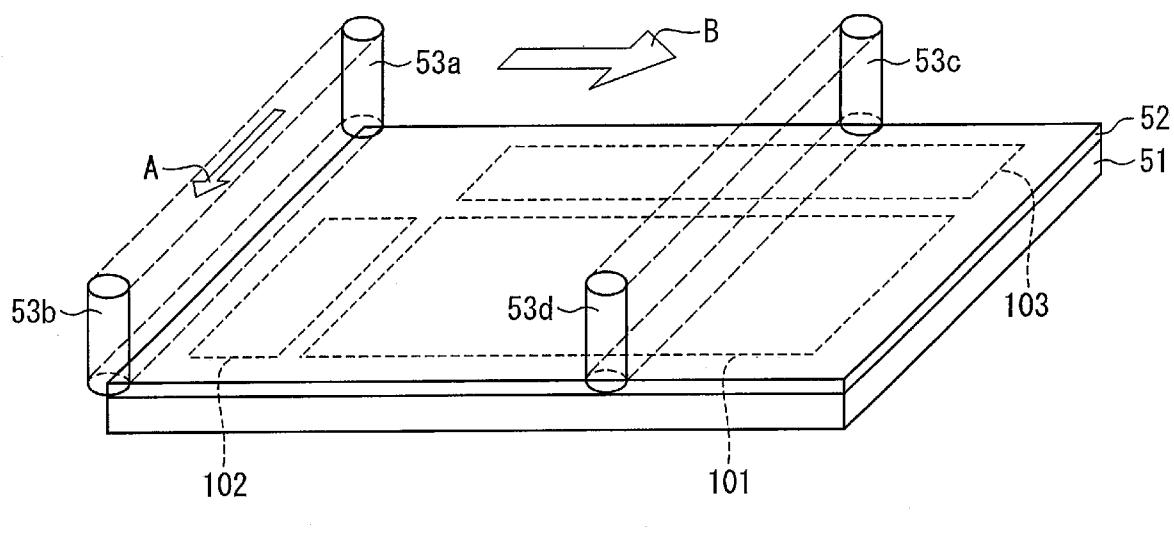
[図2]



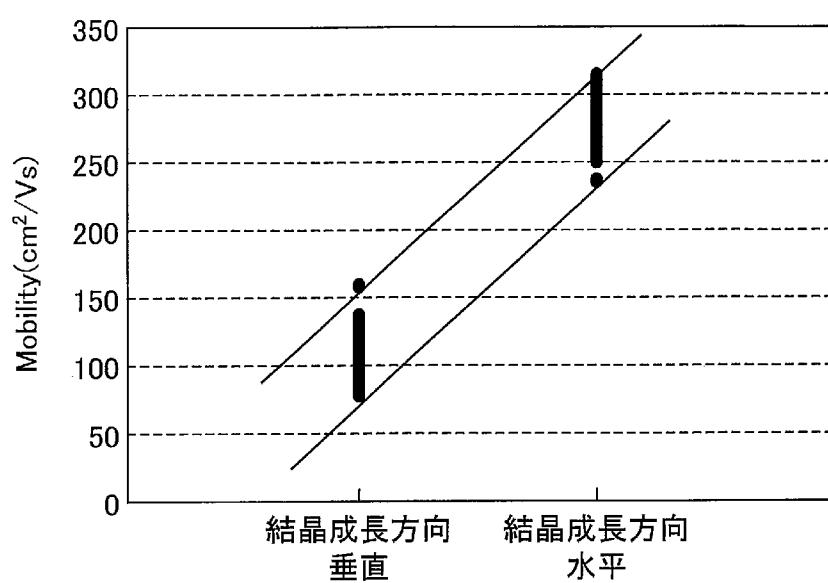
[図3]



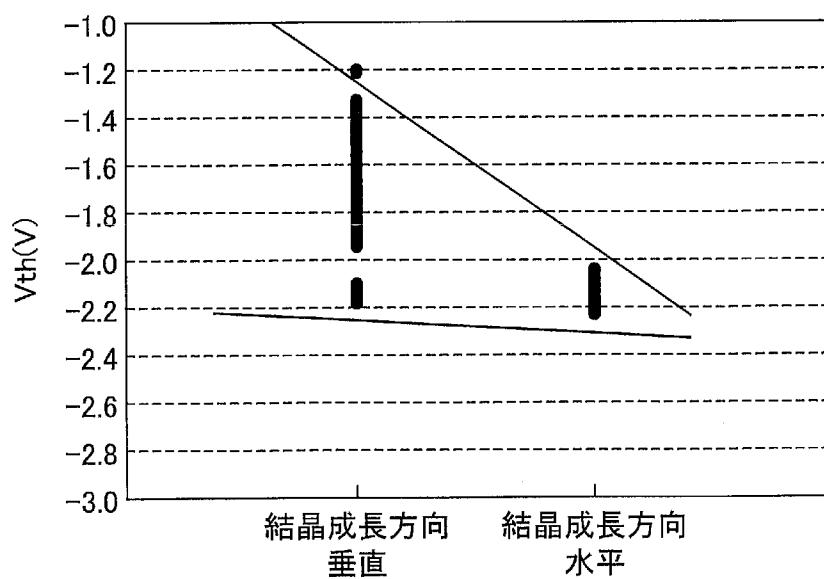
[図4]



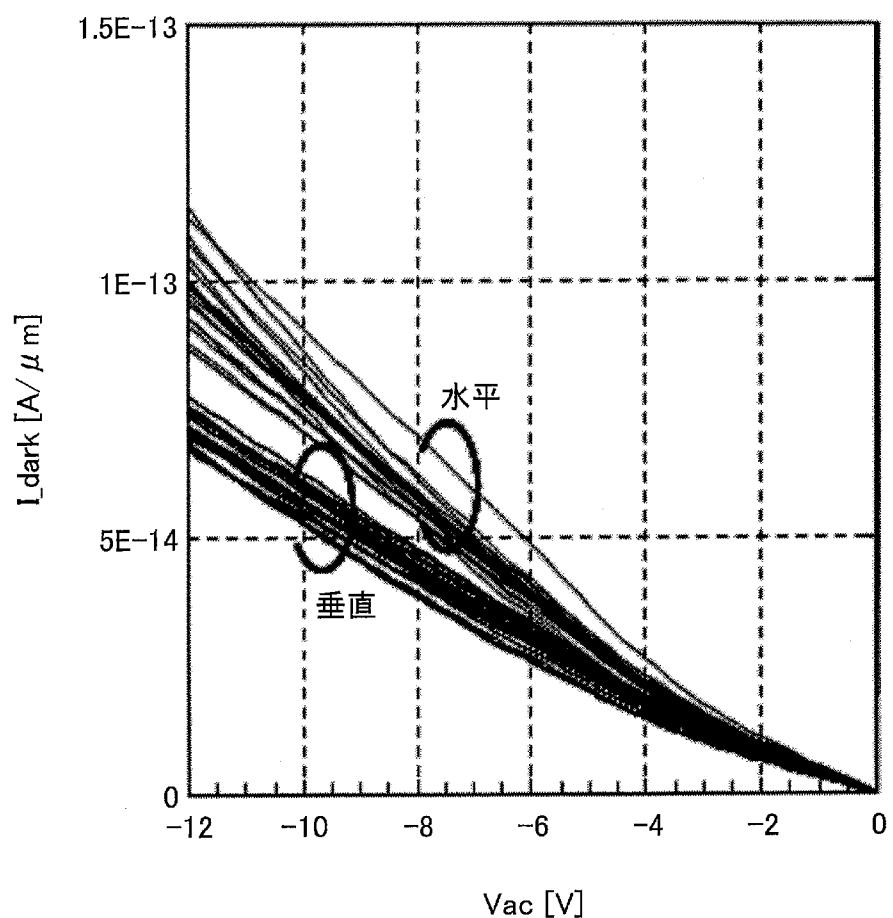
[図5]



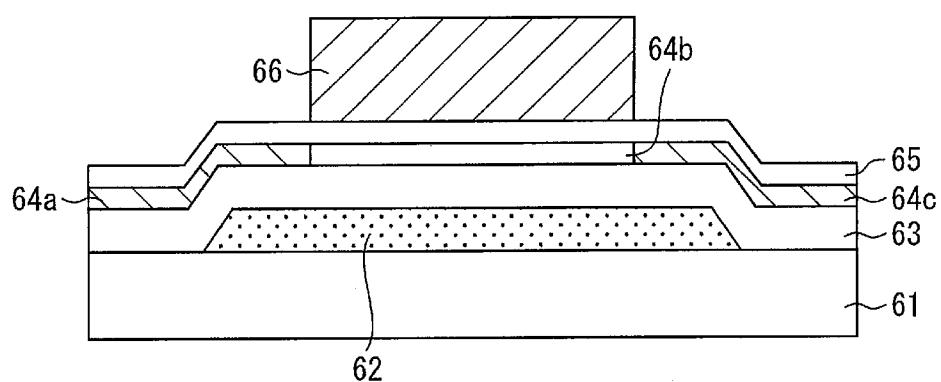
[図6]



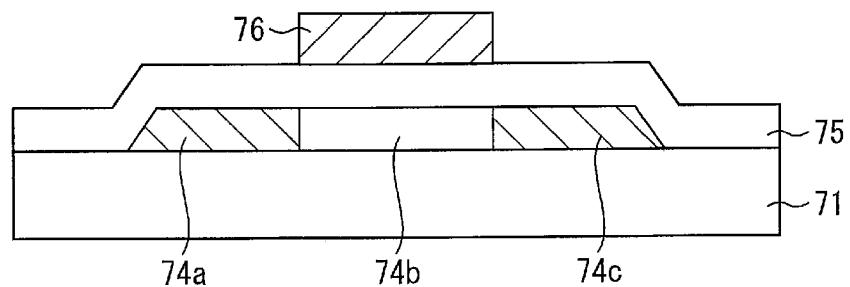
[図7]



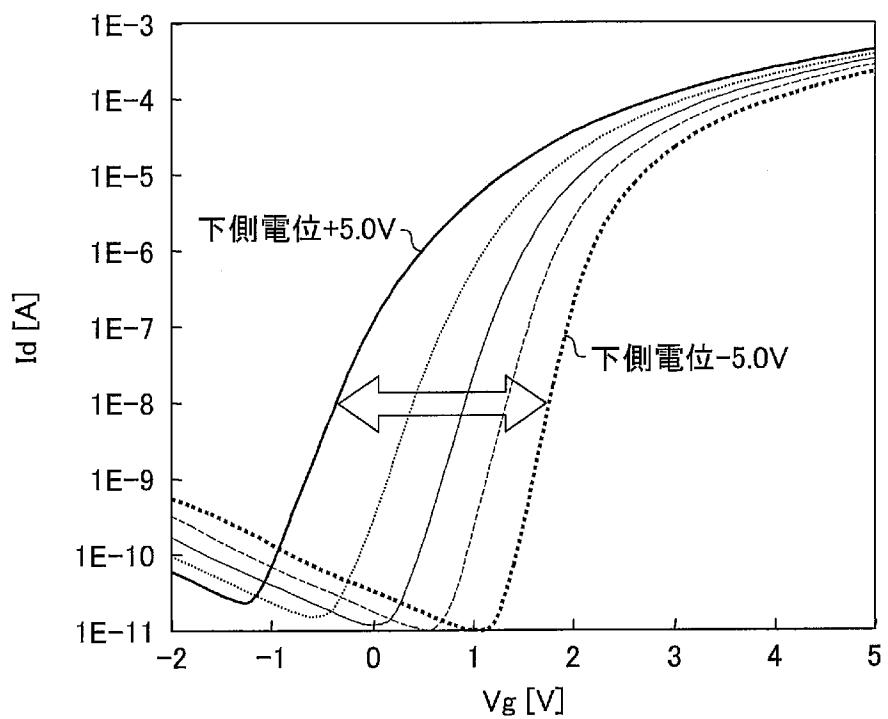
[図8]



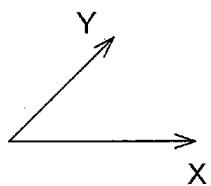
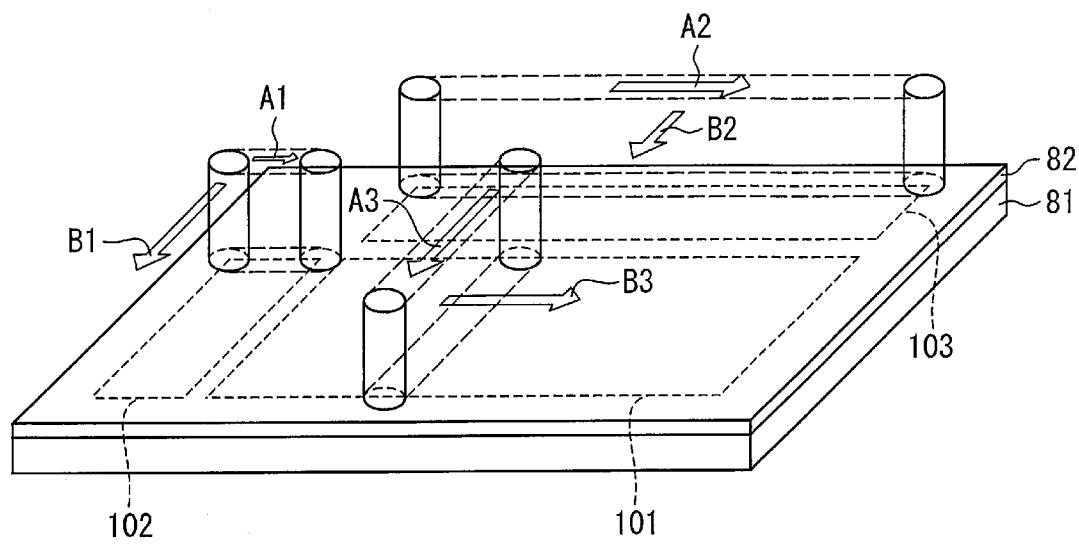
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060255

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786 (2006.01)i, G09F9/00 (2006.01)i, G09F9/30 (2006.01)i, H01L21/20 (2006.01)i, H01L21/336 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G09F9/00, G09F9/30, H01L21/20, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2009</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2009</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2009</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-121753 A (Hitachi, Ltd.), 30 April, 1999 (30.04.99),	1-4, 7-10
Y	Par. Nos. [0009] to [0015] (Family: none)	5
A		6
Y	JP 2000-306836 A (Semiconductor Energy Laboratory Co., Ltd.), 02 November, 2000 (02.11.00), Par. Nos. [0049], [0050]	5
A	& US 5403772 A	6

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

22 July, 2009 (22.07.09)

Date of mailing of the international search report

04 August, 2009 (04.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060255

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 makes no contribution over the prior art when the invention is compared to the content of JP 11-121753 A (Hitachi, Ltd.), 30 April 1999 (30.04.99), paragraphs 0009 - 0015 (family: none). Accordingly, the invention of claim 1 does not have any special technical feature.

Accordingly, the invention of claim 1 and the inventions of claim 2 to 10 do not have one or more of the same or corresponding special technical features. Consequently, the inventions are not so linked as to form a single general inventive concept.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest
the**

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786 (2006.01)i, G09F9/00 (2006.01)i, G09F9/30 (2006.01)i, H01L21/20 (2006.01)i,
H01L21/336 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G09F9/00, G09F9/30, H01L21/20, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-121753 A (株式会社日立製作所) 1999.04.30, 0009 段落ないし 0015 段落 (ファミリーなし)	1-4, 7-10
Y		5
A		6
Y	JP 2000-306836 A (株式会社半導体エネルギー研究所) 2000.11.02, 0049 段落及び 0050 段落 & US 5403772 A	5
A		6

□ C欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 22.07.2009	国際調査報告の発送日 04.08.2009
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 棚田 一也 電話番号 03-3581-1101 内線 3462

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1に係る発明は、JP 11-121753 A（株式会社日立製作所）1999.04.30, 0009段落ないし0015段落（ファミリーなし）の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴を有するものとはいえない。

したがって、請求項1に係る発明と、請求項2ないし10に係る発明とは、同一の又は対応する特別な技術的特徴を有しておらず、单一の一般的発明概念を形成するように連関しているものとは認められない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立て手数料の納付と共に、出願人から異議申立てがあつた。
- 追加調査手数料の納付と共に出願人から異議申立てがあつたが、異議申立て手数料が納付命令書に示した期間内に支払われなかつた。
- 追加調査手数料の納付はあつたが、異議申立てはなかつた。