(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0032264
(43) 공개일자 2011년03월30일

(51) Int. Cl.
H03F 1/22 (2006.01) *H03F 1/52* (2006.01)
H03F 3/343 (2006.01)
(21) 출원번호 10-2009-0089663
(22) 출원일자 2009년09월22일
심사청구일자 2009년09월22일

(71) 출원인
이화여자대학교 산학협력단
서울 서대문구 대현동 11-1 이화여자대학교내
(72) 발명자
박성민
경기도 군포시 재궁동 한성목화아파트 136동 302호
신형순
서울특별시 서초구 서초3동 1477-1번지 아이파크빌 102동 301호
(뒷면에 계속)
(74) 대리인
특허법인우인

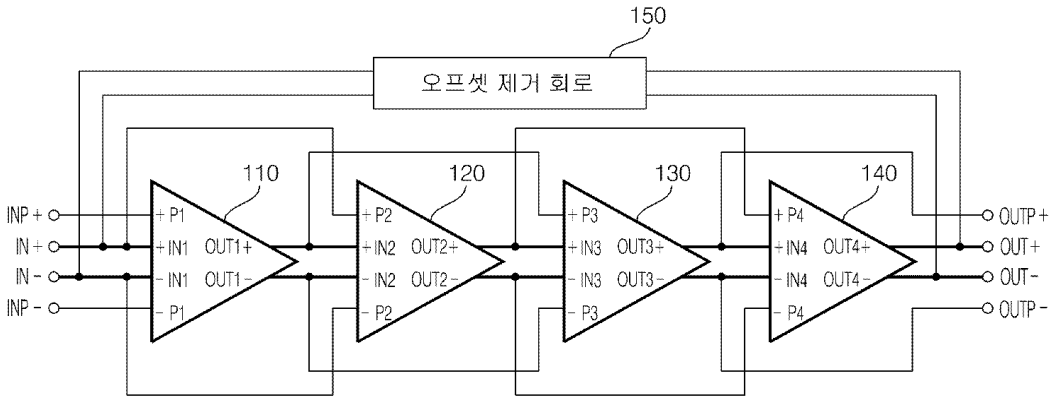
전체 청구항 수 : 총 5 항

(54) 다중 독립 게이트 전계-효과 트랜지스터를 이용한 피드포워드 제한 증폭기

(57) 요 약

피드포워드 제한 증폭기가 개시된다. 본 발명에 따른 피드포워드 제한 증폭기는, 제1 차동 입력 신호를 입력받는 제1 차동 입력단과, 제2 차동 입력 신호를 입력받는 제2 차동 입력단과, 상기 제1 차동 입력 신호가 증폭된 차동 출력 신호를 출력하는 차동 출력단을 가지는 복수 개의 게인 셀들을 포함하고, 상기 복수 개의 게인 셀들은 전단의 차동 출력 신호를 제1 차동 입력 신호로 하여 캐스캐이드 연결되며, 각 게인 셀에서, 전 단의 게인 셀의 제1 차동 입력 신호를 제2 차동 입력 신호로 하여 피드포워드 루프가 형성되고, 마지막 단 게인 셀의 차동 출력단과 첫째 단 게인 셀의 제1 차동 입력단 사이에 연결되며, DC 오프셋을 제거하는 오프셋 제거 회로를 더욱 포함하고, 상기 게인 셀 각각은 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 구성되는 것을 특징으로 한다. 이러한 본 발명에 의하면 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 게인 셀을 구성하는 소자의 수를 줄임으로써, 칩 사이즈가 감소되고 회로의 집적도를 향상시킬 수 있는 장점이 있다.

대 표 도



(72) 발명자

윤지숙

경기도 성남시 중원구 하대원동 아튼빌아파트 1001-1902

정나래

경기도 부천시 원미구 상동 진달래마을 2243동 502호

김유진

경기도 고양시 일산동구 풍동 숲속마을 5단지 현대아이파크 502-503

이 발명을 지원한 국가연구개발사업

과제고유번호 NT080509

부처명 서울특별시

연구관리전문기관

연구사업명 서울시 산학연 협력사업(2008년 신기술 연구개발 지원사업)

연구과제명 Independent-Gate-Mode Double-Gate MOSFET를 이용한 신개념 집적회로 설계 기술 연구

기여율

주관기관 이화여자대학교 산학협력단

연구기간 2008년 10월 01일 ~ 2010년 09년 30일

특허청구의 범위

청구항 1

피드포워드 제한 증폭기에 있어서,

제1 차동 입력 신호를 입력받는 제1 차동 입력단과, 제2 차동 입력 신호를 입력받는 제2 차동 입력단과, 상기 제1 차동 입력 신호가 증폭된 차동 출력 신호를 출력하는 차동 출력단을 가지는 복수 개의 게인 셀들을 포함하고,

상기 복수 개의 게인 셀들은 전 단의 차동 출력 신호를 제1 차동 입력 신호로 하여 캐스캐이드 연결되며,

각 게인 셀에서, 전 단의 게인 셀의 제1 차동 입력 신호를 제2 차동 입력 신호로 하여 피드포워드 루프가 형성되고,

마지막 단 게인 셀의 차동 출력단과 첫째 단 게인 셀의 제1 차동 입력단 사이에 연결되며, DC 오프셋을 제거하는 오프셋 제거 회로를 더욱 포함하고,

상기 게인 셀 각각은 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 구성되는 것을 특징으로 하는 피드포워드 제한 증폭기.

청구항 2

제1항에 있어서,

상기 게인 셀 각각은,

제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터를 포함하고,

상기 제2 차동 입력단은 상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 제1 게이트 및 상기 제2 다중 독립 게이트 전계-효과 트랜지스터의 제1 게이트에 해당하고,

상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 제2 게이트와 상기 제2 다중 독립 게이트 전계-효과 트랜지스터의 제2 게이트는 접지되는 것을 특징으로 하는 피드포워드 제한 증폭기.

청구항 3

제2항에 있어서,

상기 게인 셀 각각은,

상기 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터와 각각 직렬로 연결된 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터를 더 포함하고,

상기 제1 차동 입력단은 상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 공통 게이트 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의의 공통 게이트에 해당하는 것을 특징으로 하는 피드포워드 제한 증폭기.

청구항 4

제3항에 있어서,

상기 게인 셀 각각은, 상기 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터에 전류를 공급하는 전류원을 더 포함하는 것을 특징으로 하는 피드포워드 제한 증폭기.

청구항 5

제3항에 있어서,

상기 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터는 P형 전계-효과 트랜지스터이고, 상기 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터는 N형 전계-효과 트랜지스터이며,

상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 드레인 및 상기 제2 다중 독립 게이트 전계-효과 트랜지스

터의 드레인이 각각 상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 드레인 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의 드레인에 연결되며,

상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 드레인 단 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의 드레인 단이 상기 차동 출력단이 되는 것을 특징으로 하는 피드포워드 제한 증폭기.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 피드포워드 제한 증폭기에 관한 것으로, 보다 상세하게는 다중 독립 게이트 전계-효과 트랜지스터를 이용한 피드포워드 제한 증폭기에 관한 것이다.

배 경 기 술

[0002] 제한 증폭기(limiting amplifier)는 입력 신호를 증폭시켜 일정한 크기로 제한된 출력 신호를 만드는 회로로서, 높은 이득을 필요로 하기 때문에 일반적으로 여러 게의 게인 셀(gain-cell)로 구성된다.

[0003] 도 1은 CMOS(complementary metal-oxide semiconductor)를 사용한 종래의 제한 증폭기의 블록도이고, 도 2는 도 1에 도시된 제한 증폭기를 구성하는 게인 셀의 회로도이다.

[0004] 도 1을 참조하면, 도시된 제한 증폭기는 복수 개의 게인 셀들이 캐스캐이드 연결된 형태로 이루어지며, 각 게인 셀들은 차동 입력 신호를 입력받는 차동 입력단(+IN, -IN)과 상기 차동 입력 신호가 증폭된 차동 출력 신호를 출력하는 차동 출력단(OUT+, OUT-)를 가진다. 그리고 마지막 단 게인 셀의 차동 출력단(OUT4+, OUT4-)과 첫째 단 게인 셀의 차동 입력단(+IN1, -IN1) 사이에 연결되는 오프셋 제거 회로가 마련된다. 오프셋 제거 회로는 차동 입력 신호가 여러 개의 게인 셀을 거치면서 발생하는 DC 오프셋을 제거하는 역할을 한다.

[0005] 도 2를 참조하면, 제한 증폭기를 구성하는 게인 셀은, 전압원(VDD)과 연결되고 게이트가 접지된 P형 전계-효과 트랜지스터(M3, M4), M3, M4와 연결된 N형 전계-효과 트랜지스터(M1, M2), M1, M2와 연결된 전류원으로 이루어지며, 차동 입력단(+IN, -IN)은 M1, M2의 게이트에 해당하고, 차동 출력단(OUT+, OUT-)은 M1, M2의 드레인 단에 해당한다.

[0006] 상기된 제한 증폭기는 여러 개의 게인 셀들이 캐스캐이드 연결됨에 따라 전체 회로의 동작 속도가 상당히 감소하게 된다. 제한 증폭기의 속도를 향상시키기 위한 기법 중 하나로 피드포워드(feed-forward) 제한 증폭기가 있다. 피드포워드 제한 증폭기는 상기된 제한 증폭기에 부가적인 입력단을 추가하고 이를 이용하여 피드포워드 루프를 형성한 구조이다. 피드포워드 제한 증폭기를 구성하는 게인 셀은 피드포워드 루프를 위한 입력단을 마련하기 위해 전계-효과 트랜지스터가 추가적으로 요구된다. 따라서 피드포워드 제한 증폭기는 게인 셀마다 추가되는 전계-효과 트랜지스터로 인해 칩 사이즈가 커지게 되는 단점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 이루고자 하는 기술적 과제는 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 게인 셀을 구성하는 소자의 수를 줄임으로써, 칩 사이즈가 감소되고 회로의 집적도를 향상시킬 수 있는 피드포워드 제한 증폭기를 제공하는 데 있다.

과제 해결수단

[0008] 상기 기술적 과제를 해결하기 위하여 본 발명에 따른 피드포워드 제한 증폭기는, 제1 차동 입력 신호를 입력받는 제1 차동 입력단과, 제2 차동 입력 신호를 입력받는 제2 차동 입력단과, 상기 제1 차동 입력 신호가 증폭된 차동 출력 신호를 출력하는 차동 출력단을 가지는 복수 개의 게인 셀들을 포함하고, 상기 복수 개의 게인 셀들은 전 단의 차동 출력 신호를 제1 차동 입력 신호로 하여 캐스캐이드 연결되며, 각 게인 셀에서, 전 단의 게인 셀의 제1 차동 입력 신호를 제2 차동 입력 신호로 하여 피드포워드 루프가 형성되고, 마지막 단 게인 셀의 차동 출력단과 첫째 단 게인 셀의 제1 차동 입력단 사이에 연결되며, DC 오프셋을 제거하는 오프셋 제거 회로를 더욱 포함하고, 상기 게인 셀 각각은 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 구성되는 것을 특징으로 한

다.

[0009] 여기서, 상기 게인 셀 각각은, 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터를 포함하고, 상기 제2 차동 입력단은 상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 제1 게이트 및 상기 제2 다중 독립 게이트 전계-효과 트랜지스터의 제1 게이트에 해당하고, 상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 제2 게이트와 상기 제2 다중 독립 게이트 전계-효과 트랜지스터의 제2 게이트는 접지되는 것이 바람직하다.

[0010] 여기서, 상기 게인 셀 각각은, 상기 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터와 각각 직렬로 연결된 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터를 더 포함하고, 상기 제1 차동 입력단은 상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 공통 게이트 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의의 공통 게이트에 해당하는 것이 바람직하다.

[0011] 또한, 상기 게인 셀 각각은, 상기 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터에 전류를 공급하는 전류원을 더 포함하는 것이 바람직하다.

[0012] 또한, 상기 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터는 P형 전계-효과 트랜지스터이고, 상기 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터는 N형 전계-효과 트랜지스터이며, 상기 제1 다중 독립 게이트 전계-효과 트랜지스터의 드레인 및 상기 제2 다중 독립 게이트 전계-효과 트랜지스터의 드레인이 각각 상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 드레인 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의 드레인에 연결되며, 상기 제3 다중 독립 게이트 전계-효과 트랜지스터의 드레인 단 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터의 드레인 단이 상기 차동 출력단이 될 수 있다.

효 과

[0013] 상기된 본 발명에 의하면, 다중 독립 게이트 전계-효과 트랜지스터를 이용하여 게인 셀을 구성하는 소자의 수를 줄임으로써, 칩 사이즈가 감소되고 회로의 집적도를 향상시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 이하 설명 및 첨부된 도면들에서 실질적으로 동일한 구성요소들은 각각 동일한 부호들로 나타냄으로써 중복 설명을 생략하기로 한다. 또한 본 발명을 설명함에 있어 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략하기로 한다.

[0015] 도 3은 본 발명의 일 실시예에 따른 피드포워드 제한 증폭기의 블록도를 나타낸다. 본 실시예에 따른 피드포워드 제한 증폭기는 도시된 바와 같이, 캐스캐이드 연결된 복수 개의 게인 셀들(110~140)로 구성된다. 도시된 실시예는 게인 셀이 4개인 경우를 예로 들었으나, 게인 셀의 개수는 요구되는 각 게인 셀의 게인과 요구되는 출력 레벨에 따라서 적절하게 선택될 수 있음은 물론이다.

[0016] 각 게인 셀(110~140)은 제1 차동 입력 신호를 입력받는 제1 차동 입력단(+IN, -IN)과, 제2 차동 입력 신호를 입력받는 제2 차동 입력단(+P, -P), 그리고 제1 차동 입력 신호가 증폭된 차동 출력 신호를 출력하는 차동 출력단(OUT+, OUT-)를 가진다. 게인 셀들(110~140)은 전 단의 차동 출력 신호를 제1 차동 입력 신호로 하여 캐스캐이드 연결된다. 즉, 첫째 단 게인 셀(110)의 차동 출력 신호(OUT1+, OUT1-)가 둘째 단 게인 셀(120)의 제1 차동 입력 신호(+IN2, -IN2)가 되고, 둘째 단 게인 셀(120)의 차동 출력 신호(OUT2+, OUT2-)가 셋째 단 게인 셀(130)의 제1 차동 입력 신호(+IN3, -IN3)가 되는 등의 형태로 캐스캐이드 연결된다. 첫째 단 게인 셀(110)의 제1 차동 입력단(+IN1, -IN1)에는 제한 증폭하고자 하는 차동 입력 신호(IN+, IN-)가 입력된다. 마지막 단 게인 셀(140)의 차동 출력단(OUT4+, OUT4-)에서는 차동 입력 신호(IN+, IN-)가 제한 증폭된 차동 출력 신호(OUT+, OUT-)가 출력된다.

[0017] 또한, 각 게인 셀에서, 전 단의 게인 셀의 제1 차동 입력 신호를 해당 게인 셀의 제2 차동 입력 신호로 하여 피드포워드 루프가 형성된다. 예컨대, 첫째 단 게인 셀(110)의 제1 차동 입력 신호(+IN1, -IN1)가 둘째 단 게인 셀(120)의 제2 차동 입력 신호(+P2, -P2)가 되고, 둘째 단 게인 셀(120)의 제1 차동 입력 신호(+IN2, -IN2)가 셋째 단 게인 셀(130)의 제2 차동 입력 신호(+P3, -P3)가 되고, 셋째 단 게인 셀(130)의 제1 차동 입력 신호(+IN3, -IN3)가 넷째 단 게인 셀(140)의 제2 차동 입력 신호(+P4, -P4)가 된다. 첫째 단 게인 셀(110)의 제2 차동 입력단(+P1, -P1)에는 피드포워드 루프 형성을 위한 차동 입력 신호(INP+, INP-)가 입력된다.

[0018] 또한, 도시된 피드포워드 제한 증폭기는 마지막 단 게인 셀(140)의 차동 출력단(OUT4+, OUT4-)과 첫째 단 게인

셀(110)의 차동 입력단(+IN1, -IN1) 사이에 연결되는 오프셋 제거 회로(150)를 포함한다. 오프셋 제거 회로(150)는 차동 입력 신호가 여러 개의 게인 셀을 거치면서 발생하는 DC 오프셋을 제거하는 역할을 한다.

[0019] 도 4는 상기된 본 발명의 일 실시예에 따른 피드포워드 제한 증폭기를 구성하는 게인 셀의 회로도이다.

[0020] 본 실시예에 따른 게인 셀은 다중 독립 게이트 전계-효과 트랜지스터(Multiple Independent Gate Field-Effect Transistor)를 이용하여 구성된다. 다중 독립 게이트 전계-효과 트랜지스터는 하나의 트랜지스터 안에 독립적으로 동작하는 여러 개의 게이트를 집적해 넣은 것을 말한다.

[0021] 도 5는 본 실시예에서 사용하는 다중 독립 게이트 전계-효과 트랜지스터의 구조를 나타낸다. 본 실시예에 따른 다중 독립 게이트 전계-효과 트랜지스터는 독립된 두 개의 게이트(fgate, bgate)를 구비하는 4단자 소자로서, fgate와 bgate에 서로 다른 전압(V_{fg}, V_{bg})을 인가하는 것이 가능하다. 그러면 실리콘 내의 전하 분포가 양쪽의 게이트에 인가되는 전압에 따라서 비대칭적으로 형성된다. 따라서 각 게이트에 인가되는 전압을 달리 함으로써 서로 다른 문턱전압을 가지는 두 개의 트랜지스터처럼 동작시킬 수 있다.

[0022] 다시 도 4를 참조하면, 게인 셀은 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터와(P1, P2), 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2), 그리고 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2)에 전류를 공급하는 전류원(200)을 구비한다. 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터(P1, P2)는 P형 전계-효과 트랜지스터이고, 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2)는 N형 전계-효과 트랜지스터이다.

[0023] 제1 및 제2 다중 독립 게이트 전계-효과 트랜지스터(P1, P2)는 각각 소스가 전압원 VDD와 연결되며, 각각 드레인은 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2)의 드레인과 연결된다. 게인 셀의 제2 차동 입력단(+P, -P)은 제1 다중 독립 게이트 전계-효과 트랜지스터(P1)의 제1 게이트 및 제2 다중 독립 게이트 전계-효과 트랜지스터(P2)의 제1 게이트에 해당한다. 즉, 제1 다중 독립 게이트 전계-효과 트랜지스터(P1)의 두 게이트 중 하나와 제2 다중 독립 게이트 전계-효과 트랜지스터(P2)의 두 게이트 중 하나에 제2 차동 입력 신호(V_{P+}, V_{P-})가 입력된다.

[0024] 제1 다중 독립 게이트 전계-효과 트랜지스터(P1)의 두 게이트 중 다른 하나(제2 게이트)와 제2 다중 독립 게이트 전계-효과 트랜지스터(P2)의 두 게이트 중 다른 하나(제2 게이트)는 접지된다.

[0025] 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2)는 각각 소스가 전류원(200)과 연결된다. 제3 및 제4 다중 독립 게이트 전계-효과 트랜지스터(N1, N2)는 각각 두 게이트를 연결하여 공통 게이트를 형성한다. 따라서 일반적인 NMOS와 동일한 기능을 하게 된다.

[0026] 게인 셀의 제1 차동 입력단(+IN, -IN)은 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)의 공통 게이트 및 상기 제4 다중 독립 게이트 전계-효과 트랜지스터(N2)의 공통 게이트에 해당한다. 즉, 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)의 공통 게이트와 제4 다중 독립 게이트 전계-효과 트랜지스터(N2)의 공통 게이트에 제1 차동 입력 신호(V_{IN+}, V_{IN-})가 입력된다.

[0027] 게인 셀의 차동 출력단(OUT+, OUT-)은 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)의 드레인 단과 제4 다중 독립 게이트 전계-효과 트랜지스터(N2)의 드레인 단에 해당한다. 즉, 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)의 드레인 단과 제4 다중 독립 게이트 전계-효과 트랜지스터(N2)의 드레인 단에서 차동 출력 신호(V_{OUT+}, V_{OUT-})가 출력된다.

[0028] 도 4를 참조하면, 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)와 제4 다중 독립 게이트 전계-효과 트랜지스터(N2)는 각각 양단의 게이트에 같은 전압이 가해지는 공통 게이트 모드(common gate mode)로 동작하고, 제1 다중 독립 게이트 전계-효과 트랜지스터(P1)와 제2 다중 독립 게이트 전계-효과 트랜지스터(P2)는 양단의 게이트에 서로 다른 전압이 가해지는 독립 게이트 모드(independent gate mode)로 동작한다. 다중 독립 게이트 전계-효과 트랜지스터를 사용함으로써 한 개의 소자에서 양단의 게이트에 서로 다른 전압을 인가하여 한쪽(접지된 쪽)은 부하 역할, 다른 한쪽(제2 차동 입력 신호 쪽)은 피드포워드 역할을 하도록 회로를 구성할 수 있다. 여기서, 제2 차동 입력단의 입력 전압(V_{P+})은 제1 차동 입력단의 입력 전압(V_{IN+})보다 먼저 인가되므로, V_{IN+}가 문턱전압 V_{th}보다 작을 경우 제3 다중 독립 게이트 전계-효과 트랜지스터(N1)는 꺼져 있지만 V_{P+}가 인가되는 제1 다중 독립 게이트 전계-효과 트랜지스터(P1)의 한쪽은 이미 전류가 흐르는 상태가 된다. 이러한 사항은 제4 다중

독립 게이트 전계-효과 트랜지스터(N2)와 제2 다중 독립 게이트 전계-효과 트랜지스터(P2)에 관하여도 마찬가지이다. 따라서 차동 출력단의 출력 신호의 상승시간이 좀더 짧아지게 되는 효과를 가져온다.

[0029] 상술한 본 발명에 의하면, 다중 독립 게이트 전계-효과 트랜지스터를 사용하여 하나의 소자로 부하 역할과 피드포워드 역할을 동시에 수행하는 것이 가능한 회로를 구현할 수가 있다. 따라서 피드포워드 제한 증폭기를 구성하는 소자의 수를 줄일 수 있고, 이로 인해 칩 사이즈가 감소하고 회로의 집적도를 향상시킬 수 있다.

[0030] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0031] 도 1은 CMOS(complementary metal-oxide semiconductor)를 사용한 종래의 제한 증폭기의 블록도이다.

[0032] 도 2는 도 1에 도시된 제한 증폭기를 구성하는 게인 셀의 회로도이다.

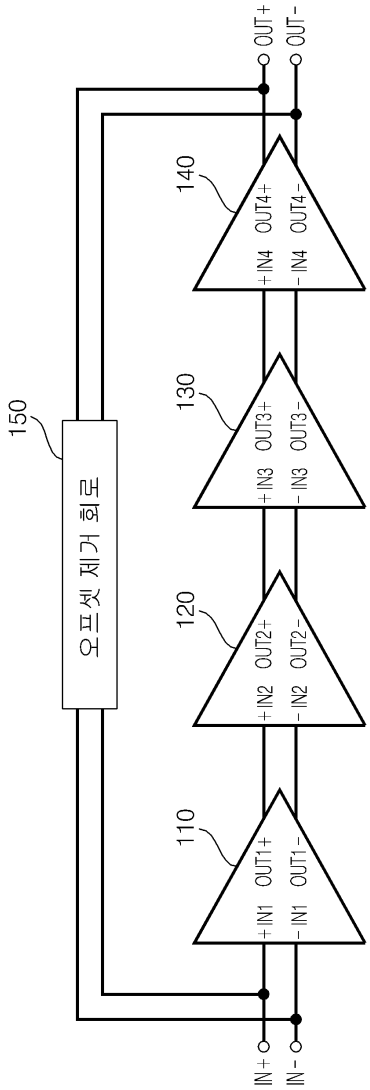
[0033] 도 3은 본 발명의 일 실시예에 따른 피드포워드 제한 증폭기의 블록도이다.

[0034] 도 4는 본 발명의 일 실시예에 따른 피드포워드 제한 증폭기를 구성하는 게인 셀의 회로도이다.

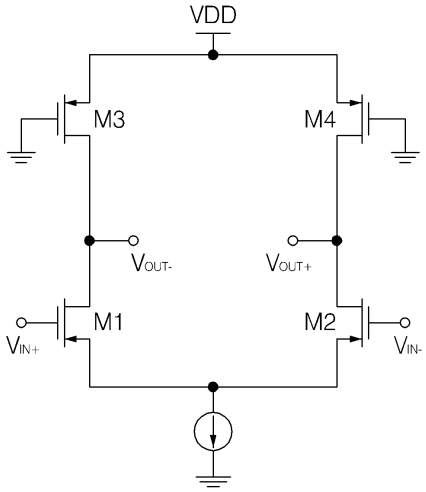
[0035] 도 5는 본 발명의 일 실시예에서 사용하는 다중 독립 게이트 전계-효과 트랜지스터의 구조를 나타낸다.

도면

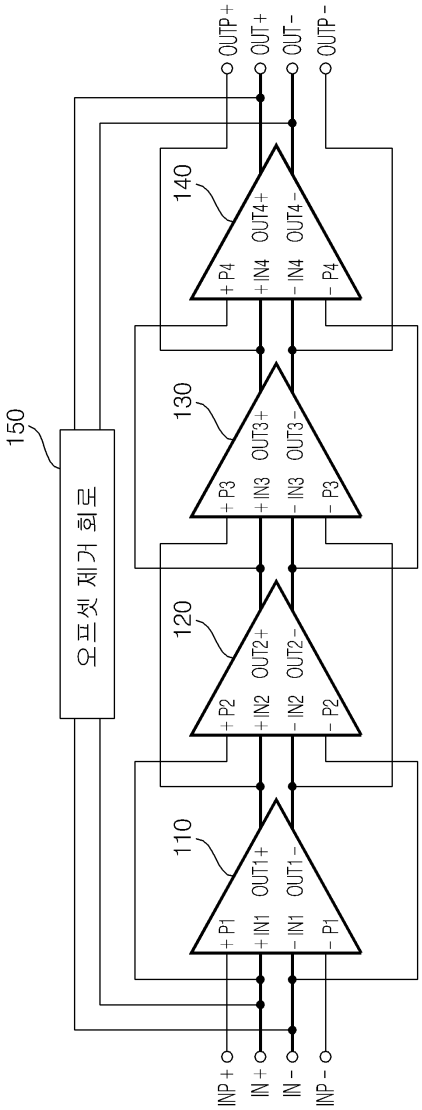
도면1


OUT+
OUT-
140
OUT4+
OUT4-
+IN4
-IN4
130
OUT3+
OUT3-
+IN3
-IN3
120
OUT2+
OUT2-
+IN2
-IN2
110
OUT1+
OUT1-
+IN1
-IN1
150
오프셋 제거 회로
IN+
IN-

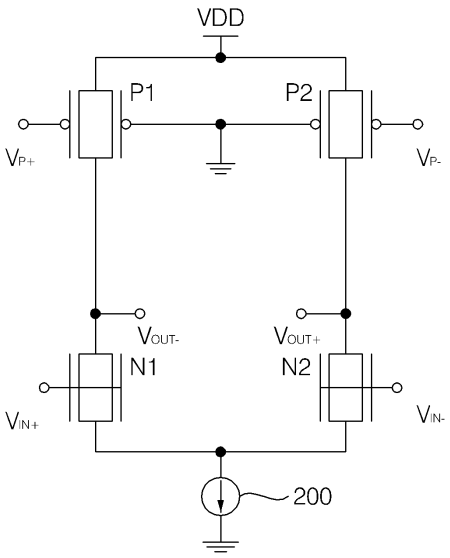
도면2


VDD
M3
M4
VOUT-
VOUT+
M1
M2
VIN+
VIN-

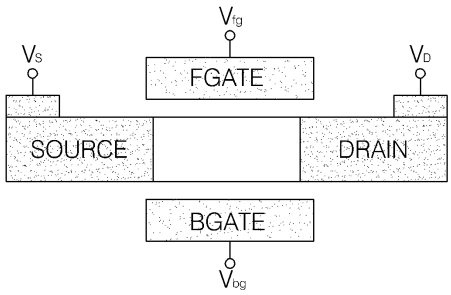
도면3


OUTP+
OUT+
OUT-
OUTP-
140
OUT4+
OUT4-
+P4
+IN4
-IN4
-P4
130
OUT3+
OUT3-
+P3
+IN3
-IN3
-P3
120
OUT2+
OUT2-
+P2
+IN2
-IN2
-P2
110
OUT1+
OUT1-
+P1
+IN1
-IN1
-P1
150
오프셋 제거 회로
INP+
IN+
IN-
INP-

도면4


VDD
P1
P2
VP+
VP-
VOUT-
VOUT+
N1
N2
VIN+
VIN-
200

도면5


Vfg
VS
VD
FGATE
SOURCE
DRAIN
BGATE
Vbg