

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-185273
(P2004-185273A)

(43) 公開日 平成16年7月2日(2004.7.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06K 19/07	G06K 19/00 N	5B035
G06F 3/00	G06F 3/00 J	5B058
G06K 17/00	G06K 17/00 N	5J056
H03K 19/0175	H03K 19/00 IO1K	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2002-350999 (P2002-350999)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成14年12月3日 (2002.12.3)	(71) 出願人	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
		(74) 代理人	100089071 弁理士 玉村 静世
		(72) 発明者	倉形 繁男 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

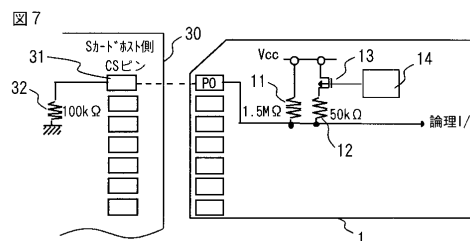
(54) 【発明の名称】 メモリカード及び電子デバイス

(57) 【要約】

【課題】メモリカードにおいて入力端子のプルアップ抵抗による電力消費の低減、ホスト装置のプルダウン抵抗との関係による誤動作防止を実現する。

【解決手段】メモリカード(1)はプルアップ抵抗に接続される選択端子(P0)を有する。選択端子からの入力に基づいてメモリカードのモード判定を行なうとき判定タイミングの前に選択端子のプルアップ抵抗として相対的に小さな抵抗値を選択し、前記モード判定の後に元に戻す。相対的に大きな抵抗値は選択端子のプルアップ抵抗が消費するリーク電流を減らす。メモリカードが装着されるメモリカードホストの端子にプルダウン抵抗(32)が接続されているとき、プルアップ抵抗値が大きすぎると、プルダウン抵抗による引き込みによる影響を受けるが、モード判定時に選択端子のプルアップ抵抗を小さくすればプルダウン抵抗による電位引き込みの悪影響を回避できる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

複数の外部端子と、インタフェース部と、消去及び書き込み可能な不揮発性メモリとを有するメモリカードであって、

前記複数の外部端子はプルアップ抵抗に接続される選択端子を含み、

前記インタフェース部は、前記選択端子からの入力に基いてメモリカードのモード判定を行なう前に前記選択端子のプルアップ抵抗として相対的に小さな抵抗値を選択し、前記モード判定の後に元の相対的に大きな抵抗値を選択することを特徴とするメモリカード。

【請求項 2】

前記メモリカードのモード判定は、メモリカードの初期化コマンドの受付に応答して行なわれることを特徴とする請求項 1 記載のメモリカード。 10

【請求項 3】

前記インタフェース部は、前記モード判定を行なうとき、前記選択端子のハイレベルに 응답して外部とのインタフェースモードを第 1 動作モードに設定し、前記選択端子のローレベルに 응답して外部とのインタフェースモードを第 2 動作モードに設定することを特徴とする請求項 1 記載のメモリカード。

【請求項 4】

前記メモリカードはマルチメディアカードの規格に準拠し、前記第 1 動作モードは S P I モード、前記第 2 動作モードは M M C モードであることを特徴とする請求項 3 記載のメモリカード。 20

【請求項 5】

前記小さな抵抗値の選択を段階的に行い、段階的な選択はより小さい方を先の選択とすることを特徴とする請求項 1 記載のメモリカード。

【請求項 6】

前記複数の外部端子はプルアップ抵抗を有するデータ端子を含み、

前記インタフェース部は、書き込みコマンドの後に前記データ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子のプルアップ抵抗として相対的に小さな抵抗値を選択し、前記スタートビットを検出した後に元の相対的に大きな抵抗値を選択することを特徴とする請求項 1 記載のメモリカード。

【請求項 7】

複数の外部端子と、消去及び書き込み可能な不揮発性記憶手段を備えた内部回路とを有し、 30

前記内部回路は、初期化コマンドに 응답して前記外部端子の一つである選択端子からの入力に基いてモード判定を行なうとき判定タイミングの前に前記選択端子のプルアップ抵抗の抵抗値を小さくし、前記モード判定の後に元に戻すことを特徴とするメモリカード。

【請求項 8】

複数の外部端子と、消去及び書き込み可能な不揮発性記憶手段を備えた内部回路とを有し、

前記内部回路は、書き込みコマンドの後に前記外部端子の一つであるデータ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子のプルアップ抵抗の抵抗値を小さくし、前記スタートビットの検出後に元に戻すことを特徴とするメモリカード。 40

【請求項 9】

複数の外部端子と内部回路を有する電子デバイスであって、

前記内部回路は、初期化コマンドに 응답して前記外部端子の一つである選択端子からの入力に基いてモード判定を行なうとき判定タイミングの前に前記選択端子の入力インピーダンスを相対的に小さくし、前記モード判定の後に元に戻すことを特徴とする電子デバイス。

【請求項 10】

複数の外部端子と内部回路を有する電子デバイスであって、 50

前記内部回路は、書き込みコマンドの後に前記外部端子の一つであるデータ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子の入力インピーダンスを相対的に小さくし、前記スタートビットの検出後に元に戻すことを特徴とする電子デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マルチメディアカード（登録商標）のようなメモリカードもしくは電子デバイスに関する。

【0002】

【従来の技術】

マルチメディアカード（登録商標）は小型軽量化並びにインタフェースの簡素化を実現したメモリカードの一種であり、外部インタフェース端子として7個のコネクタ端子を有し、シリアルインタフェースが採用されて、PCカードやハードディスクが採用するATA（ATA Attachment）インタフェースに比べてホストシステムの負荷を軽減でき、より簡易なシステムでも利用できるようになっている（非特許文献1参照）。また、マルチメディアカード（登録商標）の規格から派生した別のメモリカードとしてSDカード（登録商標）がある。後者は前者の外部端子を包含する一方、前者が後者のコマンド仕様を包含するものもあり、SDカードホスト（SDカードを主として扱うホスト装置）には前者を後者として利用する他に、前者を前者として利用しようとするものもある。以下本明細書ではマルチメディアカード（登録商標）を単にMカード、SDカード（登録商標）を単にSカードとも称する。SDカードホストを単にSカードホストと称する。

【0003】

【非特許文献1】

岡田浩人、“マルチメディアカード活用法”、インタフェース、株式会社CQ出版社、1999年12月、第25巻、第12号、p.124-131

【0004】

【発明が解決しようとする課題】

本発明者はSDカードホストがMカードをそれとして利用できることを保証することについて検討した。

【0005】

これによれば、Sカードホストによるチップ選択（CS）端子を利用するカード認識動作に着目した。Sカードの規格では、SカードホストのCS端子は100キロオーム（k Ω ）でプルダウンされ、SカードのCS端子は50キロオーム（k Ω ）でプルアップされる。SカードホストはSカードの認識動作ではCS端子をハイレベルにドライブする。このとき、Sカードのプルアップ抵抗とSカードホストのプルダウン抵抗による電流経路もSカードホスト側のハイレベルドライブを阻害するには及ばない。MカードにおけるCS端子のプルアップ抵抗はスタンバイ電流低減の観点より1.5メガオーム（M Ω ）とされる場合がある。SカードホストがそのMカードに対して同様の認識動作を行なうと、MカードのCS端子近傍の電流をSカードホストのプルダウン抵抗に引き込んで、MカードのCS端子側でレベル低下を生じ、Mカード側でモード認識を誤る虞のあることが本発明者によって明らかにされた。要するに、MカードはカードモードとしてMMCモードとSPIモードが有り、カードモードに応じてカード選択手法や端子の機能割り当てが相違される。MMCモードにおける端子の機能割り当てはSカードと同じである。SカードホストによるSカードに対する前記認識動作はCS端子のドライブに関してMカードに対するMMCモード設定動作と同じである。換言すれば、CS端子をハイレベルに駆動してMカードをMMCモードに設定することができる。しかしながら、実際には、前述の通り、CS端子に関するSカードホストのプルダウン抵抗によるCS端子近傍の電位の引き込み、電位低下により、MカードはCS端子がローレベルに駆動されていると判別してSPIモードに遷移してしまう。

10

20

30

40

50

【0006】

これにより、Sカードホストは、コマンド及びデータのインタフェース端子割当て機能の点で、MカードをSDカードとしてアクセスできず、また、MカードをMMCモードでアクセスすることもできない。

【0007】

本発明の目的は、入力端子のプルアップ抵抗によって生ずる電力消費を低減することができ、しかも、ホスト装置のプルダウン抵抗との関係による誤動作を生じ難いメモリカード並びに電子デバイスを提供することにある。

【0008】

本発明の別の目的は、Sカードホストにてアクセス可能なMカードとしてのメモリカードを提供することにある。 10

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

〔1〕本発明に係るメモリカードは、複数の外部端子と、インタフェース部と、消去及び書込み可能な不揮発性メモリとを有する。前記複数の外部端子はプルアップ抵抗に接続される選択端子を含む。前記インタフェース部は、前記選択端子からの入力に基いてメモリカードのモード判定を行なうときその判定タイミングの前に前記選択端子のプルアップ抵抗として相対的に小さな抵抗値を選択し、前記モード判定の後に元の相対的に大きな抵抗値を選択する。 20

【0012】

モード判定以外で採用される相対的に大きな抵抗値は選択端子のプルアップ抵抗が消費するリーク電流を減らすように作用する。低消費電力の観点ではプルアップ抵抗の抵抗値は大き方がよいが、メモリカードが装着されるメモリカードホストの端子にプルダウン抵抗が接続されている場合を想定すると、前記プルアップ抵抗値が大き過ぎると、そのプルダウン抵抗による引き込みによる影響を受けることになる。モード判定時に選択端子のプルアップ抵抗を小さくすることにより、その様なプルダウン抵抗による電位引き込みの悪影響を回避することができる。 30

【0013】

本発明の具体的な形態として、前記メモリカードのモード判定は、メモリカードの初期化コマンド(CMD0)の受付に応答して行なわれる。

【0014】

本発明の具体的な形態として、前記インタフェース部は、前記モード判定を行なうとき、前記選択端子のハイレベルに応答して外部とのインタフェースモードを第1動作モードに設定し、前記選択端子のローレベルに応答して外部とのインタフェースモードを第2動作モードに設定する。例えば、前記メモリカードはマルチメディアカード(登録商標)の規格に準拠し、前記第1動作モードはSPIモード、前記第2動作モードはMMCモードである。 40

【0015】

本発明の別の具体的な形態として、前記小さな抵抗値の選択を段階的に行い、段階的な選択はより小さい方の抵抗値を先の選択とする。判定タイミング前に選択端子が変化されるとき、その変化を高速化する。これにより、メモリホストの耐ノイズ性が低かったり、動作速度が許容最速度を超えるような、特殊な場合に対しても、カードモードの判定に必要な端子の信号変化をカードモード判定タイミングまでには余裕を持って終了することを保証できるようになる。要するに、悪条件下でのカードモード判定動作の信頼性を更に高め 50

る事ができる。

【0016】

本発明に係るメモリカードは更に、前記複数の外部端子はプルアップ抵抗を有するデータ端子を含み、前記インタフェース部は、書き込みコマンドの後に前記データ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子のプルアップ抵抗として相対的に小さな抵抗値を選択し、前記スタートビットを検出した後に元の相対的に大きな抵抗値を選択する。これにより、データ入力系の耐ノイズ性が低い場合もしくは劣化した場合でも、書き込みデータの先頭検出の信頼性を向上させることができる。

【0017】

〔2〕本発明の別の観点によるメモリカードは、複数の外部端子と、消去及び書き込み可能な不揮発性記憶手段を備えた内部回路とを有する。前記内部回路は、初期化コマンドにตอบสนองして前記外部端子の一つである選択端子からの入力に基いてモード判定を行なうとき判定タイミングの前に前記選択端子のプルアップ抵抗の抵抗値を小さくし、前記モード判定の後に元に戻す。モード判定時に選択端子のプルアップ抵抗の抵抗値を小さくすることにより、プルダウン抵抗による電位引き込みの悪影響を回避することができる。

10

【0018】

また、前記内部回路は、書き込みコマンドの後に前記外部端子の一つであるデータ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子のプルアップ抵抗の抵抗値を小さくし、前記スタートビットの検出後に元に戻す。データ入力系の耐ノイズ性が低い場合若しくは劣化した場合でも、書き込みデータの先頭検出の信頼性を向上させることができる。

20

【0019】

〔3〕本発明の更に別の観点による電子デバイスは、複数の外部端子と内部回路を有する。前記内部回路は、初期化コマンドにตอบสนองして前記外部端子の一つである選択端子からの入力に基いてモード判定を行なうとき判定タイミングの前に前記選択端子の入力インピーダンスを相対的に小さくし、前記モード判定の後に元に戻す。モード判定時に選択端子の入力インピーダンスを小さくすることにより、プルダウン抵抗による電位引き込みの悪影響を回避することができる。

【0020】

また、前記内部回路は、書き込みコマンドの後に前記外部端子の一つであるデータ端子に供給される書き込みデータのスタートビットを検出するまでの期間に前記データ端子の入力インピーダンスを相対的に小さくし、前記スタートビットの検出後に元に戻す。データ入力系の耐ノイズ性が低い場合もしくは劣化した場合でも、書き込みデータの先頭検出の信頼性を向上させることができる。

30

【0021】

【発明の実施の形態】

図1には本発明の一例に係るMカードが例示される。Mカード1は、厚さが1.4mm、平面寸法が24mm×32mmのカード基板サイズを有し、その端子面には、外部端子として、夫々同一形状で矩形の外部端子としてのコネクタ端子P0～P6が等間隔で7個配置される。コネクタ端子P0～P6はインタフェース部2に接続され、インタフェース部2には消去及び書き込み可能な不揮発性メモリとしてフラッシュメモリ3が接続される。

40

【0022】

フラッシュメモリ3の詳細は特に図示はしないが、蓄積電荷量もしくは極性に従って閾値電圧制御されるフローティングゲート型の不揮発性メモリセルを用いた構成、或はソース・ドレイン電極に対して電荷をトラップする位置に応じて情報記憶を行なうMONOS(メタル・オキサイド・ナイトライド・オキサイド・セミコンダクタ)等の局在的電荷トラップ型の不揮発性メモリセルを用いた構成を採用することができる。メモリセル1個当りの記憶情報ビット数は1ビットに限定されず、2ビット以上の多値であってもよい。

【0023】

インタフェース部2は、Mカード1のホストインタフェース制御部4、フラッシュメモリ

50

インタフェース制御部 5、バッファメモリ 6、それらを制御する制御部 7 を有する。制御部 7 は例えばシングルチップマイクロコンピュータによって構成することができる。ホストインタフェース制御部 4 とコネクタ端子 P 0 ~ P 6 との間には、端子機能にしたがって入力バッファ I B U F 1 ~ I B U F 4、出力バッファ O B U F 1, O B U F 2 が配置される。入力バッファ I B U F 1、I B U F 2 の前段にはプルアップ抵抗回路 8, 9 が配置される。

【 0 0 2 4 】

Mカード 1 は M M C モードと S P I (S e r i a l P e r i p h e r a l I n t e r f a c e) モードを有する。Mカード 1 はバスを共有することができる。要するに、Mカードは一つのMカードホストに対して多数接続可能にされる。M M C モードと S P I モードとの相違は外部とのインタフェース仕様と、Mカードの選択手法である。

10

【 0 0 2 5 】

前記外部インタフェース仕様という点において、M M C モードでは、7 個のコネクタ端子 P 0 ~ P 6 は、リザーブ端子 (オープン又は論理値 “ 1 ” に固定) N C、コマンド端子 (コマンド入力及び応答信号出力を行う入出力端子) C M D、回路の接地電圧 (グランド) 端子 V s s 1, V s s 2、電源電圧供給端子 V c c、クロック入力端子 C L K、データの入出力端子 D A T として機能される。S P I モードでは 7 個のコネクタ端子 P 0 ~ P 6 は、選択端子としてのチップセレクト端子 (負論理) C S b、データ入力端子 (ホスト装置からカードへのデータ及びコマンド入力用) D I、回路の接地電圧 (グランド) 端子 V s s 1, V s s 2、電源電圧供給端子 V c c、クロック入力端子 C L K、データ出力端子 (メモリカードからホスト装置へのデータ及びステータス出力) D O として機能される。

20

【 0 0 2 6 】

前記 Mカードの選択手法という点において、M M C モードは複数枚のメモリカードの中からアクセスするカードを選択するのに、カード認識フローの中で夫々のカードに固有の相対アドレス (R C A : R e l a t i v e C a r d A d d r e s s) を一枚一枚に割り振っておき、この相対アドレスを指定することでカードを選択する。カード認識は以下の動作で行われる。バスに共通接続された複数の Mカードに M M C モードが指定されているとき、Mカードのホスト装置 (Mカードホスト) からコマンドライン (コマンド端子 C M D が接続する信号線) に所定のコマンドが発行されると、レディー状態のメモリカードは同じタイミングで一斉にカード識別情報 (C I D : C a r d I d e n t i f i c a t i o n N u m b e r) を 1 ビットずつコマンドラインに出力する。コマンドラインはオープンドレインアーキテクチャとなっており、コマンドラインに対する出力は例えばローレベル又は高出力インピーダンスになる。夫々のメモリカードは 1 ビット出力毎にコマンドラインの状態と自分自身のカード識別情報の対応ビットの値とを比較し、異なる場合はここで C I D の送信動作を中止してレディ状態に戻る。この結果、最終的には C I D 値の一番小さな一枚のメモリカードが最後まで自身の C I D 値の送信を完了させることができ、アイデンティフィケーション状態に遷移する。アイデンティフィケーション状態に遷移したメモリカードに対して R C A を設定する。この認識操作を何回も繰返して全てのメモリカードに R C A を設定する。

30

【 0 0 2 7 】

S P I モードでは、複数枚のカード夫々に対してチップセレクト信号が前記チップ選択端子 C S b に接続してあり、アクセスしたいカードのチップセレクト信号を選択レベルにアサートして Mカードを選択すればよい。

40

【 0 0 2 8 】

ここで、Mカードの初期化シーケンスを簡単に説明する。動作電源 V c c が投入されると、図 2 に例示されるように、端子 P 4 (クロック端子 C L K) からクロック信号を入力し、端子 P 1 (コマンド端子 C M D) からコマンドを入力する。初期化コマンド C M D 0 が入力されると、その時の端子 P 0 (端子 C S b) のレベルがハイレベルであれば M M C モードに遷移し、ローレベルであれば S P I モードに遷移する。電源投入後であっても、再度初期化コマンド C M D 0 が投入されると、その時の端子 P 0 (端子 C S b) のレベルに

50

応じてカードモードを変更する事ができる。従って、このMカードの初期化シーケンス等においてMカードホストによる端子P0（端子CSb）に対する駆動レベルが、端子P0（端子CSb）の近傍で反転してしまうと、Mカードで認識された外部インタフェース仕様と、カードホストが認識するインタフェース仕様とが相違することになり、データ入出力が不可能になる。前記MMCモードとSPIモードにおける端子機能の相違より明らかな如く、MMCモードにおいて端子P1のコマンド・レスポンス入出力端子CMDはSPIモードにおいてデータ・コマンド入力端子DIとされ、MMCモードにおいて端子P6のデータ入出力端子DATはSPIモードにおいてデータ・レスポンス出力端子DOとされるからである。

【0029】

前記プルアップ抵抗回路8は端子CSbの不安定化要因に対処する。以下この点について詳述する。

【0030】

図3には前記プルアップ抵抗回路8が例示される。プルアップ抵抗回路8は入力バッファIBUF1の前段に配置された例えば1.5Mのプルアップ抵抗11に並行してに配置された別のプルアップ抵抗12とこれに直列配置されたpチャンネル型のスイッチトランジスタ13により構成される。プルアップ抵抗12は前記プルアップ抵抗11よりも抵抗値の小さな例えば50kの抵抗値が設定されている。前記1.5Mのプルアップ抵抗11はその他の入力バッファIBUF2～IBUF4の前段にも配置され、入力停止時の入力状態を安定化するようになっている。したがって、リーク電流による電力消費を極力低減するという観点から高抵抗値が設定されている。

【0031】

図4にはスイッチトランジスタ13の制御論理回路14が例示される。クロック信号CLKに同期動作するデコーダ20及びカウンタ21、アンドゲート22、ナンドゲート23から成る。デコーダ20は初期化コマンドCMD0の先頭8ビットであるコマンドインデックスを検出することによりその出力24をハイレベルにする。カウンタ21はクロックCLKに同期するコマンドのビット入力を計数し、スタートビットを起点に8ビット目からその最終ビットである48ビット目までその出力25をハイレベルにする。デコーダ20の出力24はカウンタ21の出力25がハイレベルからローレベルに変化するのに同期してローレベルに初期化される。

【0032】

アンドゲート24はデコーダ20の出力24とカウンタ21の出力25を2入力とする。ナンドゲート23にはアンドゲート22の出力と共に内部信号であるカードモード信号26の反転信号を入力する。カードモード信号26はSPIモードでハイレベルにされる。ナンドゲート23の出力はカードモードがSPIモードでない状態において、初期化コマンドCMD0のスタートビットを起点に8ビット目からその最終ビットである48ビット目までの期間にローレベルにされる。この期間に前記スイッチトランジスタ13がオン状態にされ、プルアップ抵抗の抵抗値は抵抗12の抵抗値にしたがって小さくされる。

【0033】

図5には前記制御論理14を用いたモード判定動作タイミングが例示され、図6にはその動作フローが例示される。Mカードの初期化シーケンスを行なうための初期化コマンドCMD0は、8ビットのコマンドインデックス（CMD0INDEX）、32ビットのアーギュメント、8ビットのCRC（サイクリック・リダングンシ・チェック）コードから成る。初期化コマンドCMD0のコマンドインデックスが検出されることによってプルアップ抵抗は50kに切換えられる（1）。初期化コマンドCMD0が受け付けられる期間Tの最後において端子P0の状態が確認され、それに従って、MMCモード又はSPIモードが決定される（2）。この後、プルアップ抵抗は1.5Mに戻される（3）。

【0034】

図7にはMカード1をその互換カードであるSカード用のSカードホストで利用するとき

10

20

30

40

50

の状態が示される。Sカードの端子機能はMMCモードと同じであり、またSカードホストには1枚のSカードは接続可能にされる。Sカードホスト30においてMカードの端子P0に対応するチップ選択制御端子31はその規格により100kのプルダウン抵抗32でプルダウンされる。Sカードではチップ選択制御端子31に接続する端子は内部において50kにプルダウンされる。Mカード1は前述の如く1.5Mのプルアップ抵抗11と50kのプルアップ抵抗12を備える。

【0035】

図8にはSカードホスト30によるMカード1の認識動作が例示される。ここでは、Sカードホスト30はMカードをSカードとして認識しようとする。Sカードホスト30はSカードの認識動作ではMカード1の端子P0に接続する端子31をハイレベルにドライブしようとする。このとき、Sカードホスト30における端子31のプルダウン抵抗32は100k、Mカードのプルアップ抵抗は1.5Mであるから、Mカードの端子P0(Csb)端子近傍の電流はSカードホスト30のプルダウン抵抗32に引き込まれ、Mカードの端子P0側でレベル低下を生ずることになる。要するに、P0端子はローレベルのままにされる(t0)。ここまでは以前のMカードと同じである。このとき、Sカードホスト30より初期化コマンドCMD0が供給されると、回路14でそのコマンドインデックスを検出するのに応答して、Mカード1のプルアップ抵抗を50kに切替える。これにより、プルアップ抵抗12からプルダウン抵抗32に向けて電流が供給され、プルダウン抵抗32の電流引き込みによる端子P0のレベル低下が抑えられ、図8の如く、端子P0のハイレベルが回復される(t1)。この状態でカード認識動作が行なわれる結果、MカードはMMCモードとされ、Sカードホスト30によってMカードはSカードとして認識される。要するに、Mカードが不所望にSPIモードで認識されてアクセス不能な状態になることが防止される。認識動作後はMカードのプルアップ抵抗は再度1.5Mに戻され、再び端子P0はプルダウン抵抗による電流引き込みによりローレベルにされる(t2)。この間、プルアップ抵抗11によるリーク電流は極めて少なく、低消費電力という点ではSカードに勝る。認識動作の後、プルアップ抵抗を元の高抵抗に戻す意義が有る。図において端子P0の波形における破線波形はSカードホスト30のドライブ基端側波形を意味している。実線はドライブ終端側波形を意味することになる。参考例として示しているが、Sカードホストが端子P0を全く駆動していない場合にはSカードホスト30より初期化コマンドCMD0が供給されてもMカードはSPIモードにならざるを得ない。このことは、Sカードホスト30もMカードの認識機能があればMカードをSPIモードとして利用可能であることを意味する。尚、図8においてSDカードモードとはSカードのカードモードでありMカードのMMCモードと同じ動作モードを意味する。

【0036】

上記Mカード1によれば、Sカードホスト30によりMカードがSカードとして認識されるとき、MカードをMMCモードに設定することができる。図9に例示されるようにカードモードに応じてインタフェース機能が相違されるが、Mカード1が不所望にSPIモードで認識されることはないから、Sカードホスト30によってMカードがアクセス不能な状態になることを防止することができる。認識動作後はMカードのプルアップ抵抗は再度1.5Mに戻され、プルアップ抵抗11によるリーク電流は極めて少なく、低消費電力という点ではSカードに勝る。

【0037】

図10にはプルアップ抵抗の段階的な切替えを可能にする例が示される。プルアップ抵抗回路8は、1kのプルアップ抵抗12Aとスイッチトランジスタ13A、10kのプルアップ抵抗12Bとスイッチトランジスタ13Bにより構成される。スイッチトランジスタ13A、13Bの制御論理回路14は、スイッチトランジスタ13A、13B毎にナンドゲート23A、23Bを分け、カウンタ21の出力25A、25Bを分離した。出力25Aはコマンドのスタートビットを起点に8ビット目から16ビット目までハイレベルにされ、出力25Bはコマンドのスタートビットを起点に17ビット目から48ビット目までハイレベルにされる。

10

20

30

40

50

【0038】

これにより、カードモードがSPIモードでない状態において、初期化コマンドCMD0のスタートビットを起点に8ビット目から16ビット目までの期間にはプルアップ抵抗12Aが選択され、17ビット目から48ビット目までの期間にはプルアップ抵抗12Bが選択される。要するに、小さな抵抗値のプルアップ抵抗12A, 12Bの選択を段階的に行い、段階的な選択はより小さい方の抵抗値を先の選択とする。これにより、端子P0のハイレベル回復若しくはローレベルからハイレベルへの遷移を高速化することができる。したがって、メモリホストの耐ノイズ性が低かったり、動作速度が許容最速度を超えるような、特殊な場合に対しても、カードモードの判定に必要な端子P0の信号変化をカードモード判定タイミングまでには余裕を持って終了することを保証できるようになる。要するに、悪条件下でのカードモード判定動作の信頼性を更に高める事ができる。

10

【0039】

シミュレーション結果に依れば、Mカードの最大動作周波数を20MHzと想定した場合、端子P0の容量を5pF、プルアップ抵抗1kのときの端子P0の立ち上がり時間は約15ナノ秒(ns)、同じく10kで150ns、50kで750nsである。750nsかかるとしても、15クロックサイクル分であり、初期化コマンドCMD0が48クロックサイクルを要することを勘案すれば、図4の一段切替えてタイミング上は余裕が有る。

【0040】

図11には前記プルアップ回路9とその制御論理回路が例示される。プルアップ回路9は、特に制限されないが、50kのプルアップ抵抗40とpチャンネル型スイッチトランジスタ41の直列回路にて構成される。制御論理回路43はデコーダ44とナンドゲート45により構成される。デコーダ44はコマンドをデコードし、コマンドCMD24を検出することにより信号46をハイレベルにアサートする。ナンドゲート45は前記信号46と、書き込みコマンドCMD24の後に入力される書き込みデータのスタートビット検出信号47を反転入力する。スタートビット検出信号47はスタートビット検出によってハイレベルにアサートされる。

20

【0041】

上記より、コマンドCMD24を検出してから書き込みデータのスタートビットを検出するまで、データ端子DATとされる端子P6のプルアップ抵抗は1.5Mの高抵抗から50kの抵抗40に切換えられる。低抵抗化されることにより耐ノイズ性が良好になり、書き込みデータのスタートビット検出に対する信頼性を向上させることができる。

30

【0042】

図12には書き込み動作タイミングが例示される。期間Tiは、プルアップ抵抗が1.5Mの高抵抗から50kの抵抗40に切換えられる期間とされる。

【0043】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0044】

例えば、選択可能なプルアップ抵抗の抵抗値は50kに限定されず適宜変更可能である。図1において図示は省略されているが、図11の回路は図1の入力バッファIBUF3の前段にも配置されている。また、本発明はMカードだけでなく他の規格のメモリカード、通信カードのような他の電子デバイスにも適用可能である。

40

【0045】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0046】

すなわち、入力端子のプルアップ抵抗によって生ずる電力消費を低減することができ、し

50

かも、ホスト装置のプルダウン抵抗との関係による誤動作を生じ難いメモリカード並びに電子デバイスを提供することができる。

【0047】

Sカードホストにてアクセス可能なMカードとしてのメモリカードを提供することができる。

【図面の簡単な説明】

【図1】本発明の一例に係るMカードのブロック図である。

【図2】Mカードの初期化シーケンスを簡単に示すタイミングチャートである。

【図3】プルアップ抵抗回路を例示する回路図である。

【図4】スイッチトランジスタの制御論理回路を例示する回路図である。

10

【図5】図4の制御論理を用いたモード判定動作タイミングを例示するタイミングチャートである。

【図6】図4の制御論理を用いたモード判定動作の動作フローである。

【図7】Mカードをその互換カードであるSカード用のSカードホストで利用するときの状態を示す説明図である。

【図8】SカードホストによるMカードの認識動作を例示するタイミングチャートである。

【図9】カードモードに応じてインタフェース機能が相違される状態を例示する説明図である。

【図10】プルアップ抵抗の段階的な切替えを可能にする例を示す回路図である。

20

【図11】データ端子のプルアップ回路とその制御論理回路を例示する回路図である。

【図12】図11の回路を適用した書き込み動作を例示するタイミングチャートである。

【符号の説明】

1 Mカード

P0 ~ P6 コネクタ端子

CSb チップ選択端子

DAT, CMD, DI データ端子

2 インタフェース部

3 フラッシュメモリ

4 ホストインタフェース制御部

5 フラッシュメモリインタフェース制御部

6 バッファメモリ

7 制御部

IBUF1 ~ IBUF4 入力バッファ

obuf1, obuf2 出力バッファ

8, 9 プルアップ抵抗回路

12 プルアップ抵抗

13 スwitchトランジスタ

14 制御論理回路

20 デコーダ

21 カウンタ

12A, 12B プルアップ抵抗

13A, 13B スwitchトランジスタ

40 プルアップ抵抗

41 スwitchトランジスタ

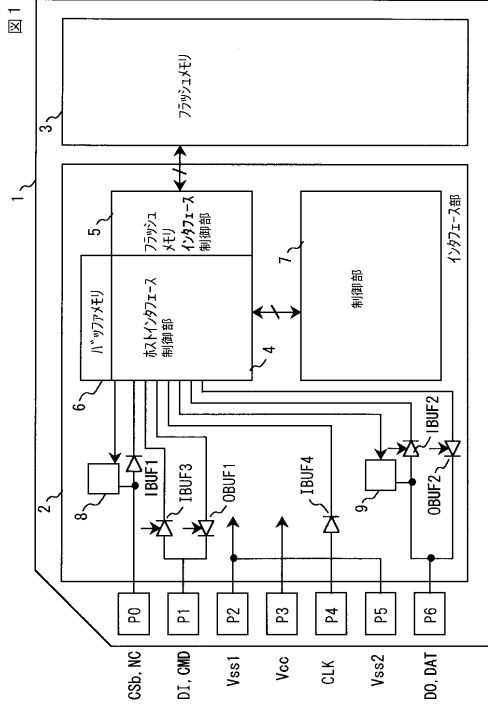
43 制御論理回路

44 デコーダ

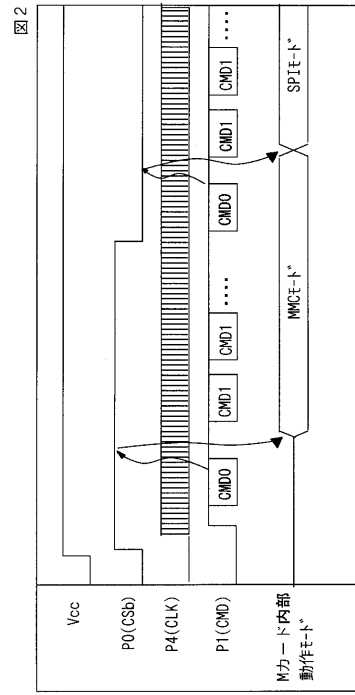
30

40

【 図 1 】

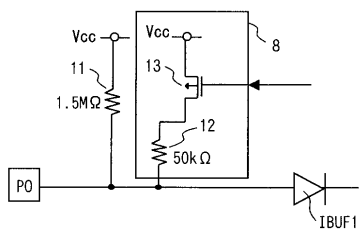


【 図 2 】

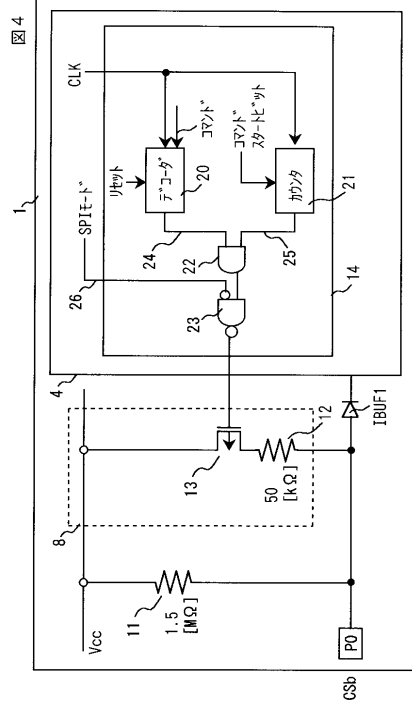


【 図 3 】

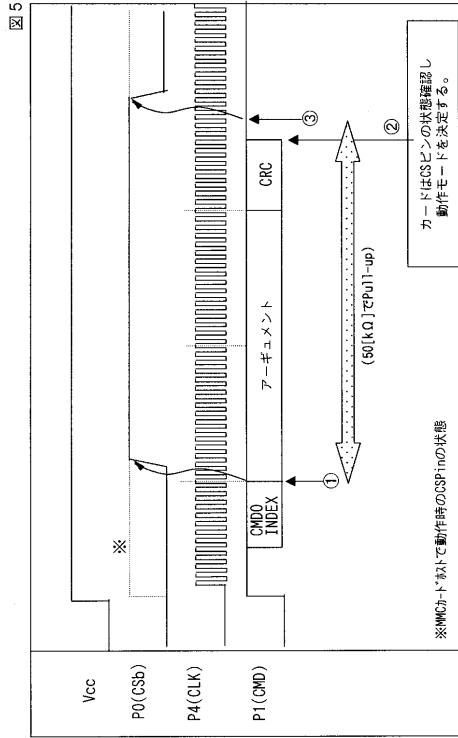
図 3



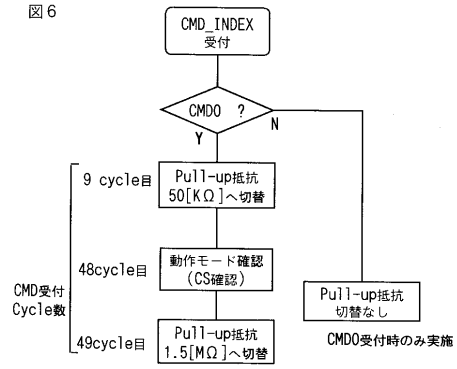
【 図 4 】



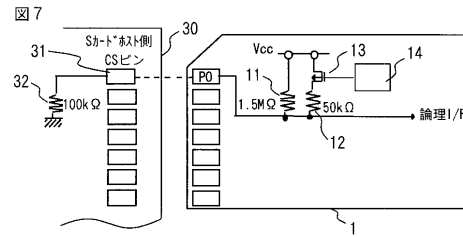
【 図 5 】



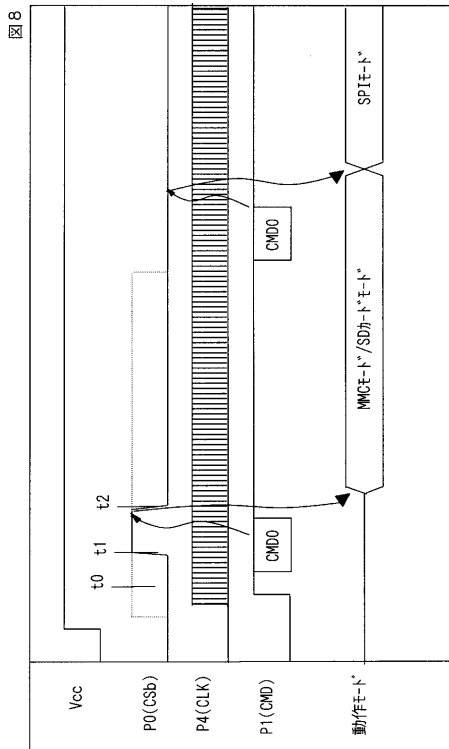
【 図 6 】



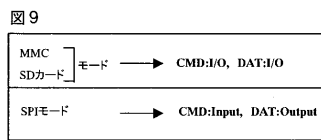
【 図 7 】



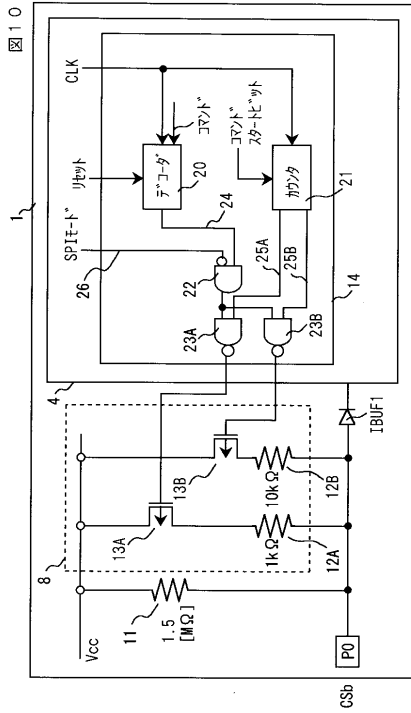
【 図 8 】



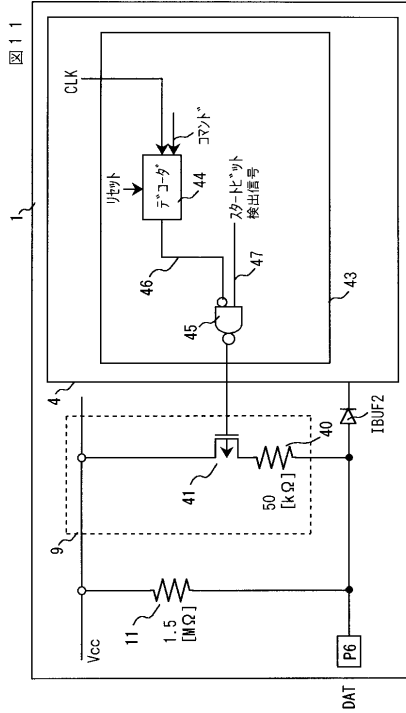
【 図 9 】



【図 10】

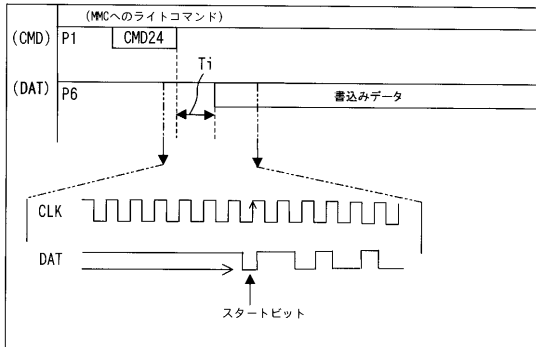


【図 11】



【図 12】

図 12



フロントページの続き

- (72)発明者 片山 国弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 金森 賢樹
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 四方 淳史
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 飯田 哲也
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
- Fターム(参考) 5B035 AA05 AA11 BB09 CA13 CA22 CA31
5B058 CA13 KA13 KA21
5J056 AA01 BB17 BB21 BB49 CC00 CC17 DD12 DD59 EE06 FF01
FF06 FF07 FF10 GG00 KK01 KK02