

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6572076号
(P6572076)

(45) 発行日 令和1年9月4日 (2019. 9. 4)

(24) 登録日 令和1年8月16日 (2019. 8. 16)

(51) Int. Cl.	F I
H03K 17/04 (2006.01)	H03K 17/04 E
H02M 1/08 (2006.01)	H02M 1/08 A
H03K 17/687 (2006.01)	H03K 17/687 A

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2015-188347 (P2015-188347)	(73) 特許権者	000004606 ニチコン株式会社 京都府京都市中京区烏丸通御池上る二条殿 町551番地
(22) 出願日	平成27年9月25日 (2015. 9. 25)	(74) 代理人	100086737 弁理士 岡田 和秀
(65) 公開番号	特開2017-63365 (P2017-63365A)	(72) 発明者	大島 正樹 京都府京都市中京区烏丸通御池上る二条殿 町551番地 ニチコン株式会社内
(43) 公開日	平成29年3月30日 (2017. 3. 30)		
審査請求日	平成30年3月14日 (2018. 3. 14)	審査官	及川 尚人

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路

(57) 【特許請求の範囲】

【請求項1】

ノーマリオフ型の主スイッチング素子をオン／オフ制御するゲート駆動回路であって、
前記主スイッチング素子の駆動パルスが一方の端子に印加され、オフ状態とされた前記主スイッチング素子の駆動制御端子に逆バイアス電圧を他方の端子から印加するためのコンデンサと、前記コンデンサの前記他方の端子側に直列接続され、前記コンデンサと前記主スイッチング素子との間の導通を切り離すことで前記逆バイアス電圧の印加を停止することが可能な逆バイアス切り離し用のスイッチング素子とを有するとともに、前記コンデンサと前記逆バイアス切り離し用のスイッチング素子の直列回路に対して並列に接続されて前記逆バイアス電圧の大きさを制御し前記主スイッチング素子の駆動制御端子に対して所定の駆動電流を供給する定電圧素子を有し、出力端子が前記主スイッチング素子の前記駆動制御端子に導通接続される駆動パルス伝達用並列回路と、

前記主スイッチング素子の駆動制御端子と接地ラインとの間に介装され、前記主スイッチング素子の駆動制御端子と前記接地ラインとを短絡することが可能な逆バイアス消去用のスイッチング素子とを備え、

前記主スイッチング素子がターンオンする直前に前記逆バイアス切り離し用のスイッチング素子により前記逆バイアス電圧の印加が停止されるとともに、前記逆バイアス消去用のスイッチング素子により前記主スイッチング素子の駆動制御端子と前記接地ラインとが短絡されることを特徴とするゲート駆動回路。

10

20

【請求項 2】

アクティブレベルとインアクティブレベルとが交互に繰り返される駆動パルスを出力する制御部と、

前記駆動パルス伝達用並列回路の入力端子に対して、前記制御部から出力される前記駆動パルスを一定の短時間遅延させた実効パルスを生成し出力する遅延回路と、

前記制御部からの前記駆動パルスと前記遅延回路からの前記実効パルスとを入力として、前記主スイッチング素子のオフ状態からオン状態への遷移期間において、前記逆バイアス切り離し用のスイッチング素子をオフするとともに前記逆バイアス消去用のスイッチング素子をオンするための逆バイアスリセットパルスを生成する逆バイアスリセット回路とをさらに備えたことを特徴とする請求項 1 に記載のゲート駆動回路。

10

【請求項 3】

前記逆バイアス切り離し用のスイッチング素子は、その低電位側端子が前記コンデンサの側に、その高電位側端子が前記主スイッチング素子の駆動制御端子の側にそれぞれ接続され、前記逆バイアス消去用のスイッチング素子は、その低電位側端子が前記主スイッチング素子の駆動制御端子の側に、その高電位側端子が前記接地ラインの側にそれぞれ接続されている請求項 1 または請求項 2 に記載のゲート駆動回路。

【請求項 4】

前記逆バイアス切り離し用のスイッチング素子に対して駆動パルス補償用の一方向性通電素子が並列に接続されている請求項 1 から請求項 3 までのいずれか 1 項に記載のゲート駆動回路。

20

【請求項 5】

前記逆バイアス消去用のスイッチング素子と前記接地ラインとの間に駆動パルス補償用の逆流防止素子が挿入されている請求項 1 から請求項 4 までのいずれか 1 項に記載のゲート駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲートオン電圧の低電圧化に有利なノーマリオフ型のスイッチング素子を主スイッチとするゲート駆動回路に関する。

【背景技術】

30

【0002】

ノーマリオフ型のパワートランジスタはゲート電圧を印加しない状態では電流が流れないため、機器の安全性を確保する上で優れた特性をもっている。近時、ノーマリオフ型のトランジスタとして GaN（窒化ガリウム）が注目されている。GaN はバンドギャップが広いことからワイドギャップ半導体とも呼ばれ、絶縁破壊強度が高く、スイッチング電源や電力変換装置などの小型・高周波用途に優れたパワーデバイスである。

【0003】

GaN などによるノーマリオフ型のトランジスタは、その良好な高周波特性と低オン抵抗特性から将来有力なパワーデバイスになると見なされている。しかし一方で、ノーマリオフ型デバイスは閾値電圧が小さく、ゲート電圧 0 [V] でもオフ時の漏れ電流が大きく、電力を無駄に消費するという課題がある。その対策として、オフ時に逆バイアス電圧を印加して漏れ電流を小さくするという技術が提案されている。その一例を従来例として以下に説明する。

40

【0004】

ターンオフ動作の高速化のために、スイッチング素子をオフ時に逆バイアスするようにしたゲート駆動回路が図 4 に示す従来例である（特許文献 1 参照）。

【0005】

図 4 に示すように、ノード A' とスイッチング素子 Q1 のゲートとの間に、スイッチング素子 Q1 への逆バイアス電圧印加用のコンデンサ C1 と、ゲートに流れる電流を制限する抵抗素子 R3 が接続されているとともに、コンデンサ C1 と抵抗素子 R3 の接続ノード

50

N 1 と接地ライン G L との間に抵抗素子 R 1 とダイオード D 1 の直列回路 3 2 が接続されている。ダイオード D 1 のアノードは抵抗素子 R 1 に接続され、カソードは接地ライン G L に接続されている。この抵抗素子 R 1 とダイオード D 1 の直列回路 3 2 は、それに電流を流すことによって逆バイアス電圧印加用のコンデンサ C 1 の両端間に直流電圧を発生させる機能を有する。コンデンサ C 1 の両端間にツェナーダイオード Z D 1 と抵抗素子 R 2 の直列回路が接続され、並列回路 3 3 を構成している。ツェナーダイオード Z D 1 のアノードと抵抗素子 R 2 の一端が接続され、ツェナーダイオード Z D 1 のカソードがノード A ' に接続され、抵抗素子 R 2 の他端が抵抗素子 R 1 と抵抗素子 R 3 の接続ノード N 1 に接続されている。ツェナーダイオード Z D 1 と抵抗素子 R 2 の直列回路は、逆バイアス電圧印加用のコンデンサ C 1 の両端間に発生する直流電圧値（逆バイアス電圧）を一定に制御する機能を有している。抵抗素子 R 2 はツェナーダイオード Z D 1 に流れる電流のピークを抑えるので、ツェナーダイオード Z D 1 としては電力容量の小さいものの採用を可能とする。

10

【0006】

図 5 は図 4 に示すゲート駆動回路 3 1 の動作の一例を示すタイミングチャート（推定）である。タイミング t_{11} において、入力段にオン信号（駆動パルス a_{11} の立ち上がり）が入力されると、コンデンサ C 1 および抵抗素子 R 3 を介してスイッチング素子 Q 1 のゲートに電流が流れ、スイッチング素子 Q 1 がターンオンするとともに、抵抗素子 R 1 とダイオード D 1 からなる直列回路 3 2 に直流電流 I が流れ、接続ノード N 1 とノード A ' との間に電位差が生じるため、コンデンサ C 1 に直流電圧が発生する。この直流電圧は、並列回路 3 3 におけるツェナーダイオード Z D 1 のツェナー電圧を V_{ZD1} （負値）として、 $-V_{ZD1}$ （正值） $+V_{R2} = |V_{ZD1}| + V_{R2}$ となる。ここで V_{R2} はスイッチング素子 Q 1 がオン時に流れる直流電流 I による抵抗素子 R 2 の電圧降下である。スイッチング素子 Q 1 のゲート電圧は、電源電圧 V_{DD} から電圧 $|V_{ZD1}| + V_{R2}$ を差し引いた電圧（ $V_{DD} - |V_{ZD1}| - V_{R2}$ ）となる。

20

【0007】

一方、タイミング t_{13} において、入力段にオフ信号（駆動パルス a_{11} の立ち下がり）が入力されると、ノード A ' - B ' 間が短絡されてコンデンサ C 1 の正極側とスイッチング素子 Q 1 のソースが接続され、コンデンサ C 1 に蓄積された反対電荷によりスイッチング素子 Q 1 のゲートに蓄積された電荷が放電される。このターンオフのタイミングにスイッチング素子 Q 1 のゲート・ソース間に印加される電圧は、コンデンサ C 1 の充電電圧 $|V_{ZD1}| + V_{R2}$ となる。コンデンサ C 1 の正極端子の電圧が 0 [V] であるので、コンデンサ C 1 の負極端子の電圧は最終的に負値（ $-|V_{ZD1}| = V_{ZD1}$ ）となる。すなわち、これがオフ状態でスイッチング素子 Q 1 のゲートに印加される一定負値の逆バイアス電圧である。

30

【0008】

上記において、スイッチング素子 Q 1 のターンオン時にコンデンサ C 1 に発生した直流電圧は、スイッチング素子 Q 1 のターンオフ時にスイッチング素子 Q 1 のゲートに対する逆バイアス電圧（ -3 [V] 程度）となる。したがって、ターンオフ時にスイッチング素子 Q 1 はその逆バイアス電圧によって高速にターンオフする。スイッチング素子 Q 1 のオフ時において、ゲート端子に逆バイアスを印加するので、0 [V] 印加の場合に比べて、漏れ電流を低減することが可能となる。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開平 8 - 1 4 9 7 9 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

図 4 のゲート駆動回路では、ターンオン（タイミング t_{11} , t_{15} 参照）の直前までスイ

50

ッティング素子Q1のゲートに逆バイアス電圧(V_{ZD1} :負値)が印加されており、ターンオン時にゲートは、一気にゲートオフ電圧(逆バイアス電圧)からゲートオン電圧までの大きな電圧変化(ΔV_B)を要することになるため、ターンオン時のスイッチング速度が低下し、その分、電力損失が大きくなるという問題がある。なお、逆バイアス電圧の絶対値が大きくなるほどスイッチングの応答遅れ時間(オンオフ切替時間)は長くなる。ちなみに、逆バイアス電圧が $-4.2[V]$ のときの応答遅れ時間は $27.3ns$ であり、逆バイアス電圧が $-7[V]$ のときの応答遅れ時間は $40.7ns$ であった(一例)。

【0011】

本発明はこのような事情に鑑みて創作したものであり、ノーマリオフ型のスイッチング素子を主スイッチとするゲート駆動回路に関して、ノーマリオフ型のスイッチング素子(以下、「主スイッチング素子」という)のターンオン動作を高速化し、電力損失の低減化を図ることを目的としている。

【課題を解決するための手段】

【0012】

本発明は、次の手段を講じることにより上記の課題を解決する。

【0013】

本発明によるゲート駆動回路は、ノーマリオフ型の主スイッチング素子をオン／オフ制御するゲート駆動回路であって、前記主スイッチング素子の駆動パルスが一方の端子に印加され、オフ状態とされた前記主スイッチング素子の駆動制御端子に逆バイアス電圧を他方の端子から印加するためのコンデンサと、前記コンデンサの前記他方の端子側に直列接続され、前記コンデンサと前記主スイッチング素子との間の導通を切り離すことで前記逆バイアス電圧の印加を停止することが可能な逆バイアス切り離し用のスイッチング素子とを有するとともに、前記コンデンサと前記逆バイアス切り離し用のスイッチング素子の直列回路に対して並列に接続されて前記逆バイアス電圧の大きさを制御し前記主スイッチング素子の駆動制御端子に対して所定の駆動電流を供給する定電圧素子を有し、出力端子が前記主スイッチング素子の前記駆動制御端子に導通接続される駆動パルス伝達用並列回路と、前記主スイッチング素子の駆動制御端子と接地ラインとの間に介装され、前記主スイッチング素子の駆動制御端子と前記接地ラインとを短絡することが可能な逆バイアス消去用のスイッチング素子とを備え、前記主スイッチング素子がターンオンする直前に前記逆バイアス切り離し用のスイッチング素子により前記逆バイアス電圧の印加が停止されるとともに、前記逆バイアス消去用のスイッチング素子により前記主スイッチング素子の駆動制御端子と前記接地ラインとが短絡されることを特徴とする。

【0014】

この構成によれば、主スイッチング素子がオフ状態の間は駆動制御端子に逆バイアス電圧が印加されるので漏れ電流を小さくすることができる。しかも、コンデンサにより逆バイアス電圧を印加しているので安定的に電圧を印加することができる。一方で、主スイッチング素子がターンオンする直前に逆バイアス切り離し用のスイッチング素子により逆バイアス電圧の印加が停止されるとともに、逆バイアス消去用のスイッチング素子により主スイッチング素子の駆動制御端子と接地ラインとが短絡されるので、主スイッチング素子がターンオンする直前に逆バイアス電圧の印加を停止させることができる。このため、ターンオン動作を高速化し、ターンオン時のスイッチング損失を低減することができる。

【0015】

ここで、アクティブレベルとインアクティブレベルとが交互に繰り返される駆動パルスを出力する制御部と、前記駆動パルス伝達用並列回路の入力端子に対して、前記制御部から出力される前記駆動パルスを一定の短時間遅延させた実効パルスを生成し出力する遅延回路と、前記制御部からの前記駆動パルスと前記遅延回路からの前記実効パルスとを入力として、前記主スイッチング素子のオフ状態からオン状態への遷移期間において、前記逆バイアス切り離し用のスイッチング素子をオフするとともに前記逆バイアス消去用のスイッチング素子をオンするための逆バイアスリセットパルスを生成する逆バイアスリセット回路とをさらに備えたことを特徴とする。

【0016】

上記の構成において、逆バイアスリセット回路が生成する逆バイアスリセットパルスは、主スイッチング素子のオフ状態からオン状態への遷移期間の開始タイミングでアクティブとなり、前記短期間の終了タイミングでインアクティブとなることはいうまでもない。

【0017】

上記構成の本発明のゲート駆動回路においては、オフ状態において逆バイアス電圧が印加されている主スイッチング素子の駆動制御端子の電圧をゲートオフ電圧のレベル（逆バイアス電圧）からゲートオン電圧のレベルに遷移させるに際し、逆バイアス電圧から一気にゲートオン電圧まで遷移させるのではなく、次のように制御する。すなわち、逆バイアスリセットパルスの印加に基づく逆バイアス切り離し用のスイッチング素子のターンオフと逆バイアス消去用のスイッチング素子のターンオンとによって、遷移の短時間（遅延回路による遅延時間）にわたり、逆バイアス電圧印加用のコンデンサを切り離して主スイッチング素子の駆動制御端子に対する逆バイアス電圧の印加を停止するとともに、駆動制御端子を接地ラインに短絡させる。その短絡により逆バイアス電圧にかかわる駆動制御端子のマイナス電荷を接地レベルへ放電し、かつコンデンサの陰極端子からの逆バイアス電圧の印加を停止して、駆動制御端子電圧をいったん逆バイアス電圧とゲートオン電圧との中間の0レベルへシフトさせる。

【0018】

逆バイアスリセットパルスがインアクティブになるとともに実効パルス（制御部から出力された駆動パルスが遅延回路によって一定の短時間遅延されたパルス）がアクティブになると、逆バイアス切り離し用のスイッチング素子がターンオンし、逆バイアス消去用のスイッチング素子がターンオフする。すなわち、逆バイアス電圧印加用のコンデンサの陰極端子が主スイッチング素子の駆動制御端子に導通接続され、かつ駆動制御端子の接地ラインに対する短絡状態が解除された状態となる。その結果、逆バイアス電圧印加用のコンデンサの正極端子に印加される実効パルスがコンデンサとターンオンした逆バイアス切り離し用のスイッチング素子を介して主スイッチング素子の駆動制御端子に印加され、主スイッチング素子をターンオンさせる。このとき、上記のように駆動制御端子電圧があらかじめ0レベルにシフトされており、0レベルからゲートオン電圧までの電圧変化で主スイッチング素子をターンオンさせるので、逆バイアス電圧からゲートオン電圧まで電圧変化させる従来例に比べて、主スイッチング素子のターンオン速度が高速化され、かつ、その高速化の分だけターンオン時のスイッチング損失が低減化される。

【0019】

上記構成の本発明のゲート駆動回路には、次のようないくつかの好ましい態様がある。

【0020】

上記の構成において、前記逆バイアス切り離し用のスイッチング素子は、その低電位側端子が前記コンデンサの側に、その高電位側端子が前記主スイッチング素子の駆動制御端子の側にそれぞれ接続され、前記逆バイアス消去用のスイッチング素子は、その低電位側端子が前記主スイッチング素子の駆動制御端子の側に、その高電位側端子が前記接地ラインの側にそれぞれ接続されているのがよい。

【0021】

主スイッチング素子のオフ状態における駆動制御端子への逆バイアス電圧の印加を考慮しなくてもよい通常の態様の場合であれば、逆バイアス切り離し用のスイッチング素子では、その高電位側端子をコンデンサの側に、その低電位側端子を主スイッチング素子の駆動制御端子の側にそれぞれ接続し、逆バイアス消去用のスイッチング素子では、その高電位側端子を主スイッチング素子の駆動制御端子の側に、その低電位側端子を接地ラインの側にそれぞれ接続すればよい。

【0022】

しかし、主スイッチング素子の駆動制御端子への逆バイアス電圧の印加を考慮する本発明の特異な技術構成にあっては、通常の態様の場合とは逆方向の接続関係とする。この接続の態様は、逆バイアス切り離し用のスイッチング素子や逆バイアス消去用のスイッチン

10

20

30

40

50

グ素子を半導体素子、特にNMOSトランジスタやPMOSトランジスタで構成する場合の動作安定性、安全性にとって有用である。

【0023】

上記の構成において、前記逆バイアス切り離し用のスイッチング素子に対して駆動パルス補償用の一方向性通電素子が並列に接続されているという好ましい態様がある。逆バイアス電圧印加用のコンデンサを介して実効パルスが供給されてきたときに、動作タイミングのずれのためにもし逆バイアス切り離し用のスイッチング素子がオフ状態のままにあってターンオンが遅れると、主スイッチング素子のターンオン動作も遅れてしまう。

【0024】

これに対してこの態様のように構成すれば、逆バイアス切り離し用のスイッチング素子がオフ状態にあるときに逆バイアス電圧印加用のコンデンサを介して実効パルスが供給されてきた場合でも、駆動パルス補償用の一方向性通電素子の機能によりその実効パルスを主スイッチング素子の駆動制御端子に対して確実に即座に送り出すことが可能となる。

10

【0025】

また、上記の構成において、前記逆バイアス消去用のスイッチング素子と接地ラインとの間に駆動パルス補償用の逆流防止素子が挿入されているという好ましい態様がある。駆動パルス伝達用並列回路から主スイッチング素子の駆動制御端子に対して実効パルスが印加されたときに、動作タイミングのずれのためにもし逆バイアス消去用のスイッチング素子がオン状態のままにあってターンオフが遅れると、オン状態にある逆バイアス消去用のスイッチング素子を介して駆動制御端子が接地レベルとなってしまう、駆動制御端子電圧が所期通りに上昇することができなくなってしまう。

20

【0026】

これに対してこの態様のように構成すれば、逆バイアス消去用のスイッチング素子がオン状態にあるときに駆動パルス伝達用並列回路から主スイッチング素子の駆動制御端子に対して実効パルスが印加された場合でも、駆動パルス補償用の逆流防止素子の機能によって駆動制御端子が接地レベルとなることを防止し、駆動制御端子電圧を所期通りに上昇させることが可能となる。

【発明の効果】

【0027】

本発明によれば、ターンオン直前において駆動制御端子の逆バイアスを解除して0レベルへリセットするように構成したので、主スイッチング素子のターンオン速度の高速化とターンオン時のスイッチング損失の低減化とを実現することができる。

30

【図面の簡単な説明】

【0028】

【図1】本発明の実施例におけるゲート駆動回路の構成を示す回路図

【図2】本発明の実施例におけるゲート駆動回路での遅延回路と短パルス発生回路の詳しい構成を示す回路図

【図3】本発明の実施例におけるゲート駆動回路の動作を示すタイミングチャート

【図4】従来例のゲート駆動回路の構成を示す回路図

【図5】従来例におけるゲート駆動回路の動作の一例を示すタイミングチャート（推定）

40

【発明を実施するための形態】

【0029】

以下、上記構成の本発明のゲート駆動回路につき、その実施の形態を具体的な実施例のレベルで詳しく説明する。

【0030】

図1は本発明の実施例におけるゲート駆動回路の構成を示す回路図、図2はゲート駆動回路での遅延回路と短パルス発生回路の詳しい構成を示す回路図である。図1および図2において、10は制御部としての制御回路、20は遅延回路、30は逆バイアスリセット回路、40は駆動パルス伝達用並列回路、40Aは電圧調整回路部、40Bは逆バイアス制御・定電流回路部、C40は電圧調整回路部40Aを構成する逆バイアス電圧印加用の

50

コンデンサ、Q 4 0 は電圧調整回路部 4 0 A を構成する逆バイアス切り離し用のスイッチング素子、Q 5 0 は逆バイアス消去用のスイッチング素子、D 5 0 は駆動パルス補償用の逆流防止素子、Q 1 0 0 はノーマリオフ型のスイッチング素子（主スイッチング素子）である。

【0031】

駆動パルス伝達用並列回路 4 0 は、電圧調整回路部 4 0 A と逆バイアス制御・定電流回路部 4 0 B の並列回路として構成されている。電圧調整回路部 4 0 A は、逆バイアス電圧印加用のコンデンサ C 4 0 と、逆バイアス切り離し用のスイッチング素子 Q 4 0 と、駆動パルス補償用の一方向性通電素子 D 4 0 とを有している。ここで、逆バイアス切り離し用のスイッチング素子 Q 4 0 と駆動パルス補償用の一方向性通電素子 D 4 0 は互いに並列に接続されている。その並列回路に対して逆バイアス電圧印加用のコンデンサ C 4 0 が直列に接続されている。逆バイアス切り離し用のスイッチング素子 Q 4 0 は N チャンネル型 MOS トランジスタで構成され、一方向性通電素子 D 4 0 はダイオードで構成されるが、その NMOS トランジスタのソースとダイオードのアノードとが互いに接続され、さらに逆バイアス電圧印加用のコンデンサ C 4 0 の負極端子とも接続されている。NMOS トランジスタ Q 4 0 のドレインはダイオード D 4 0 のカソードと接続されている。逆バイアス電圧印加用のコンデンサ C 4 0 は、主スイッチング素子 Q 1 0 0 のオン時にその駆動制御端子であるゲート電圧 V 1 0 0 を低減するとともに、オフ時にゲート（駆動制御端子）に逆バイアス電圧を印加する機能を有している。

【0032】

逆バイアス切り離し用のスイッチング素子 Q 4 0 に対して駆動パルス補償用の一方向性通電素子 D 4 0 を並列に接続するのは、スイッチング素子 Q 4 0 がオフ状態にあるときに逆バイアス電圧印加用のコンデンサ C 4 0 を介してパルスが供給されてきたときに、そのパルスを主スイッチング素子 Q 1 0 0 のゲートに対して確実に即座に送り出すためである。

【0033】

逆バイアス制御・定電流回路部 4 0 B は、定電圧素子 Z D 4 0 と抵抗素子 R 4 0 とを有している。定電圧素子 Z D 4 0 はツェナーダイオードで構成されるが、そのアノードが抵抗素子 R 4 0 の一方端子に接続され、そのカソードが逆バイアス電圧印加用のコンデンサ C 4 0 の正極端子および遅延回路 2 0 の出力端子に接続されている（接続ノード N 1）。抵抗素子 R 4 0 の他方端子は、逆バイアス切り離し用のスイッチング素子 Q 4 0 のドレインと駆動パルス補償用の一方向性通電素子 D 4 0 のカソードとの接続点に接続されている（接続ノード N 2）。電圧調整回路部 4 0 A に並列に接続されたこの逆バイアス制御・定電流回路部 4 0 B は、主スイッチング素子 Q 1 0 0 のターンオフ時における電圧調整回路部 4 0 A の逆バイアス電圧の大きさを制御するとともに、主スイッチング素子 Q 1 0 0 のオン動作時にゲートに対して所定の駆動電流を供給するものとして構成されている。

【0034】

逆バイアスリセット回路 3 0 は、短パルス発生回路 3 0 A とインバータ回路 3 0 B とを有している。インバータ回路 3 0 B は、短パルス発生回路 3 0 A の出力端子と逆バイアス消去用のスイッチング素子 Q 5 0 のゲート（駆動制御端子）との間に挿入されている。逆バイアスリセット回路 3 0 は、制御回路 1 0 からの駆動パルス a 3 と遅延回路 2 0 からの実効パルス a 4 を入力として微小一定時間の開始タイミングから終了タイミングまでの期間を指示する逆バイアスリセットパルス a 5 を生成する。この逆バイアスリセットパルス a 5 がアクティブ（“ L ” レベル）になると逆バイアス切り離し用のスイッチング素子 Q 4 0 をターンオフするが、同時にインバータ回路 3 0 B によって論理が反転した逆バイアスリセットパルス a 6 を生成して逆バイアス消去用のスイッチング素子 Q 5 0 をターンオンする。また、逆バイアスリセットパルス a 5 がインアクティブ（“ H ” レベル）になると逆バイアス切り離し用のスイッチング素子 Q 4 0 をターンオンするが、同時に論理が反転した逆バイアスリセットパルス a 6 により逆バイアス消去用のスイッチング素子 Q 5 0 をターンオフする。

【0035】

制御回路10は、直流電源電圧 V_{cc} によって一定電圧に保持される平滑コンデンサC11を駆動電源とするコントロールICで構成され、アクティブレベルとインアクティブレベルとが交互に繰り返される駆動パルスa1を出力するように構成されている。制御回路10が出力する駆動パルスa1は抵抗素子R11を介し駆動パルスa2として遅延回路20に出力される一方、その駆動パルスa1は抵抗素子R12を介し駆動パルスa3として短パルス発生回路30Aに出力されるように構成されている。

【0036】

遅延回路20および短パルス発生回路30Aは直流電源電圧 V_{cc} すなわち平滑コンデンサC11の出力電圧によって駆動されるようになっている。遅延回路20は、入力した駆動パルスa2を所定の微小な一定の遅延時間 τ_1 だけ遅らせた実効パルスa4を出力するが、その実効パルスa4は短パルス発生回路30Aに出力される一方、接続ノードN1である駆動パルス伝達用並列回路40の入力端子すなわち逆バイアス電圧印加用のコンデンサC40の正極端子および定電圧素子ZD40のカソードに出力されるように構成されている。

10

【0037】

駆動パルス伝達用並列回路40の出力端子は抵抗素子R13を介して主スイッチング素子Q100のゲート（駆動制御端子）に接続されている。抵抗素子R13とスイッチング素子Q100のゲートとの接続ノードN3は、誤動作防止用の抵抗素子R14を介して接地ラインGLに接続されているとともに、逆バイアス消去用のスイッチング素子Q50と駆動パルス補償用の逆流防止素子D50の直列回路を介して接地ラインGLに接続されている。駆動パルス補償用の逆流防止素子D50はダイオードで構成されており、そのアノードが接地ラインGLに接続され、そのカソードが逆バイアス消去用のスイッチング素子Q50のドレインに接続され、このスイッチング素子Q50のソースが抵抗素子R13とスイッチング素子Q100のゲートとの接続ノードN3に接続されている。

20

【0038】

駆動パルス補償用の逆流防止素子D50は、逆バイアス消去用のスイッチング素子Q50がオンしている最中に駆動パルス伝達用並列回路40から主スイッチング素子Q100のゲートに対してパルスが印加された場合に、主スイッチング素子Q100のゲート電圧が所期通りに上昇することができるようにするためである。

30

【0039】

以上により、主スイッチング素子Q100を主スイッチとしてオン／オフ制御する本発明の実施例のゲート駆動回路が構成されている。

【0040】

次に、遅延回路20と短パルス発生回路30Aの詳細を図2に基づいて説明する。

【0041】

図2(a)に示すように、遅延回路20は、平滑コンデンサC21、PMOSトランジスタQ21、Q23およびNMOSトランジスタQ22、Q24を有している。直流電源電圧 V_{cc} の入力端子とグランドGNDとの間に平滑コンデンサC21が接続されている。その平滑コンデンサC21にPMOSトランジスタQ21とNMOSトランジスタQ22の直列回路およびPMOSトランジスタQ23とNMOSトランジスタQ24の直列回路が並列に接続されている。これらPMOSとNMOSとの直列回路のそれぞれはインバータ回路を構成し、インバータ回路2段でバッファ回路が構成されている。すなわち、トランジスタQ21、Q22のドレインどうしが接続され、その接続ノードがトランジスタQ23、Q24のゲートに接続されている。また、トランジスタQ23、Q24のドレインどうしが接続され、その接続点を実効パルスa4の出力端子となっている。

40

【0042】

この遅延回路20においては、前記のバッファ回路がもつ時定数をもって駆動パルスa2に対する実効パルスa4の遅延時間 τ_1 が定められている。遅延回路20に入力される“H”，“L”の繰り返しパターンをもつ駆動パルスa2は、遅延時間 τ_1 だけ遅延する

50

状態で“H”，“L”の繰り返しパターンをもつ実効パルスa4となり、駆動パルス伝達用並列回路40の入力端子（接続ノードN1）および短パルス発生回路30Aの入力端子に向けて出力される。

【0043】

図2（b）に示すように、短パルス発生回路30Aは、平滑コンデンサC31、抵抗素子R31およびNMOSトランジスタQ31を有している。直流電源電圧Vccの入力端子とグラウンドGNDとの間に平滑コンデンサC31が接続されている。その平滑コンデンサC31の正極端子と遅延回路20の出力端子（NMOSトランジスタQ24のドレイン）との間に抵抗素子R31とNMOSトランジスタQ31の直列回路が接続されている。トランジスタQ31のゲートに対して駆動パルスa3が印加され、ソースに対して実効パルスa4が印加されるようになっている。抵抗素子R31とトランジスタQ31のドレインとの接続ノードが逆バイアスリセットパルスa5の出力端子となっている。

10

【0044】

この短パルス発生回路30Aにおいては、駆動パルスa3と実効パルスa4の組み合わせが〔“L”，“L”〕、〔“L”，“H”〕、〔“H”，“H”〕のときは逆バイアスリセットパルスa5として“H”レベルを生成し、駆動パルスa3と実効パルスa4の組み合わせが〔“H”，“L”〕のときは逆バイアスリセットパルスa5として“L”レベルを生成する。

【0045】

すなわち、駆動パルスa3が“L”レベルのときはトランジスタQ31がオフとなるので、実効パルスa4の“H”，“L”に関係なく逆バイアスリセットパルスa5は“H”レベルとなる。一方、駆動パルスa3が“H”レベルのときはトランジスタQ31がオン状態となるので、逆バイアスリセットパルスa5のレベルは実効パルスa4のレベルに応じて変化する。つまり、実効パルスa4が“H”レベルであれば逆バイアスリセットパルスa5も“H”レベルであり、実効パルスa4が“L”レベルであれば逆バイアスリセットパルスa5は“L”レベルとなる。

20

【0046】

駆動パルスa2が“L”レベルになると、NMOSトランジスタQ22がオフし、PMOSトランジスタQ21がオンして直流電源電圧Vccが印加されるため、そのドレイン共通接続点から“H”レベルが出力される。その結果、PMOSトランジスタQ23がオフし、NMOSトランジスタQ24がオンして接地ラインGLに接続されるため、遅延回路20から出力される実効パルスa4は“L”レベルとなる。実効パルスa4が“L”レベルとなっている状態で、駆動パルスa3が“H”レベルであればNMOSトランジスタQ31がオン状態であるので、短パルス発生回路30Aからは“L”レベルが出力され（期間 $t_2 \sim t_3$ ）、逆に、駆動パルスa3が“L”レベルであればNMOSトランジスタQ31がオフ状態であるので、短パルス発生回路30Aからは“H”レベルが出力される（期間 $t_5 \sim t_6$ ）。

30

【0047】

一方、駆動パルスa2が“H”レベルになると、PMOSトランジスタQ21がオフし、NMOSトランジスタQ22がオンして接地ラインGLに接続されるため、そのドレイン共通接続点から“L”レベルが出力される。その結果、NMOSトランジスタQ24がオフし、PMOSトランジスタQ23がオンして直流電源電圧Vccが印加されるため、遅延回路20から出力される実効パルスa4は“H”レベルとなる。実効パルスa4が“H”レベルとなっている状態では、駆動パルスa3の“H”レベル、“L”レベルにかかわらず、短パルス発生回路30Aからは“H”レベルが出力される（期間 $t_3 \sim t_5$ ）。

40

【0048】

まとめると、逆バイアスリセットパルスa5が“L”レベルとなるのは、駆動パルスa3と実効パルスa4の組み合わせが〔“H”，“L”〕のときに限る。逆バイアスリセットパルスa5は遅延時間 τ_1 だけの十分に短い時間幅のローアクティブ（負論理）のパルスとなる。

50

【0049】

ここでローアクティブとする（逆バイアスリセットパルスa5が“L”レベルとなる）ことにより、逆バイアス切り離し用のスイッチング素子Q40をアクティブ（オフ）にして逆バイアス電圧印加用のコンデンサC40を切り離し（逆バイアス電圧の供給停止）、かつ、これと同期して、インバータ回路30Bを介して逆バイアスリセットパルスa5が反転されたハイアクティブの逆バイアスリセットパルスa6が逆バイアス消去用のスイッチング素子Q50をアクティブ（オン）にして主スイッチング素子Q100のゲート・ソース間を短絡する（逆バイアスショート）ようにしている。

【0050】

次に、上記のように構成されたゲート駆動回路の動作を図3のタイミングチャートを参照しながら説明する。

10

【0051】

制御回路10から出力される駆動パルスa1は、タイミング t_0 で立ち下がり、タイミング t_2 で立ち上がり、タイミング t_4 で再び立ち下がるという“L”，“H”の繰り返しパターンをもつ。

【0052】

駆動パルスa1が抵抗素子R11を経た駆動パルスa2および抵抗素子R12を経た駆動パルスa3のパターンおよびタイミングは、駆動パルスa1に対して同一位相で同期している。

【0053】

20

駆動パルスa2が遅延回路20で処理された結果の実効パルスa4は、タイミング t_1 で立ち下がり、タイミング t_3 で立ち上がり、タイミング t_5 で再び立ち下がるという“L”，“H”の繰り返しパターンをもつ。実効パルスa4のパターンは駆動パルスa1，a2，a3と同一であり、実効パルスa4のタイミングは駆動パルスa1，a2，a3のタイミングから所定の遅延時間 τ_1 だけ遅れている。

【0054】

駆動パルスa3と実効パルスa4とに基づいて短パルス発生回路30Aで生成された逆バイアスリセットパルスa5は、タイミング t_2 で立ち下がり、タイミング t_3 で立ち上がり、タイミング t_6 で再び立ち下がるという“L”，“H”の繰り返しパターンをもつ。この逆バイアスリセットパルスa5は遅延時間 τ_1 の時間幅を有するローアクティブの信号である。逆バイアスリセットパルスa5がアクティブとなる立ち下がりタイミング t_2 は実効パルスa4の立ち上がりタイミング t_3 に対して遅延時間 τ_1 に対応する一定時間だけ先行している。そして、逆バイアスリセットパルスa5がインアクティブとなる立ち上がりタイミング t_3 は実効パルスa4の立ち上がりタイミング t_3 と一致している。すなわち、逆バイアスリセットパルスa5が有効化（活性化）されるのは、実効パルスa4が有効化（活性化）されるタイミングの直前であって、その期間は遅延時間 τ_1 に相当する短時間である。ローアクティブの逆バイアスリセットパルスa5は、タイミング $t_2 \sim t_3$ の期間において逆バイアス切り離し用のスイッチング素子Q40をオフ状態に制御する。

30

【0055】

40

ローアクティブの逆バイアスリセットパルスa5がインバータ回路30Bによって論理反転されたハイアクティブの逆バイアスリセットパルスa6は、タイミング t_2 で立ち上がり、タイミング t_3 で立ち下がり、タイミング t_6 で再び立ち上がるという“H”，“L”の繰り返しパターンをもつ。このハイアクティブの逆バイアスリセットパルスa6は、タイミング $t_2 \sim t_3$ の期間において逆バイアス消去用のスイッチング素子Q50をオン状態に制御する。

【0056】

すなわち、実効パルスa4を駆動パルス伝達用並列回路40を介して主スイッチング素子Q100のゲートに印加するタイミング t_3 に対して、それより遅延時間 τ_1 だけ先行するタイミング t_2 において、ローアクティブの逆バイアスリセットパルスa5によって

50

逆バイアス切り離し用のスイッチング素子Q40をターンオフすると同時に、ハイアクティブの逆バイアスリセットパルスa6によって逆バイアス消去用のスイッチング素子Q50をターンオンする。

【0057】

タイミング t_1 において遅延回路20から出力される実効パルスa4が立ち下がると、逆バイアス電圧印加用のコンデンサC40の正極端子が遅延回路20においてターンオンしたNMOSトランジスタQ24を介して接地ラインGLに接続され、逆バイアス電圧印加用のコンデンサC40の正極端子の電荷が放電されるため、逆バイアス電圧印加用のコンデンサC40の負極端子に対しオン状態の逆バイアス切り離し用のスイッチング素子Q40と抵抗素子R13を介して接続される主スイッチング素子Q100のゲート・ソース間の電圧を急激に低下させる。このときのゲート・ソース間電圧 V_r は負値であり、逆バイアス状態となる。主スイッチング素子Q100のオフ状態においてゲート・ソース間電圧は逆バイアス制御・定電流回路部40Bにおける定電圧素子ZD40の降伏電圧（ツェナー電圧） V_{ZD40} （負値）で安定化する。すなわち、主スイッチング素子Q100のゲートには逆バイアス電圧 $V_r (= V_{ZD40} \text{ (負値)})$ が印加される。その結果、主スイッチング素子Q100のオフ状態における漏れ電流が小さく抑えられる。

10

【0058】

タイミング t_2 において、短パルス発生回路30Aから出力されるローアクティブの逆バイアスリセットパルスa5およびインバータ回路30Bから出力されるハイアクティブの逆バイアスリセットパルスa6がともに活性化される。これにより、電圧調整回路部40Aにおける逆バイアス切り離し用のスイッチング素子Q40がターンオフする一方、逆バイアス消去用のスイッチング素子Q50がターンオンする。

20

【0059】

逆バイアス切り離し用のスイッチング素子Q40がオフすると、逆バイアス電圧印加用のコンデンサC40による主スイッチング素子Q100のゲートに対する逆バイアス電圧の供給が停止される。一方、逆バイアス消去用のスイッチング素子Q50がオンすると、主スイッチング素子Q100のゲート・ソース間の逆バイアスにかかわる負電荷が駆動パルス補償用の逆流防止素子D50とスイッチング素子Q50を介して急速に放電し、主スイッチング素子Q100のゲート電圧を0レベルに収束する。このように、主スイッチング素子Q100のゲート電圧を上昇させるに当たり、ゲートオフ電圧（逆バイアス電圧）からいったん0レベルまで引き上げている。

30

【0060】

タイミング t_3 においては、実効パルスa4が立ち上がると同時に、ローアクティブの逆バイアスリセットパルスa5が立ち上がって逆バイアス切り離し用のスイッチング素子Q40がターンオンされるとともにハイアクティブの逆バイアスリセットパルスa6が立ち下って逆バイアス消去用のスイッチング素子Q50がターンオフされる。逆バイアス電圧印加用のコンデンサC40を通過した実効パルスa4である“H”レベルのパルスは、ターンオンした駆動パルス補償用の一方向性通電素子D40および抵抗素子R13を介して主スイッチング素子Q100のゲートに印加され、この主スイッチング素子Q100をターンオンする。この0レベルからゲートオン電圧までの引き上げに伴う電圧変化は ΔV_A であり、この電圧変化 ΔV_A は従来例の場合の電圧変化 ΔV_B （図5参照）に比べて充分に小さなものとなっている。

40

【0061】

仮に、逆バイアス切り離し用のスイッチング素子Q40に対して駆動パルス補償用の一方向性通電素子D40が並列に接続されていないと、逆バイアス電圧印加用のコンデンサC40を介して実効パルスa4が供給されたときに、逆バイアス切り離し用のスイッチング素子Q40が動作タイミングのずれによりオフ状態のままにあってターンオンが遅れると、主スイッチング素子Q100のターンオン動作も遅れてしまう。これに対して、スイッチング素子Q40に一方向性通電素子D40が並列に接続されていると、逆バイアス切り離し用のスイッチング素子Q40がオフ状態にあるときに実効パルスa4が供給された

50

場合でも、一方向性通電素子D 4 0の機能によりその実効パルスa 4を主スイッチング素子Q 1 0 0のゲートに対して即座に送り出して主スイッチング素子Q 1 0 0を急速にターンオンすることができる。

【0 0 6 2】

また、仮に逆バイアス消去用のスイッチング素子Q 5 0に駆動パルス補償用の逆流防止素子D 5 0が接続されていないと、主スイッチング素子Q 1 0 0のゲートに対して実効パルスa 4が印加されたときに、逆バイアス消去用のスイッチング素子Q 5 0が動作タイミングのずれによりオン状態のままにあってターンオフが遅れると、オン状態にある逆バイアス消去用のスイッチング素子Q 5 0を介してゲートが接地レベルとなってしまう、ゲート電圧が所期通りに上昇することができなくなってしまう。これに対して、接地ラインG Lと逆バイアス消去用のスイッチング素子Q 5 0との間に駆動パルス補償用の逆流防止素子D 5 0が挿入されていると、逆バイアス消去用のスイッチング素子Q 5 0がオン状態にあるときに主スイッチング素子Q 1 0 0のゲートに実効パルスa 4が印加された場合でも、駆動パルス補償用の逆流防止素子D 5 0の機能によってゲートが接地レベルとなることを防止し、ゲート電圧を所期通りに上昇させることが可能となる。

【0 0 6 3】

いずれにしても、逆バイアス電圧印加用のコンデンサC 4 0にゲートオン電圧が印加されるタイミング t_3 の直前のタイミング $t_2 \sim t_3$ の期間においてすでに、主スイッチング素子Q 1 0 0のゲート電圧が強制的に逆バイアス電圧 $V_r (= V_{ZD40} \text{ (負値)})$ から0レベルへと引き上げられている。つまり、主スイッチング素子Q 1 0 0のゲートは逆バイアス状態を解消され、通常の0レベル状態となっている。その結果として、主スイッチング素子Q 1 0 0のターンオンに要する時間を、逆バイアス状態からターンオンする場合に比べて大幅に短縮化させることが可能となっている。このように本発明によれば、主スイッチング素子Q 1 0 0のターンオン速度の高速化が可能となっている。そして、その分だけ主スイッチング素子Q 1 0 0のターンオン時のスイッチング損失が低減化される。

【0 0 6 4】

次に、NMOSトランジスタである逆バイアス切り離し用のスイッチング素子Q 4 0、逆バイアス消去用のスイッチング素子Q 5 0のソースとドレインの接続について説明する。NMOSトランジスタの場合、そのソースはドレインよりも低電位側の端子に接続され、そのドレインはソースよりも高電位側の端子に接続されるのが原則である。図1において、逆バイアス切り離し用のスイッチング素子Q 4 0のソースが逆バイアス電圧印加用のコンデンサC 4 0の側にあり、ドレインが抵抗素子R 1 3（接続ノードN 2）の側にある。また、逆バイアス消去用のスイッチング素子Q 5 0のソースが主スイッチング素子Q 1 0 0のゲート（接続ノードN 3）の側にあり、ドレインがグラウンドラインG Lに繋がる駆動パルス補償用の逆流防止素子D 5 0の側にある。この態様は一見上記の原則とは逆であるように見える。

【0 0 6 5】

しかし、実はそうではなく、上記の原則（NMOSトランジスタの場合、ソースはドレインよりも低電位側の端子に、ドレインはソースよりも高電位側の端子に接続される）を踏襲している。それは、主スイッチング素子Q 1 0 0のゲートに対して正バイアスではなく逆バイアスを印加することに起因している。

【0 0 6 6】

主スイッチング素子Q 1 0 0のオフ状態において、逆バイアス切り離し用のスイッチング素子Q 4 0と逆バイアス電圧印加用のコンデンサC 4 0の接続点の電位 V_C は主スイッチング素子Q 1 0 0のゲート電圧 V_G よりも低くなっている（ $V_C < V_G$ ）。したがって、NMOSトランジスタである逆バイアス切り離し用のスイッチング素子Q 4 0のソースはより低電位側である逆バイアス電圧印加用のコンデンサC 4 0の側に接続するのである。

【0 0 6 7】

逆バイアス切り離し用のスイッチング素子Q 4 0および逆バイアス消去用のスイッチン

10

20

30

40

50

グ素子Q50がトランジスタとして有効な動作をするのは図3のタイムチャートにおけるタイミング $t_1 \sim t_2$ の期間であり、その期間においては逆バイアス切り離し用のスイッチング素子Q40と逆バイアス電圧印加用のコンデンサC40の接続点の電位 V_C は主スイッチング素子Q100のゲート電圧 V_G より低く、その電位差については、0.05～0.2[V]程度が好ましく、より好ましくは0.1[V]程度である。

【0068】

一方、主スイッチング素子Q100のオン状態において、逆バイアス消去用のスイッチング素子Q50と主スイッチング素子Q100のゲートの接続点の電位であるゲート電圧 V_G はグラウンドラインGLの電位 V_{GL} よりも低くなっている($V_G < V_{GL}$)。したがって、NMOSTランジスタである逆バイアス消去用のスイッチング素子Q50のソースはより低電位側である主スイッチング素子Q100のゲートの側に接続される。

10

【0069】

逆バイアス電圧印加用のコンデンサC40はスイッチング動作を通してほとんど充放電が起こらないので、駆動損失の小さい定電流供給型駆動回路を実現できる。

【0070】

実効パルスa4が立ち上がるタイミング t_3 から立ち下がるタイミング t_5 までの期間では、主スイッチング素子Q100がオン状態にある。この状態では、遅延回路20の出力端子(接続ノードN1)と主スイッチング素子Q100のローサイド端子(ソース)との間に印加される電圧は、主スイッチング素子Q100のゲート入力容量 C_{iss} と逆バイアス電圧印加用のコンデンサC40とで分圧される。このとき、

20

$V_G = C_{40} \cdot V_{cc} / (C_{40} + C_{iss}) = V_{cc} / (1 + C_{iss} / C_{40}) < V_{cc}$ であり、ゲート電圧 V_G は駆動電圧 V_{cc} よりも小さくなる。

【0071】

初期のゲート電圧 V_G は上の式で与えられるが、ノーマリオフ型のGaNトランジスタの場合にはゲート電流が流れ、ゲート電圧 V_G はゲート電流でクランプされ、ゲート電圧 V_G はある値以上大きくならない。そのため、 $C_{40} > C_{iss}$ でも $V_{C40} > V_G$ となる。

【0072】

主スイッチング素子Q100がターンオンした直後からは逆バイアス制御・定電流回路部40Bの定電圧素子(ツェナーダイオード)ZD40と抵抗素子R40の直列回路を介して流れ込む電流により主スイッチング素子Q100の電流駆動が維持され、主スイッチング素子Q100のオン状態が保持される。このとき主スイッチング素子Q100のゲートに流れ込む電流は一定電流に維持され、主スイッチング素子Q100のドレイン・ソース間電流が安定化する。

30

【0073】

また、主スイッチング素子Q100の定常オン状態で、定電圧素子(ツェナーダイオード)ZD40の降伏電圧(ツェナー電圧)によって逆バイアス電圧印加用のコンデンサC40に発生する直流電源電圧が制限される。また、電流の一部は誤動作防止用の抵抗素子R14を流れる。

【産業上の利用可能性】

【0074】

40

本発明は、ノーマリオフ型のスイッチング素子を主スイッチとするゲート駆動回路に関して、ノーマリオフ型のスイッチング素子のターンオン速度の高速化とターンオン時のスイッチング損失の低減化とを実現する技術として有用である。

【符号の説明】

【0075】

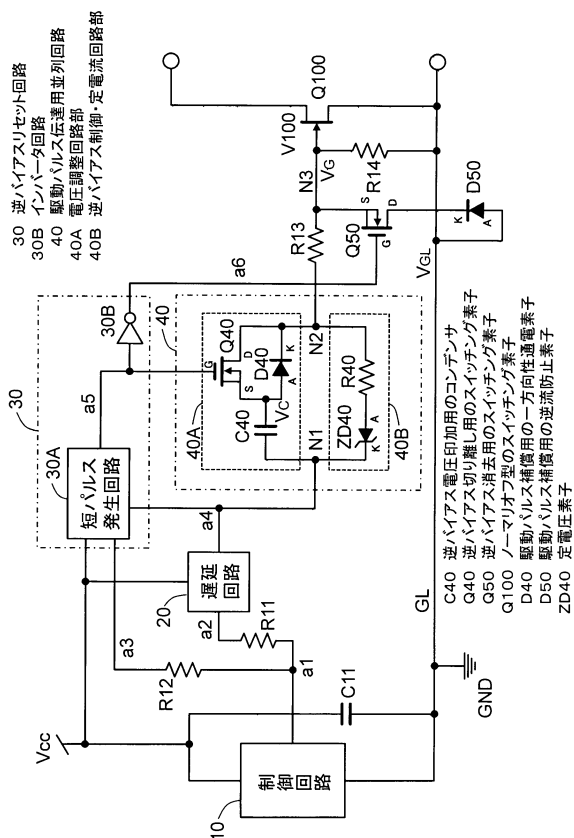
- 10 制御回路(制御部)
- 20 遅延回路
- 30 逆バイアスリセット回路
- 30A 短パルス発生回路
- 30B インバータ回路

50

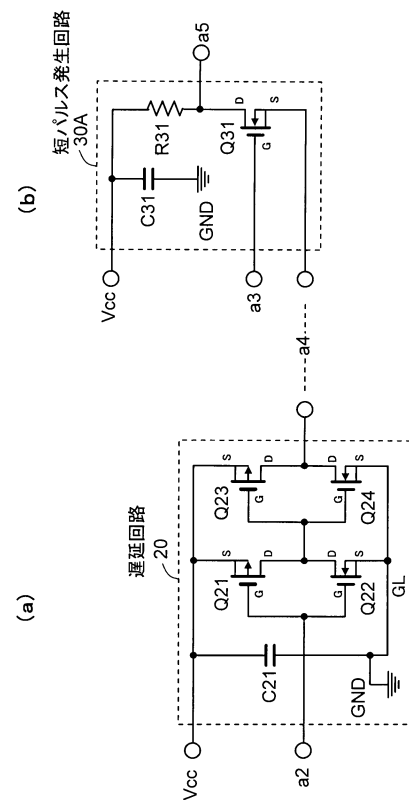
- 4 0 駆動パルス伝達用並列回路
- 4 0 A 電圧調整回路部
- 4 0 B 逆バイアス制御・定電流回路部
- a 1, a 2, a 3 駆動パルス
- a 4 実効パルス
- a 5, a 6 逆バイアスリセットパルス
- C 4 0 逆バイアス電圧印加用のコンデンサ
- D 4 0 駆動パルス補償用の一方向性通電素子
- D 5 0 駆動パルス補償用の逆流防止素子
- G L 接地ライン
- Q 4 0 逆バイアス切り離し用のスイッチング素子
- Q 5 0 逆バイアス消去用のスイッチング素子
- Q 1 0 0 主スイッチング素子
- Z D 4 0 定電圧素子

10

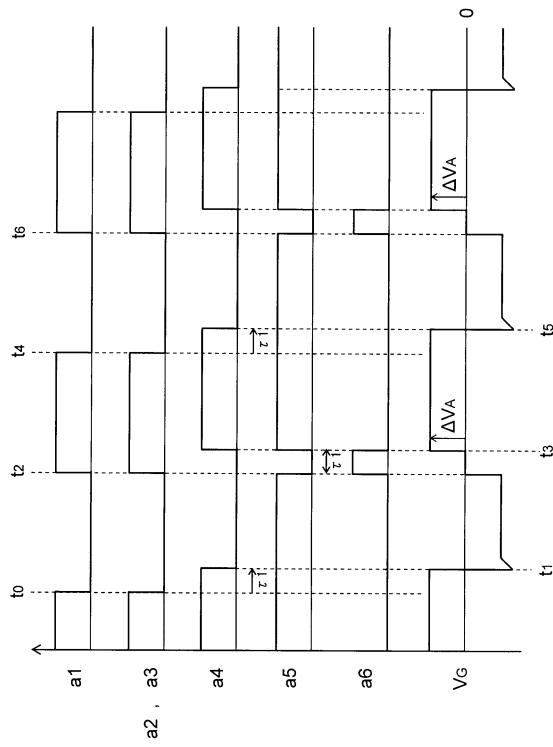
【図 1】



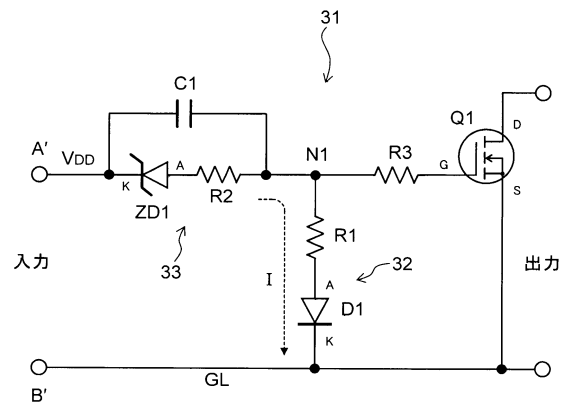
【図 2】



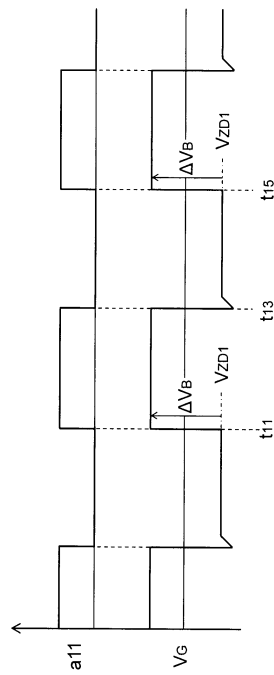
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特開2014-027345 (JP, A)
特開2013-013044 (JP, A)
特開2014-187479 (JP, A)
特開2010-161496 (JP, A)
特開平08-149796 (JP, A)
特開2009-200891 (JP, A)
特開2009-021823 (JP, A)
国際公開第2014/128942 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
H03K 17/00-17/70
H02M 1/08