

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)



(10) 国际公布号
WO 2015/100917 A1

- (51) 国际专利分类号:
G06F 11/10 (2006.01)
- (21) 国际申请号: PCT/CN2014/077931
- (22) 国际申请日: 2014 年 5 月 20 日 (20.05.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310749647.X 2013 年 12 月 30 日 (30.12.2013) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (ZHONGXING MICROELECTRONICS TECHNOLOGY CO.LTD) [CN/CN]; 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 黄义远 (HUANG, Yiyuan); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: DATA ERROR CORRECTING METHOD AND DEVICE, AND COMPUTER STORAGE MEDIUM

(54) 发明名称: 实现数据纠错的方法及装置、计算机存储介质

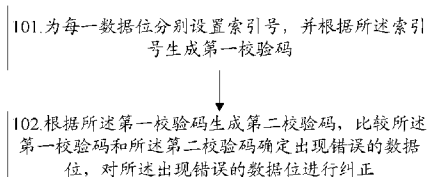


图 1 / Fig. 1

101 RESPECTIVELY SETTING AN INDEX NUMBER FOR EACH DATA BIT, AND GENERATING A FIRST CHECK CODE ACCORDING TO THE INDEX NUMBER
102 GENERATING A SECOND CHECK CODE ACCORDING TO THE FIRST CHECK CODE, COMPARING THE FIRST CHECK CODE WITH THE SECOND CHECK CODE TO DETERMINE THE ERRONEOUS DATA BIT, AND CORRECTING THE ERRONEOUS DATA BIT

(57) Abstract: Provided are a data error correcting method and device, and computer storage medium, the method comprising: respectively setting an index number for each data bit, and generating a first check code according to the index number; and generating a second check code according to the first check code, comparing the first check code with the second check code to determine an erroneous data bit, and correcting the erroneous data bit. The device comprises: a setting module configured to respectively set the index number for each data bit; a first check code generation module configured to generate the first check code according to the index number; a second check code generation module configured to generate the second check code according to the first check code; and a data processing module configured to compare the first check code with the second check code to determine an erroneous data bit, and correct the erroneous data bit.

(57) 摘要: 提供了一种实现数据纠错的方法及装置、计算机存储介质。该方法包括: 为每一数据位分别设置索引号, 并根据所述索引号生成第一校验码; 根据所述第一校验码生成第二校验码, 比较所述第一校验码和所述第二校验码确定出现错误的数据位, 对所述出现错误的数据位进行纠正。该装置包括: 设置模块, 配置为为每一数据位分别设置索引号; 第一校验码生成模块, 配置为根据所述索引号生成第一校验码; 第二校验码生成模块, 配置为根据所述第一校验码生成第二校验码; 数据处理模块, 配置为比较所述第一校验码和所述第二校验码确定出现错误的数据位, 对所述出现错误的数据位进行纠正。

WO 2015/100917 A1

实现数据纠错的方法及装置、计算机存储介质

技术领域

本发明涉及编解码领域中的纠错技术，尤其涉及一种实现数据纠错的方法及装置、计算机存储介质。

5 背景技术

目前，随机存储器（RAM，Random Access Memory）中的错误检查与纠正（ECC，Error Checking and Correcting）技术主要采用汉明码的方式实现，该技术具有纠正 1bit 错误、检测 2bits 错误的功能。上述 ECC 技术通常针对一定的数据位宽实现，典型的数据位宽有 32 位、64 位、128 位等，
10 可以将原数据的数据位看成按照行和列进行排列的矩阵，通过对所述行和列进行奇偶校验产生校验码，并将该校验码与原数据一起写入 RAM 中保存。读数据时，原数据和校验码一起从所述 RAM 中读出来，通过采用同样的算法可以产生新校验码，进一步地，通过比较上述两个校验码的差异能够确定读数据时出现错误的行和列，进而确定读数据时出现错误的的数据位。
15 在上述方法中，每一位校验码的产生都需要数据位的高位部分和低位部分的参与，当数据位宽发生变化时，由所述矩阵生成的多项式也需要作出相应的改变，因此，该方法的通用性较低。

发明内容

有鉴于此，本发明实施例期望提供一种实现数据纠错的方法及装置、
20 计算机存储介质，能够提高算法的通用性，减少校验码的规模。

为达到上述目的，本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种实现数据纠错的方法，所述方法包括：

为每一数据位分别设置索引号，并根据所述索引号生成第一校验码；
根据所述第一校验码生成第二校验码，比较所述第一校验码和所述第二校验码确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

5 较佳的，所述为每一数据位分别设置索引号，为：按照数据位的高低顺序，为每一数据位分别设置二进制索引号。

较佳的，所述根据所述索引号生成第一校验码，包括：根据所述二进制索引号获取第一校验码生成式，根据所述第一校验码生成式生成第一校验码；

10 所述根据所述二进制索引号获取第一校验码生成式，根据所述第一校验码生成式生成第一校验码，为：为每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第一校验码生成式，并将各索引号位的第一校验码生成式的结果分别作为第一校验码的对应位。

较佳的，所述根据第一校验码生成第二校验码，包括：

15 为输入数据的每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第二校验码生成式，并将各索引号位的第二校验码生成式的结果分别作为第二校验码的对应位。

20 较佳的，所述比较所述第一校验码和所述第二校验码确定出现错误的的数据位，对所述出现错误的的数据位进行纠正，包括：

对第一校验码和第二校验码的每一对应位进行异或运算，获得第三校验码的对应位，根据第三校验码确定第一校验码与第二校验码的对应位不一致时，根据第一校验码对应位的第一校验码生成式确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

25 本发明实施例还提供了一种实现数据纠错的装置，所述装置包括：设

置模块、第一校验码生成模块、第二校验码生成模块、以及数据处理模块；其中，

所述设置模块，配置为为每一数据位分别设置索引号；

所述第一校验码生成模块，配置为根据所述索引号生成第一校验码；

5 所述第二校验码生成模块，配置为根据所述第一校验码生成第二校验码；

所述数据处理模块，配置为比较所述第一校验码和所述第二校验码确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

10 较佳的，所述设置模块，配置为按照数据位的高低顺序，为每一数据位分别设置二进制索引号。

较佳的，所述第一校验码生成模块，配置为为每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第一校验码生成式，并将各索引号位的第一校验码生成式的结果分别作为第一校验码的对应位。

15 较佳的，所述第二校验码生成模块，配置为为输入数据的每一数据位的二进制索引号，分别对每一索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第二校验码生成式，并将各索引号位的第二校验码生成式的结果分别作为第二校验码的对应位。

20 较佳的，所述数据处理模块，配置为对第一校验码和第二校验码的每一对应位进行异或运算，获得第三校验码的对应位，根据第三校验码确定第一校验码与第二校验码的对应位不一致时，根据第一校验码对应位的第一校验码生成式确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

25 本发明实施例还提供了一种计算机存储介质，其中存储有计算机可执行指令，所述计算机可执行指令用于执行上述的方法。

本发明实施例提供的实现数据纠错的方法及装置、计算机存储介质，为每一数据位分别设置索引号，并根据所述索引号生成第一校验码；根据所述第一校验码生成第二校验码，比较所述第一校验码和所述第二校验码确定出现错误的数据位，对所述出现错误的数据位进行纠正；如此，能够

5 基于为每一数据位分别设置的索引号获得第一校验码，进而基于所述第一校验码获得第二校验码，通过比较第一校验码和第二校验码确定出现错误的

的数据位，由于上述过程不受数据位宽的限制，且第一校验码各校验位和第二校验码各校验位的生成只有部分数据的参与，因此，该方法在减少校验码规模的同时可以复用到多种场合，具有较高的通用性。

10 附图说明

图 1 为本发明实现数据纠错的方法实施例的实现流程示意图；

图 2 为本发明实施例 8 位数据的数据位示意图；

图 3 为本发明实施例 8 位数据的数据位与二进制索引号的对应关系示意图；

15 图 4 为本发明实现数据纠错的装置实施例的组成结构示意图；

图 5 为本发明实现数据纠错的装置实施例的电路框架示意图。

具体实施方式

本发明实施例中，为每一数据位分别设置索引号，并根据所述索引号生成第一校验码；根据所述第一校验码生成第二校验码，比较所述第一校验码和所述第二校验码确定出现错误的数据位，将该出现错误的数据位进

20 行纠正后输出。

本发明实施例中，当需要读数据或写数据时，读/写选择信号确定当前执行的是读数据还是写数据，并为每一数据位分别设置二进制的索引号，所述二进制的索引号与数据位为一一对应的关系。

为每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获得各索引号位的第一校验码生成式；在获取各索引号位的第一校验码生成式之后，将所述各索引号位的第一校验码生成式的结果分别作为第一校验码的对应位，这样，就可以得到第一校验码的各个校验位；可以看出，第一校验码的位数与二进制索引号的位数相同。

在读数据或写数据时，采用与上述生成第一校验码类似的算法生成第二校验码，对应的，第二校验码的位数与第一校验码的位数和二进制索引号的位数相同。

在实际应用中，写数据不需要进行纠错，因此，在获得第一校验码和第二校验码后可以直接将写入的数据输出；在读数据时，如果某一数据位出现错误，则第二校验码中的对应位将发生变化；通过比较第一校验码和第二校验码的方式可以确定出现错误的的数据位；其中，读/写选择信号可以控制整个电路是进行纠错操作，还是进行生成第一校验码和第二校验码操作。

具体的，在读数据时，对第一校验码和第二校验码的每一对应位进行异或运算可以获得第三校验码的各个对应位，根据所述第三校验码中每一校验位的数据，可以推断在读数据的过程中第一校验码的某校验位与第二校验位的某校验位不一致，然后，根据该校验位对应的第一校验码生成式得到出现错误的的数据位。

在实际应用中，由于第一校验码在存取的过程中也可能出现错误，因此，进一步设置检查校验码，通过检查校验码的变化确定第一校验码在存取的过程中是否出现错误；如果第一校验码出现错误，则不需要进行纠错操作，直接向操作系统报告第一校验码错误。

下面结合附图及具体实施例对本发明做进一步的详细说明。

本发明实施例提供一种实现数据纠错的方法，其中，数据的输入可以

是写数据也可以是读数据，由读/写选择信号确定当前执行的是读数据还是写数据；图 1 为本发明实现数据纠错的方法实施例的实现流程示意图，如图 1 所示，以 8 位数据为例，该方法包括以下步骤：

步骤 101：为每一数据位分别设置索引号，并根据所述索引号生成第一

5 校验码；

本步骤中，按照数据位的高低顺序，分别对每一数据位进行标记，如图 2 所示，图 2 为本发明实施例 8 位数据的数据位示意图，所述 8 位数据从低位到高位分别标记为 D0、D1、D2、D3、D4、D5、D6、D7；因此，所述 8 位数据从低位到高位对应的十进制索引号依次为 0、1、2、3、4、5、
10 6、7；按照数据位的高低顺序，为所述 8 位数据的每一位分别设置与所述十进制索引号对应的二进制索引号，所述十进制索引号 0-7 可以分别用三位二进制数表示，因此，所述 8 位数据从低位到高位对应的二进制索引号依次为：000、001、010、011、100、101、110、111；所述由三位二进制数表示的每一位数据的二进制索引号从左到右依次为该二进制索引号的高位、
15 次低位、低位。

图 3 为本发明实施例 8 位数据的数据位与二进制索引号的对应关系示意图，如图 3 所示，所述第一校验码也可以由三位二进制数表示，对应的，所述由三位二进制数表示的第一校验码从左到右依次为该第一校验码的高位 C₂、次低位 C₁、低位 C₀。

20 具体的，为每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第一校验码生成式，如：分别对各索引号高位、次低位、低位中为 1 的数据位进行异或运算，获取各索引号位的第一校验码生成式，具体运算过程如下述各公式所示：

$$C_0 = D_1 \oplus D_3 \oplus D_5 \oplus D_7 \quad (1)$$

25 其中，所述 C₀ 表示所有二进制索引号低位为 1 的数据位进行异或运算

的结果, 所述 $D_1 \wedge D_3 \wedge D_5 \wedge D_7$ 为低位的第一校验码生成式;

$$C_1 = D_2 \wedge D_3 \wedge D_6 \wedge D_7 \quad (2)$$

其中, 所述 C_1 表示所有二进制索引号次低位为 1 的数据位进行异或运算的结果, 所述 $D_2 \wedge D_3 \wedge D_6 \wedge D_7$ 为次低位的第一校验码生成式;

$$C_2 = D_4 \wedge D_5 \wedge D_6 \wedge D_7 \quad (3)$$

其中, 所述 C_2 表示所有二进制索引号高位为 1 的数据位进行异或运算的结果, 所述 $D_4 \wedge D_5 \wedge D_6 \wedge D_7$ 为高位的第一校验码生成式;

进一步地, 可以为所述第一校验码设置第一总校验码, 具体的, 如公式 (4) 所示:

$$C_a = D_0 \wedge D_1 \wedge D_2 \wedge D_3 \wedge D_4 \wedge D_5 \wedge D_6 \wedge D_7 \quad (4)$$

其中, 所述 C_a 表示所有数据位进行异或运算的结果, 为第一总校验码, 所述 $D_0 \wedge D_1 \wedge D_2 \wedge D_3 \wedge D_4 \wedge D_5 \wedge D_6 \wedge D_7$ 为第一总校验码生成式;

$$C = C_2 \ C_1 \ C_0 \quad (5)$$

其中, 所述 C 表示第一校验码, C_0 表示所有二进制索引号低位为 1 的数据位进行异或运算的结果, C_1 表示所有二进制索引号次低位为 1 的数据位进行异或运算的结果, C_2 表示所有二进制索引号高位为 1 的数据位进行异或运算的结果。

具体的, 如公式 (5) 所示, 在获取每一索引号位的第一校验码生成式之后, 将每一索引号位的第一校验码生成式的结果作为第一校验码的对应位, 即: 将低位的第一校验码生成式 $D_1 \wedge D_3 \wedge D_5 \wedge D_7$ 的结果 C_0 作为第一校验码的低位; 将次低位的第一校验码生成式 $D_2 \wedge D_3 \wedge D_6 \wedge D_7$ 的结果 C_1 作为第一校验码的次低位; 将高位的第一校验码生成式 $D_4 \wedge D_5 \wedge D_6 \wedge D_7$ 的结果 C_2 作为第一校验码的高位; 这样, 获得第一校验码的各个校验位。

步骤 102: 根据所述第一校验码生成第二校验码, 比较所述第一校验码和所述第二校验码确定出现错误的数据位, 对所述出现错误的数据位进行

纠正;

本步骤中,在读数据或写数据时,采用与上述生成第一校验码类似的算法生成第二校验码,对应的,所述第二校验码也可以由三位二进制数表示,所述由三位二进制数表示的第二校验码从左到右依次为该第二校验码的高位 C'_2 、次低位 C'_1 、低位 C'_0 。

具体的,为输入数据的每一数据位的二进制索引号,分别对各索引号对应位中为 1 或 0 的数据位进行异或运算,获取各索引号位的第二校验码生成式,如:分别对各索引号高位、次低位、低位中为 1 的数据位进行异或运算,获取各索引号位的第二校验码生成式,具体运算过程如下述各公式所示:

$$C'_0 = D'_1 \wedge D'_3 \wedge D'_5 \wedge D'_7 \quad (6)$$

其中,所述 C'_0 表示输入数据的所有二进制索引号低位为 1 的数据位进行异或运算的结果,所述 $D'_1 \wedge D'_3 \wedge D'_5 \wedge D'_7$ 为低位的第二校验码生成式;

$$C'_1 = D'_2 \wedge D'_3 \wedge D'_6 \wedge D'_7 \quad (7)$$

其中,所述 C'_1 表示输入数据的所有二进制索引号次低位为 1 的数据位进行异或运算的结果,所述 $D'_2 \wedge D'_3 \wedge D'_6 \wedge D'_7$ 为次低位的第二校验码生成式;

$$C'_2 = D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7 \quad (8)$$

其中,所述 C'_2 表示输入数据的所有二进制索引号高位为 1 的数据位进行异或运算的结果,所述 $D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7$ 为高位的第二校验码生成式;

进一步地,可以为所述第二校验码设置第二总校验码,具体的,如公式 (9) 所示:

$$C'_a = D'_0 \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7 \quad (9)$$

其中,所述 C'_a 表示输入数据的所有数据位进行异或运算的结果,为第二总校验码,所述 $D'_0 \wedge D'_1 \wedge D'_2 \wedge D'_3 \wedge D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7$ 为第二总校验码生成式;

$$C' = C'_2 C'_1 C'_0 \quad (10)$$

其中, 所述 C' 表示第二校验码, C'_0 表示输入数据的所有二进制索引号低位为 1 的数据位进行异或运算的结果, C'_1 表示输入数据的所有二进制索引号次低位为 1 的数据位进行异或运算的结果, C'_2 表示输入数据的所有二进制索引号高位为 1 的数据位进行异或运算的结果。

具体的, 如公式 (10) 所示, 在获取输入数据的每一索引号位的第二校验码生成式之后, 将输入数据的每一索引号位的第二校验码生成式的结果作为第二校验码的对应位, 即: 将低位的第二校验码生成式 $D'_1 \wedge D'_3 \wedge D'_5 \wedge D'_7$ 的结果 C'_0 作为第二校验码的低位; 将次低位的第二校验码生成式 $D'_2 \wedge D'_3 \wedge D'_6 \wedge D'_7$ 的结果 C'_1 作为第二校验码的次低位; 将高位的第二校验码生成式 $D'_4 \wedge D'_5 \wedge D'_6 \wedge D'_7$ 的结果 C'_2 作为第二校验码的高位; 这样, 获得第二校验码的各个校验位。

由于在写数据时不需要进行纠错操作, 因此, 在获得第一校验码和第二校验码后直接将写入的数据输出; 在读数据时, 如果某数据位出现错误, 则第二校验码中的对应位将发生变化, 通过比较第一校验码和第二校验码可以确定出现错误的的数据位, 这里, 在读数据时, 假设错误只出现在数据位上, 而不出现在第一校验位上。

具体的, 在读数据时, 对第一校验码和第二校验码的每一对应位进行异或运算, 获得第三校验码的各个对应位, 具体运算过程如下述各公式所示:

$$S_0 = C_0 \wedge C'_0 \quad (11)$$

其中, 所述 S_0 表示第一校验码的低位与第二校验码的低位进行异或运算的结果, 所述 $C_0 \wedge C'_0$ 为低位的第三校验码生成式;

$$S_1 = C_1 \wedge C'_1 \quad (12)$$

其中, 所述 S_1 表示第一校验码的次低位与第二校验码的次低位进行异

或运算的结果，所述 $C_1 \wedge C'_1$ 为次低位的第三校验码生成式；

$$S_2 = C_2 \wedge C'_2 \quad (13)$$

其中，所述 S_2 表示第一校验码的高位与第二校验码的高位进行异或运算的结果，所述 $C_2 \wedge C'_2$ 为高位的第三校验码生成式；

5 进一步地，可以为所述第三校验码设置第三总校验码，具体的，如公式 (14) 所示：

$$S_a = C_a \wedge C'_a \quad (14)$$

其中，所述 S_a 表示第一总校验码与第二总校验码进行异或运算的结果，所述 $C_a \wedge C'_a$ 为第三总校验码生成式；

$$10 \quad S = S_2 \ S_1 \ S_0 \quad (15)$$

其中，所述 S 表示第三校验码，所述 S_0 表示第一校验码的低位与第二校验码的低位进行异或运算的结果，所述 S_1 表示第一校验码的次低位与第二校验码的次低位进行异或运算的结果，所述 S_2 表示第一校验码的高位与第二校验码的高位进行异或运算的结果。

15 在读数据时，如果 S_2 、 S_1 、 S_0 中某一位为 1，则表示对应的第一校验码的 C_2 位和第二校验码的 C'_2 位、或第一校验码的 C_1 位和第二校验码的 C'_1 位、或第一校验码的 C_0 位和第二校验码的 C'_0 位不一致，这里，忽略 S_a 位为 1 的情况，只考虑 S_2 、 S_1 、 S_0 位为 1 的情况，即：只考虑 C_2 、 C_1 、 C_0 对应的某数据位在读数据的过程中出现错误的情况。

20 具体的，在读数据时，如果 S_0 位为 1、 S_2 位和 S_1 位为 0，则表示第一校验码的 C_0 位和第二校验码的 C'_0 位不一致、第一校验码的 C_1 位和第二校验码的 C'_1 位一致、以及第一校验码的 C_2 位和第二校验码的 C'_2 位一致，根据 C_0 位的第一校验码生成式可知 D_1 、 D_3 、 D_5 、 D_7 中的某数据位在读数据时出现错误，即：所有二进制索引号低位为 1 的数据位中有一位出现了错

25 误；

同理，如果 S_1 位为 1、 S_0 位和 S_2 位为 0，则表示第一校验码的 C_1 位和第二校验码的 C'_1 位不一致、第一校验码的 C_0 位和第二校验码的 C'_0 位一致、以及第一校验码的 C_2 位和第二校验码的 C'_2 位一致，根据 C_1 位的第一校验码生成式可知 D_2 、 D_3 、 D_6 、 D_7 中的某数据位在读数据时出现错误，即：所有二进制索引号次低位为 1 的数据位中有一位出现了错误；

如果 S_2 位为 1、 S_0 位和 S_1 位为 0，则表示第一校验码的 C_2 位和第二校验码的 C'_2 位不一致、第一校验码的 C_0 位和第二校验码的 C'_0 位一致、以及第一校验码的 C_1 位和第二校验码的 C'_1 位一致，根据 C_2 位的第一校验码生成式可知 D_4 、 D_5 、 D_6 、 D_7 中的某数据位在读数据时出现错误，即：所有二进制索引号高位为 1 的数据位中有一位出现了错误；然后，根据对应的第一校验码生成式推断出现错误的数据位的范围。

例如，如果 $S=001$ ，则表示第一校验码的 C_0 位和第二校验码的 C'_0 位不一致，即：在读数据的过程中， D_1 、 D_3 、 D_5 、 D_7 中的某数据位出现错误；由于 D_1 只出现在 C_0 位的第一校验码生成式中，且根据 C_1 位对应的数据位和 C_2 位对应的数据位在读数据的过程中未出现错误可知，数据位 D_3 、 D_5 、 D_7 未出现错误，因此，可以判断出在读数据的过程中 D_1 位出现错误。

另外，由 $S=001$ 可知，在读数据的过程中， C_0 位对应的某数据位出现错误，而 C_1 位对应的数据位和 C_2 位对应的数据位未出现错误；根据 C_0 位、 C_1 位、 C_2 位与二进制索引号的关系可知，出现错误的数据位对应的二进制索引号的低位为 1，次低位和高位均为 0，得到出现错误的数据位对应的二进制索引号为 3 比特二进制数 $3'b001$ ，将该 3 比特二进制数转换为十进制数为 $3'd1$ ，因此，可以直接判断出在读数据的过程中十进制索引号为 1 的 D_1 位出现错误。

如果 $S=101$ ，则表示第一校验码的 C_0 位和第二校验码的 C_2 位不一致，即：在读数据的过程中， D_1 、 D_3 、 D_4 、 D_5 、 D_6 、 D_7 中的某位出现错误，而

C_1 位对应的数据位在读数据的过程中未出现错误；由于只有 D_5 同时出现在 C_0 位和 C_2 位的第一校验码生成式中，而未出现在 C_1 的第一校验码生成式中，因此，可以判断出在读数据的过程中 D_5 位出现错误。

另外，由 $S=101$ 可知，在读数据的过程中， C_0 位对应的数据位和 C_2 5 位对应的数据位中的某位出现错误，而 C_1 位对应的数据位在读数据的过程中未出现错误；根据 C_0 位、 C_1 位、 C_2 位与二进制索引号的关系可知，出现错误的数据位对应的二进制索引号的低位为 1、次低位为 0、高位为 1，得到出现错误的数据位对应的二进制索引号为 3 比特二进制数 $3'b101$ ，将该 3 比特二进制数转换为十进制数为 $3'd5$ ，因此，可以直接判断出在读数据的 10 过程中十进制索引号为 5 的 D_5 位出现错误。

进一步地，考虑到 D_0 位的十进制索引号为 0，二进制索引号为 000，且 D_0 位为唯一不出现在 C_2 位、 C_1 位、 C_0 位的第一校验码生成式中的数据位，因此，如果 S 中的 C_2 位、 C_1 位、 C_0 位全为 0，而 S_a 为 1，则表示在读数据时 D_0 位出现错误；如果 S 中的 C_2 位、 C_1 位、 C_0 位不全为 0，而 S_a 为 15 0，则表示在读数据时有两位数据位出现了错误，此时，超出了纠错能力，直接向操作系统报告错误不可纠正，由操作系统决定是否需要丢弃该数据并进行重新读取。

根据 C_2 位的第一校验码生成式可知， C_2 位的第一校验码生成式中只有 D_4 、 D_5 、 D_6 、 D_7 参与；这样，如果需要将该方法应用到数据位宽为 4 位的情况，那么， C_2 位则可以省略，由于所述 4 位数据不存在 D_4 、 D_5 、 D_6 、 D_7 20 位，因此，通过将第一校验码生成式和第二校验码生成式中对应的数据位填充为 0 或者 1，可以不对第三校验码的最终结果造成影响，这样，就可以将该方法简单的复用到数据位宽为 4 位的应用中；因此，通过类似的方法可以将本发明实施例推广到数据位宽为 32 位、64 位、128 位或更高位宽的应用中。 25

在实际应用中，由于第一校验码在存取的过程中也可能出现错误，因此，可进一步设置检查校验码，通过检查校验码的变化确定第一校验码在存取的过程中是否出现错误；具体的，如公式（16）所示：

$$C_c = C_2 \wedge C_1 \wedge C_0 \wedge C_a \quad (16)$$

其中，所述 C_c 表示检查校验码， C_2 表示所有二进制索引号高位为 1 的数据位进行异或运算的结果， C_1 表示所有二进制索引号次低位为 1 的数据位进行异或运算的结果， C_0 表示所有二进制索引号低位为 1 的数据位进行异或运算的结果， C_a 表示所有数据位进行异或运算的结果。

在实际应用中，由于用户只关心有效数据，因此，如果错误出现在第一校验码中，则不需要进行纠错操作，直接向操作系统报告第一校验码错误。

这里，在确定出现错误的数据位之后，对出现错误的数据位进行纠正，具体纠正过程为现有技术，此处不再赘述。

本发明实施例提供一种实现数据纠错的装置，其中，数据的输入可以是写数据也可以是读数据，由读/写选择信号确定当前执行的是读数据还是写数据，即由读/写选择信号控制整个电路是进行纠错操作，还是进行生成第一校验码和第二校验码操作；图 4 为本发明实现数据纠错的装置实施例的组成结构示意图，图 5 为本发明实现数据纠错的装置实施例的电路框架示意图，如图 4、5 所示，所述装置包括：设置模块 43、第一校验码生成模块 44、第二校验码生成模块 45、以及数据处理模块 46；其中，

所述设置模块 43，配置为为每一数据位分别设置索引号；

具体的，所述设置模块 43，配置为按照数据位的高低顺序，为每一数据位分别设置二进制索引号。

所述第一校验码生成模块 44，配置为根据所述索引号生成第一校验码；

具体的，在读数据或写数据时，所述第一校验码生成模块 44，配置为

为每一数据位的二进制索引号，分别对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的第一校验码生成式，并将各索引号位的第一校验码生成式的结果分别作为第一校验码的对应位。

5 所述第一校验码生成模块 44，还配置为通过对所有数据位进行异或运算获取第一总校验码。

其中，对于需要同时进行读操作和写操作的应用，可以分别设置读数据第一校验码生成模块和写数据第一校验码生成模块，所述读数据第一校验码生成模块和写数据第一校验码生成模块各自独立地生成对应的第一校验码；针对不需要同时进行读操作和写操作的应用，可以只设置一个第一
10 校验码生成模块，以减少硬件逻辑的规模。

所述第二校验码生成模块 45，配置为根据所述第一校验码生成第二校验码；

具体的，在读数据或写数据时，所述第二校验码生成模块 45，配置为为输入数据的每一数据位的二进制索引号，分别对每一索引号对应位中为 1
15 或 0 的数据位进行异或运算，获取各索引号位的第二校验码生成式，并将各索引号位的第二校验码生成式的结果分别作为第二校验码的对应位。

其中，对于需要同时进行读操作和写操作的应用，可以分别设置读数据第二校验码生成模块和写数据第二校验码生成模块，所述读数据第二校验码生成模块和写数据第二校验码生成模块各自独立地生成对应的第二校
20 验码；针对不需要同时进行读操作和写操作的应用，可以只设置一个第二校验码生成模块，以减少硬件逻辑的规模。

所述第二校验码生成模块 45，还配置为通过对输入数据的所有数据位进行异或运算获取第二总校验码。

所述数据处理模块 46，配置为比较所述第一校验码和所述第二校验码
25 确定出现错误的数据位，对所述出现错误的数据位进行纠正；

具体的，在读数据时，所述数据处理模块 46，配置为对第一校验码和第二校验码的每一对应位进行异或运算，获得第三校验码的对应位，根据第三校验码确定第一校验码与第二校验码的对应位不一致时，根据第一校验码对应位的第一校验码生成式确定出现错误的的数据位，对所述出现错误的

5 的数据位进行纠正，然后，将纠正后的数据输出；由于在写数据时不需要进行纠错操作，因此数据处理模块 46 直接将写入的数据输出。

另外，由于写数据时不需要进行纠错操作，因此读操作和写操作可以共用一个数据处理模块。

进一步地，所述装置还可以包括：数据读写模块 41、多路传输模块 42；

10 其中，

所述数据读写模块 41，配置为传输读操作或写操作的数据；

其中，针对需要同时进行读操作和写操作的应用，可以分别设置读数据模块和写数据模块，所述读数据模块和写数据模块各自独立地传输读操作或写操作的数据。

15 所述多路传输模块 42，配置为传输数据读写模块的数据；

具体的，当需要写数据时，读/写选择信号使能写操作，多路传输模块 42 选择数据读写模块的数据输入到所述设置模块 43；当需要读数据时，读/写选择信号使能读操作，多路传输模块 42 选择数据读写模块的数据输入到所述设置模块 43。

20 在实际应用中，所述多路传输模块 42 可以由多路器实现；所述数据读写模块 41、设置模块 43、第一校验码生成模块 44、第二校验码生成模块 45、以及数据处理模块 46 可由中央处理器（CPU，Central Processing Unit）、数字信号处理器（DSP，Digital Signal Processor）、或可编程门阵列（FPGA，Field Programmable Gate Array）实现。

25 本发明实施例还提供了一种计算机存储介质，其中存储有计算机可执

行指令，所述计算机可执行指令用于执行本发明实施例所述的方法。

本发明实施例中所述的实现数据纠错的方法如果以软件功能模块的形式实现并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本领域内的技术人员应明白，本申请的实
5 施例可提供为方法、系统、或计算机程序产品。因此，本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质上实施的计算机程序产品的形式，所述存储介质包括但不限于 U 盘、移动硬盘、只读存储器（ROM, Read-Only Memory）、磁盘存
10 储器、CD-ROM、光学存储器等。

本申请是根据本申请实施例的方法、装置、以及计算机程序产品的流程图和 / 或方框图来描述的。应理解可由计算机程序指令实现流程图和 / 或方框图中的每一流程和 / 或方框、以及流程图和 / 或方框图中的流程和 / 或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、
15 嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理
20 设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机
25 实现的实现，从而在计算机或其他可编程设备上执行的指令提供用于实现

在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的步骤。

相应的，本发明实施例还提供一种计算机存储介质，其中存储有计算机程序，该计算机程序用于执行本发明方法实施例中所述的实现数据纠错的方法。

以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

权利要求书

1、一种实现数据纠错的方法，其中，所述方法包括：

为每一数据位分别设置索引号，并根据所述索引号生成第一校验码；

根据所述第一校验码生成第二校验码，比较所述第一校验码和所述第
5 二校验码确定出现错误的数据位，对所述出现错误的数据位进行纠正。

2、根据权利要求 1 所述的方法，其中，所述为每一数据位分别设置索引号，包括：按照数据位的高低顺序，为每一数据位分别设置二进制索引号。

3、根据权利要求 2 所述的方法，其中，所述根据所述索引号生成第一
10 校验码，包括：根据所述二进制索引号获取第一校验码生成式，根据所述
第一校验码生成式生成第一校验码；

所述根据所述二进制索引号获取第一校验码生成式，根据所述第一校
验码生成式生成第一校验码，包括：为每一数据位的二进制索引号，分别
对各索引号对应位中为 1 或 0 的数据位进行异或运算，获取各索引号位的
15 第一校验码生成式，并将各索引号位的第一校验码生成式的结果分别作为
第一校验码的对应位。

4、根据权利要求 3 所述的方法，其中，所述根据第一校验码生成第二
校验码，包括：

为输入数据的每一数据位的二进制索引号，分别对各索引号对应位中
20 为 1 或 0 的数据位进行异或运算，获取各索引号位的第二校验码生成式，
并将各索引号位的第二校验码生成式的结果分别作为第二校验码的对应
位。

5、根据权利要求 1 至 4 任一项所述的方法，其中，所述比较所述第一
校验码和所述第二校验码确定出现错误的数据位，对所述出现错误的数
25 据位进行纠正，包括：

对第一校验码和第二校验码的每一对应位进行异或运算，获得第三校验码的对应位，根据第三校验码确定第一校验码与第二校验码的对应位不一致时，根据第一校验码对应位的第一校验码生成式确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

5 6、一种实现数据纠错的装置，其中，所述装置包括：设置模块、第一校验码生成模块、第二校验码生成模块、以及数据处理模块；其中，

所述设置模块，配置为为每一数据位分别设置索引号；

所述第一校验码生成模块，配置为根据所述索引号生成第一校验码；

所述第二校验码生成模块，配置为根据所述第一校验码生成第二校验
10 码；

所述数据处理模块，配置为比较所述第一校验码和所述第二校验码确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

7、根据权利要求6所述的装置，其中，所述设置模块，配置为按照数据位的高低顺序，为每一数据位分别设置二进制索引号。

15 8、根据权利要求7所述的装置，其中，所述第一校验码生成模块，配置为为每一数据位的二进制索引号，分别对各索引号对应位中为1或0的数据位进行异或运算，获取各索引号位的第一校验码生成式，并将各索引号位的第一校验码生成式的结果分别作为第一校验码的对应位。

9、根据权利要求8所述的装置，其中，所述第二校验码生成模块，配置
20 为为输入数据的每一数据位的二进制索引号，分别对每一索引号对应位中为1或0的数据位进行异或运算，获取各索引号位的第二校验码生成式，并将各索引号位的第二校验码生成式的结果分别作为第二校验码的对应位。

10、根据权利要求6至9任一项所述的装置，其中，所述数据处理模块，
25 配置为对第一校验码和第二校验码的每一对应位进行异或运算，获得

第三校验码的对应位，根据第三校验码确定第一校验码与第二校验码的对应位不一致时，根据第一校验码对应位的第一校验码生成式确定出现错误的的数据位，对所述出现错误的的数据位进行纠正。

- 11、一种计算机存储介质，其中存储有计算机可执行指令，所述计算机可执行指令用于执行所述权利要求 1 至 5 任一项所述的方法。

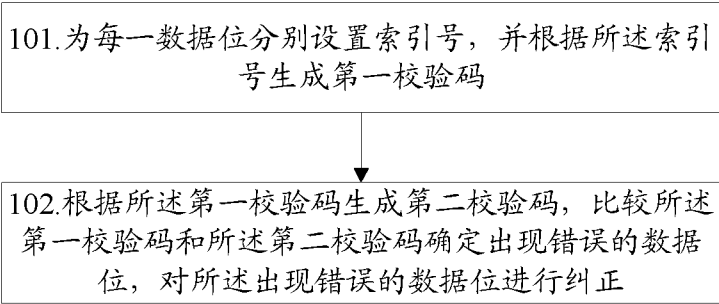


图 1



图 2

数据位	二进制索引号
D0	000
D1	001
D2	010
D3	011
D4	100
D5	101
D6	110
D7	111
第一校验码	C ₂ C ₁ C ₀

图 3

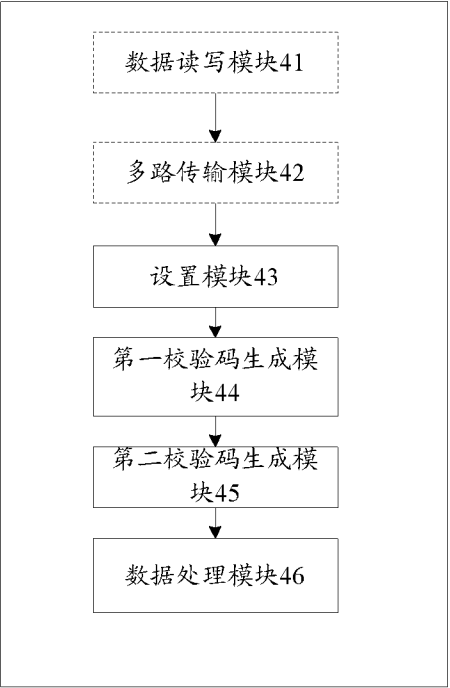


图 4

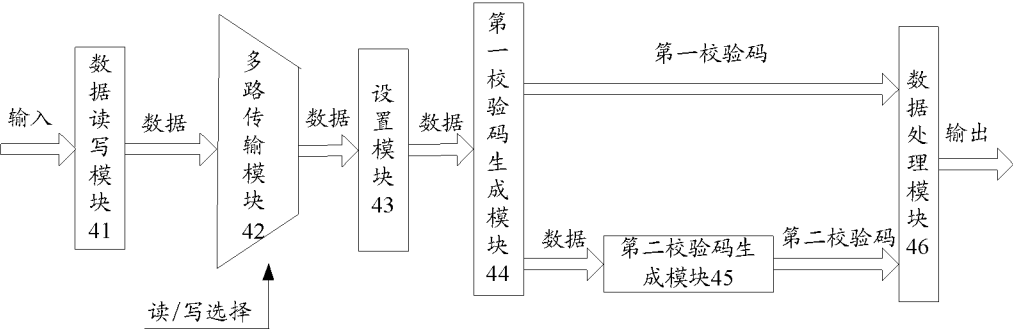


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/077931

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: data, correct+, check+, bit, index, compare+, first, second, fault, error, binary, xor, exclusive, or

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101227263 A (SHANGHAI HUAWEI TECHNOLOGIES CO LTD) 23 July 2008 (23.07.2008) description, page 5, line 12 to page 6, line 6, and page 7, the last line to page 8, line 1	1-11
A	CN 102804146 A (SANDISK TECHNOLOGIES INC.) 28 November 2012 (28.11.2012) the whole document	1-11
A	CN 1523799 A (HUAWEI TECHNOLOGIES CO LTD) 25 August 2004 (25.08.2004) the whole document	1-11
A	KR 20080090135 A (LOOP CO LTD) 08 October 2008 (08.10.2008) the whole document	1-11
A	US 5502732 A (INT BUSINESS MACHINES CORP.) 26 March 1996 (26.03.1996) the whole document	1-11
A	US 2010169742 A1 (TEXAS INSTR INC.) 01 July 2010 (01.07.2010) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 September 2014	Date of mailing of the international search report 10 October 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SUN, Weiwei Telephone No. (86-10) 62087668

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/077931

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101227263 A	23 July 2008	CN 101227263 B	06 July 2011
CN 102804146 A	28 November 2012	EP 2449468 B1	20 November 2013
		JP 5523562 B2	18 June 2014
		TW 201108236 A	01 March 2011
		US 2010332949 A1	30 December 2010
		WO 2011002656 A1	06 January 2011
		EP 2449468 A1	09 May 2012
		US 8255773 B2	28 August 2012
		EP 2530596 A1	05 December 2012
		JP 2012532372 A	13 December 2012
		EP 2530595 A1	05 December 2012
		KR 20120051606 A	22 May 2012
		EP 2530594 A1	05 December 2012
CN 1523799 A	25 August 2004	CN 1272925 C	30 August 2006
KR 20080090135 A	08 October 2008	KR 100872861 B1	09 December 2008
US 5502732 A	26 March 1996	None	
US 2010169742 A1	01 July 2010	None	

A. 主题的分类		
G06F 11/10(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G06F		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, WPI, EPODOC, CNKI; 数据, 纠错, 纠正, 校验, 位, 索引, 比较, 第一, 第二, 错误, 二进制, 异或, data, correct+, check+, bit, index, compar+, first, second, fault, error, binary, xor, exclusive, or		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101227263 A (上海华为技术有限公司) 2008年 7月 23日 (2008 - 07 - 23) 说明书第5页第12行-第6页第6行, 第7页最后一行-第8页第1行	1-11
A	CN 102804146 A (桑迪士克科技股份有限公司) 2012年 11月 28日 (2012 - 11 - 28) 全文	1-11
A	CN 1523799 A (华为技术有限公司) 2004年 8月 25日 (2004 - 08 - 25) 全文	1-11
A	KR 20080090135 A (LOOP CO LTD) 2008年 10月 08日 (2008 - 10 - 08) 全文	1-11
A	US 5502732 A (INT BUSINESS MACHINES CORP) 1996年 3月 26日 (1996 - 03 - 26) 全文	1-11
A	US 2010169742 A1 (TEXAS INSTR INC) 2010年 7月 01日 (2010 - 07 - 01) 全文	1-11
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 9月 28日		2014年 10月 10日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		孙薇薇
传真号 (86-10)62019451		电话号码 (86-10)62412076

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/077931

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101227263	A	2008年 7月 23日	CN	101227263	B	2011年 7月 06日
CN	102804146	A	2012年 11月 28日	EP	2449468	B1	2013年 11月 20日
				JP	5523562	B2	2014年 6月 18日
				TW	201108236	A	2011年 3月 01日
				US	2010332949	A1	2010年 12月 30日
				WO	2011002656	A1	2011年 1月 06日
				EP	2449468	A1	2012年 5月 09日
				US	8255773	B2	2012年 8月 28日
				EP	2530596	A1	2012年 12月 05日
				JP	2012532372	A	2012年 12月 13日
				EP	2530595	A1	2012年 12月 05日
				KR	20120051606	A	2012年 5月 22日
				EP	2530594	A1	2012年 12月 05日
CN	1523799	A	2004年 8月 25日	CN	1272925	C	2006年 8月 30日
KR	20080090135	A	2008年 10月 08日	KR	100872861	B1	2008年 12月 09日
US	5502732	A	1996年 3月 26日	无			
US	2010169742	A1	2010年 7月 01日	无			