(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/115

(45) 공고일자 1999년09월15일
(11) 등록번호 10-0221065
(24) 등록일자 1999년06월24일

(21) 출원번호 10-1996-0034143
(22) 출원일자 1996년08월14일
(65) 공개번호 특1997-0054254
(43) 공개일자 1997년07월31일
(30) 우선권주장 95-326057 1995년12월14일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 아오키 히토시
일본국 오카야마 카사오카시 미노하마 27-20-103
(74) 대리인 백덕열, 이태희

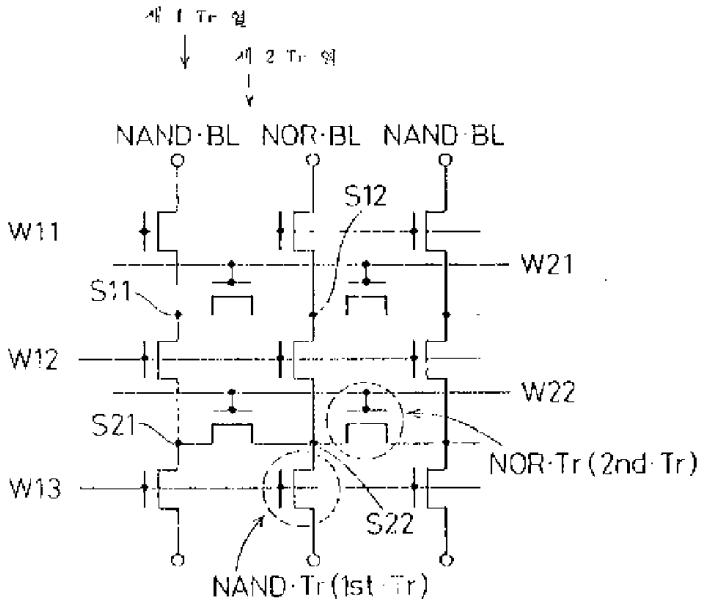
심사관 : 임동우

(54) 반도체장치 및 그의 제조방법

요약

반도체장치는 : 직렬로 접속된 다수의 제1트랜지스터들을 각각 포함하는 다수의 제1트랜지스터열들; 및 상기 제1트랜지스터열들 사이에 제공되며 다수의 제2트랜지스터들을 각각 포함하는 다수의 제2트랜지스터열들을 포함하며; 하나의 제1트랜지스터열의 하나의 제1트랜지스터의 소스/드레인영역이 제2트랜지스터를 통해 다른 제1트랜지스터열의 다른 제1트랜지스터의 소스/드레인영역에 접속된다.

대표도



명세서

[발명의 명칭]

반도체장치 및 그의 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 반도체장치의 등가회로도.

제2도는 본 발명에 따른 반도체장치의 평면도.

제3(a)-3(d)도는 반도체장치의 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제4(a)-4(d)도는 상기 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단

면도들.

제5(a)-5(d)도는 상기 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제6(a)-6(d)도는 상기 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제7(a)-7(d)도는 상기 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제8(a)-8(d)도는 상기 제조공정을 설명하도록 각각 제2도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제9도는 본 발명에 따른 다른 반도체장치의 평면도.

제10(a)-10(e)도는 반도체장치의 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제11(a)-11(e)도는 상기 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제12(a)-12(e)도는 상기 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제13(a)-13(e)도는 상기 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제14(a)-14(e)도는 상기 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제15(a)-15(e)도는 상기 제조공정을 설명하도록 각각 제9도의 A-A', B-B', C-C', D-D', E-E'선을 따라 취해진 단면도들.

제16도는 본 발명에 따른 또 다른 반도체장치의 평면도.

제17(a)-17(d)도는 반도체장치의 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제18(a)-18(d)도는 상기 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제19(a)-19(d)도는 상기 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제20(a)-20(d)도는 상기 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제21(a)-21(d)도는 상기 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제22(a)-22(d)도는 상기 제조공정을 설명하도록 각각 제16도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제23도는 본 발명에 따른 또 다른 반도체장치의 평면도.

제24(a)-24(d)도는 반도체장치의 제조공정을 설명하도록 각각 제23도의 A-A', B-B', C-C', D-D'선을 따라 취해진 단면도들.

제25(a)도는 종래의 마스크 ROM 셀의 평면도, 및 제25(b)-25(d)도는 제25(a)도의 A-A', B-B', C-C'선을 따라 취해진 단면도들, 및,

제26(a)도는 다른 종래의 마스크 ROM 셀의 평면도, 및 제26(b)-26(c)도는 제26(a)도의 A-A', B-B'선을 따라 취해진 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명

1,21 : 반도체기판　　2,9,31 : 게이트절연막

3 : 게이트전극　　5,26a,26b : 소스/드레인영역

6 : 소자분리영역　　8 : 채널영역

10 : 게이트전극　　13 : 레지스트패턴

14 : 주입영역　　22 : 트렌치(trench)

24 : 측벽게이트　　25,27 : 레지스트패턴

[발명의 상세한 설명]

본 발명은 반도체장치 및 그의 제조방법에 관한 것이다. 더 구체적으로, 본 발명은 동일 반도체기판상에 형성된 NAND 메모리셀 트랜지스터 및 NOR 메모리셀 트랜지스터를 포함하는 반도체장치 및 그의 제조방법에 관한 것이다.

NAND ROM 셀 및 NOR ROM 셀은 종래의 마스크 ROM 셀들이다. NAND ROM 셀은 직렬로 접속된 다수의 엔핸스먼트(enhancement)형 트랜지스터 및 디플레션(depletion)형 트랜지스터를 포함하는 트랜지스터 열을 가진다. NAND ROM 셀로의 ROM 데이타 기입은 기입되어질 ROM 데이타에 따라 트랜지스터 열에 엔핸스먼트형 트랜지스터와 디플레션형 트랜지스터를 적절하게 배열함에 의해 이루어진다. NOR ROM 셀은 비트 라인에 평행하게 접속된 다수의 셀 트랜지스터들을 포함하는 트랜지스터 열을 가진다. NOR ROM 셀로의 ROM 데이타의 기입은 기입되어질 ROM 데이타에 따라 전원전압보다 높은 전압으로 트랜지스터열의 트랜지스터들의 임계전압을 선택적으로 세팅함에 의해 이루어진다.

일반적으로, NAND ROM은 집적화 레벨에서 우수하지만 동작속도면에서 불만족스러운 반면에, NOR ROM은 동작속도는 우수하지만 집적화 레벨에서 불만족스럽다.

더 구체적으로, 종래의 NOR ROM 셀은 배선을 위해 2개의 메모리셀 트랜지스터당 하나의 콘택트홀을 필요로 한다. 따라서, 콘택트홀을 형성하기 위한 영역 및 콘택트홀 형성의 경우에 마스크 정합 마진을 확보해야 한다. 이로써, 메모리셀의 크기를 감소시키기가 매우 어렵다.

집적화 레벨을 증가시키도록, NAND ROM 셀들이 폭넓게 사용된다. NAND ROM에서는, 상기한 바와같이, 다수의 셀 트랜지스터들이 트랜지스터열에 직렬로 접속되며, 트랜지스터열의 대향단부들에 콘택트홀들이 제공된다. 따라서, 직렬로 접속되는 셀 트랜지스터들의 수를 많게 함으로써 집적화 레벨이 증가될 수 있다.

메모리셀들의 고집적화에 대한 최근의 요구에 부응하도록, 소자분리영역의 치수 및 NAND ROM의 단차를 감소시키려는 시도들이 행해지고 있다.

예컨대, 소자분리막을 형성하지 않고 소자분리가 이루어지고 NAND ROM 및 NOR ROM 양측의 이점들을 갖는 고밀도 NOR ROM 셀이 제안되어 있다.

상기 메모리셀에서, 제25(a)-25(d)도에 도시된 바와같이, 반도체기판(51)의 메모리셀 형성영역에 소스/드레인영역 및 비트라인으로 형성된 다수의 고농도 확산층(55)이 평행한 관계로 형성되며, 그 반도체기판(51)상에 절연막(52)을 통해 비트라인으로 된 고농도 확산층(55)에 대해 수직하게 연장하는 다수의 게이트전극들(워드라인들)(53)이 형성된다. 또한, 게이트전극(53) 및 고농도 확산층(55)이 형성되지 않은 영역(57)으로 소스/드레인영역들과 다른 도전형을 갖는 불순물 이온들이 주입된다. 그 영역들(57)은 셀 트랜지스터들(a,b) 사이의 소자분리를 위해 작용한다.

이러한 구성을 가진 메모리셀들에는 LOCOS막등의 소자분리막이 제공되지 않기 때문에, 반도체기판(51)의 표면은 평탄하다. 따라서, 게이트전극 형성에 있어서의 통상의 가공한계 이하의 간격들에 게이트전극(53)을 배치할 수 있다. 소자분리영역(57)으로의 이온주입은 게이트전극(53)을 마스크로 이용하여 자기정합적 방식으로 이루어질 수 있다. 따라서, 이러한 구성은 메모리셀의 고집적화에 효과적이다.

대용량 반도체장치에 대한 증대되는 요구에 부응하도록, 고집적화를 위해 여러가지 시도가 행해지고 있다.

예컨대, 일본국 특허 공개공보 제92-10653호에서는 제26(a)-26(c)도에 도시된 바와같이 NOR ROM 셀들이 고저차가 있는 적층방식으로 형성된 반도체장치를 제안한다. 상기 반도체장치의 메모리셀에서, 반도체기판(61)의 메모리셀 형성영역에 소스/드레인영역 및 비트라인으로 된 다수의 고농도 확산층(65)이 평행한 관계로 형성되며, 그 반도체기판(61)상에 게이트 절연막(62)을 통해 고농도 확산층(65)에 대해 수직하게 연장하는 다수의 제1층 게이트전극들(워드라인들)(63)이 형성된다. 또한, 제1층 게이트전극(63)들 사이에 절연막(67)을 통해 상기 제1층 게이트전극(63)에 대해 평행하게 연장하는 제2층 게이트전극들(64)이 제공된다.

이러한 구성을 가진 반도체장치에서는, 제1층 게이트전극(63)과 고농도 확산층들(65,65)을 가진 트랜지스터(a)가 제2층 게이트전극(64)과 고농도 확산층들(65,65)을 가진 트랜지스터(b)에 직접 접속된다. 따라서, ROM 데이타가 그에 인접한 트랜지스터에 기입되었는가에 따라 트랜지스터의 실효 게이트폭이 변경된다. 더 구체적으로, ROM 데이타가 제26(a)도의 트랜지스터들(b1,b2)에 기입될때, 트랜지스터들(b1,b2) 사이의 트랜지스터의 게이트폭(W1)이 가장 좁게되고, 트랜지스터(b1,b2)중 하나에만 인접한 트랜지스터의 게이트폭(W2)이 두번째로 좁게되고, 트랜지스터들(b1,b2)중 어느 것에도 인접해 있지 않은 트랜지스터의 게이트폭(W3)이 가장 넓게된다. 따라서, 적어도 3개의 게이트폭이 있게 된다. 게이트폭의 변화는 메모리셀들의 트랜지스터 특성에 악영향을 미친다.

본 발명의 제1양태에 따르면, 제1반도체장치는 : 직렬로 접속된 다수의 제1트랜지스터들을 각각 포함하는 다수의 제1트랜지스터열들; 및 상기 제1트랜지스터열들 사이에 제공되며 다수의 제2트랜지스터들을 각각 포함하는 다수의 제2트랜지스터열들을 포함하며; 하나의 제1트랜지스터열의 하나의 제1트랜지스터의 소스/드레인영역이 제2트랜지스터열의 제2트랜지스터를 통해 다른 제1트랜지스터열의 다른 제1트랜지스터의 소스/드레인영역에 접속된다.

본 발명의 제2양태에 따르면, 제2반도체장치는 : 반도체기판상에, 제1게이트 절연막을 통해 제1방향으로 서로 평행하게 연장하는 상태로 배치된 다수의 제1워드라인들; 상기 제1워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제1트랜지스터들; 제2절연막을 통해 제1방향으로 연장하는 상태로 상기 제1워드라인들 사이에 배치된 다수의 제2워드라인들; 및 상기 제2워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제2트랜지스터들을 포함하며; 상기 제1트랜지스터들이 각각 제1방향에 수직한 제2방향으로 나란하게 인접해 있는 제1트랜지스터의 소스/드레인 영역을 공유하고, 상기 제2트랜지스터들이 각각 제1방향으로 나란하게 인접해 있는 제2트랜지스터의 소스/드레인 영역을 공유하며; 상기 제1트랜지스터들의 소스/드레인영역은 제2워드라인 아래의 반도체기판에 형성되며, 상기 제1트랜지스터들이 각각 인접한 제2트랜지스터의 소스/드레인영역을 공유하고 있다.

본 발명의 제3양태에 따르면, 반도체장치의 제1제조방법은 : (i-a) 제1게이트절연막을 통해 반도체기판상에 다수의 제1워드라인들을 제1방향으로 서로 평행하게 연장하는 상태로 제공하는 단계; (ii-a) 제1워드라인에 직교하여 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴을 형성하고, 그 레지스트 패턴과

제1워드라인을 마스크로 이용하여 반도체 기판으로 이온을 주입함에 의해 소스/드레인영역을 형성함으로써, 상기 제1방향에 대해 수직한 제2방향으로 나란하게 인접해 있는 제1트랜지스터의 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-a) 상기 제1워드라인들 사이에서 상기 소스/드레인영역상에 제2절연막을 통해 다수의 제2워드라인들을 형성하여, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함한다.

본 발명의 제4양태에 따르면, 반도체장치의 제2제조방법은 : (i-b) 반도체기판에서 제1방향으로 서로 평행하게 연장하는 다수의 트렌치들을 형성하고, 각 트렌치의 측벽 또는 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치의 하부상에 제1절연막을 통해 서로 평행하게 연장하는 다수의 제1워드라인들을 형성하는 단계; (ii-b) 상기 제1워드라인들에 대해 수직하게 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴을 형성하고, 그 레지스트 패턴과 상기 제1워드라인을 마스크로 이용하여 반도체기판에 이온을 주입함에 의해 상기 트렌치들 사이의 반도체기판의 상부면 및 반도체기판의 트렌치 하부, 또는 기판의 트렌치측벽에 소스/드레인영역을 형성함으로써, 상기 제1방향에 대해 수직한 제2방향으로 배열되어 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부, 또는 기판의 트렌치 측벽에 형성된 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-b) 상기 제1워드라인들 사이의 소스/드레인영역상에 제2절연막을 통해 서로 평행하게 연장하는 다수의 제2워드라인들을 형성함으로써, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함한다.

본 발명의 제5양태에 따르면, 반도체장치의 제3제조방법은 : (i-c) 반도체기판에 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들을 형성하고, 상기 트렌치들을 포함하는 상기 반도체기판상에 제1절연막을 통해 제2방향에 대해 수직한 제1방향으로 서로 평행하게 연장하는 다수의 제1워드라인들을 형성하는 단계; (ii-c) 적어도 상기 제1워드라인들을 마스크로 이용하여 반도체기판으로 이온을 주입함에 의해 상기 트렌치들 사이의 기판의 상부면 및 반도체기판의 트렌치하부, 또는 반도체기판의 트렌치 측벽에 소스/드레인영역을 형성함으로써, 상기 제2방향으로 배열되어 인접한 트렌치들 사이의 반도체기판의 상부면 및 기판의 트렌치 하부, 또는 반도체기판의 트렌치 측벽에 형성되는 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-c) 상기 제1워드라인들 사이의 상기 소스/드레인영역 상에 제2게이트절연막을 통해 서로 평행하게 연장하는 다수의 제2워드라인들을 형성함으로써, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역들을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함한다.

본 발명의 제1반도체장치는 직렬로 접속된 다수의 제1트랜지스터들을 각각 포함하는 다수의 제1트랜지스터열들, 및 상기 제1트랜지스터 열들 사이에 제공되며 다수의 제2트랜지스터들을 각각 포함하는 다수의 제2트랜지스터열들을 포함한다. 하나의 제1트랜지스터열의 하나의 제1트랜지스터 및 다른 제1트랜지스터열의 다른 제1트랜지스터는 각각 상기 하나의 제1트랜지스터 및 다른 제1트랜지스터에 대해 평행하게 접속된 제2트랜지스터열의 제2트랜지스터의 소스/드레인영역을 공유한다. 상기 하나의 제1트랜지스터열과 다른 제1트랜지스터열은 서로 인접하게 배치되어 있는 것이 바람직하지만, 그들 사이에 하나 이상의 제1트랜지스터열들이 삽입된 상태로 서로 떨어져 있을 수 있다. 즉, 두개의 인접한 모든 제1트랜지스터열들 사이에 제2트랜지스터열들을 각각 배치할 필요가 있는 것은 아니지만, 두개의 인접한 모든 제2트랜지스터열들은 그들 사이에 두개 이상의 제1트랜지스터열들이 삽입된 상태로 서로 떨어져 있을 수 있다. 또한, 하나의 제2트랜지스터열의 제2트랜지스터들이 하나의 제1트랜지스터열의 제1트랜지스터들이 1:1 대응으로 배치됨이 바람직하지만, 각각의 제2트랜지스터들은 하나의 제2트랜지스터가 두개 이상의 제1트랜지스터들에 대응하도록 배치될 수 있다. 고집적화의 관점에서 제1 및 제2트랜지스터열들이 교대로 배치되어 각각의 제1트랜지스터열들의 제1트랜지스터 및 각각의 제2트랜지스터열들의 제2트랜지스터들이 제1반도체장치에 매트릭스상으로 규칙적으로 배열됨이 가장 바람직하지만, 제1반도체장치는 제1 또는 제2트랜지스터들의 일부 또는 제1 또는 제2트랜지스터열들의 일부가 빠져 있는 상태로 구성될 수 있다.

본 발명에 따른 제1반도체장치는 NAND 메모리셀을 구성하는 제1트랜지스터들 및 NOR메모리셀을 구성하는 제2트랜지스터들을 포함하여, 더욱 고밀도의 메모리를 실현할 수 있다. 이 반도체장치는 마스크 ROM, 또는 플로팅게이트 트랜지스터들을 이용하는 EPROM 및 EEPROM등의 프로그램가능한 ROM을 포함하는 비휘발성 메모리에 적용될 수 있다.

제1반도체장치의 일 개조예는 : 일반적으로 평탄한 반도체기판상에, 제1게이트 절연막을 통해 제1방향으로 연장하는 상태로 형성된 다수의 워드라인들; 제2절연막을 통해 제1워드라인들 사이에 형성된 다수의 제2워드라인들; 상기 제1워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제1트랜지스터들; 및 상기 제2워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제2트랜지스터들을 포함하는 반도체장치(이하, '제2반도체장치'라 함)이다.

제2반도체장치에서는, 제1워드라인들에 접속된 상기 제1트랜지스터들이 각각 제1방향에 수직한 제2방향으로 나란하게 인접해 있는 제1트랜지스터의 소스/드레인 영역을 공유함으로써, 제2방향으로 배열된 제1트랜지스터들이 직렬로 접속된다. 제2워드라인에 접속된 상기 제2트랜지스터들이 각각 제1방향으로 나란하게 인접해 있는 제2트랜지스터의 소스/드레인 영역을 공유한다. 상기 제1트랜지스터들은 각각 인접한 제2트랜지스터의 소스/드레인영역을 공유하고 있다. 이러한 구성에서, 각 트랜지스터는 제1방향으로 나란하게 인접해 있는 트랜지스터(횡방향 인접 트랜지스터) 및 제2방향으로 나란하게 인접해 있는 트랜지스터(종방향 인접 트랜지스터)의 소스/드레인영역을 공유하여 고밀도화를 이룰 수 있다.

제2반도체장치에서, 반도체기판에 형성된 트렌치들의 측벽을 이용하여 제1 및 제2트랜지스터를 형성함으로써 더욱 고밀도화를 이룰 수 있다.

트렌치들이 제1방향, 즉 제1 및 제2워드라인들이 연장하는 동일방향으로 연장하는 경우, 상기 반도체장치는 : (a) 제1워드라인들이 트렌치의 양측벽들에 측벽 스페이서 형태로 형성되고, 제2워드라인들은 각 트렌치들 사이의 반도체기판의 상부면 및 트렌치 하부상에 형성되어 제1트랜지스터들이 각각 기판의 트렌치 측벽에 형성된 채널영역 및 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 각각 형성된 소스/드레인영역을 가지며, 제2트랜지스터들이 각각 기판의 상부면 또는 기판의 트렌치 하부에 형성된 소

스/드레인영역 및 채널영역을 가지도록 구성되거나; 또는 (b) 제2워드라인들이 트렌치의 양측벽들에 측벽 스페이서 형태로 형성되고, 제1워드라인들은 각 트렌치들 사이의 반도체기판의 상부면 및 트렌치 하부상에 형성되어 제1트랜지스터들이 각각 기판의 트렌치 하부 또는 기판의 상부면에 형성된 채널영역 및 기판의 트렌치 측벽에 형성된 소스/드레인영역을 가지며, 제2트랜지스터들이 각각 기판의 트렌치 측벽에 형성된 소스/드레인영역 및 채널영역을 가지도록 구성될 수 있다.

상기 트렌치들이 제2방향, 즉 제1 및 제2워드라인들에 평행한 방향으로 연장하는 경우에, 제1 및 제2워드라인들은 트렌치 부분들이 그 워드라인들로써 매립되도록 트렌치들에 직교하여 연장한다. 따라서, 이 반도체장치는 : (c) 제1트랜지스터들이 각각 인접한 트렌치들 사이의 기판의 상부면 및/또는 기판의 트렌치 하부에 형성된 소스/드레인영역 및 채널영역을 가지며, 제2트랜지스터들이 각각 기판의 트렌치 측벽에 형성된 채널영역 및 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역을 가지도록 구성되거나; 또는 (d) 제1트랜지스터들이 각각 기판의 트렌치 측벽에 형성된 소스/드레인영역 및 채널영역을 가지며, 제2트랜지스터들이 각각 인접한 트렌치들 사이의 기판의 상부면 및/또는 기판의 트렌치 하부에 형성된 채널영역 및 기판의 트렌치 양측벽에 형성된 소스/드레인영역을 가지도록 구성될 수 있다. 상기 구성들 중에서, 소스/드레인영역의 형성을 용이하게 하는 점을 고려하면 구성들 (a,c)이 바람직하다.

상기 반도체장치는 제1 및 제2워드라인들 아래의 채널영역들 바로위에 형성된 플로팅게이트들을 각각 갖는 플로팅게이트형 트랜지스터들을 포함할 수 있고, 그 트랜지스터들이 제1 및/또는 제2트랜지스터로서 작용한다. 이 경우에, 통상의 게이트절연막보다 얇은 두께를 가진 터널산화막을 플로팅게이트 아래에 형성하는 것이 바람직하다. 또한, 통상의 게이트절연막보다 약간 두꺼운 두께를 가진 절연막 또는 통상의 게이트절연막이 플로팅게이트들 및 제1 및 제2워드라인들 사이에 형성됨이 바람직하다. 제1트랜지스터들 및 제2트랜지스터들은 모두 플로팅게이트형의 트랜지스터들로 형성됨이 바람직하지만, 제1트랜지스터 또는 제2트랜지스터들중 어느 한쪽이 반도체장치의 용도에 따라 플로팅게이트형의 트랜지스터들로 형성될 수 있다.

상기 반도체장치에서, 제1트랜지스터들이 NAND 메모리셀들을 구성하고 제2트랜지스터들이 NOR 메모리셀들을 구성한다. 반도체장치가 마스크 ROM인 경우, 예컨대 디플레션형 (D-형) 트랜지스터 또는 엔핸스먼트형(E-형) 트랜지스터들로서 구성된 제1트랜지스터들이 기입되어질 데이타에 따라 E형 또는 D형으로 선택적으로 변환될 수 있음이 바람직하다. E형 및 D형 트랜지스터들의 조합된 사용은 각 트랜지스터들의 용이한 형성을 고려하여 선택한다. 게이트전극에 인가되어질 전압레벨에 의해 트랜지스터의 도통여부가 선택적으로 결정될 수 있는한, 예컨대 (1) 다른 임계전압을 갖는 디플레션형 트랜지스터들이 조합되어 사용될 수 있거나, 또는 (2) 다른 임계전압을 가진 엔핸스먼트형 트랜지스터들이 조합되어 사용될 수 있다. 이 경우에, 원래 높게 설정된 각 트랜지스터의 임계전압이 데이타 기입을 위해 선택적으로 낮게 설정되거나, 또는 원래 낮게 설정된 각 트랜지스터의 임계전압이 데이타기입을 위해 높게 설정될 수 있다.

제2트랜지스터들의 임계전압은 기입되어질 데이타에 따라 선택적으로 전원전압보다 높게 설정될 수 있다. 그 임계전압은 트랜지스터의 용이한 동작 및 용이한 데이타기입을 고려하여 적절하게 선택할 수 있다. 임계전압의 레벨에 따라 트랜지스터의 도통여부가 선택적으로 결정될 수 있는한, 임계전압을 전원전압보다 높게 설정할 필요는 없다. 제2트랜지스터들의 임계전압은 제1트랜지스터들의 임계전압보다 높게 설정되는 것이 바람직하다.

제1 및 제2트랜지스터들의 채널영역내의 불순물농도를 적절하게 제어함으로써, 제1 및 제2트랜지스터들은 2진만이 아니라 3진 또는 그 이상의 레벨의 데이타도 기억할 수 있다.

반도체장치가 프로그램가능한 ROM인 경우, 트랜지스터의 플로팅게이트들에 전자를 선택적으로 주입함에 의해 트랜지스터의 임계전압이 제어될 수 있다.

반도체장치의 제1제조방법에서는, 단계 (i-a)에서, 제1게이트절연막을 통해 반도체기판상에 다수의 제1워드라인들을 제1방향으로 서로 평행하게 연장하는 상태로 형성한다. 제1게이트절연막은, 예컨대 SiO_2를 약 50-300Å의 두께로 열산화함에 의해 형성됨이 바람직하다. 제1워드라인들은 폴리실리콘, 고융점 금속등의 실리사이드 등에 의해 두께 약 1500-3000Å으로 공지의 형성방법 및 가공방법에 의해 형성될 수 있다. 제1워드라인들 각각의 두께는 고밀도화를 실현하도록 가능한한 얇게 하는 것이 바람직하다. 동일 채널길이에 대해 가능한한 게이트 길이 또는 워드라인폭을 감소시키도록, 후공정에서 소스/드레인영역들이 형성될때 제1워드라인에 절연막으로 된 측벽 스페이서들을 형성할 수 있다. 이 경우에, 후공정에서 소스/드레인영역의 형성을 위해 이온주입이 실행될때 상기 측벽스페이서를 마스크로서 이용한다.

단계 (ii-a)에서, 제1워드라인에 직교하여 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴을 형성한다. 그 레지스트 패턴은 공지의 방법, 예컨대 포토리소그라피법에 의해 기판상에 최소선폭을 갖는 소정 형태로 형성됨이 바람직하다. 반도체기판과 다른 도전형을 갖는 이온들이 상기 레지스트 패턴 및 제1워드라인들을 마스크로 이용하여 기판으로 주입되어 소스/드레인영역을 형성한다. 예컨대, As^+ 이온들이 $1 \times 10^{15}cm^{-2} \times 10^{16}cm^{-2}$

단계(iii-a)에서, 상기 제1워드라인들 사이의 전단계에서 형성된 상기 소스/드레인영역상에 제2절연막을 통해 다수의 제2워드라인들을 형성한다. 제2절연막과 제2워드라인들은 제1절연막 및 제1워드라인과 동일한 방식으로 형성될 수 있다. 제2워드라인들은 제1워드라인들에 대해 자기정합 방식으로 형성됨이 바람직하다. 따라서, 제2워드라인의 형성방법으로는 공지의 포토리소그라피/에칭공정 또는 매립/에치백 공정을 이용함이 바람직하다. 따라서, 각각 제2절연막, 제2게이트전극 및 전공정에서 형성된 소스/드레인영역을 포함하는 제2트랜지스터들이 형성된다. 제2트랜지스터들은 각각 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역을 공유한다.

상기 제조방법에서는, 제1트랜지스터들 사이 및/또는 제2트랜지스터들 사이, 및 제1 및 제2트랜지스터들 사이의 소자분리를 위해 소자분리영역이 형성됨이 바람직하다. 소자분리는 반도체기판상에 제1워드라인을 형성하는 전후, 또는 제1트랜지스터를 형성한 후에 실행할 수 있다. 소자분리는 LOCOS막을 형성하여

실행하는 방법이 있지만, 반도체기판과 동일 도전형을 가진 이온들을 소자분리영역이 형성되어질 영역들로 주입함에 의해 실행되는 것이 바람직하다. 예컨대, 제1트랜지스터를 형성한후 포토리소그라피 공정에 의해 원하는 영역들에 구멍들을 가진 레지스트 패턴을 형성한 다음, 그 레지스트 패턴을 마스크로 이용하여 제1워드라인들의 상부측에서 약 1 × $10^{14}cm^{-2}$ × $10^{14}cm^{-2+}$

또한, 다음 공정에 의해 반도체기판으로 데이타가 기입된다.

단계(iv-a)에서, 데이타가 선택적으로 제1트랜지스터로 기입된다. 더 구체적으로, 선택된 제1트랜지스터에만 구멍들을 가진 레지스트 패턴이 상기 반도체기판상에 형성되고, 반도체기판과 다른 도전형을 가진 이온들이 상기 레지스트 패턴을 마스크로 이용하여 반도체기판으로 주입된다. 예컨대, $10^{13}cm^{-2}$ 의 도즈량, 약 200-400KeV의 주입 에너지로 P^{+}이온이 주입된다. 따라서, 제1트랜지스터들이 데이타기입을 위해 엔핸스먼트형에서 디플레션형으로 선택적으로 변환될 수 있다.

단계(v-a)에서, 데이타가 선택적으로 제2트랜지스터로 기입된다. 더 구체적으로, 선택된 제2트랜지스터에만 구멍들을 가진 레지스트 패턴이 상기 반도체기판상에 형성되고, 반도체기판과 동일한 도전형을 가진 이온들이 상기 레지스트 패턴을 마스크로 이용하여 반도체기판으로 주입된다. 예컨대, 1 × $10^{14}cm^{-2}$ × $10^{14}cm^{-2+}$

단계(iv-a)는 단계(v-a) 전후에 실행될 수 있다. 단계들(iv-a,v-a)은 단계(iii-a)전에 실행될 수 있다. 도즈량 및 이온 주입 에너지를 적절하게 제어함에 의해, 트랜지스터들은 임의의 게이트전압에서도 동작될 수 있다.

이와다르게, 단계(i-a)에서 제1워드라인들의 형성전에, 반도체기판과 다른 도전형을 가진 P^{+}이온등의 이온들이 적어도 $10^{13}cm^{-2}$의 도즈량, 약 30-80KeV의 주입에너지로 제1트랜지스터 형성영역 전면으로 주입되거나, 또는 제1워드라인의 형성후 또는 제2워드라인의 형성후에, 이온들이 제1워드라인들을 통과할 수 있도록 300-400KeV의 더 높은 주입 에너지로 이온주입이 실행될 수 있다. 그후, 공정(iii-a)에 뒤이은 공정에서 선택된 제1트랜지스터로의 데이타 기입이 선택된 제2트랜지스터로의 데이타 기입과 동시에 실행된다. 이 경우에, 선택된 제1 및 제2트랜지스터들에만 구멍들을 가진 레지스트 패턴이 형성되고, 반도체기판과 동일한 도전형을 가진 이온들이 상기 레지스트 패턴을 마스크로 이용하여 반도체기판으로 주입된다. 이온주입은 공정(v-a)에서와 같은 조건으로 실행된다. 따라서, E형 및 D형의 제1트랜지스터들이 데이타배열에 따라 배열됨과 동시에, 선택된 제2트랜지스터들의 임계전압이 소정전압보다 높게 설정되도록 제1트랜지스터들이 D형에서 E형으로 선택적으로 변환될 수 있다. 이온주입의 도즈량 및 에너지를 적절하게 제어함으로써, 트랜지스터들이 임의의 게이트 전압에서 동작할 수 있게된다.

제1제조방법에서는, 단계(i-a)전에 제1 및 제2트랜지스터들의 임계값을 조정하도록 이온주입이 미리 실행된다.

반도체장치의 제2제조방법에서는, 고밀도화를 실현하도록 제1방향으로 연장하는 다수의 트렌치들을 반도체기판에 형성하여 제1 및 제2트랜지스터들을 3차원 형태로 형성한다.

단계(i-b)에서, 제1방향으로 연장하는 소정 깊이와 폭을 갖는 다수의 트렌치들이 공지의 에칭법에 의해 반도체기판에 평행한 관계로 형성된다. 각 트렌치들의 깊이와 폭은 후공정에서 형성될 제1 및 제2트랜지스터들의 채널길이등에 의해 적절하게 결정되지만, 트렌치들이 각각 약 0.3-1.0㎛의 깊이 및 약 0.3-1.0㎛의 폭을 갖는 것이 바람직하다. 다음에, 각 트렌치들의 측벽에 제1게이트절연막을 통해 다수의 제1워드라인들이 평행한 관계로 형성된다. 제1게이트절연막은 제1제조방법과 같은 방식으로 형성된다. 제1워드라인들은 각각 트렌치들을 충분하게 매립할 수 있는 두께로 폴리실리콘을 퇴적하고 퇴적된 폴리실리콘을 에치백함에 의해 측벽 스페이서형으로 형성된다. 제1워드라인들의 재료는 폴리실리콘으로 제한되지 않지만, 저저항재료로 선택됨이 바람직하다. 후공정에서 형성될 제2트랜지스터의 채널폭은 트렌치의 하부와 접촉하는 단부에서의 측벽 스페이서형의 (수평방향으로 측정된) 제1워드라인의 두께에 의해 결정된다.

단계(ii-b)에서, 제1워드라인들에 대해 수직하게 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴이 제1제조방법에서와 동일한 방식으로 형성되며, 그 레지스트 패턴과 제1워드라인들을 마스크로 이용하여 상기 반도체 기판으로 이온들이 주입되어 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 소스/드레인영역을 형성한다. 이온주입은 제1제조방법에서와 동일한 조건하에서 실행된다. 따라서, 각각 트렌치 측벽에 형성된 채널영역, 제1절연막, 제1워드라인, 및 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역을 포함하는 제1트랜지스터들이 반도체 기판에 형성된다. 제1트랜지스터들은 제1방향에 대해 수직하게 연장하는 제2방향으로 배열된 소스/드레인영역을 공유한다.

단계(iii-b)에서, 상기 제1워드라인들 사이에 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역상에 제2게이트절연막을 통해 다수의 제2워드라인들이 평행한 관계로 형성된다. 제2게이트절연막은 제1워드라인들이 트렌치들내에 형성된 제2워드라인들에서 전기적으로 분리되도록, 제1워드라인들을 포함하는 상기 반도체기판의 전면에 형성된다. 이와다르게, 제1워드라인보다 더 두꺼운 두께를 갖도록 절연막을 형성함에 의해 제2워드라인들이 제1워드라인들에서 분리될 수 있다. 제2게이트절연막 형성후에, 폴리실리콘이 상기 트렌치들을 매립할 수 있을 정도로 상기 기판의 전면에 퇴적된 다음, 공지의 포토리소그라피/에칭공정, 매립/에칭공정 및/또는 CMP(화학기계연마)법에 의해 패터닝되어 트렌치들의 하부에 제2워드라인들을 형성한다. 따라서, 각각 기판의 트렌치 하부에 형성된 채널영역, 트렌치의 하부에 형성된 제2게이트절연막, 제2워드라인 및 전공정에서 형성된 소스/드레인영역을 포함하는 제2트랜지스터들이 형성된다. 제2트랜지스터들은 각각 인접하게 배치된 제1트랜지스터들의 소스/드레인영역을 공유하여, 서로 접속된다. 상기한 바와 같은 방식으로 트렌치의 하부상에 형성된 제1워드라인 및 제2워드라인을 포함하는 상기 반도체기판상에 게이트절연막이 형성된 다음, 게이트절연막상에 전술한 바와같은 재료로 워드라인들이 형성된다. 상기 게이트절연막과 워드라인들은 각각 제2절연막과 제2워드라인들과

같은 기능을 가지며, 따라서 이하 '제2절연막' 및 '제2워드라인'이라 한다. 바람직하게는, 반도체기판의 상부면에 형성된 제2워드라인들의 재료 및 두께는 후공정에서 이온주입에 의해 트랜지스터들에 데이타기입을 행할때 기판의 트렌치 하부에 형성된 트랜지스터의 채널영역이 동일 이온 농도를 가질 수 있게끔 트렌치의 하부 및 기판의 상부면에 형성된 제2워드라인들이 동일 이온주입 저지능력을 가지도록 적절하게 선택된다. 따라서, 각각 기판의 상부면의 채널영역, 기판의 최상부면에 형성된 제2게이트절연막, 제2워드라인 및 전공정에서 형성된 소스/드레인영역을 갖는 다른 구성의 제2트랜지스터들이 형성된다. 또한, 상기 제2트랜지스터들이 각각 그에 인접하게 배치된 제1트랜지스터들의 소스/드레인영역을 공유하여, 서로 접속된다.

제2제조방법에서는, 제1제조방법에서와 동일한 방식으로 소자분리가 실행된다. 반도체기판의 각 트렌치들을 따라 소자분리영역이 형성될 수 있다. 이 경우에, 이온은 다른 주입 에너지들을 이용하여 다단계로 주입되거나, 또는 반도체기판의 법선에 대해 약 15° -60° 의 각도로 회전경사주입될 수 있다.

제2제조방법에서도, 제1제조방법에서와 동일한 방식으로 상기한 바와같이 얻어진 반도체장치에 데이타기입을 할 수 있다.

단계(iv-b)에서, 단계(iv-a)에서와 같은 방식으로 이온주입이 실행된다. 이 경우에, 약 300KeV-1MeV의 범위내에서 다른 주입 에너지들을 이용하여 두번이상 $10^{13}cm^{-2}$의 도즈량으로 주입됨으로써 기판의 트렌치 측벽의 채널 영역을 통해 이온들이 균일하게 분포된다. 따라서, 제1트랜지스터들이 E형에서 D형으로 변환될 수 있다.

단계(v-b)에서, 이온주입은 단계(v-a)에서와 동일한 방식으로 실행된다. 이 경우에, 트렌치들 사이의 반도체기판의 상부면 및 기판의 트렌치 하부로 이온들을 동시에 반도체기판의 최상부면에 대해 수직하게 선택적으로 주입한다. 따라서, 선택된 제2트랜지스터들의 임계전압이 소정전압보다 높게 설정될 수 있다.

단계(iv-b)는 단계(v-b) 전후에 실행될 수 있다. 단계들(iv-b,v-b)은 단계(iii-b)전에 실행될 수 있다. 도즈량 및 주입 에너지를 적절하게 제어함에 의해, 트랜지스터들은 임의의 게이트전압에서도 동작될 수 있다.

이와다르게, 단계(i-a)에서와 같은 방식으로, 단계(i-b)에서 트렌치를 형성한후, 제1워드라인의 형성 전후, 또는 제1 및 제2워드라인의 형성후에, 적어도 제1트랜지스터 형성영역 전면에 반도체기판과 다른 도전형을 가진 이온들이 미리 주입될 수 있다. 그후, 선택된 제1트랜지스터로의 데이타 기입이 단계(iii-b)에 뒤이은 단계에서 선택된 제2트랜지스터로의 데이타 기입과 동시에 실행된다. 이 경우에, 선택된 제1 및 제2트랜지스터들에만 구멍들을 가진 레지스트 패턴이 상기 반도체 기판에 형성되고, 반도체기판과 같은 도전형을 가진 이온들이 상기 레지스트 패턴을 마스크로 이용하고 100-500KeV 범위내의 다른 주입 에너지 및 다른 도즈량을 이용하여 3번이상 기판으로 주입됨이 바람직하다. 따라서, 선택된 제1트랜지스터만이 D형에서 E형으로 변환됨으로써 E형 및 D형 제1트랜지스터들이 데이타 배열에 따라 배열된다. 또한, 반도체기판의 최상부면 및 트렌치 하부에 형성된 제2트랜지스터들에 데이타가 동시에 선택적으로 기입될 수 있다. 도즈량 및 이온 주입 에너지를 적절하게 제어함에 의해, 트랜지스터들이 임의의 게이트전압에서 동작될 수 있다.

또한, 제1 및 제2트랜지스터들의 임계값을 조정하도록 단계(i-b)에서 트렌치들의 형성후에 제1제조 방법에서와 같은 방식으로 이온주입이 실행될 수 있다. 이때, 트렌치들의 측벽에 형성된 제1트랜지스터들의 임계전압 및 트렌치들 사이의 기판의 최상부면 및 기판의 트렌치의 하부에 형성된 제2트랜지스터들의 임계전압이 이온주입시의 주입각을 적절하게 제어함에 의해 개별적으로 제어될 수 있다.

제2제조방법에서의 전술한 설명은 제1트랜지스터들이 트렌치의 측벽에 형성되고 제2트랜지스터들이 트렌치들 사이의 반도체 기판의 최상부면 및 트렌치 하부에 형성된 경우에 대한 것이지만, 제1트랜지스터들은 트렌치들 사이의 반도체기판의 최상부면 및 기판의 트렌치 하부에 형성될 수 있고 제2트랜지스터들은 트렌치의 측벽에 형성될 수 있다. 이 경우에, 기판의 트렌치 측벽에 소스/드레인영역을 형성하도록 회전경사 이온주입을 할 수 있다.

반도체장치를 제조하기 위한 제3방법에서는, 제2방향으로 연장하는 다수의 트렌치들이 반도체기판에 형성된다.

단계(i-c)에서는, 단계(i-b)에서와 동일한 방식으로 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들이 반도체기판에 형성된다. 다음, 상기 반도체기판상에 트렌치의 일부를 매립할 수 있도록 제1게이트절연막을 통해 다수의 제1워드라인들을 평행한 관계로 형성한다. 제1게이트절연막은 제2제조방법과 같은 방식으로 형성된다. 제1워드라인들의 형성은 상기 트렌치들을 매립할 수 있을 정도의 두께로 폴리실리콘 등을 퇴적하고 퇴적된 폴리실리콘을 에치백함에 의해 이루어질 수 있다.

단계(ii-c)에서는, 메모리셀 영역에 넓은 구멍들을 가진 레지스트 패턴이 형성되고, 상기 제1워드라인들과 레지스트 패턴을 마스크로 이용하여 제2제조방법에서와 같은 방식으로 반도체 기판으로 이온들이 주입되어 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 소스/드레인영역을 형성한다. 따라서, 각각 인접한 트렌치들 사이의 기판의 상부면 또는 기판의 트렌치 하부에 형성된 채널영역,
제1게이트절연막, 제1워드선 및 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역을 포함하는 제1트랜지스터들이 형성된다. 제2방향으로 나란하게 배치된 제1트랜지스터들은 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역을 공유한다.

단계(iii-c)에서는, 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부에 형성된 소스/드레인영역상에 다수의 제2워드라인들이 제2게이트절연막을 통해 평행한 관계로 형성된다. 따라서, 각각 기판의 트렌치 측벽에 형성된 채널영역, 트렌치의 측벽에 형성된 제2게이트절연막, 제2워드라인 및 전공정에서 형성된 소스/드레인영역을 포함하는 제2트랜지스터들이 형성된다. 제2트랜지스터들은 그에 인접하게 배치된 제1트랜지스터의 소스/드레인영역을 공유하여, 서로 접속된다.

상기 제3제조방법에서는, 제1제조방법에서와 동일한 방식으로 소자분리가 이루어진다. 더 구체적으로, 다음 방식대로 소자분리영역이 임의로 형성될 수 있다. 제1방법에서는, 트렌치가 형성되지 않은 반도체기판에 소자분리를 위해 먼저 이온을 주입한후, 트렌치들이 반도체기판에 형성되어, 반도체기판의 트렌치들 사이에 소자분리영역이 형성된다. 제2방법에서는, 먼저 반도체기판에 트렌치들이 형성된후, 후공정에서 형성될 각 트랜지스터들의 반도체기판에 소자분리영역이 형성된다. 제3방법에서는, 먼저 반도체기판에 트렌치들이 형성된후, 반도체기판의 법선에 대해 약 15° -60° 의 주입각도로 회전경사 이온주입이 실행되어 소자분리영역을 형성한다. 제4방법에서는, 먼저 트렌치들 및 게이트전극이 형성된후, 소정 주입 에너지로 이온주입이 실행되어 소자분리영역을 형성한다. 이 방법들은 조합되어 사용될 수 있다.

제3제조방법에서는, 제1제조방법에서와 동일한 방식으로 상기 반도체기판에 데이타를 기입할 수 있다.

단계(iv-c)에서는, 단계(iv-a)에서와 동일한 방식으로 이온주입이 실행된다. 따라서, 제1트랜지스터들이 E형에서 D형으로 선택적으로 변환될 수 있다.

단계(v-c)에서는, 단계(v-a)에서와 동일한 방식으로 이온주입이 실행된다. 이때, $1 \times 10^{14}cm^{-2}$ - $3 \times 10^{14}cm^{-2}$의 도즈량, 150-400KeV의 주입 에너지로 B^{+} 이온이 주입된다. 따라서, 제2트랜지스터의 임계전압은 소정전압보다 높게 설정될 수 있다.

단계(iv-c)는 단계(v-c) 전후에 실행될 수 있다. 단계들(iv-c,v-c)은 단계(iii-c)전에 실행될 수 있다. 도즈량 및 주입 에너지를 적절하게 제어함에 의해, 트랜지스터들은 임의의 게이트전압에서도 동작될 수 있다.

이와다르게, 단계(i-a,i-b)에서와 같은 방식으로, 단계(i-c)에서 적어도 제1트랜지스터 형성영역 전면에 반도체기판과 다른 도전형을 가진 이온들이 미리 주입될 수 있다. 선택된 제1트랜지스터로의 데이타 기입이, 예컨대 단계(iii-c)후에, 선택된 제2트랜지스터로의 데이타 기입과 동시에 실행된다. 이 경우에, 선택된 제1 및 제2트랜지스터들에만 구멍들을 가진 레지스트 패턴이 상기 반도체기판에 형성되고, 반도체기판과 같은 도전형을 가진 이온들이 상기 레지스트 패턴을 마스크로 이용하고 100-500KeV 범위내의 다른 주입 에너지 및 다른 도즈량을 이용하여 3번이상 기판으로 주입됨이 바람직하다. 즉, 다른 주입 에너지들을 이용함에 의해, 채널영역들이 트렌치들 사이의 기판의 상부면, 기판의 트렌치 측벽 또는 기판의 트렌치 하부에 형성된 선택된 트랜지스터들에 ROM 데이타가 기입된다. 따라서, 제1트랜지스터가 D형에서 E형으로 변환됨으로써 E형 및 D형 제1트랜지스터들이 데이타 배열에 따라 배열된다. 동시에, 트렌치 측벽에 형성된 제2트랜지스터들에 데이타가 선택적으로 기입될 수 있다. 도즈량 및 이온 주입 에너지를 적절하게 제어함에 의해, 트랜지스터들이 임의의 임계전압에서 동작될 수 있다.

또한, 제1 및 제2트랜지스터들의 임계값을 조정하도록 단계(i-c)에서 트렌치들의 형성후에 단계(i-a)에서와 같은 방식으로 이온주입이 실행될 수 있다.

제3제조방법에서의 전술한 설명은 제1트랜지스터들이 트렌치들 사이의 반도체 기판의 최상부면 및 트렌치 하부에 형성되고 제2트랜지스터들이 트렌치의 측벽에 형성된 경우에 대한 것이지만, 제1트랜지스터들은 트렌치의 측벽에 형성될 수 있고 제2트랜지스터들은 소스/드레인영역의 형성을 위해 이온주입조건을 적절하게 제어함에 의해 트렌치들 사이의 반도체기판의 최상부 및 트렌치의 하부에 형성될 수 있다. 이 경우에, 기판의 트렌치 측벽에 소스/드레인영역을 형성하도록 회전경사 이온주입을 할 수 있다.

반도체장치 제조시 소요시간은 상기 공정 시퀀스에서 데이타 기입을 후에 실행함에 의해 단축될 수 있다. 따라서, 본 발명의 제조방법에서는 데이타 기입전에 층간절연막, 콘택트홀, 금속배선등의 형성을 진행할 수 있다.

제1 및 제2트랜지스터들이 플래쉬게이트 트랜지스터로 형성되는 경우, 60-120Å의 두께를 가진 터널산화막이, 예컨대 제1게이트절연막 및/또는 제2게이트절연막의 형성전에 열산화법에 의해 형성된다. 다음에, 약 1000-2000Å의 두께로 폴리실리콘이 퇴적되고 패터닝됨으로써 각 트랜지스터의 채널영역상에 폴리실리콘막이 형성된다. 그후, 제1게이트절연막 및/또는 제2게이트절연막, 제1워드라인 및/또는 제2워드라인등이 형성된다.

본 발명에 따른 반도체장치 및 제조방법을 실시예들에 의해 상세하게 설명한다.

[실시예 1]

제1도는 본 발명에 따른 예시적인 반도체장치의 마스크 ROM의 등가회로도이다. 이 반도체장치는 직렬로 접속된 다수의 제1트랜지스터들(NAND 메모리셀)을 포함하는 다수의 제1트랜지스터 열들 및 다수의 제2트랜지스터들(NOR 메모리셀)을 포함하는 다수의 제2트랜지스터 열들을 가진다. 제1트랜지스터열들 및 제2트랜지스터열들은 교대로 배열된다. 제1트랜지스터열들 각각의 다수의 제1트랜지스터들은 서로 접속되도록 인접한 제1트랜지스터 소스/드레인영역을 공유하며, 다른 워드라인들(예컨대, W11, W12, W13,....)에 각각 접속된다. 제2트랜지스터열들 각각의 다수의 제2트랜지스터들은 하나의 제1트랜지스터열의 제1트랜지스터의 소스/드레인영역(예컨대, S11 또는 S21) 및 다른 제1트랜지스터열의 다른 제1트랜지스터의 소스/드레인영역(예컨대, S12 또는 S22)에 각각 접속된다. 제2트랜지스터열들 각각의 제2트랜지스터들은 각각 다른 워드라인들(예컨대, W21, W22,....)에 접속된다.

이러한 구성을 가진 반도체장치에서, NAND 메모리셀 트랜지스터들은 ROM 데이타기입을 위해, 예컨대 E형에서 D형으로 선택적으로 변환된다. 한편, NOR 메모리셀 트랜지스터의 임계전압은 ROM 데이타기입을 위해 전원전압보다 높은 전압 또는 소정전압으로 선택적으로 설정된다.

이하, 전술한 구성을 가진 반도체장치에서 데이타를 독출하는 방법을 설명한다.

NAND 메모리셀에서 데이타를 독출하기 위해서는, NOR메모리셀의 워드라인들(W21,W22)을 모두 LOW레벨로 설정하여 NOR 메모리셀의 트랜지스터들을 모두 오프시킨다. 다음, 데이타 독출을 위해 선택된 NAND 메모

리셀의 워드라인들이 LOW레벨로 설정되고, 비선택된 NAND메모리셀의 워드라인들은 모두 HIGH 레벨로 설정된다. 따라서, 선택된 메모리셀 트랜지스터들이 아닌 트랜지스터들은 모두 온으로 된다. 데이타독출을 위해 선택된 NAND 메모리 트랜지스터들이 엔핸스먼트형이면, 그 트랜지스터들을 포함하는 제1트랜지스터열의 비트라인과 그라운드라인 사이의 연속성이 성립되지 않는다. 선택된 NAND 메모리 트랜지스터들이 디플레션형이면, 연속성이 성립되어, NAND메모리셀에서 ROM 데이타가 독출될 수 있다.

NOR 메모리셀에서 데이타를 독출하기 위해서는, NAND 메모리셀들의 워드라인들(W11,W12,W13)을 모두 HIGH 레벨로 설정하여 NAND 메모리셀 트랜지스터들을 온으로 함으로써, 배선을 위해 제1트랜지스터열들 각각의 NAND 메모리셀을 통한 연속성을 성립되게 한다. 다음에, 데이타독출을 위해 선택된 NOR메모리셀의 워드라인들이 HIGH레벨로 설정되고, 비선택된 NOR메모리셀의 워드라인들이 모두 LOW레벨로 설정되어, 선택된 메모리셀 트랜지스터들이 아닌 트랜지스터들은 모두 오프로 된다. 따라서, 상기 NOR메모리셀 트랜지스터들을 포함하는 제2트랜지스터열의 비트라인과 그라운드라인 사이의 연속성이 성립되는가에 따라 ROM 데이타독출이 허용된다.

NOR메모리셀의 부 비트 라인으로서 작용하는 고농도확산층들이 NAND 메모리셀 트랜지스터들에 대해 사용되므로, 종래기술에서는 배선을 위해 사용되던 영역들이 메모리셀들로서 사용될 수 있다. 따라서, 집적레벨이 거의 2배로 된다.

제1도의 등가회로도에 의해 나타낸 구성을 가진 반도체장치가 제2도 및 제6(a)-6(d)도에 도시된다. 제2도는 반도체장치의 평면도이고, 제6(a)-6(d)도는 각각 제2도의 A-A', B-B', C-C' 및 D-D'선을 따라 취해진 단면도들이다.

제2도 및 제6(a)-6(d)도에 도시된 바와같이, 제1방향으로 연장하는 NAND메모리셀의 제1트랜지스터들의 다수의 제1게이트전극들(3)(제1워드라인)이 반도체기판(1)상에 평행한 관계로 형성된다. NOR메모리셀들의 제2트랜지스터들의 제2게이트전극들(10)(제2워드라인)이 제1게이트전극들(3) 사이에 배치된다. 또한, NAND 메모리셀들의 비트라인으로서 작용하는 소스/드레인영역(5)(고농도 불순물영역)이 제2게이트전극들(10) 바로 아래의 제1게이트전극들(3) 사이의 반도체기판(1)에 형성된다. NAND메모리셀들이 형성되지 않은 제1게이트전극들(3) 바로 아래의 반도체기판(1)의 영역들에 소자분리영역들(6)이 형성된다. 그 소자분리영역(6)은 반도체기판(1)과 동일한 도전형의 불순물을 기판으로 주입함에 의해 형성된다.

전술한 반도체 장치의 제조방법으로 제3(a)-3(d)도, 제4(a)-4(d)도, 제5(a)-5(d)도, 제6(a)-6(d)도, 제7(a)-7(d)도, 및 제8(a)-8(d)도를 참조하여 설명한다. 제3(a)-8(a)도, 제3(b)-8(b)도, 제3(c)-8(c)도, 및 제3(d)-8(d)도는 각각 제2도의 A-A', B-B', C-C' 및 D-D'선을 따라 취해진 단면도들이다.

제3(a)-3(d)도에 도시된 바와같이, 약 50 Å-300 Å 두께를 가진 제1게이트절연막(2)이 반도체기판(1)상에 형성된다. 다음, 제1방향으로 서로 평행하게 연장하는 다수의 제1게이트전극들(3)이 제1게이트절연막(2)상에 제1워드라인들로서 형성된다. 제1게이트전극들(3)은, 예컨대 약 1000 Å의 두께를 가진 N^+폴리실리콘의 하층 및 약 1000 Å의 두께를 가진 텅스텐 실리사이드의 상층을 포함하는 이층 구조로 된다.

제4(a)-4(d)도에 도시된 바와같이, 제1게이트전극(3)이 형성된 상기 반도체기판(1)상에 레지스트를 도포하고, 제1게이트전극(3)에 직교하는 상태로 연장하는 다수의 패턴라인들을 포함하는 레지스트패턴(4)을 형성하도록 패터닝된다. 상기 레지스트 패턴(4)을 마스크로 이용하여 이온을 주입함에 의해 소스/드레인영역(5)이 형성된다. 이온주입은 반도체기판(1)과 반대의 도전형을 가진 불순물이온을 이용한다. 제1트랜지스터들이 NMOS로서 형성되는 경우에는, 예컨대 비소(As^+)이온을 약 40KeV의 주입에너지, $3 \times 10^{15} cm^{-2}$의 도즈량으로 반도체기판(1)에 주입한다. 따라서, NAND 메모리셀들을 구성하며, 각각 제1게이트절연막(2), 제1게이트전극(3) 및 소스/드레인영역(5)을 포함하는 제1트랜지스터들이 형성된다.

이어서, 제5(a)-5(d)도에 도시된 바와같이, 반도체기판(1) 및 제1게이트전극(3)에 레지스트가 도포되며, 제1게이트전극(3) 아래의 원하는 영역들, 즉 앞공정에서 형성된 제1트랜지스터들을 서로 분리시키도록 소자분리영역(6)이 형성된 영역상에 구멍을 가진 레지스트 패턴(7)을 형성하도록 패터닝된다. 반도체기판(1)과 동일한 도전형을 갖는 이온들이 레지스트 패턴(7)을 마스크로 이용하여 제1게이트전극(3)하의 소자분리영역(6)으로 될 영역들에 주입된다. 더 구체적으로, 보론이온들이 예컨대 140KeV의 주입에너지, $1.5 \times 10^{14} cm^{-2}$

다음에, 제6(a)-6(d)도에 도시된 바와같이, 제1게이트전극(3)을 포함하는 상기 반도체기판(1)의 전체표면에 제2게이트절연막(9)이 형성된다. 제2게이트절연막(9) 상의 제1게이트전극들(3) 사이에 평행한 관계의 제2워드라인들로서 다수의 제2게이트전극들(10)이 형성된다. 제2게이트전극들(10)은, 예컨대 약 2000-3000 Å 정도의 두께의 N^+폴리실리콘 또는 텅스텐 폴리사이드를 포토리소그라피 및 에칭공정에 의해 형성할 수 있다. 따라서, 제2게이트절연막(9), 제2게이트전극(10) 및 소스/드레인영역(5)을 포함하며 NOR메모리셀을 구성하는 제2트랜지스터들이 형성된다.

이어서, NAND메모리셀 및 NOR메모리셀에 ROM데이타가 각각 기입된다. 제7(a)-7(d)도에 도시된 바와같이, NAND메모리셀의 제1트랜지스터에 NAND ROM 데이타를 기입하도록, 예컨대 NAND ROM 데이타기입용 레지스트패턴(11)을 마스크로 이용하여 인(P^+)이온을 300KeV의 주입에너지, $5 \times 10^{13} cm^{-2}$

NOR메모리셀의 제2트랜지스터에 NOR ROM 데이타를 기입하기 위해서는, 반도체기판과 동일도전형을 갖는 보론이온등의 이온이 제8(a)-8(d)도에 도시된 바와같이 NOR ROM 데이타기입용 레지스트패턴(13)을 마스크로 이용하여 150KeV의 주입에너지에서 $2 \times 10^{14} cm^{-2}$의 도즈량으로 주입된다. 따라서, 제2트랜지스터들의 임계전압은 선택적으로 전원전압보다 높게 설정되어, 상기 선택된 트랜지스터들이 오프로 된다. 상기 선택된 제2트랜지스터들(2)이 확실하게 오프로 되도록 주입영역(14)이 소자분리영역(6)과 중첩된다. 주입영역들(14)이 의도된 위치로부터 약간 오프셋되더라도, 제1트랜지스터 및 제2트랜지스터의 채널영역들이 평면적으로는 체커판모양으로 배열되기 때문에 인접한 트랜지스터들에 영향을 미치지 않는다.

그후, 상기 반도체기판은 층간절연막, 콘택트홀, 금속배선 및 보호막 형성의 공정을 거쳐서, 반도체 제조 공정이 완료되고, 이어서 반도체 장치의 조립을 실행하게 된다.

상기 공정시퀀스에서 ROM 데이타기입을 후에 실행함에 의해 반도체장치 제조 소요시간이 단축될 수 있다. 따라서, 층간절연막, 콘택트홀, 금속배선등의 형성을 데이타 기입에 앞서 실행할 수 있다. 이 경우, 데이타기입을 위한 이온주입은 고주입에너지에서 실행된다.

[실시예 2]

제1도의 등가회로도에 의해 나타내진 다른 반도체장치가 제9도 및 제13(a)-13(e)도에 도시된다. 제9도는 그의 평면도이고, 제13(a)-13(e)도는 각각 제9도의 A-A', B-B', C-C', D-D', E-E' 선을 따라 취해진 단면도들이다.

이 실시예의 반도체장치의 집적화레벨을 실시예 1에 비해 더욱 개선시키도록, 제1방향으로 서로 평행하게 연장하는 다수의 트렌치들이 제9도 및 제13(a)-13(e)도에 도시된 바와같이 반도체기판(21)에 형성된다. 제1게이트절연막(23)을 통해 제1워드라인으로서 트렌치(22)의 측벽에 형성된 측벽게이트(24), 기판의 트렌치 측벽부분에 형성된 채널영역, 및 인접한 트렌치들(22) 사이의 기판(21)의 상부면 및 기판(21)의 트렌치 하부에 각각 형성된 소스/드레인영역(26a,26b)을 각각 포함하며 NAND메모리셀을 구성하는 제1트랜지스터들이 형성된다. 트렌치(22)의 대향측벽들에 형성된 측벽 게이트들(24)상의 절연막(30) 및 트렌치(22) 하부의 제2게이트절연막(31)을 통해 제2워드라인으로서 트렌치(22)에 형성된 하부게이트전극(32), 및 인접한 제1트랜지스터들과 공유하는 소스/드레인영역(26a)을 각각 포함하며, NOR메모리셀을 구성하는 제2트랜지스터들이 형성된다. 또한, 제2게이트절연막(33)을 통해 인접한 트렌치들(22) 사이의 반도체기판(21)의 최상부의 트렌치(22)에 대해 평행하게 제2워드 라인으로서 형성된 최상부 게이트전극(34), 및 인접한 제1게이트 트랜지스터들과 공유하는 소스/드레인영역(26b)을 각각 포함하며, NOR메모리셀을 구성하는 제2트랜지스터들이 형성된다.

제10(a)-10(e)도, 제11(a)-11(e)도, 제12(a)-12(e)도, 제13(a)-13(e)도, 제14(a)-14(e)도 및 제15(a)-15(e)도를 참조하여 전술한 반도체장치의 제조방법을 설명한다. 제10(a)-15(a)도, 제10(b)-15(b)도, 제10(c)-15(c)도, 제10(d)-15(d)도 및 제10(e)-15(e)도는 각각 제9도의 A-A', B-B', C-C', D-D' 및 E-E'선을 따라 취해진 단면도들이다.

제10(a)-10(e)도에 도시된 바와같이, 공지의 에칭공정에 의해 다수의 트렌치들(22)이 반도체기판(21)에 평행한 관계로 형성된다. 이 트렌치들은 각각 후공정에서 형성되어질 NAND메모리셀의 제1트랜지스터의 채널길이와 동등한 깊이(예컨대, 약 0.5μm)를 가지는 것이 바람직하다. 제1 및 제2트랜지스터들의 임계전압을 제어하도록, 반도체기판(21)과 동일한 도전형을 가진 B^+이온등의 이온들이 $3 \times 10^{12} cm^{-2}$ 정도의 도즈량, 35KeV의 주입에너지로, 반도체기판(21)의 표면에 대한 법선방향을 회전축선으로 하여 그 법선에 대해 약 30° 의 주입각으로 회전경사 이온주입에 의해 주입된다. 다른 주입각을 이용함에 의해, (트렌치측벽들에 형성된) NAND메모리셀의 제1트랜지스터의 채널의 임계전압 및 (반도체기판(21)의 상부면과 트렌치 하부에 형성된) NOR메모리셀의 제2트랜지스터의 채널의 임계전압이 개별적으로 제어될 수 있다.

이어서, 약 50-300Å 의 두께를 가진 제1게이트절연막(23)이 트렌치들(22)을 포함하는 반도체기판(21)의 전면에 형성된다. 그후, 상기 게이트절연막(23)에 도전형막을 형성하고, 에치백함으로써 트렌치(22)의 양측벽들에 제1워드라인으로서 다수의 측벽게이트(24)를 형성한다. 이 측벽게이트(24)는, 예컨대 N^+ 폴리실리콘으로 형성된다.

이어서, 트렌치(22)의 일단부에서 결합되는 각 트렌치(22)의 양측벽들상의 측벽게이트들(24)이 절단되어 서로 분리된다. 이때, 측벽게이트들(24) 중 하나는 그의 일단부에 콘택트홀을 용이하게 형성할 수 있도록 더 긴 연장부를 가지는 것이 바람직하다.

그후, 트렌치들(22)을 포함하는 상기 반도체기판(21)의 전면에 레지스트가 도포되어, 패터닝됨으로써 측벽게이트들(24)에 수직하게 연장하는 다수의 패턴라인들을 가진 레지스트패턴(25)을 형성한다. 다음에, 반도체기판(21)과 반대의 도전형을 가진 불순물 이온들이 상기 레지스트패턴(25)과 측벽게이트(24)를 마스크로 이용하여 상기 반도체기판(21)으로 주입되어 반도체기판(21)의 트렌치 하부 및 트렌치들 사이의 반도체기판(21)의 상부면에 각각 소스/드레인영역들(26a,26b)을 형성한다. 제1트랜지스터들이 NMOS로 형성된 경우에, 예컨대 비소(As^+)이온들이 $3 \times 10^{15} cm^{-2}$의 도즈량, 예컨대 40KeV의 주입에너지로 주입되어 그 이온들이 측벽게이트들(24)에만 분포된다. 따라서, 제1게이트절연막(23), 측벽게이트(24), 및 소스/드레인영역들(26a,26b)을 포함하는 NAND메모리셀을 구성하는 제1트랜지스터들이 형성된다.

소스/드레인영역들의 형성을 위한 이온주입은 절연막들(30)이 측벽게이트들(24)에 형성된 후에 실행될 수 있다(제12(a)도 참조). 상기 절연막들이 형성됨에 따라 그 절연막의 두께만큼 트렌치 깊이를 감소시키면서도 동일채널길이를 확보할 수 있음으로써, 반도체기판 상부면의 단차를 최소화할 수 있다. 따라서, 반도체소자, 반도체메모리 등의 반도체장치를 그의 크기감축을 위해 축소된 피치로 형성할 수 있다.

제11(a)-11(e)도에 도시된 바와같이, 트렌치(22)와 측벽게이트(24)를 포함하는 상기 반도체기판(21)에 레지스트가 도포되어, 패터닝됨으로써 전공정에서 형성된 제1트랜지스터들을 피복하도록 레지스트패턴(27)이 형성된다. 반도체기판(21)과 동일한 도전형을 갖는 이온들이 상기 레지스트패턴(27)과 측벽게이트(24)를 마스크로서 이용하여(소자분리영역으로 형성되는) 영역들(28)로 주입된다. 이 경우, 보론이온이 $2 \times 10^{14} cm^{-2}$의 도즈량, 및 다른 주입에너지(예컨대, 약 120KeV 및 200KeV)를 이용하여 두번이상 주입된다. 따라서, 이온들이 트렌치들의 측벽에서 깊이방향으로 균일하게 주입되어 트렌치 측벽부분들에 형성된 채널들을 완전하게 분리할 수 있다. 그 이온들은 측벽게이트들(24) 아래의 반도체기판의 트렌치 측벽부분들 및 소스/드레인영역들(26a,26b)이 형성되지 않은 영역, 즉 후공정에서 NOR메모리셀의 제2트랜지스터들의 채널영역으로 형성되는 영역들(29)의 깊은 위치로 주입된다. 따라서, 주입된 이온들은 제2트랜지스터들의 임계값에 영향을 주지 않는다. 또한, 반도체기판의 깊은 위치로의 이온주입은 NOR 메모리셀의

제2트랜지스터의 펀치스루를 방지할 수 있으므로, 채널 길이의 감소에 효과적이다. 소자분리를 위한 회전경사이온주입은 측벽게이트(24)의 형성전에 트렌치(24)가 형성된후 실행될 수 있다. 이 소자분리는 소자분리산화막을 형성함에 의해 이루어질 수 있다.

이어서, 제12(a)-12(e)도에 도시된 바와같이, 제2게이트절연막(31)이 트렌치(22)의 하부에 형성되고, 절연막(30)이 측벽게이트(24)상에 형성된다. 절연막(30)과 제2게이트절연막(31)상에 제2워드라인으로서 하부게이트전극(32)이 형성되어 트렌치가 그 전극들로 매립된다. 하부게이트전극(32)은, 예컨대 셀프얼라인 방식으로 N^+폴리실리콘에 의해 공지의 포토리소그라피/드라이에칭공정, 매립/에치-백 공정 또는 CMP(화학기계연마)공정 또는 이 공정들의 조합으로써 형성된다. 따라서, 제2게이트절연막(31), 하부게이트전극(32), 소스/드레인영역(26a)을 포함하는 NOR메모리셀들의 제2트랜지스터들이 형성된다.

이어서, 제13(a)-13(e)도에 도시된 바와같이, 트렌치들(22) 사이의 상기 반도체기판(21)의 상부면에 제2게이트절연막(33)이 형성된 다음, 트렌치들(21)에 평행하게 연장하는 상부게이트전극(34)이 제2게이트절연막(33)을 통해 상기 반도체기판(21)상에 제2워드라인으로서 형성된다. 예컨대, 상부 게이트전극(34)은 1000Å의 두께를 가진 N^+ 폴리실리콘의 하부층 및 1500Å의 두께를 가진 텅스텐 실리사이드의 상부층을 포함하는 이층구조로 될 수 있다. 바람직하게도, 후공정의 NOR ROM 데이타 기입시에 기판(21)의 상부면부분 및 기판(21)의 트렌치하부에 형성된 채널영역에 이온들이 균일하게 분포되도록 상부게이트전극(34)의 상부층 및 하부층들의 재료 및 두께를 하부게이트전극(32) 및 상부게이트전극(34)에 동등한 이온주입저지능력을 부여하도록 적절하게 선택한다. 따라서, 제2게이트절연막(33), 상부게이트전극(34) 및 소스/드레인영역(26b)을 포함하는 NOR메모리셀의 제2트랜지스터들이 형성된다. 또한, 상부게이트전극(34)은 메모리셀이 아닌 주변회로의 게이트전극 또는 배선으로서 사용될 수 있다. 상부게이트전극(34)에서의 배선은 측벽게이트(24) 및 하부게이트전극(32)상으로 자유로이 인출될 수 있으므로, 측벽게이트(24) 및 하부게이트전극(32)의 단부들에 형성된 콘택트홀을 우회하여 인출할 수 있다.

이어서, ROM데이타가 NAND메모리셀 및 NOR메모리셀에 기입된다. NAND ROM 데이타가 제14(a)-14(e)도에 도시된 바와같이, NAND메모리셀의 선택된 제1트랜지스터들에 기입될때, NAND ROM 데이타 기입용 레지스트패턴(35)을 마스크로 이용하여 이온들이 $10^{18}cm^{-3}$정도의 농도로 분포되도록 약 500KeV 및 700KeV의 주입에너지로 인(P^+) 이온이 선택된 제1트랜지스터의 채널영역(36)으로 주입된다. 선택된 제1트랜지스터들의 채널영역(36)(기판의 트렌치 하부 및 트렌치측벽 부분)의 균일한 이온분포를 위해, 다른 주입에너지들을 이용하여 이온주입이 다단계로 실행됨이 바람직하다. 측벽게이트(24)의 형성전후에 트렌치(22)의 측벽들에 일방향으로 경사진 이온주입을 행함으로써 BAND ROM 데이타기입이 이루어진다. 따라서, NAND메모리셀 트랜지스터들은 E형에서 D형으로 선택적으로 변환될 수 있다.

NOR ROM 데이타가 NOR메모리셀의 선택된 제2트랜지스터에 기입될때, 반도체기판과 동일한 조전형을 가진 보론이온등의 이온들이 NOR ROM 데이타기입용 레지스트패턴(37)을 마스크로 이용하여 제15(a)-15(e)도에 도시된 바와같이 $2 \times 10^{14}cm^{-2}$의 도즈량, 200KeV의 주입 에너지로 상기 선택된 제2트랜지스터의 채널영역(38)으로 주입된다. 따라서, 제2트랜지스터의 임계전압이 선택적으로 전원전압보다 높게 설정되어, 상기 선택된 트랜지스터들이 오프로 된다. 특히 트렌치 하부에 형성된 채널영역들로의 이온주입시에, 이온들은 반도체기판 상부면에서 하부게이트전극(32)을 통해 기판(21)의 깊은 위치로 주입되며, 경사이온주입방식이 이용된다면, 주입영역의 위치오프셋을 초래하게 된다. 따라서, 주입각은 기판의 상부면의 법선에 대해 0° 로 됨이 바람직하다.

상기 공정 시퀀스에서 ROM데이타기입을 후에 실행함으로써 반도체장치의 제조 소요시간이 단축될 수 있다. 따라서, 층간절연막, 금속배선등의 형성을 데이타기입에 앞서 실행할 수 있다. 이 경우, 데이타기입을 위한 이온주입은 제1제조공정에서와 유사하게 고주입에너지에서 실행된다.

그후, 반도체 장치 제조공정은 실시예 1과 동일한 방식으로 완료된다.

[실시예 3]

제1도의 등가회로도에 의해 나타내진 또 다른 반도체기판가 제16도 및 제21(a)-21(d)도에 도시된다. 제16도는 그 반도체장치의 평면도이고 제21(a)-21(d)도는 각각 제16도의 A-A', B-B', C-C', 및 D-D'선들을 따라 취해진 단면도들이다.

실시예 1과 비교하여 반도체장치의 집적화레벨을 더욱 개선시키도록, 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들(72)이 제16도 및 제21(a)-21(d)도에 도시된 바와같이 반도체기판(71)에 형성된다. 제1게이트절연막(78)을 통해 제1워드라인으로서 트렌치(72)를 포함하는 반도체기판(71)상에 제공된 제1게이트전극(79) 및 인접한 트렌치들(72) 사이의 기판(71)의 상부면 및 기판(71)의 트렌치 하부에 각각 형성된 소스/드레인영역(80a,80b)을 각각 포함하며, NAND메모리셀을 구성하는 제1트랜지스터들이 형성된다. 제2게이트절연막(81)을 통해 인접한 제1게이트전극들(79) 사이의 소스/드레인영역들(80a,80b)상에 제2워드라인으로서 형성된 제2게이트전극(82), 기판의 트렌치 측벽에 형성된 채널영역, 및 인접한 제1트랜지스터들과 공유하는 소스/드레인영역(80a,80b)을 각각 포함하며, NOR메모리셀을 구성하는 제2트랜지스터들이 형성된다.

제17(a)-17(d)도, 제18(a)-18(d)도, 제19(a)-19(d)도, 제20(a)-20(d)도, 제21(a)-21(d)도 및 제22(a)-22(d)도를 참조하여 전술한 반도체장치의 제조방법을 설명한다. 제17(a)-22(a)도, 제17(b)-22(b)도, 제17(c)-22(c)도, 제17(d)-22(d)도는 각각 제16도의 A-A', B-B', C-C', 및 D-D'선을 따라 취해진 단면도들이다.

제17(a)-17(d)도에 도시된 바와같이, 공지의 에칭공정에 의해 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들(72)이 반도체기판(71)에 형성된다. 이 트렌치들은 각각 후공정에서 형성되어질 NOR메모리셀의 제2트랜지스터의 채널길이와 동등한 깊이(예컨대, 약 0.5㎛)를 가지는 것이 바람직하다. 제1 및 제2트랜지스터들의 임계전압을 제어하도록, 반도체기판(71)과 동일한 도전형을 가진 B^+이온등의 이온들이 3

× $10^{12}cm^{-2}$ 의 주입각으로 회전경사주입법에 의해 반도체기판(71)으로 주입된다.

이어서, 약 50-300Å의 두께를 가진 산화막(73)이 트렌치들(72)을 포함하는 상기 반도체기판(71)의 표면에 형성된다. 약 1000Å의 두께를 가진 SiN막(도시안됨)이 산화막(73)상에 형성되어, 에치백됨으로써 트렌치들(72)의 측벽상에 SiN 측벽 스페이서(74)를 형성한다. 그 SiN 측벽 스페이서(74)는 후속공정에서 형성될 트랜지스터의 제1게이트전극을 반도체기판(71)의 표면에서 분리시키는 소자분리막으로 이용된다.

이어서, 후에 산화막 에칭 스토퍼로서 작용하는 얇은 SiN막(도시안됨)이 상기 반도체기판(71)의 전면에 형성된다. 다음, 5000Å-10000Å 정도의 두께를 가진 산화막(75)이 트렌치(72)를 포함하는 상기 반도체기판(71)의 전면에 형성된다. 이 공정 후에 에치백 또는 멜트등의 평탄화공정이 실행됨이 바람직하다. 이와다른 평탄화방법은 개선된 표면 평탄성을 보장하는 산화퇴적공정을 이용하는 것이다.

그후, 제18(a)-18(d)도에 도시된 바와같이, 제1게이트전극이 형성되어질 영역들에서 산화막(75) 부분이 포토리소그라피 및 에칭공정에 의해 제거된다. 이때, 전공정에서 형성된 얇은 SiN막(도시안됨)이 에칭스토퍼로서 이용되며, 그후에 제거된다. 반도체기판(71)과 동일한 도전형을 가진 보론이온등의 이온들이 상기 산화막(75)을 마스크로 이용하여 소자분리를 위해 2 × $10^{14}cm^{-2}$ × $10^{13}cm^{-2}$

다음에, 제19(a)-19(d)도에 도시된 바와같이, 산화막(73)의 일부가 제거되며, 제1게이트전극이 형성되어질 영역들상에 제1게이트절연막(78)이 형성된다. 상기 기판에 폴리실리콘이 퇴적되어, 에치백됨으로써 약 2000Å-7000Å의 두께(인접한 트렌치들 사이의 반도체기판의 상부면에서 트렌치의 하부까지)를 가진 제1게이트전극(79)을 형성한다. 이 공정에 따르면, 제1게이트전극에 대해 셀프얼라인먼트 방식으로 소자분리를 위한 이온주입 및 트랜지스터의 디플레션형으로의 변환이 실행될 수 있다. 상기 공정의 시퀀스를 간단화하도록 통상의 게이트전극 가공법을 이용할 수 있다.

또한, 제1게이트전극들(79) 사이에 존재하는 산화막(75) 부분들이 제거된다. 제20(a)-20(d)도에 도시된 바와같이, 반도체기판(71)과 다른 도전형을 가진 이온들이 제1게이트전극(79) 및 SiN 측벽 스페이서(74)를 마스크로 이용하여 기판(71)에 대한 법선에서 기판(71)으로 주입되어 트렌치들(72) 사이의 기판(71)의 상부 및 기판(71)의 트렌치하부에 소스/드레인영역(80a,80b)을 형성한다. 예컨대, 비소이온 또는 인이온이 3 × $10^{15}cm^{-2}$

이어서, 제21(a)-21(d)도에 도시된 바와같이, 제1게이트전극(79)으로 피복되지 않은 SiN 측벽 스페이서(74) 및 산화막(73)의 다른 부분이 제거되며, 약 50Å-300Å의 두께를 가진 제2게이트절연막(81)이 상기 반도체기판(71)의 전면에 형성된다. 다음, 제2게이트절연막(81)상에 폴리실리콘이 퇴적되어, 에치백됨으로써 약 2000Å-7000Å의 두께(인접한 트렌치들 사이의 기판의 상부에서 트렌치의 하부까지)를 가진 제2게이트전극(82)을 형성한다. 따라서, 제2게이트절연막(81), 제2게이트전극(82), 소스/드레인영역(80a,80b), 및 반도체기판의 트렌치 측벽에 형성된 채널영역을 포함하며 NOR메모리셀을 구성하는 제2트랜지스터들이 형성된다. 제1게이트전극(79)과 제2게이트전극(82)이 실시예 1과 동일 단부 구성을 가지므로, 이 전극들은 주변회로의 게이트전극 및 배선들에 용이하게 접속되도록 직접 인출된다.

이어서, ROM 데이타가 NAND메모리셀 및 NOR메모리셀에 동시에 기입된다. 제22(a)-22(d)도에 도시된 바와같이, NAND ROM 데이타 기입을 의도하지 않는 영역(84) 및 NOR ROM 데이타 기입을 의도하는 영역(86)에 구멍들을 가진 레지스트패턴(83)을 마스크로 이용하여, 보론이온(B^+) 이온들이 2 × $10^{14}cm^{-2}$

이와다르게, 사용되어질 마스크의 수 및 공정의 수가 증가하지만, 기판의 트렌치 하부상에 채널영역을 가진 제1트랜지스터들에 ROM 데이타기입을 위해 그리고 트렌치들 사이의 기판의 상부면에 채널영역을 가진 제1트랜지스터로의 ROM 데이타기입을 위해 다른 마스크들을 이용하여 이온주입이 실행될 수 있다. 이 경우에, 데이타 기입을 위한 다른 마스크들을 이용하여 이온주입이 실행될 수 있다. 이 경우에, 데이타 기입을 위한 이온주입은 인접한 셀트랜지스터들에 거의 영향을 미치지 않으므로, 더욱 큰 마진이 제공될 수 있다. 이러한 배열은 반도체장치의 미세화에 더욱 유리하다.

상기 공정에서 ROM 데이타기입을 후에 실행함에 의해 반도체기판 제조의 소요시간이 단축될 수 있다. 따라서, 실시예 1과 유사하게 층간절연막, 금속배선의 형성등이 데이타기입에 앞서 실행될 수 있다. 이 경우에, 예컨대 더 가벼운 보론이온이 데이타기입을 위해 높은 주입에너지로 주입될 수 있다. 이 방법은 마스크 ROM 제조의 소요시간을 특히 단축시킨다.

그후, 반도체기판 제조공정이 실시예 1에서와 같은 방식으로 완료된다.

실시예 3에서, NOR메모리 셀트랜지스터의 채널영역은 트렌치 측벽에 형성되며, NAND메모리셀 트랜지스터의 채널영역들은 트렌치 하부 또는 기판의 상부에 형성된다. 이 배열은, NAND메모리셀 트랜지스터의 채널영역이 기판의 트렌치측벽에 형성되고 NOR메모리셀 트랜지스터의 채널영역이 트렌치 하부 또는 기판의 상부에 형성된 실시예 2와 반대로 되어있다. 따라서, 실시예 2에서는 NAND메모리셀로의 ROM 데이타기입을 위해 다른 에너지를 이용한 다단계 이온주입 또는 회전이온주입을 이용하였다. 실시예 3에서는, 이와 반대로, 이온들이 통상적인 방식대로 반도체기판의 상부측에서 주입된다. 따라서, 상기 이온주입은 ROM 데이타 기입을 위해 용이하고 균일하게 실행될 수 있다. 또한, 이 배열은 소자분리를 위한 이온주입에도 효과적이다.

[실시예 4]

실시예 1의 반도체기판의 집적화레벨은 NOR 메모리셀들의 제2트랜지스터의 임계전압을 선택적으로 다수 전압 레벨로 설정함에 의해 종래의 반도체장치보다 3배이상 증가될 수 있다. 예컨대, NOR메모리셀의 제2트랜지스터들의 임계값이 4개의 레벨들로 선택적으로 설정되는 경우, 집적화레벨은 실시예 1의 반도체기판에 비해 2배 또는 3배로 된다.

다른 도즈량들을 이용하는 다단계 이온주입에 의해 NOR ROM 데이타기입이 성취된다.

[실시예 5]

실시예 2 및 3의 반도체기판의 집적화레벨은 NOR메모리셀의 제2트랜지스터의 임계전압을 선택적으로 다수의 전압레벨들로 설정함에 의해 종래의 반도체장치보다 6배 이상으로 증가될 수 있다. 예컨대, NOR메모리셀의 제2트랜지스터들의 임계값이 4개의 레벨들로 선택적으로 설정되는 경우, 집적화레벨은 실시예 2 또는 3의 반도체장치에 비해 4배 내지 6배로 된다.

다른 도즈량들은 이용하는 다단계 이온주입에 의해 NOR ROM 데이타기입이 성취된다.

[실시예 6]

실시예 6에 따르면, 제1도의 마스크 ROM 등가회로도에 도시된 바와 동일한 트랜지스터 배열을 갖는 반도체기판가 프로그램가능한 ROM(마스크 ROM과 다름)으로 구성되어 NAND메모리셀을 구성하는 제1트랜지스터들 및 NOR메모리셀을 구성하는 제2트랜지스터들이 각각 제23도에 도시된 바와같이 플로팅게이트를 갖는다.

제24(a)-24(d)도는 각각 제2도의 A-A', B-B', C-C' 및 D-D'선을 따라 취해진 단면도들에 대응하는 반도체기판의 단면도들이다. 제24(a)-24(d)도를 참조하면, 플로팅게이트(3a)를 가진 제1트랜지스터들은 제1게이트전극(3) 아래에 제공되며 터널 산화막(2a)은 플로팅게이트(3a)의 아래에 제공되고, 플로팅게이트(10a)를 가진 제2트랜지스터는 제2게이트전극(10) 아래에 제공되며 터널산화막(9a)은 플로팅게이트(10a) 아래에 제공된다. 산화막들(2b,19)은 각각 제1게이트전극(3) 아래 및 제2게이트전극(10) 아래의 플로팅게이트(3a,10a)가 형성되지 않은 기판의 영역들에 형성된다.

프로그램가능한 ROM에서는, 각 트랜지스터의 임계전압이 플로팅게이트(3a,10a)로의 핫일렉트론 주입 또는 선택적인 터널 일렉트론 주입에 의한 데이타기입을 위해 제어된다. 데이타기입은 실시예 1과 동일한 방식으로 성취된다.

본 발명의 제1반도체장치에서, 제2트랜지스터열들은 제1트랜지스터열들 사이의 공간에 제공되며, 제1트랜지스터열들 각각의 제1트랜지스터들은 제2트랜지스터열의 제2트랜지스터와 소스/드레인영역을 공유한다. 따라서, 더욱 높은 집적화가 실현될 수 있다.

본 발명의 제2반도체장치에서는, 제1워드라인들 사이의 공간들에 제2워드라인들이 제공되며, 제1워드라인들에 접속된 제1트랜지스터들은 각각 제2워드라인에 접속된 제2트랜지스터의 소스/드레인영역을 공유한다. 따라서, 더 높은 집적화가 실현될 수 있다.

제2반도체장치는 반도체 기판에 형성된 트렌치들을 포함하며, 제1 및 제2트랜지스터들은 트렌치들의 측벽을 이용하여 3차원 구성으로 형성될 수 있다. 따라서, 평면적인 소자 점유면적을 증대시키지 않고 더욱 높은 집적화를 실현할 수 있다.

고집적화레벨을 갖는 상기한 구성의 반도체장치가 본 발명의 제조공정에 따라 제조될 수 있다. 제조공정이 크게 간단화되기 때문에, 제조비용이 절감될 수 있다. 동시에, 반도체장치의 성능이 개선될 수 있다.

본 발명에 따른 제조공정에서, 데이타 기입용 이온 주입을 위한 마스킹 공정이 제거되거나 또는 간단화될 수 있어서, 소요시간이 단축될 수 있다.

(57) 청구의 범위

청구항 1

직렬로 접속된 다수의 제1트랜지스터들을 각각 포함하는 다수의 제1트랜지스터열들; 및 상기 제1트랜지스터 열들 사이에 제공되며 다수의 제2트랜지스터들을 각각 포함하는 다수의 제2트랜지스터열들을 포함하며; 하나의 제1트랜지스터열의 하나의 제1트랜지스터의 소스/드레인영역이 제2트랜지스터열의 제2트랜지스터를 통해 다른 제1트랜지스터열의 다른 제1트랜지스터의 소스/드레인영역에 접속되는 반도체장치.

청구항 2

제1항에 있어서, 상기 하나의 트랜지스터열의 하나의 제1트랜지스터가 상기 다른 제1트랜지스터열의 다른 제1트랜지스터에 인접하게 배치되며, 상기 하나 및 다른 제1트랜지스터들에 접속된 제2트랜지스터는 상기 하나의 제1트랜지스터열 및 다른 제1트랜지스터열 사이에 배치되는 반도체장치.

청구항 3

반도체기판상에, 제1게이트절연막을 통해 제1방향으로 서로 평행하게 연장하는 상태로 배치된 다수의 제1워드라인들; 상기 제1워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제1트랜지스터들; 제2절연막을 통해 제1방향으로 연장하는 상태로 상기 제1워드라인들 사이에 배치된 다수의 제2워드라인들; 및 상기 제2워드라인들 중 대응하는 하나에 접속되는 게이트전극을 각각 갖는 다수의 제2트랜지스터들을 포함하며; 상기 제1트랜지스터들이 각각 제1방향에 수직한 제2방향으로 나란하게 인접해 있는 제1트랜지스터의 소스/드레인 영역을 공유하고, 상기 제2트랜지스터들이 각각 제1방향으로 나란하게 인접해 있는 제2트랜지스터의 소스/드레인 영역을 공유하며; 상기 제1트랜지스터들의 소스/드레인영역은 제2워드라인 아래의 반도체기판에 형성되며, 상기 제1트랜지스터들이 각각 인접한 제2트랜지스터의 소스/드레인영역을 공유하는 반도체장치.

청구항 4

제3항에 있어서, 상기 반도체기판이 상기 제1방향으로 서로 평행하게 연장하는 다수의 트렌치들을

가지며; 상기 제1워드라인들은 상기 각 트렌치들의 측벽들에 형성되고 제2워드라인은 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치의 하부상에 형성되거나, 또는 상기 제2워드라인은 각 트렌치의 측벽상에 형성되고 제1워드라인은 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치의 하부상에 형성되는 반도체장치.

청구항 5

제3항에 있어서, 상기 반도체기판은 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들을 가지며; 상기 제1트랜지스터들은 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치의 하부상에 형성되고 제2트랜지스터는 상기 트렌치의 측벽에 형성되거나, 또는 상기 제2트랜지스터들은 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치들의 하부상에 형성되고 상기 제1트랜지스터들은 트렌치들의 측벽들상에 형성되는 반도체장치.

청구항 6

(i-a) 제1게이트절연막을 통해 반도체기판상에 다수의 제1워드라인들을 제1방향으로 서로 평행하게 연장하는 상태로 제공하는 단계; (ii-a) 제1워드라인에 직교하여 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴을 형성하고, 그 레지스트 패턴과 제1워드라인을 마스크로 이용하여 반도체 기판으로 이온을 주입함에 의해 소스/드레인영역을 형성함으로써, 상기 제1방향에 대해 수직한 제2방향으로 나란하게 인접해 있는 제1트랜지스터의 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-a) 상기 제1워드라인들 사이의 상기 소스/드레인영역상에 제2절연막을 통해 다수의 제2워드라인들을 형성하여, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함하는 반도체장치의 제조방법.

청구항 7

제6항에 있어서, (iv-a) 선택된 제1트랜지스터에 대해 반도체기판과 다른 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계; 및 (v-a) 선택된 제2트랜지스터에 대해 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계를 더 포함하는 반도체장치의 제조방법.

청구항 8

제6항에 있어서, 상기 단계(i-a)에서, 반도체기판과 다른 도전형을 가진 이온들을 미리 제1트랜지스터 형성영역 전면에 주입한 다음, 선택된 제1 및 제2트랜지스터들에 대해 동시에 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 반도체장치의 제조방법.

청구항 9

(i-b) 반도체기판에 제1방향으로 서로 평행하게 연장하는 다수의 트렌치들을 형성하고, 각 트렌치의 측벽 또는 상기 트렌치들 사이의 반도체기판의 상부면 및 트렌치의 하부상에 제1절연막을 통해 서로 평행하게 연장하는 다수의 제1워드라인들을 형성하는 단계; (ii-b) 상기 제1워드라인들에 대해 수직하게 연장하는 다수의 패턴라인들을 포함하는 레지스트 패턴을 형성하고, 그 레지스트 패턴과 상기 제1워드라인을 마스크로 이용하여 반도체기판에 이온을 주입함에 의해 상기 트렌치들 사이의 반도체기판의 상부면 및 반도체기판의 트렌치 하부, 또는 기판의 트렌치측벽에 소스/드레인영역을 형성함으로써, 상기 제1방향에 대해 수직한 제2방향으로 배열되어 인접한 트렌치들 사이의 기판의 상부면 및 기판의 트렌치 하부, 또는 기판의 트렌치 측벽에 형성된 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-b) 상기 제1워드라인들 사이의 소스/드레인영역상에 제2절연막을 통해 서로 평행하게 연장하는 다수의 제2워드라인들을 형성함으로써, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함하는 반도체장치의 제조방법.

청구항 10

제9항에 있어서, (iv-b) 선택된 제1트랜지스터에 대해 반도체기판과 다른 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계; 및 (v-a) 선택된 제2트랜지스터에 대해 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계를 더 포함하는 반도체장치의 제조방법.

청구항 11

제9항에 있어서, 상기 단계(i-b)에서, 반도체기판과 다른 도전형을 가진 이온들을 미리 제1트랜지스터 형성영역 전면에 주입한 다음, 선택된 제1 및 제2트랜지스터들에 대해 동시에 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 반도체장치의 제조방법.

청구항 12

제7항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

청구항 13

제8항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

청구항 14

제10항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

청구항 15

제11항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

청구항 16

(i-c) 반도체기판에 제2방향으로 서로 평행하게 연장하는 다수의 트렌치들을 형성하고, 상기 트렌치들을 포함하는 반도체기판상에 제1절연막을 통해 제2방향에 대해 수직한 제1방향으로 서로 평행하게 연장하는 다수의 제1워드라인들을 형성하는 단계; (ii-c) 적어도 상기 제1워드라인들을 마스크로 이용하여 반도체기판에 이온을 주입함에 의해 상기 트렌치들 사이의 기판의 상부면 및 반도체기판의 트렌치하부, 또는 반도체기판의 트렌치측벽에 소스/드레인영역을 형성함으로써, 상기 제2방향으로 배열되어 인접한 트렌치들 사이의 반도체기판의 상부면 및 기판의 트렌치 하부, 또는 반도체기판의 트렌치 측벽에 형성되는 소스/드레인영역을 각각 공유하는 다수의 제1트랜지스터들을 형성하는 단계; 및 (iii-c) 상기 제1워드라인들 사이의 상기 소스/드레인영역상에 제2게이트절연막을 통해 서로 평행하게 연장하는 다수의 제2워드라인들을 형성함으로써, 상기 제1방향으로 나란하게 인접해 있는 제1트랜지스터들의 소스/드레인영역들을 각각 공유하는 다수의 제2트랜지스터들을 형성하는 단계를 포함하는 반도체장치의 제조방법.

청구항 17

제16항에 있어서, (iv-c) 선택된 제1트랜지스터에 대해 반도체기판과 다른 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계; 및 (v-c) 선택된 제2트랜지스터에 대해 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 단계를 더 포함하는 반도체장치의 제조방법.

청구항 18

제16항에 있어서, 상기 단계(i-c)에서, 반도체기판과 다른 도전형을 가진 이온들을 미리 제1트랜지스터 형성영역 전면에 주입한 다음, 선택된 제1 및 제2트랜지스터들에 대해 동시에 반도체기판과 동일한 도전형을 가진 이온들을 주입하여 ROM 데이타 기입을 행하는 반도체장치의 제조방법.

청구항 19

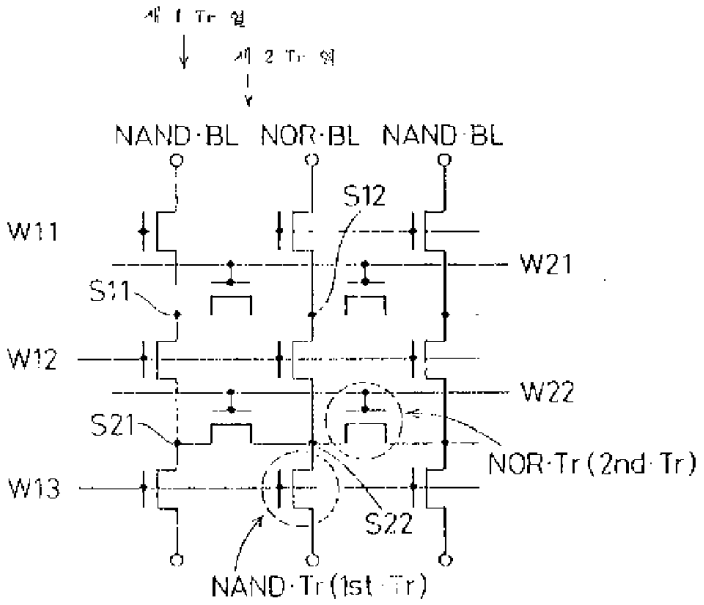
제17항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

청구항 20

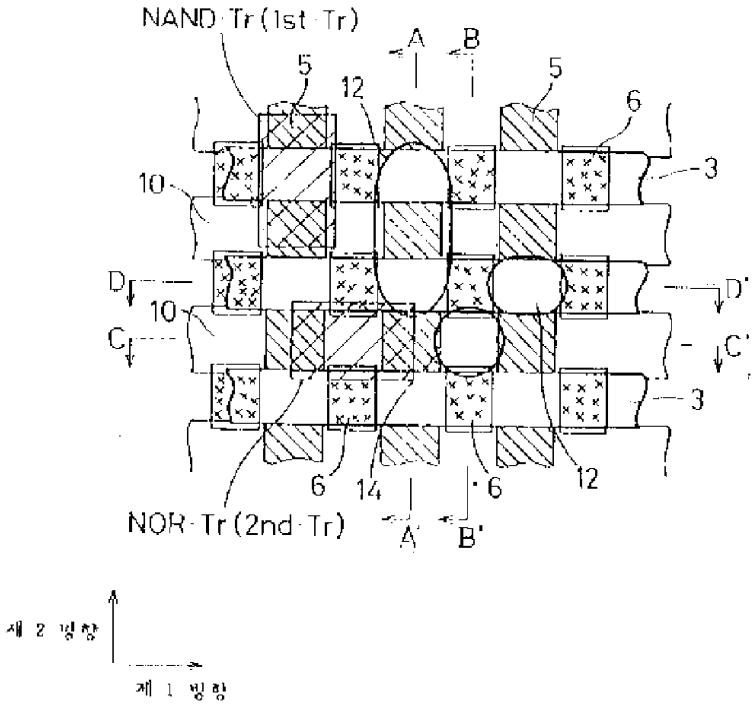
제18항에 있어서, 상기 ROM 데이타 기입을 위한 이온주입은 다른 도즈량들을 이용하여 여러번에 걸쳐 실행되는 반도체장치의 제조방법.

도면

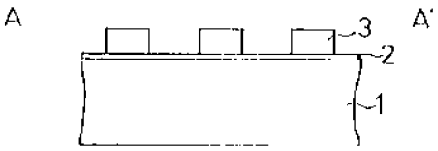
도면1



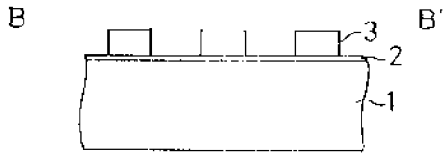
도면2



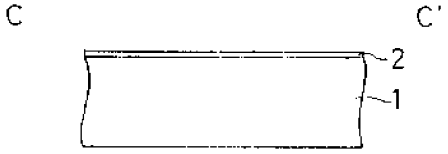
도면3a



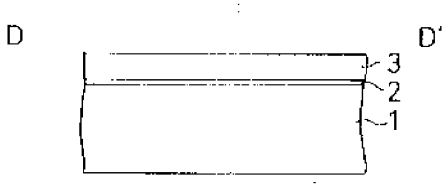
도면3b



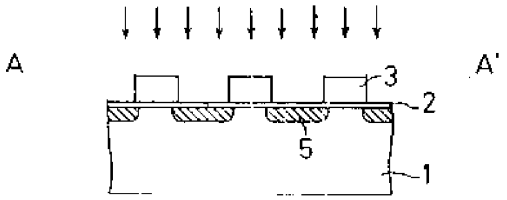
도면3c



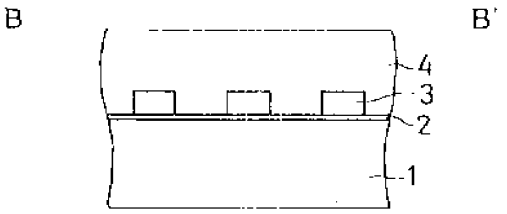
도면3d



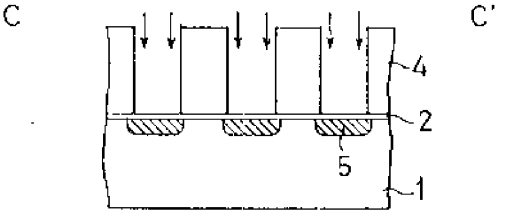
도면4a



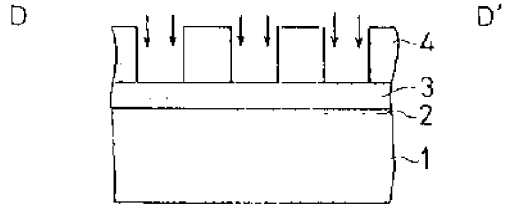
도면4b



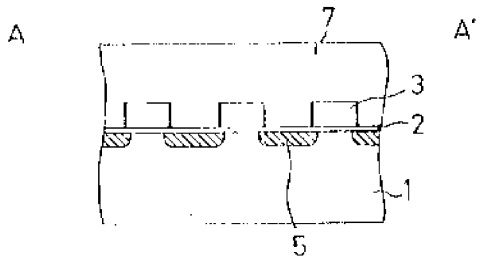
도면4c



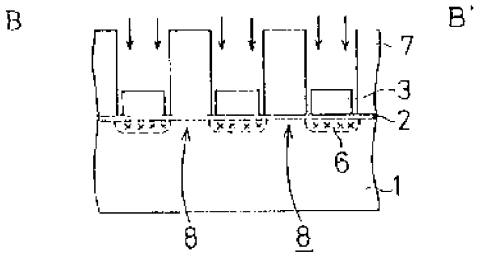
도면4d



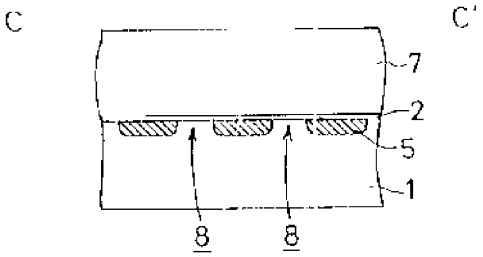
도면5a



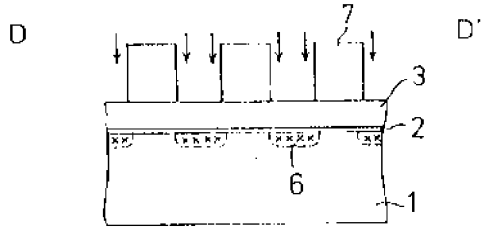
도면5b



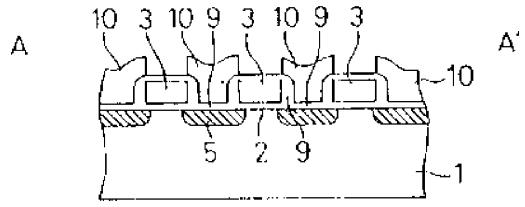
도면5c



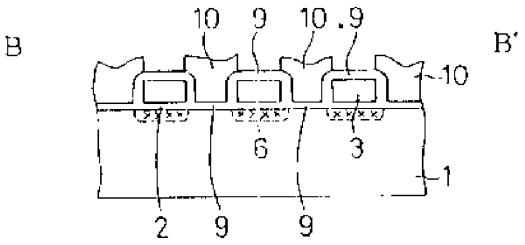
도면5d



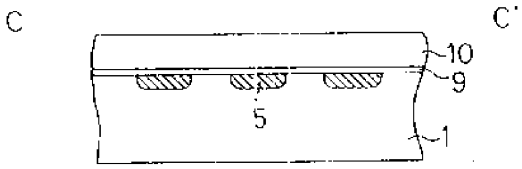
도면6a



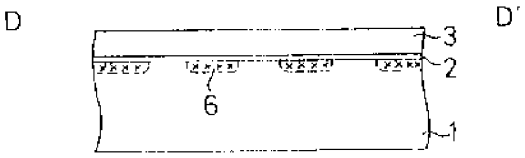
도면6b



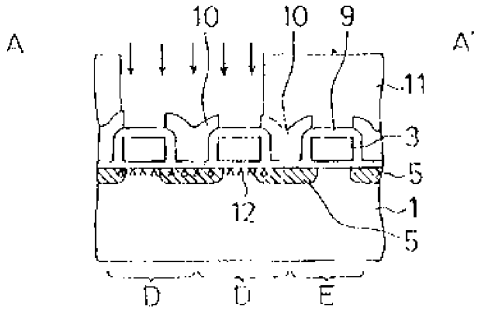
도면6c



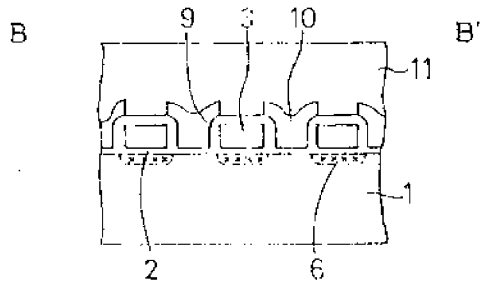
도면6d



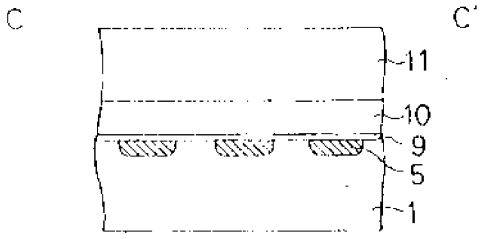
도면7a



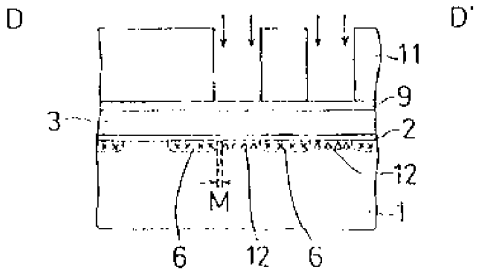
도면7b



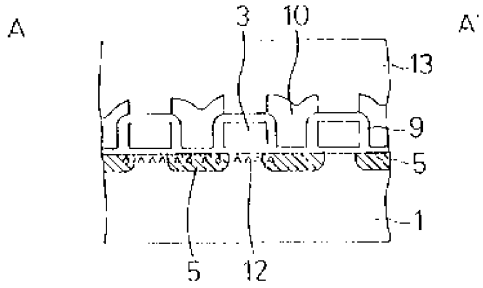
도면7c



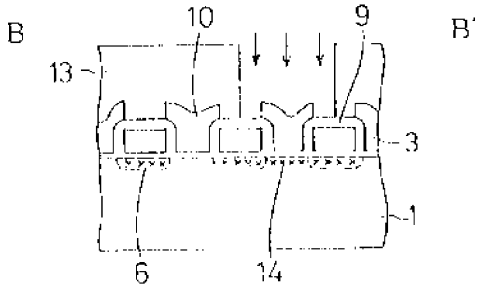
도면7d



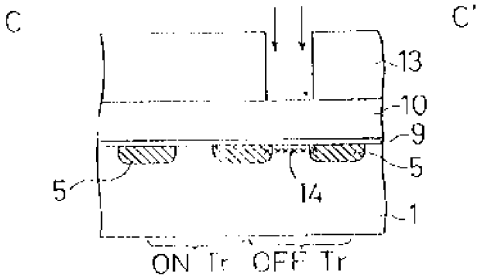
도면8a



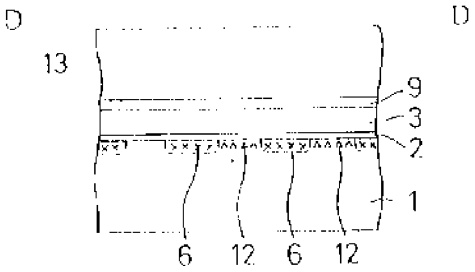
도면8b



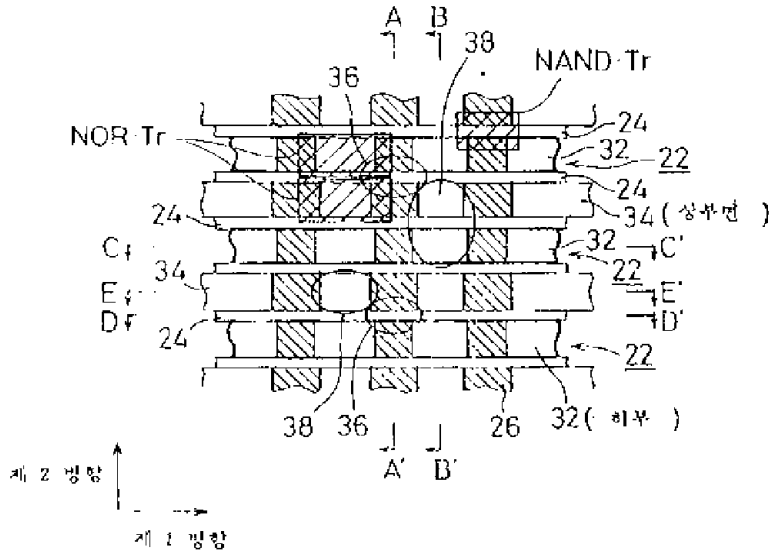
도면8c



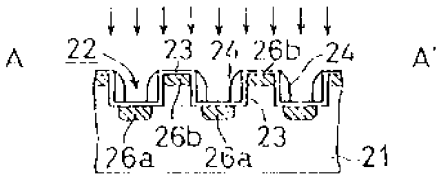
도면8d



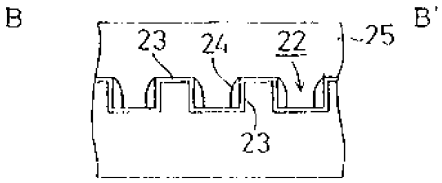
도면9



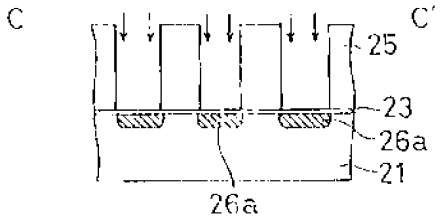
도면10a



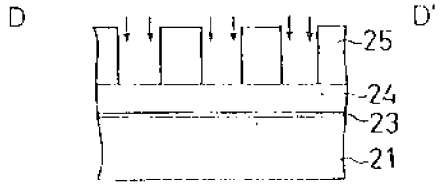
도면10b



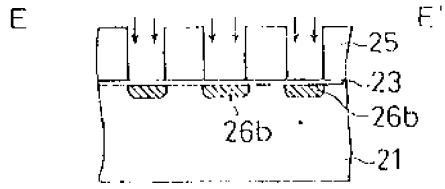
도면10c



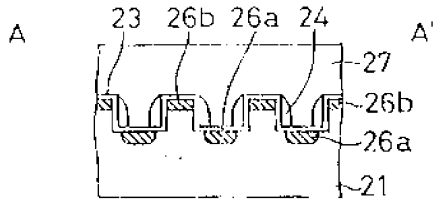
도면10d



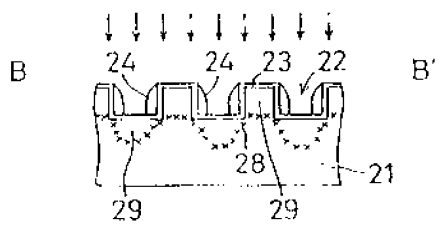
도면10e



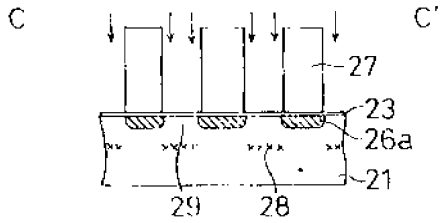
도면11a



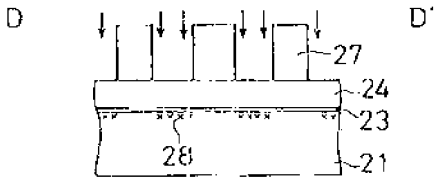
도면11b



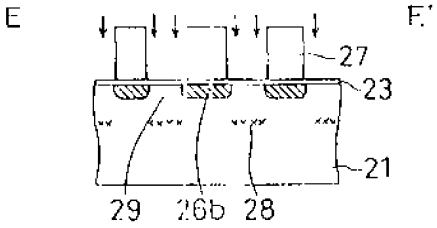
도면11c



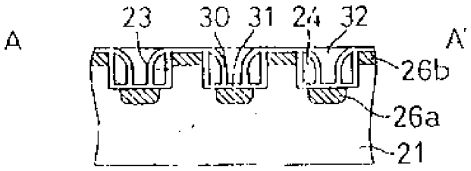
도면11d



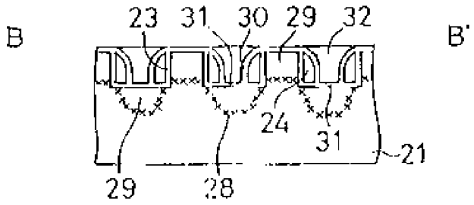
도면11e



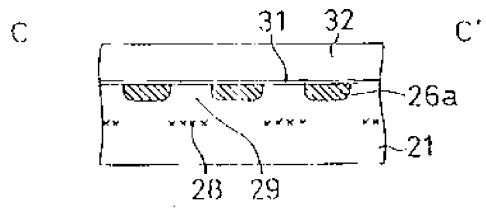
도면12a



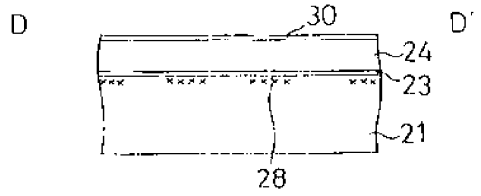
도면12b



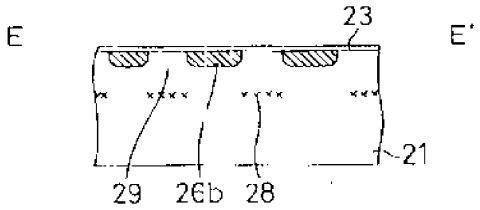
도면12c



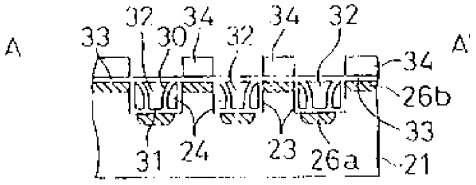
도면12d



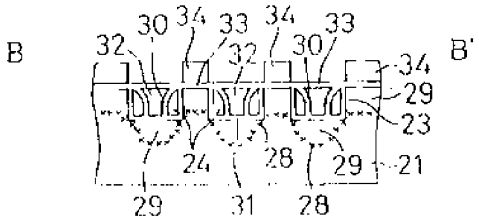
도면12e



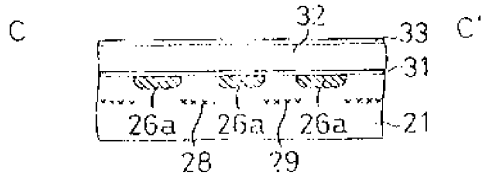
도면13a



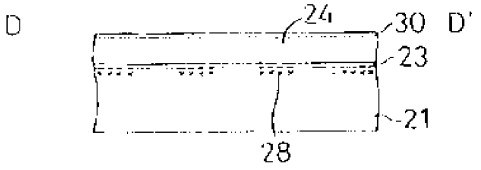
도면13b



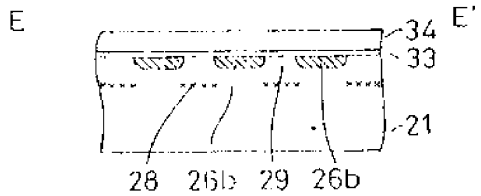
도면13c



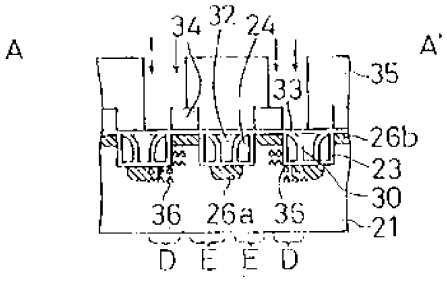
도면13d



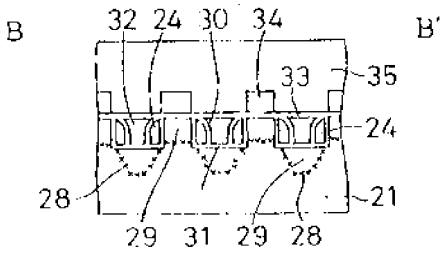
도면13e



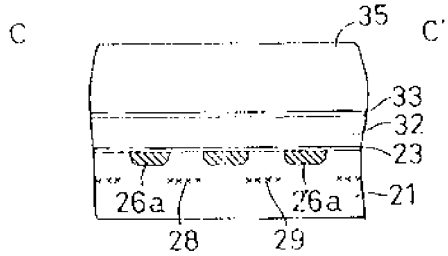
도면14a



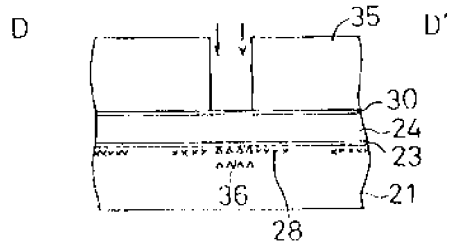
도면14b



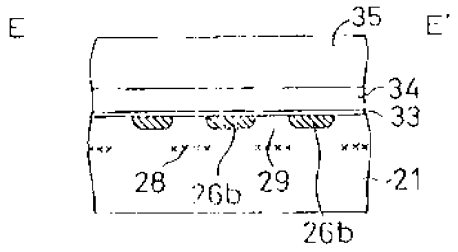
도면14c



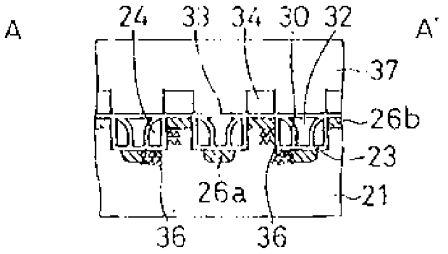
도면14d



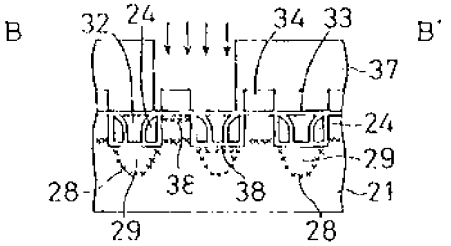
도면14e



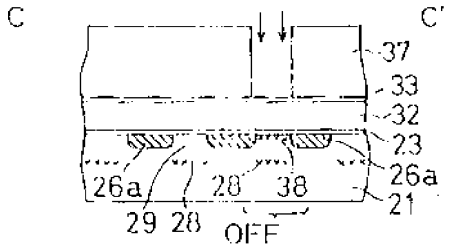
도면15a



도면15b



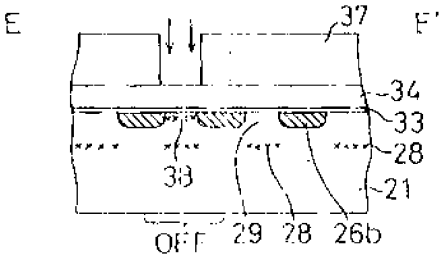
도면15c



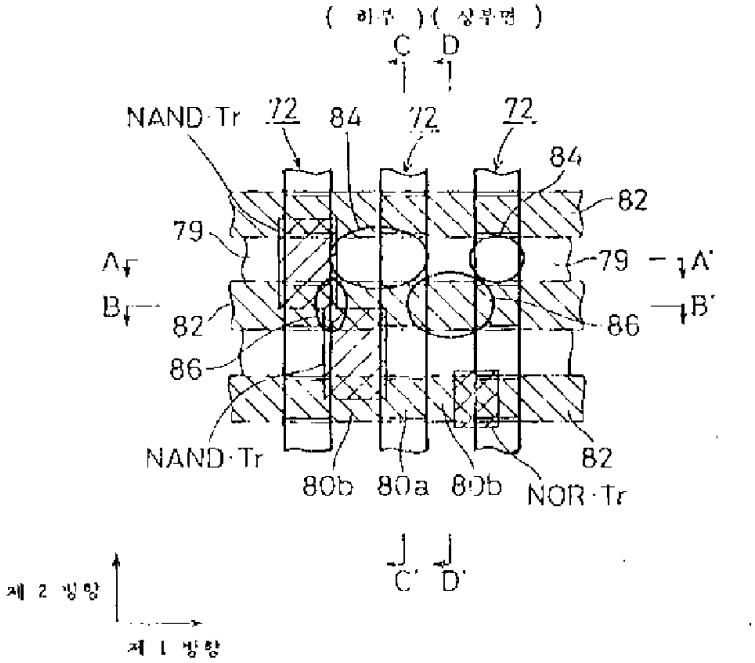
도면15d



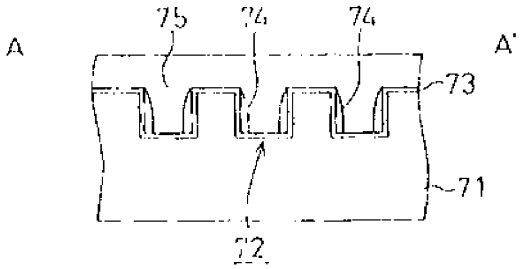
도면15e



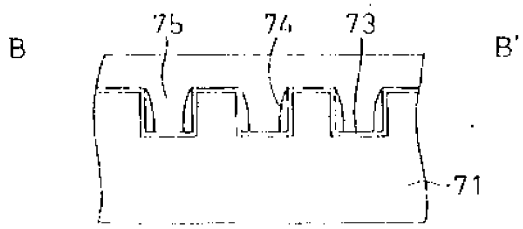
도면16



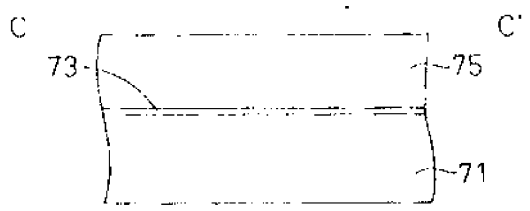
도면17a



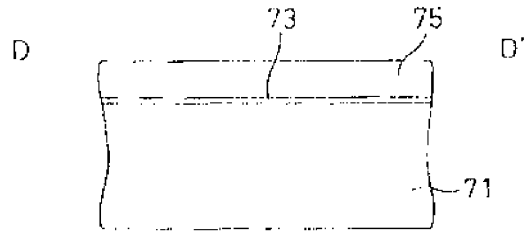
도면17b



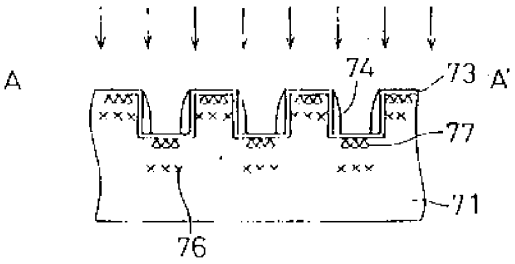
도면17c



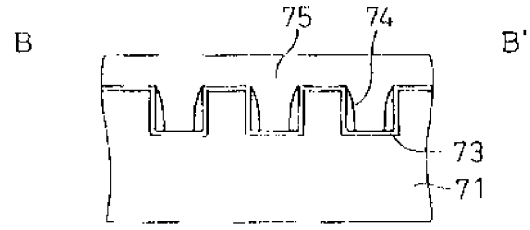
도면17d



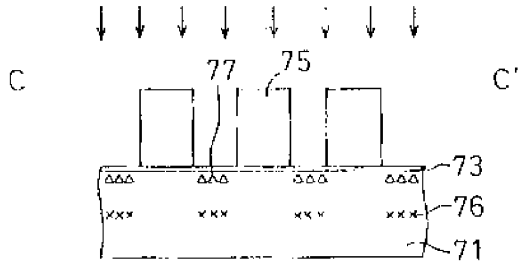
도면18a



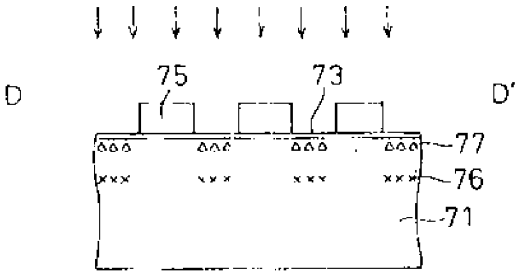
도면18b



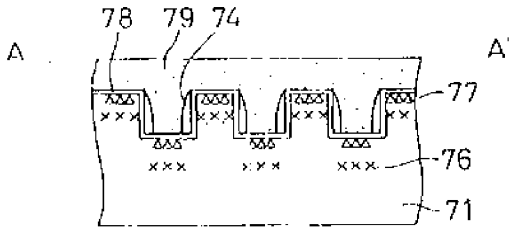
도면18c



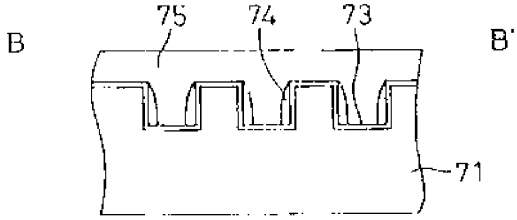
도면18d



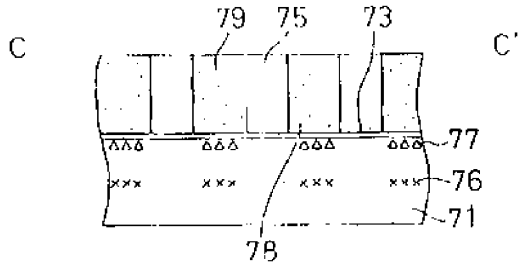
도면19a



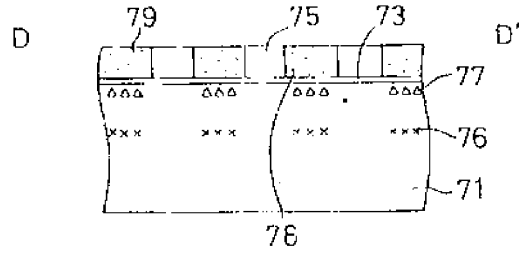
도면19b



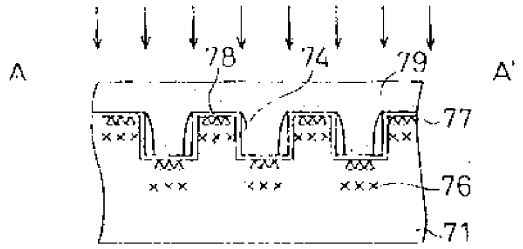
도면19c



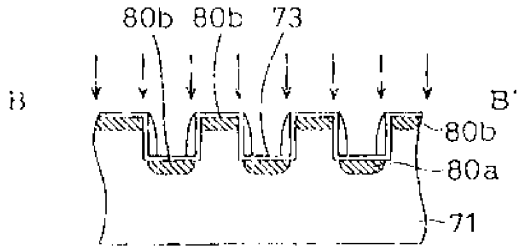
도면19d



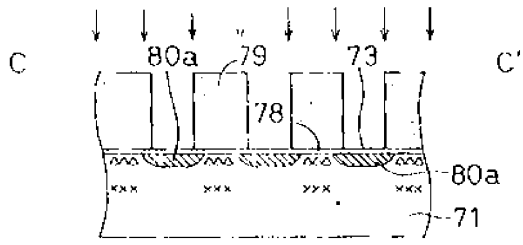
도면20a



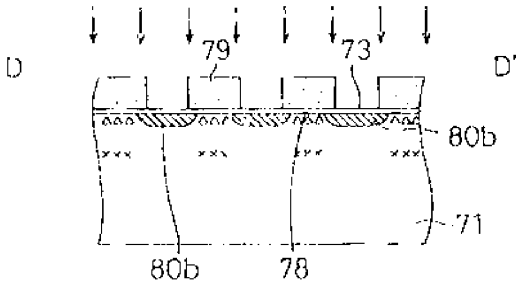
도면20b



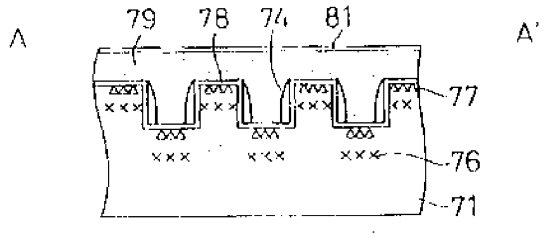
도면20c



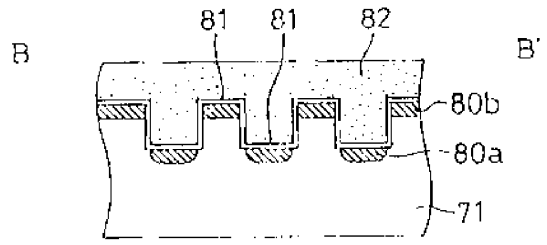
도면20d



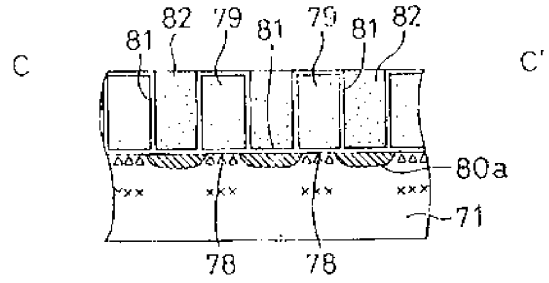
도면21a



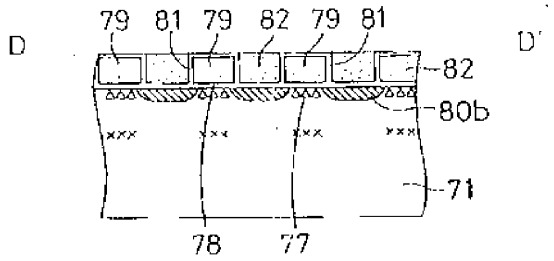
도면21b



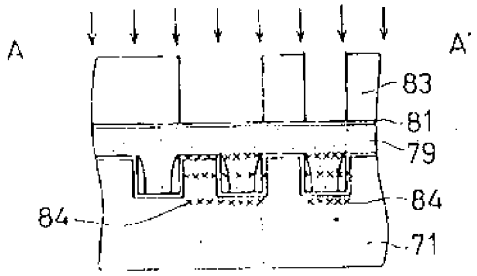
도면21c



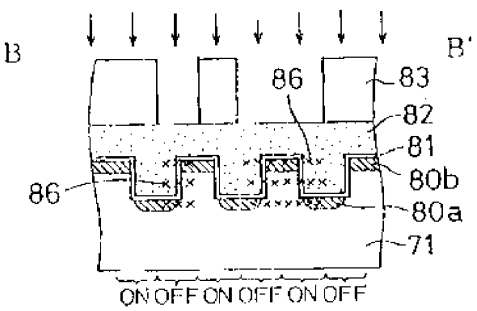
도면21d



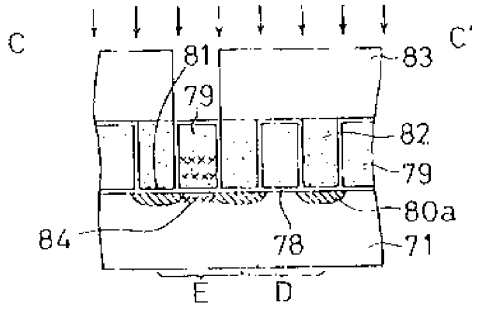
도면22a



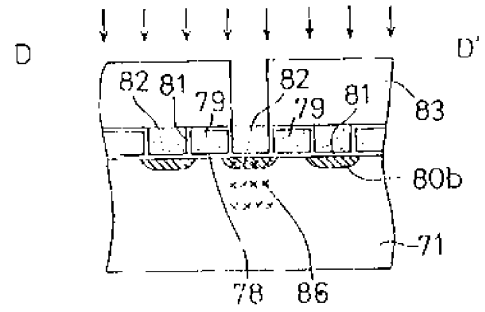
도면22b



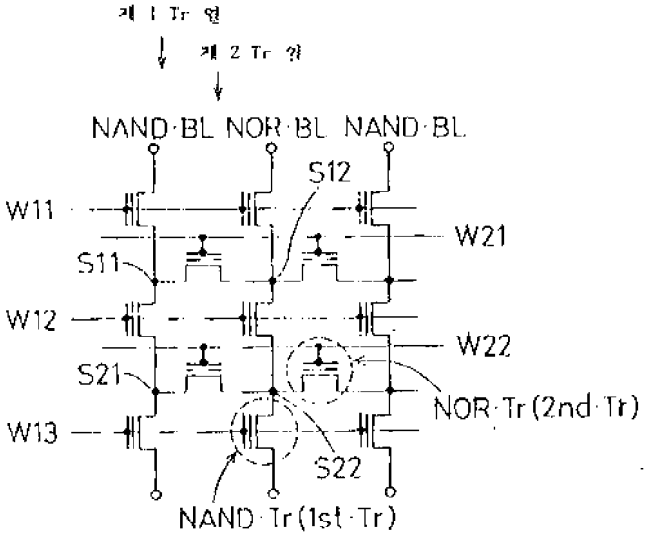
도면22c



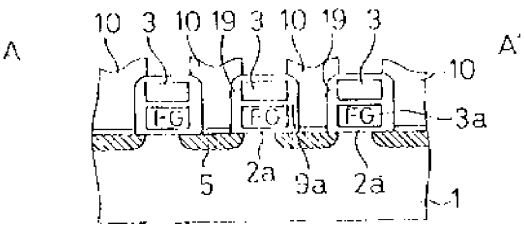
도면22d



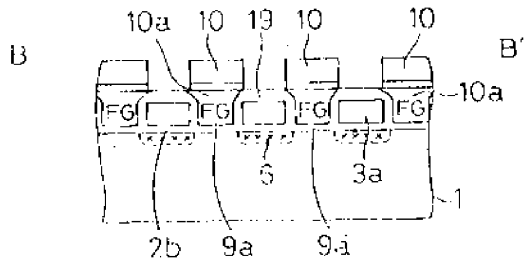
도면23



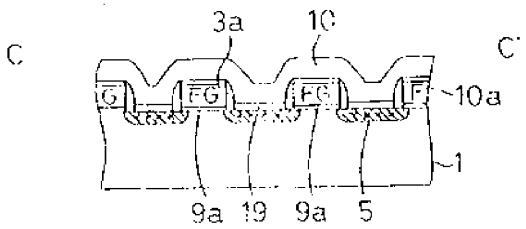
도면24a



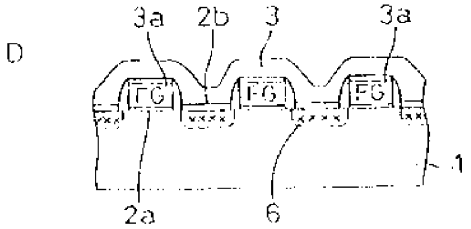
도면24b



도면24c

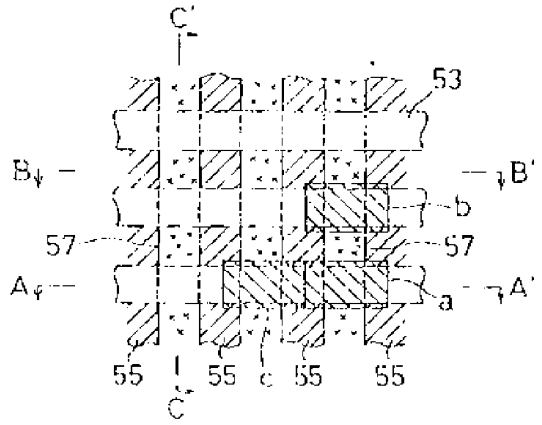


도면24d



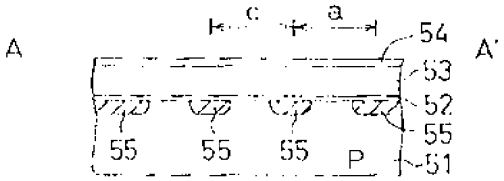
도면25a

(종래기술)



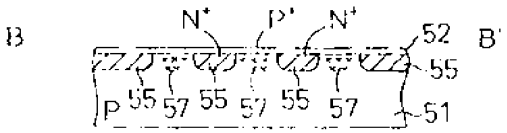
도면25b

(종래기술)



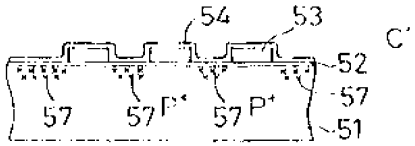
도면25c

(종래기술)



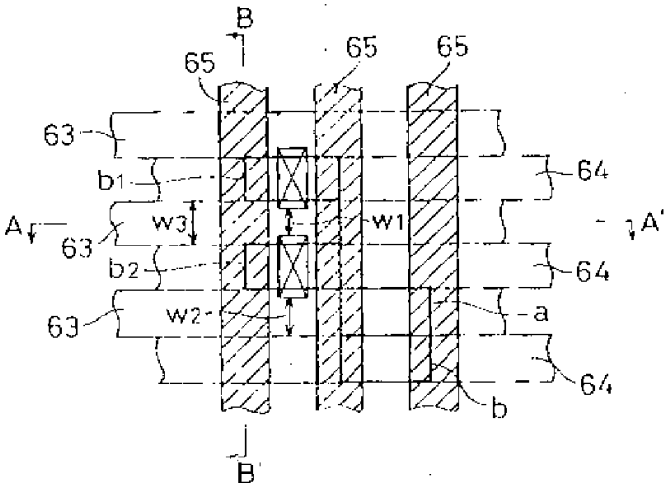
도면25d

(종래기술)



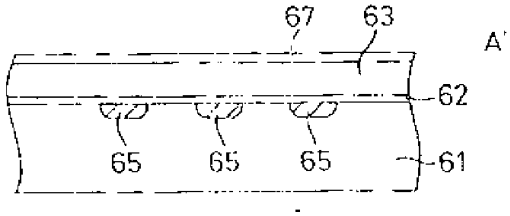
도면26a

(종래기술)



도면26b

(종래기술)



도면26c

(종래기술)

